



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월28일
 (11) 등록번호 10-1871425
 (24) 등록일자 2018년06월20일

(51) 국제특허분류(Int. Cl.)
 G09G 3/30 (2006.01)
 (21) 출원번호 10-2011-0064435
 (22) 출원일자 2011년06월30일
 심사청구일자 2016년06월30일
 (65) 공개번호 10-2013-0003248
 (43) 공개일자 2013년01월09일
 (56) 선행기술조사문헌
 KR1020080027062 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
이해연
 경기도 용인시 기흥구 삼성2로 95 (농서동)
강철규
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (뒷면에 계속)
 (74) 대리인
강신섭, 문용호, 이용우

전체 청구항 수 : 총 18 항

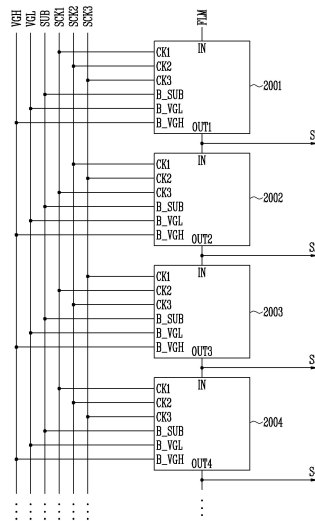
심사관 : 박재학

(54) 발명의 명칭 **주사구동부 및 이를 이용한 유기전계발광 표시장치**

(57) 요약

본 발명은 동시구동구간에서는 동시에 제 1주사신호를 출력하고, 순차구동구간에서는 순차적으로 제 2주사신호를 출력하는 복수의 스테이지; 를 포함하고, 상기 각각의 스테이지는, 입력단자, 제 1클럭단자, 제 3클럭단자, 보조단자, 제 1전원단자 및 제 2전원단자에 연결되어 제 1출력신호와 제 2출력신호를 출력하는 제 1신호처리부; 및 제 2클럭단자 및 제 1전원단자에 연결되고, 상기 제 1출력신호와 상기 제 2출력신호를 공급받아 상기 제 1주사신호와 상기 제 2주사신호를 출력단자로 출력하는 제 2신호처리부; 를 포함하는 주사구동부 및 이를 이용한 유기전계발광 표시장치에 관한 것이다. 본 발명에 따르면, 기존의 동시 구동용 스테이지와 순차 구동용 스테이지의 구성을 일체화하여, 그 구조를 단순화한 주사구동부 및 유기전계발광 표시장치를 제공할 수 있다.

대표도 - 도3



(72) 발명자

박성일

경기도 용인시 기흥구 삼성2로 95 (농서동)

정경훈

경기도 용인시 기흥구 삼성2로 95 (농서동)

명세서

청구범위

청구항 1

동시구동구간에서는 동시에 제 1주사신호를 출력하고, 순차구동구간에서는 순차적으로 제 2주사신호를 출력하는 복수의 스테이지; 를 포함하고,

상기 각각의 스테이지는,

입력단자, 제 1클럭단자, 제 3클럭단자, 보조단자, 제 1전원단자 및 제 2전원단자에 연결되어 제 1출력신호와 제 2출력신호를 출력하는 제 1신호처리부; 및

제 2클럭단자 및 제 1전원단자에 연결되고, 상기 제 1출력신호와 상기 제 2출력신호를 공급받아 상기 제 1주사신호와 상기 제 2주사신호를 출력단자로 출력하는 제 2신호처리부; 를 포함하고,

상기 동시구동구간에서는,

상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들의 공급이 함께 유지되며, 상기 보조단자로 보조신호가 공급되며, 상기 제 2전원단자로 공급되는 제 2전원이 하이레벨의 전압을 갖는 것을 특징으로 하는 주사구동부.

청구항 2

제 1항에 있어서, 제 1신호처리부는,

게이트 전극이 상기 입력단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 제 1노드에 접속되는 제 1트랜지스터;

게이트 전극이 상기 제 1클럭단자에 접속되고, 제 1전극이 상기 입력단자에 접속되며, 제 2전극이 제 3노드에 접속되는 제 2트랜지스터;

게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 3노드에 접속되는 제 3트랜지스터;

게이트 전극이 상기 제 2전원단자에 접속되고, 제 1전극이 상기 제 3노드에 접속되며, 제 2전극이 제 2노드에 접속되는 제 4트랜지스터;

게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 1노드에 접속되는 제 5트랜지스터;

게이트 전극이 상기 제 3클럭단자에 접속되고, 제 1전극이 상기 제 1노드에 접속되며, 제 2전극이 상기 제 2전원단자에 접속되는 제 6트랜지스터; 및

게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 2노드에 접속되며, 제 2전극이 상기 보조단자에 접속되는 제 7트랜지스터; 를 포함하는 주사구동부.

청구항 3

제 2항에 있어서,

상기 제 1출력신호는 상기 제 1노드에서 출력되고, 상기 제 2출력신호는 상기 제 2노드에서 출력되는 것을 특징으로 하는 주사구동부.

청구항 4

제 3항에 있어서, 상기 제 2신호처리부는,

게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 출력단

자에 접속되는 제 8트랜지스터; 및

게이트 전극이 상기 제 2노드에 접속되고, 제 1전극이 상기 출력단자에 접속되며, 제 2전극이 상기 제 2클럭단자에 접속되는 제 9트랜지스터; 를 포함하는 주사구동부.

청구항 5

제 4항에 있어서, 상기 제 2신호처리부는,

상기 제 1노드와 상기 제 1전원단자 사이에 접속되는 제 1커패시터; 및

상기 제 2노드와 상기 출력단자 사이에 접속되는 제 2커패시터; 를 더 포함하는 주사구동부.

청구항 6

제 2항 또는 제 4항에 있어서,

상기 트랜지스터들은, PMOS 트랜지스터인 것을 특징으로 하는 주사구동부.

청구항 7

제 1항에 있어서,

i (i 는 자연수)번째 스테이지의 출력단자는, $i+1$ 번째 스테이지의 입력단자와 전기적으로 연결되는 것을 특징으로 하는 주사구동부.

청구항 8

삭제

청구항 9

제 1항에 있어서, 상기 순차구동구간에서는,

상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 상기 클럭신호들이 순차적으로 반복되어 공급되고, 상기 보조단자로의 상기 보조신호의 공급이 중단되며, 상기 제 2전원단자로 공급되는 상기 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 하는 주사구동부.

청구항 10

제 9항에 있어서,

상기 동시구동구간과 상기 순차구동구간 사이에 존재하는 초기화구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 상기 클럭신호들이 각각 동시에 공급되고, 상기 보조단자로의 상기 보조신호의 공급이 중단되며, 상기 제 2전원단자로 공급되는 상기 제 2전원이 상기 로우레벨의 전압을 갖는 것을 특징으로 하는 주사구동부.

청구항 11

제 1주사신호, 제 2주사신호 및 데이터신호를 공급받는 화소들을 포함하는 화소부;

동시구동구간에서는 동시에 상기 제 1주사신호를 출력하고, 순차구동구간에서는 순차적으로 상기 제 2주사신호를 출력하는 복수의 스테이지를 포함하는 주사구동부; 및

데이터신호를 상기 화소들로 공급하는 데이터구동부; 를 포함하고,

상기 각각의 스테이지는,

입력단자, 제 1클럭단자, 제 3클럭단자, 보조단자, 제 1전원단자 및 제 2전원단자에 연결되어 제 1출력신호와 제 2출력신호를 출력하는 제 1신호처리부; 및

제 2클럭단자 및 제 1전원단자에 연결되고, 상기 제 1출력신호와 상기 제 2출력신호를 공급받아 상기 제 1주사신호와 상기 제 2주사신호를 출력단자로 출력하는 제 2신호처리부; 를 포함하고,

상기 동시구동구간에서는,

상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들의 공급이 함께 유지되며, 상기 보조단자로 보조신호가 공급되며, 상기 제 2전원단자로 공급되는 제 2전원이 하이레벨의 전압을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 11항에 있어서, 제 1신호처리부는,

게이트 전극이 상기 입력단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 제 1노드에 접속되는 제 1트랜지스터;

게이트 전극이 상기 제 1클럭단자에 접속되고, 제 1전극이 상기 입력단자에 접속되며, 제 2전극이 제 3노드에 접속되는 제 2트랜지스터;

게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 3노드에 접속되는 제 3트랜지스터;

게이트 전극이 상기 제 2전원단자에 접속되고, 제 1전극이 상기 제 3노드에 접속되며, 제 2전극이 제 2노드에 접속되는 제 4트랜지스터;

게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 1노드에 접속되는 제 5트랜지스터;

게이트 전극이 상기 제 3클럭단자에 접속되고, 제 1전극이 상기 제 1노드에 접속되며, 제 2전극이 상기 제 2전원단자에 접속되는 제 6트랜지스터; 및

게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 2노드에 접속되며, 제 2전극이 상기 보조단자에 접속되는 제 7트랜지스터; 를 포함하는 유기전계발광 표시장치.

청구항 13

제 12항에 있어서,

상기 제 1출력신호는 상기 제 1노드에서 출력되고, 상기 제 2출력신호는 상기 제 2노드에서 출력되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 13항에 있어서, 상기 제 2신호처리부는,

게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 출력단자에 접속되는 제 8트랜지스터; 및

게이트 전극이 상기 제 2노드에 접속되고, 제 1전극이 상기 출력단자에 접속되며, 제 2전극이 상기 제 2클럭단자에 접속되는 제 9트랜지스터; 를 포함하는 유기전계발광 표시장치.

청구항 15

제 14항에 있어서, 상기 제 2신호처리부는,

상기 제 1노드와 상기 제 1전원단자 사이에 접속되는 제 1커패시터; 및

상기 제 2노드와 상기 출력단자 사이에 접속되는 제 2커패시터; 를 더 포함하는 유기전계발광 표시장치.

청구항 16

제 12항 또는 제 14항에 있어서,

상기 트랜지스터들은, PMOS 트랜지스터인 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

제 11항에 있어서,

i (i 는 자연수)번째 스테이지의 출력단자는, $i+1$ 번째 스테이지의 입력단자와 전기적으로 연결되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 18

삭제

청구항 19

제 11항에 있어서, 상기 순차구동구간에서는,

상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 상기 클럭신호들이 순차적으로 반복되어 공급되고, 상기 보조단자로의 상기 보조신호의 공급이 중단되며, 상기 제 2전원단자로 공급되는 상기 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 20

제 19항에 있어서,

상기 동시구동구간과 상기 순차구동구간 사이에 존재하는 초기화구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 상기 클럭신호들이 각각 동시에 공급되고, 상기 보조단자로의 상기 보조신호의 공급이 중단되며, 상기 제 2전원단자로 공급되는 상기 제 2전원이 상기 로우레벨의 전압을 갖는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 주사구동부 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 보다 상세하게는 기존의 동시 구동용 스테이지와 순차 구동용 스테이지의 구성을 일체화하여, 그 구조를 단순화한 주사구동부 및 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치로는 액정 표시장치(Liquid Crystal Display: LCD), 전계방출 표시장치(Field Emission Display: FED), 플라즈마 표시패널(Plasma Display Panel: PDP) 및 유기전계발광 표시장치(Organic Light Emitting Display: OLED) 등이 있다.

[0003] 그 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 도 1은 종래의 유기전계발광 표시장치를 나타낸 도면이다.

[0005] 도 1을 참조하면, 종래의 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 데이터선들(D1 내지 Dm), 제 1전원(ELVDD) 및 제 2전원(ELVSS)과 접속되는 화소들(10)을 포함하는 화소부(20), 주사선들(S1 내지 Sn)을 통해 각 화소(10)에 주사신호들을 공급하는 주사구동부(30), 데이터선들(D1 내지 Dm)을 통해 데이터신호를 각 화소(10)에 공급하는 데이터구동부(50)를 포함한다.

[0006] 이 때, 주사구동부(30)는 한 프레임 기간(1 Frame Period) 중 동시구동구간에서는 각 화소들(10)의 초기화와 보상을 위해 제 1주사신호를 동시에 각 화소들(10)로 공급하고, 동시구동구간 이후에 진행되는 순차구동구간에서는 데이터신호의 기입을 위해 각 화소들(10)로 순차적으로 제 2주사신호를 공급한다.

[0007] 이를 위하여, 주사 구동부(30)는 제 1주사신호를 각 화소들(10)에 동시 공급하는 동시 구동용 스테이지(32)와 제 2주사신호를 각 화소들(10)에 순차적으로 공급하는 순차 구동용 스테이지(34)를 각각 구비한다.

[0008] 위와 같이 동시 구동용 스테이지(32)와 순차 구동용 스테이지(34)가 별도로 구성됨에 따라, 각 스테이지(32, 34)의 회로를 구성하는 트랜지스터와 커패시터의 개수가 많아져 회로 구성이 복잡해지는 문제점이 있었다.

발명의 내용

해결하려는 과제

[0009] 상술한 문제점을 해결하기 위해 안출된 본 발명의 목적은 기존의 동시 구동용 스테이지와 순차 구동용 스테이지의 구성을 일체화하여, 그 구조를 단순화한 주사구동부 및 유기전계발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0010] 상기한 바와 같은 목적을 달성하기 위한 본 발명의 특징에 따르면, 본 발명의 주사구동부는, 동시구동구간에서는 동시에 제 1주사신호를 출력하고, 순차구동구간에서는 순차적으로 제 2주사신호를 출력하는 복수의 스테이지를 포함하고, 상기 각각의 스테이지는, 입력단자, 제 1클럭단자, 제 3클럭단자, 보조단자, 제 1전원단자 및 제 2전원단자에 연결되어 제 1출력신호와 제 2출력신호를 출력하는 제 1신호처리부 및 제 2클럭단자 및 제 1전원단자에 연결되고, 상기 제 1출력신호와 상기 제 2출력신호를 공급받아 상기 제 1주사신호와 상기 제 2주사신호를 출력단자로 출력하는 제 2신호처리부를 포함한다.

[0011] 또한, 제 1신호처리부는, 게이트 전극이 상기 입력단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 제 1노드에 접속되는 제 1트랜지스터, 게이트 전극이 상기 제 1클럭단자에 접속되고, 제 1전극이 상기 입력단자에 접속되며, 제 2전극이 제 3노드에 접속되는 제 2트랜지스터, 게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 3노드에 접속되는 제 3트랜지스터, 게이트 전극이 상기 제 2전원단자에 접속되고, 제 1전극이 상기 제 3노드에 접속되며, 제 2전극이 제 2노드에 접속되는 제 4트랜지스터, 게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 1노드에 접속되는 제 5트랜지스터, 게이트 전극이 상기 제 3클럭단자에 접속되고, 제 1전극이 상기 제 1노드에 접속되며, 제 2전극이 상기 제 2전원단자에 접속되는 제 6트랜지스터 및 게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 2노드에 접속되며, 제 2전극이 상기 보조단자에 접속되는 제 7트랜지스터를 포함한다.

[0012] 또한, 상기 제 1출력신호는 상기 제 1노드에서 출력되고, 상기 제 2출력신호는 상기 제 2노드에서 출력되는 것을 특징으로 한다.

[0013] 또한, 상기 제 2신호처리부는, 게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 출력단자에 접속되는 제 8트랜지스터 및 게이트 전극이 상기 제 2노드에 접속되고, 제 1전극이 상기 출력단자에 접속되며, 제 2전극이 상기 제 2클럭단자에 접속되는 제 9트랜지스터를 포함한다.

[0014] 또한, 상기 제 2신호처리부는, 상기 제 1노드와 상기 제 1전원단자 사이에 접속되는 제 1커패시터 및 상기 제 2노드와 상기 출력단자 사이에 접속되는 제 2커패시터를 더 포함한다.

[0015] 또한, 상기 트랜지스터들은, PMOS 트랜지스터인 것을 특징으로 한다.

[0016] 또한, i (i 는 자연수)번째 스테이지의 출력단자는, $i+1$ 번째 스테이지의 입력단자와 전기적으로 연결되는 것을 특징으로 한다.

[0017] 또한, 상기 동시구동구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들의 공급이 함께 유지되며, 상기 보조단자로 상기 보조신호가 공급되며, 상기 제 2전원단자로 공급되는 제 2전원이 하이레벨의 전압을 갖는 것을 특징으로 한다.

[0018] 또한, 상기 순차구동구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들이 순차적으로 반복되어 공급되고, 상기 보조단자로의 보조신호 공급이 중단되며, 상기 제 2전원단자로 공급되는 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 한다.

[0019] 또한, 상기 동시구동구간과 상기 순차구동구간 사이에 존재하는 초기화구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들이 각각 동시에 공급되고, 상기 보조단자로의 보조신호 공급이 중단되며, 상기 제 2전원단자로 공급되는 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 한다.

[0020] 본 발명의 유기전계발광 표시장치는, 제 1주사신호, 제 2주사신호 및 데이터신호를 공급받는 화소들을 포함하는 화소부, 동시구동구간에서는 동시에 상기 제 1주사신호를 출력하고, 순차구동구간에서는 순차적으로 상기 제 2주사신호를 출력하는 복수의 스테이지를 포함하는 주사구동부 및 데이터신호를 상기 화소들로 공급하는 데이터 구동부를 포함하고, 상기 각각의 스테이지는, 입력단자, 제 1클럭단자, 제 3클럭단자, 보조단자, 제 1전원단자

및 제 2전원단자에 연결되어 제 1출력신호와 제 2출력신호를 출력하는 제 1신호처리부 및 제 2클럭단자 및 제 1전원단자에 연결되고, 상기 제 1출력신호와 상기 제 2출력신호를 공급받아 상기 제 1주사신호와 상기 제 2주사신호를 출력단자로 출력하는 제 2신호처리부를 포함한다.

[0021] 또한, 제 1신호처리부는, 게이트 전극이 상기 입력단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 제 1노드에 접속되는 제 1트랜지스터, 게이트 전극이 상기 제 1클럭단자에 접속되고, 제 1전극이 상기 입력단자에 접속되며, 제 2전극이 제 3노드에 접속되는 제 2트랜지스터, 게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 3노드에 접속되는 제 3트랜지스터, 게이트 전극이 상기 제 2전원단자에 접속되고, 제 1전극이 상기 제 3노드에 접속되며, 제 2전극이 제 2노드에 접속되는 제 4트랜지스터, 게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 제 1노드에 접속되는 제 5트랜지스터, 게이트 전극이 상기 제 3클럭단자에 접속되고, 제 1전극이 상기 제 1노드에 접속되며, 제 2전극이 상기 제 2전원단자에 접속되는 제 6트랜지스터 및 게이트 전극이 상기 보조단자에 접속되고, 제 1전극이 상기 제 2노드에 접속되며, 제 2전극이 상기 보조단자에 접속되는 제 7트랜지스터를 포함한다.

[0022] 또한, 상기 제 1출력신호는 상기 제 1노드에서 출력되고, 상기 제 2출력신호는 상기 제 2노드에서 출력되는 것을 특징으로 한다.

[0023] 또한, 상기 제 2신호처리부는, 게이트 전극이 상기 제 1노드에 접속되고, 제 1전극이 상기 제 1전원단자에 접속되며, 제 2전극이 상기 출력단자에 접속되는 제 8트랜지스터 및 게이트 전극이 상기 제 2노드에 접속되고, 제 1전극이 상기 출력단자에 접속되며, 제 2전극이 상기 제 2클럭단자에 접속되는 제 9트랜지스터를 포함한다.

[0024] 또한, 상기 제 2신호처리부는, 상기 제 1노드와 상기 제 1전원단자 사이에 접속되는 제 1커패시터 및 상기 제 2노드와 상기 출력단자 사이에 접속되는 제 2커패시터를 더 포함한다.

[0025] 또한, 상기 트랜지스터들은, PMOS 트랜지스터인 것을 특징으로 한다.

[0026] 또한, i (i 는 자연수)번째 스테이지의 출력단자는, $i+1$ 번째 스테이지의 입력단자와 전기적으로 연결되는 것을 특징으로 한다.

[0027] 또한, 상기 동시구동구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들의 공급이 함께 유지되며, 상기 보조단자로 상기 보조신호가 공급되며, 상기 제 2전원단자로 공급되는 제 2전원이 하이레벨의 전압을 갖는 것을 특징으로 한다.

[0028] 또한, 상기 순차구동구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들이 순차적으로 반복되어 공급되고, 상기 보조단자로의 보조신호 공급이 중단되며, 상기 제 2전원단자로 공급되는 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 한다.

[0029] 또한, 상기 동시구동구간과 상기 순차구동구간 사이에 존재하는 초기화구간에서는, 상기 제 1클럭단자, 상기 제 2클럭단자 및 상기 제 3클럭단자로 클럭신호들이 각각 동시에 공급되고, 상기 보조단자로의 보조신호 공급이 중단되며, 상기 제 2전원단자로 공급되는 제 2전원이 로우레벨의 전압을 갖는 것을 특징으로 한다.

발명의 효과

[0030] 이상 살펴본 바와 같은 본 발명에 따르면, 기존의 동시 구동용 스테이지와 순차 구동용 스테이지의 구성을 일체화하여, 그 구조를 단순화한 주사구동부 및 유기전계발광 표시장치를 제공할 수 있다.

도면의 간단한 설명

[0031] 도 1은 종래의 유기전계발광 표시장치를 나타낸 도면이다.

도 2는 본 발명의 바람직한 실시예에 의한 유기전계발광 표시장치를 나타낸 도면이다.

도 3은 도 2에 도시된 주사구동부에 포함된 스테이지의 구성을 나타낸 도면이다.

도 4는 도 3에 도시된 스테이지의 회로 구성을 나타낸 도면이다.

도 5는 도 3에 도시된 스테이지의 동작을 나타내는 파형도이다.

도 6은 도 2에 도시된 주사구동부에 포함된 스테이지의 또 다른 구성을 나타낸 도면이다.

도 7은 도 6에 도시된 스테이지의 동작을 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.
- [0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위하여 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- [0034] 이하, 본 발명의 실시예들 및 이를 설명하기 위한 도면들을 참고하여 본 발명인 주사구동부 및 이를 이용한 유기전계발광 표시장치에 대해 설명하도록 한다.
- [0035] 도 2는 본 발명의 바람직한 실시예에 의한 유기전계발광 표시장치를 나타낸 도면이다.
- [0036] 도 2를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 데이터선들(D1 내지 Dm), 제 1전원(ELVDD) 및 제 2전원(ELVSS)과 접속되는 화소들(110)을 포함하는 화소부(120)와, 각 화소(110)에 제 1주사신호와 제 2주사신호를 공급하는 주사구동부(130) 및 데이터선들(D1 내지 Dm)을 통해 데이터신호를 각 화소(110)에 공급하는 데이터구동부(150)를 포함하며, 주사구동부(130) 및 데이터구동부(150)를 제어하기 위한 타이밍제어부(160)를 더 포함할 수 있다.
- [0037] 주사구동부(130)는 타이밍 제어부(160)의 제어에 의해 제 1주사신호와 제 2주사신호를 생성하여, 동시구동구간(Pe)에서는 상기 생성된 제 1주사신호를 동시에 각 화소들(110)로 공급하고, 순차구동구간(Ps)에서는 상기 생성된 제 2주사신호를 순차적으로 각 화소들(110)로 공급한다.
- [0038] 다시 말하면, 동시구동구간(Pe)에서 화소들(110)로 공급되는 신호를 제 1주사신호로, 순차구동구간(Ps)에서 화소들(110)로 공급되는 신호를 제 2주사신호로 정의할 수 있다. 또한, 제 1주사신호와 제 2주사신호는 로우레벨의 전압으로 구현될 수 있다.
- [0039] 동시구동구간(Pe)과 순차구동구간(Ps)은 한 프레임 기간(1 frame period) 중에 순차적으로 진행되며, 동시구동구간(Pe)과 순차구동구간(Ps) 사이에는 초기화구간(Pi)이 진행되는 것이 바람직하다.
- [0040] 또한, 주사구동부(130)는 제 1주사신호와 제 2주사신호의 생성 및 공급을 위하여 복수개의 스테이지(2001 내지 200n)를 포함한다.
- [0041] 데이터구동부(150)는 타이밍제어부(160)의 제어에 의해 각 화소(110)의 발광 휘도를 결정하는 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.
- [0042] 그러면, 순차구동구간(Ps) 동안 순차적으로 공급되는 주사신호에 의하여 선택된 화소들(110)로 데이터신호가 공급되고, 화소들(110) 각각은 자신에게 공급된 데이터신호에 대응하는 전압을 충전하고, 충전된 전압에 대응하는 휘도로 발광할 수 있게 된다.
- [0043] 또한, 주사구동부(130)는 도 2에 도시된 주사선들(S1 내지 Sn)을 통해 제 1주사신호와 제 2주사신호를 각 화소들(110)에 전달할 수 있다.
- [0044] 도 3은 도 2에 도시된 주사구동부에 포함된 스테이지의 구성을 나타낸 도면이다. 도 3에서는 대표적으로 제 1스태이지(2001), 제 2스태이지(2002), 제 3스태이지(2003), 제 4스태이지(2004)만을 도시하였고, 그 외의 스테이지들(2005 내지 200n)은 설명의 편의를 위해 생략하였다.
- [0045] 도 3을 참조하면, 각 스테이지(2001 내지 200n)는 입력단자(IN), 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3), 보조단자(B_SUB), 제 1전원단자(B_VGH), 제 2전원단자(B_VGL), 출력단자(OUT1 내지 OUTn)를 구비한다.
- [0046] 제 1스태이지(2001)의 입력단자(IN)로는 스타트펄스(FLM)가 공급되고, 그 외의 스테이지(2002 내지 200n)의 입력단자(IN)는 이전 스테이지의 출력단자와 연결된다.
- [0047] 따라서, i번째 스테이지(200i)의 출력단자(OUTi)는 i+1번째 스테이지(200i+1)의 입력단자(IN)에 전기적으로 연

결되어, i 번째 스테이지($200i$)의 출력단자(OUT_i)에서 출력되는 신호는 해당 화소(110)로 공급됨과 동시에 $i+1$ 번째 스테이지($200i+1$)의 입력단자(IN)로 공급된다.

- [0048] 각 스테이지(2001 내지 $200n$)의 제 1전원단자(B_VGH)로는 제 1전원(VGH)이 공급되고, 각 스테이지(2001 내지 $200n$)의 제 2전원단자(B_VGL)로는 제 2전원(VGL)이 공급된다.
- [0049] 제 1전원(VGH)은 한 프레임 기간 동안 그 전압을 일정하게 유지하되, 제 2전원(VGL)은 한 프레임 기간 내에서 그 전압이 가변된다.
- [0050] 일례로, 제 1전원(VGH)은 한 프레임 기간 동안 하이레벨의 전압을 일정하게 유지할 수 있으며, 제 2전원(VGL)은 동시구동구간(P_e)에서는 하이레벨의 전압으로 설정되고, 초기화구간(P_i)과 순차구동구간(P_s)에서는 로우레벨의 전압으로 설정될 수 있다.
- [0051] 순차구동구간(P_s) 동안 각 스테이지(2001 내지 $200n$)의 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3)에는 클럭신호들이 순차적으로 공급되어야 하므로, 제 1스테이지(2001)의 제 1클럭단자(CK1)는 제 1클럭신호(SCK1)와 연결되고, 제 2클럭단자(CK2)는 제 2클럭신호(SCK2)와 연결되며, 제 3클럭단자(CK3)은 제 3클럭신호(SCK3)에 연결된다.
- [0052] 또한, 제 2스테이지(2002)의 제 1클럭단자(CK1)는 제 2클럭신호(SCK2)와 연결되고, 제 2클럭단자(CK2)는 제 3클럭신호(SCK3)와 연결되고, 제 3클럭단자(CK3)는 제 1클럭신호(SCK1)에 연결된다.
- [0053] 그리고, 제 3스테이지(2003)의 제 1클럭단자(CK1)는 제 3클럭신호(SCK3)와 연결되고, 제 2클럭단자(CK2)는 제 1클럭신호(SCK1)에 연결되며, 제 3클럭단자(CK3)는 제 2클럭신호(SCK2)에 연결된다.
- [0054] 제 1클럭신호(SCK1), 제 2클럭신호(SCK2), 제 3클럭신호(SCK3)는 도 5에 도시된 바와 같이 반복적으로 공급되되, 제 2클럭신호(SCK2)는 제 1클럭신호(SCK1) 보다 한 수평기간(1H)만큼 지연되고, 제 3클럭신호(SCK3)는 제 2클럭신호(SCK2) 보다 한 수평기간(1H)만큼 지연되는 것이 바람직하다.
- [0055] 도 4는 도 3에 도시된 스테이지의 회로 구성을 나타낸 도면이다. 도 4에서는 설명의 편의성을 위하여 i (i 는 자연수)번째 스테이지와 $i+1$ 번째 스테이지를 도시하기로 한다.
- [0056] 각 스테이지(2001 내지 $200n$)는 제 1신호처리부(310)와 제 2신호처리부(320)를 포함하는데, 대표적으로 도 4에 도시된 i 번째 스테이지($200i$)를 살펴본다.
- [0057] 제 1신호처리부(310)는 입력단자(IN), 제 1클럭단자(CK1), 제 3클럭단자(CK3), 보조단자(B_SUB), 제 1전원단자(B_VGH) 및 제 2전원단자(B_VGL)에 연결되며, 제 1출력신호(Sout1)과 제 2출력신호(Sout2)를 출력한다.
- [0058] 제 2신호처리부(320)는 제 2클럭단자(CK2)와 제 1전원단자(B_VGH)에 연결되고, 제 1신호처리부(310)로부터 출력되는 제 1출력신호(Sout1)와 제 2출력신호(Sout2)를 공급받아 제 1주사신호와 제 2주사신호를 출력단자(OUT_i)로 출력한다.
- [0059] 이 때, 제 1신호처리부(310)는 제 1트랜지스터(M1) 내지 제 7트랜지스터(M7)를 포함한다.
- [0060] 제 1트랜지스터(M1)는 게이트 전극이 입력단자(IN)에 접속되고, 제 1전극이 제 1전원단자(B_VGH)에 접속되며, 제 2전극이 제 1노드(N1)에 접속된다. 또한, 제 1트랜지스터(M1)는 입력단자(IN)에 이전 스테이지로부터의 주사신호가 입력되는 경우 턴-온되어, 제 1전원(VGH)을 제 1노드(N1)로 전달한다.
- [0061] 제 2트랜지스터(M2)는 게이트 전극이 제 1클럭단자(CK1)에 접속되고, 제 1전극이 입력단자(IN)에 접속되며, 제 2전극이 제 3노드(N3)에 접속된다. 또한, 제 2트랜지스터(M2)는 제 1클럭단자(CK1)로 클럭신호가 공급되는 경우 턴-온되어, 입력단자(IN)의 전압을 제 3노드(N3)에 전달한다.
- [0062] 제 3트랜지스터(M3)는 게이트 전극이 제 1노드(N1)에 접속되고, 제 1전극이 제 1전원단자(B_VGH)에 접속되며, 제 2전극이 제 3노드(N3)에 접속된다. 또한, 제 3트랜지스터(M3)는 제 1노드(N1)의 전압에 의해 턴-온, 턴-오프가 제어되며, 턴-온되는 경우 제 3노드(N3)로 제 1전원(VGH)을 전달한다.
- [0063] 제 4트랜지스터(M4)는 게이트 전극이 제 2전원단자(B_VGL)에 접속되고, 제 1전극이 제 3노드(N3)에 접속되며, 제 2전극이 제 2노드(N2)에 접속된다. 또한, 제 4트랜지스터(M4)는 제 2전원(VGL)에 의해 턴-온, 턴-오프가 제어되며, 턴-온되는 경우 제 3노드(N3)의 전압을 제 2노드(N2)로 전달한다.
- [0064] 제 5트랜지스터(M5)는 게이트 전극이 보조단자(B_SUB)에 접속되고, 제 1전극이 제 1전원단자(B_VGH)에 접속되며, 제 2전극이 제 1노드(N1)에 접속된다. 또한, 제 5트랜지스터(M5)는 보조신호(SUB)가 공급되는 경우

턴-온되어, 제 1전원(VGH)을 제 1노드(N1)로 전달한다.

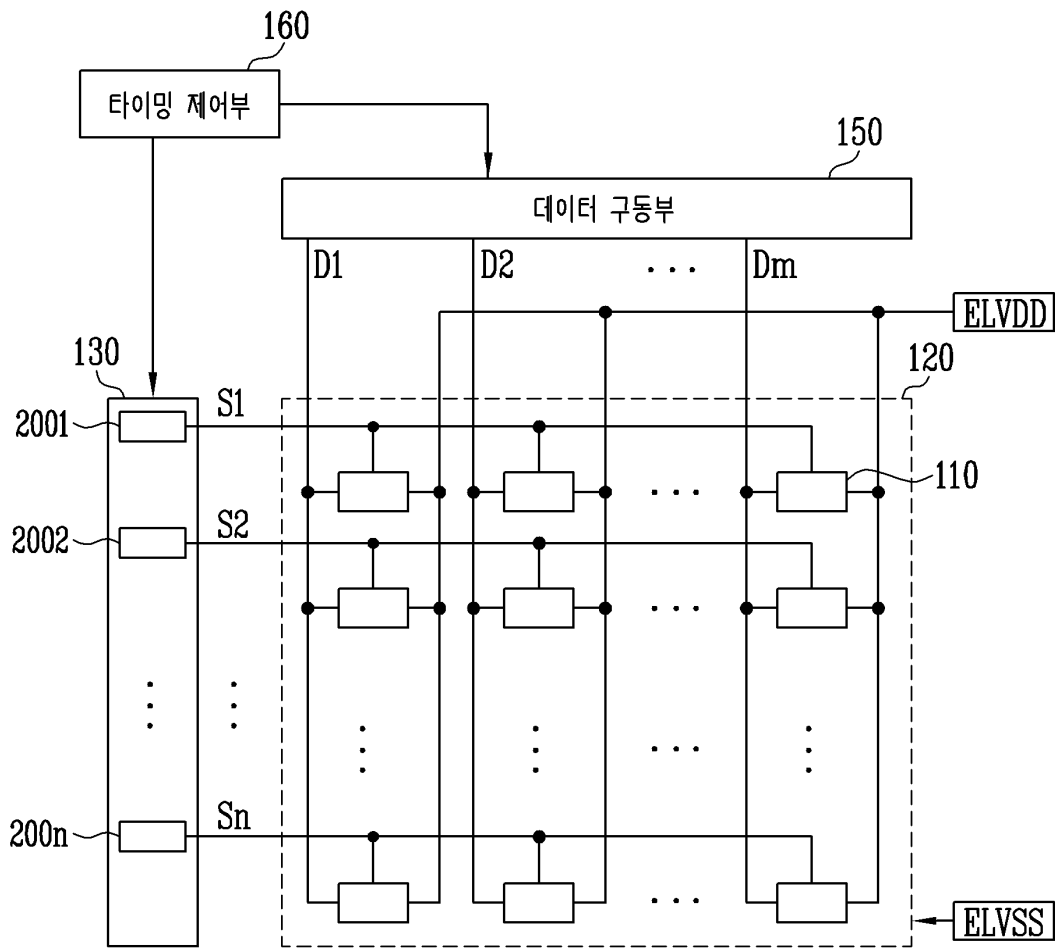
- [0065] 제 6트랜지스터(M6)는 게이트 전극이 제 3클럭단자(CK3)에 접속되고, 제 1전극이 제 1노드(N1)에 접속되며, 제 2전극이 제 2전원단자(B_VGL)에 접속된다. 또한, 제 6트랜지스터(M6)는 제 3클럭단자(CK3)로 클럭신호가 공급되는 경우 턴-온되어, 제 2전원(VGL)을 제 1노드(N1)로 전달한다.
- [0066] 제 7트랜지스터(M7)는 게이트 전극이 보조단자(B_SUB)에 접속되고, 제 1전극이 제 2노드(N2)에 접속되고, 제 2전극이 보조단자(B_SUB)에 접속된다. 또한, 제 7트랜지스터(M7)는 보조신호(SUB)가 공급되는 경우 턴-온되어, 제 2전원(VGL)을 제 2노드(N2)로 전달한다.
- [0067] 또한, 제 2신호처리부(320)는 제 8트랜지스터(M8), 제 9트랜지스터(M9)를 포함한다.
- [0068] 제 8트랜지스터(M8)는 게이트 전극이 제 1노드(N1)에 접속되고, 제 1전극이 제 1전원단자(B_VGH)에 접속되며, 제 2전극이 출력단자(OUTi)에 접속된다. 또한, 제 8트랜지스터(M8)는 제 1노드(N1)의 전압에 따라 턴-온, 턴-오프가 제어되며, 턴-온되는 경우 제 1전원(VGH)을 출력단자(OUTi)에 전달한다.
- [0069] 제 9트랜지스터(M9)는 게이트 전극이 제 2노드(N2)에 접속되고, 제 1전극이 출력단자(OUTi)에 접속되며, 제 2전극이 제 2클럭단자(CK2)에 접속된다. 또한, 제 9트랜지스터(M9)는 제 2노드(N2)의 전압에 의해 턴-온, 턴-오프가 제어되며, 턴-온되는 경우 제 2클럭단자(CK2)의 클럭신호를 출력단자(OUTi)에 전달한다.
- [0070] 또한, 제 2신호처리부(320)는 제 1커패시터(C1)와 제 2커패시터(C2)를 더 포함하는 것이 바람직하다.
- [0071] 제 1커패시터(C1)는 제 1노드(N1)와 제 1전원단자(B_VGH) 사이에 접속된다. 따라서, 제 1커패시터(C1)는 제 8트랜지스터(M8)의 게이트 전극과 제 1전극 사이에 접속된다.
- [0072] 제 2커패시터(C2)는 제 2노드(N2)와 출력단자(OUTi) 사이에 접속된다. 따라서, 제 2커패시터(C2)는 제 9트랜지스터(M9)의 게이트 전극과 제 1전극 사이에 접속된다.
- [0073] 제 1신호처리부(310)로부터 출력되는 제 1출력신호(Sout1)는 제 1노드(N1)를 통해 제 2신호처리부(320)로 전달되며, 제 1신호처리부(310)로부터 출력되는 제 2출력신호(Sout2)는 제 2노드(N2)를 통해 제 2신호처리부(320)로 전달된다.
- [0074] 제 1노드(N1)는 제 1트랜지스터(M1)의 제 2전극, 제 3트랜지스터(M3)의 게이트 전극, 제 5트랜지스터(M5)의 제 2전극, 제 6트랜지스터(M6)의 제 1전극, 제 8트랜지스터(M8)의 게이트 전극이 만나는 접점이다.
- [0075] 제 2노드(N2)는 제 4트랜지스터(M4)의 제 2전극, 제 7트랜지스터(M7)의 제 1전극, 제 9트랜지스터(M9)의 게이트 전극이 만나는 접점이다.
- [0076] 제 3노드(N3)는 제 2트랜지스터(M2)의 제 2전극, 제 3트랜지스터(M3)의 제 2전극, 제 4트랜지스터(M4)의 제 1전극이 만나는 접점이다.
- [0077] 상술한 제 1신호처리부(310)와 제 2신호처리부(320)의 트랜지스터들(M1 내지 M9)는 PMOS 트랜지스터로 구현될 수 있으며, 제 1전극과 제 2전극은 서로 다른 전극으로 설정된다. 일례로, 제 1전극이 드레인 전극인 경우에는 제 2전극은 소스 전극으로 설정될 수 있다.
- [0078] 또한, i번째 스테이지(200i)의 출력단자(OUTi)는 i+1번째 스테이지(200i+1)의 입력단자(IN)와 전기적으로 연결될 수 있다.
- [0079] 도 5는 도 3에 도시된 스테이지의 동작을 나타내는 파형도이다. 도 4 및 도 5를 참조하여, 본 발명인 주사구동부(130)의 동작을 살펴본다.
- [0080] 각 프레임 기간(Frame Period)에서는 순차적으로 동시구동구간(Pe), 초기화구간(Pi), 순차구동구간(Ps)이 진행된다.
- [0081] 동시구동구간(Pe)은 주사구동부(130)가 각 화소들(110)에 대하여 동시에 제 1주사신호를 공급하는 구간으로서, 도 5에 도시되어 있는 바와 같이 각 스테이지(2001 내지 200n)의 출력단자(OUT1 내지 OUTn)에서는 동시에 제 1주사신호가 출력된다.
- [0082] 동시구동구간(Pe)에서는 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3)로 클럭신호들의 공급이 함께 유지되며, 보조단자(B_SUB)로 보조신호(SUB)가 공급되고, 제 2전원단자(B_VGL)로 공급되는 제 2전원(VGL)이 하이레벨의 전압으로 설정된다.

- [0083] 일례로, 도 5에 도시된 바와 같이 각 클럭단자(CK1, CK2, CK3)로 공급되는 클럭신호들(SCK1, SCK2, SCK3)은 로우레벨의 전압으로 구현될 수 있으며, 보조신호(SUB)는 제 5트랜지스터(M5)와 제 7트랜지스터(M7)를 턴-온시키는 전압으로 설정될 수 있으며, 로우레벨의 전압으로 구현될 수 있다.
- [0084] 이 때, 보조신호(SUB)의 공급 시작 시점과 제 2전원(VGL)이 로우레벨의 전압에서 하이레벨의 전압으로 가변되는 시점은 동일하게 이루어질 수 있다.
- [0085] 또한, 보조신호(SUB)의 공급 시작 시점과 제 2전원(VGL)이 로우레벨의 전압에서 하이레벨의 전압으로 가변되는 시점은 클럭신호들(SCK1, SCK2, SCK3)의 공급이 시작되는 시점보다 먼저 이루어지는 것이 바람직하고, 보조신호(SUB)의 공급 완료 시점과 제 2전원(VGL)이 하이레벨의 전압에서 로우레벨의 전압으로 가변되는 시점은 클럭신호들(SCK1, SCK2, SCK3)의 공급이 완료되는 시점보다 늦게 이루어지는 것이 바람직하다.
- [0086] 보조신호(SUB)의 공급에 의해 제 5트랜지스터(M5)는 턴-온되어 제 1노드(N1)에는 제 1전원(VGH)이 전달된다. 따라서, 제 3트랜지스터(M3)와 제 8트랜지스터(M8)는 턴-오프 상태를 유지한다.
- [0087] 또한, 제 2전원(VGL)이 하이레벨의 전압으로 가변되므로, 제 4트랜지스터(M4)는 턴-오프된다.
- [0088] 그리고, 보조신호(SUB)의 공급에 따라 제 7트랜지스터(M7)는 턴-온되고, 제 2노드(N2)로 보조신호(SUB)의 전압에서 제 7트랜지스터(M7)의 문턱전압(V_{th7})의 절대값을 감한 전압값을 전달한다.
- [0089] 이에 따라, 제 9트랜지스터(M9)가 턴-온되고, 제 2클럭단자(CK2)의 클럭신호를 출력단자(OUT_i)에 전달한다. 이 때, 모든 클럭신호(SCK1, SCK2, SCK3)는 공급이 유지되고 있으므로, 결국 출력단자(OUT_i)에는 로우레벨의 전압이 출력된다.
- [0090] 또한, 동시구동구간(Pe)은 모든 스테이지(2001 내지 200n)에서 동시에 진행되므로, 각 스테이지(2001 내지 200n)는 동시에 로우레벨의 전압을 제 1주사신호로서 출력할 수 있다.
- [0091] 초기화구간(Pi)은 순차구동구간(Ps)이나 동시구동구간(Pe)에 비해 짧은 시간 진행되며, 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3)로 클럭신호들이 각각 동시에 공급된다. 또한, 보조단자(B_SUB)로의 보조신호(SUB) 공급이 중단되며, 제 2전원단자(B_VGL)로 공급되는 제 2전원(VGL)은 로우레벨의 전압으로 설정된다.
- [0092] 이 때, 클럭신호들(SCK1, SCK2, SCK3)은 한 수평기간(주사신호의 공급기간, 1H)동안 공급되는 것이 바람직하다.
- [0093] 초기화구간(Pi)에서는 그 일부 구간에서 클럭신호들(SCK1, SCK2, SCK3)이 동시에 공급되므로, 제 6트랜지스터(M6)가 턴-온되고, 이에 따라 제 1노드(N1)에 제 2전원(VGL)이 전달된다.
- [0094] 초기화구간(Pi)에서는 제 2전원(VGL)이 로우레벨의 전압이므로, 제 8트랜지스터(M8)가 턴-온되어 제 1전원(VGH)이 출력단자(OUT_i)로 출력된다.
- [0095] 또한, 초기화구간(Pi)은 모든 스테이지(2001 내지 200n)에서 동시에 수행되며, 제 1전원(VGH)은 하이레벨의 전압이므로, 결국 모든 스테이지(2001 내지 200n)는 그 출력단자(OUT1 내지 OUTn)로 하이레벨의 전압을 출력함으로써 각 스테이지(2001 내지 200n)의 출력을 초기화시킬 수 있다.
- [0096] 순차구동구간(Ps)은 주사구동부(130)가 각 화소들(110)에 대하여 순차적으로 제 2주사신호를 공급하는 구간으로서, 도 5에 도시되어 있는 바와 같이 각 스테이지(2001 내지 200n)의 출력단자(OUT1 내지 OUTn)에서는 순차적으로 제 2주사신호가 출력된다.
- [0097] 이를 위하여, 스테이지(2001 내지 200n)의 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3)로 클럭신호들이 순차적으로 반복되어 공급된다. 또한, 보조단자(B_SUB)로 보조신호(SUB)의 공급이 중단되며, 제 2전원단자(B_VGL)로 공급되는 제 2전원(VGL)이 로우레벨의 전압으로 설정된다.
- [0098] 일례로, 도 5에 도시된 바와 같이 각 클럭단자(CK1, CK2, CK3)로 공급되는 클럭신호들(SCK1, SCK2, SCK3)은 로우레벨의 전압으로 구현될 수 있으며, 보조신호(SUB)는 제 5트랜지스터(M5)와 제 7트랜지스터(M7)를 턴-온시키는 전압으로 설정될 수 있으며, 로우레벨의 전압으로 구현될 수 있다.
- [0099] 따라서, 순차구동구간(Ps) 동안 보조단자(B_SUB)로는 하이레벨의 전압이 인가될 수 있다.
- [0100] i번째 스테이지(200i)의 동작을 살펴보면, 순차구동구간(Ps)의 시작과 동시에 이전 스테이지(200i-1)의 출력단자(OUT_{i-1})에서 출력되는 제 2주사신호가 입력단자(OUT_i)에 입력되고(제 1스테이지(2001)의 경우에는 입력단자(IN)로 스타트펄스(FLM)가 입력됨), 이와 동시에 제 1클럭단자(CK1)에 클럭신호(일례로, 제 1클럭신호(SCK1))가

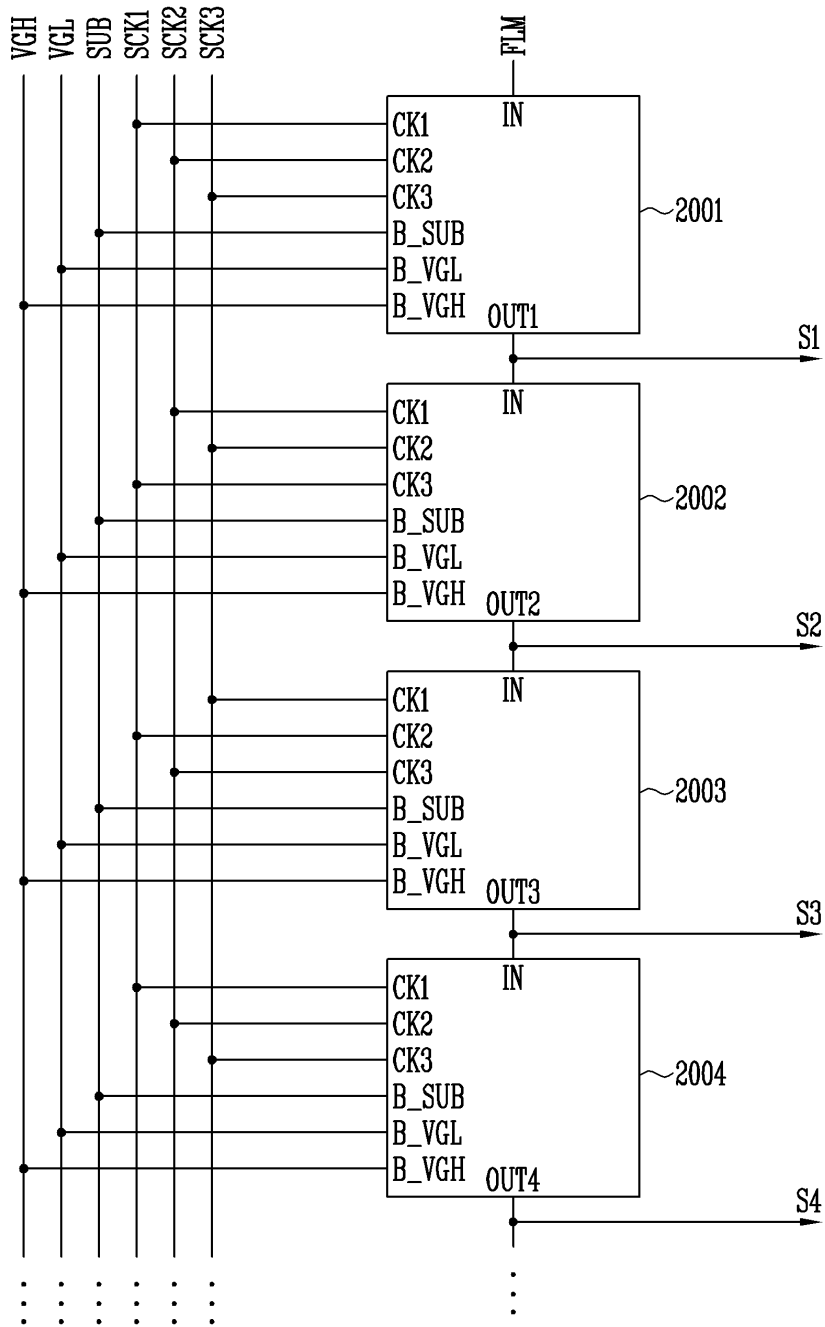
입력된다.

- [0101] 순차구동구간(Ps) 동안에는 보조신호(SUB)의 공급이 중단되므로, 제 5트랜지스터(M5)와 제 7트랜지스터(M7)는 턴-오프 상태를 유지한다.
- [0102] 또한, 제 2전원(VGL)은 로우레벨의 전압을 유지하므로, 제 4트랜지스터(M4)는 턴-온 상태를 유지한다.
- [0103] 입력단자(IN)에 이전 스테이지(200i-1)의 출력단자(OUTi-1)에서 출력되는 주사신호(일례로, 로우레벨의 전압)가 공급되므로, 제 1트랜지스터(M1)는 턴-온된다. 이에 따라, 제 1노드(N1)에는 제 1트랜지스터(M1)를 통해 제 1전원(VGH)이 전달된다. 제 1전원(VGH)은 하이레벨의 전압이므로, 제 3트랜지스터(M3)와 제 8트랜지스터(M8)는 턴-오프된다.
- [0104] 제 1클럭단자(CK1)에 로우레벨의 클럭신호가 공급되므로, 제 2트랜지스터(M2)는 턴-온되고, 이에 따라 입력단자(IN)의 로우레벨 전압이 제 3노드(N3)와 제 4트랜지스터(M4)를 통해 제 2노드(N2)에 전달된다.
- [0105] 따라서, 제 9트랜지스터(M9)는 턴-온되고, 이에 따라 제 2클럭단자(CK2)의 전압이 출력단자(OUTi)로 출력된다. 이 때, 제 2클럭단자(CK2)의 전압은 하이레벨로 설정되므로, 결국 출력단자(OUTi)에는 하이레벨의 전압이 출력된다.
- [0106] 그 후, 제 2클럭단자(CK2)로 클럭신호(일례로, 제 2클럭신호(SCK2))가 공급되면, 제 2커패시터(C2)에 충전된 전압에 의해 턴-온 상태가 유지되는 제 9트랜지스터(M9)를 통해 로우레벨의 전압이 출력된다. 따라서, 출력단자(OUTi)에는 로우레벨의 전압이 제 2주사신호로서 출력될 수 있다.
- [0107] 그 후, 제 3클럭단자(CK3)로 클럭신호(일례로, 제 3클럭신호(SCK3))가 공급되면, 제 6트랜지스터(M6)가 턴-온되어 제 2전원(VGL)이 제 1노드(N1)로 전달된다. 이에 따라, 제 8트랜지스터(M8)가 턴-온되어 제 1전원(VGH)을 다시 출력단자(OUTi)로 전달한다. 따라서, 결국, 출력단자(OUTi)는 다시 하이레벨의 전압을 출력하게 된다.
- [0108] 다음, i+1번째 스테이지(200i+1)에서는 i번째 스테이지(200i)의 출력단자(OUTi)에서 출력되는 제 2주사신호를 입력단자(IN)로 입력받아 상술한 i번째 스테이지(200i)의 동작을 동일하게 수행하여, 그 출력단자(OUTi+1)로 제 2주사신호를 출력할 수 있다.
- [0109] 이러한 동작이 연쇄적으로 일어남으로써, 결국 순차구동구간(Ps)에서는 각 스테이지들(2001 내지 200n)이 순차적으로 제 2주사신호를 출력하게 된다.
- [0110] 도 6은 도 2에 도시된 주사구동부에 포함된 스테이지의 또 다른 구성을 나타낸 도면이고, 도 7은 도 6에 도시된 스테이지의 동작을 나타내는 파형도이다.
- [0111] 상술한 도 5에서는 순차구동구간(Ps) 동안 한 수평기간(1H)의 주사신호를 출력하였으나, 도 6과 같은 구성을 통해 두 수평기간(2H)의 주사신호(인접출력간 한 수평기간(1H) 중첩)를 출력할 수 있다.
- [0112] 이를 위하여, 각 스테이지(200 내지 200n)에 공급되는 클럭신호들 역시 두 수평기간(2H) 동안 공급되어야 하므로, 6개의 클럭신호들(SCK1, SCK2, SCK3, SCK4, SCK5, SCK6)이 사용된다.
- [0113] 6개의 클럭신호들(SCK1, SCK2, SCK3, SCK4, SCK5, SCK6)은 도 8에 도시된 바와 같이 반복적으로 공급되며, 각각 두 수평기간(2H) 동안 공급되며, 현재 클럭신호는 이전 클럭신호보다 한 수평기간(1H)만큼 지연되고, 이에 따라 한 수평기간(1H) 동안은 이전 클럭신호와 중첩된다.
- [0114] 예를 들어, 제 2클럭신호(SCK2)는 제 1클럭신호(SCK)보다 한 수평기간(1H) 만큼 지연되고, 제 2클럭신호(SCK2)와 제 1클럭신호(SCK)는 한 수평기간(1H) 동안 중첩된다.
- [0115] 결국, 각 스테이지(2002 내지 200n)는 도 3에 도시된 스테이지의 구성과 마찬가지로, 순차구동구간(Ps) 동안 각 스테이지(2001 내지 200n)의 제 1클럭단자(CK1), 제 2클럭단자(CK2), 제 3클럭단자(CK3)에 클럭신호들이 순차적으로 공급된다. 다만, 공급되는 클럭신호들의 공급 기간이 두 수평기간(2H)이라는 점만 상이하다.
- [0116] 예를 들어, 제 1스테이지(2001)에서는 제 1클럭단자(CK1)가 제 1클럭신호(SCK1)와 연결되고, 제 2클럭단자(CK2)는 제 3클럭신호(SCK3)와 연결되고, 제 3클럭단자(CK3)는 제 5클럭신호(SCK5)와 연결될 수 있다.
- [0117] 또한, 제 2스테이지(2002)에서는 제 1클럭단자(CK1)가 제 2클럭신호(SCK2)와 연결되고, 제 2클럭단자(CK2)는 제 4클럭신호(SCK4)와 연결되고, 제 3클럭단자(CK3)는 제 6클럭신호(SCK6)와 연결될 수 있다.
- [0118] 이 때의 각 스테이지(2001 내지 200n)의 동작은 상술한 설명(도 5관련)과 동일하므로, 여기서는 생략한다.

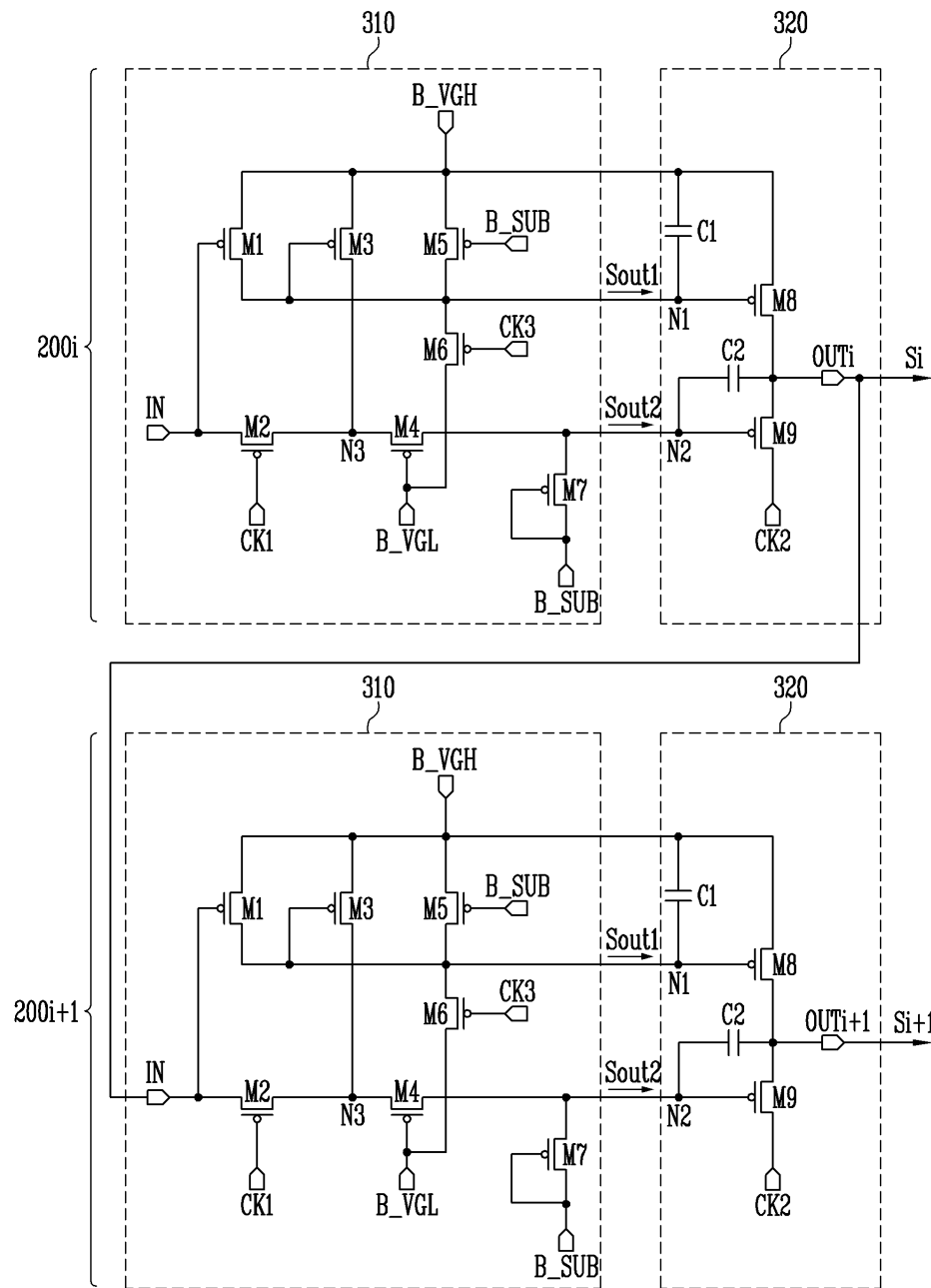
도면2



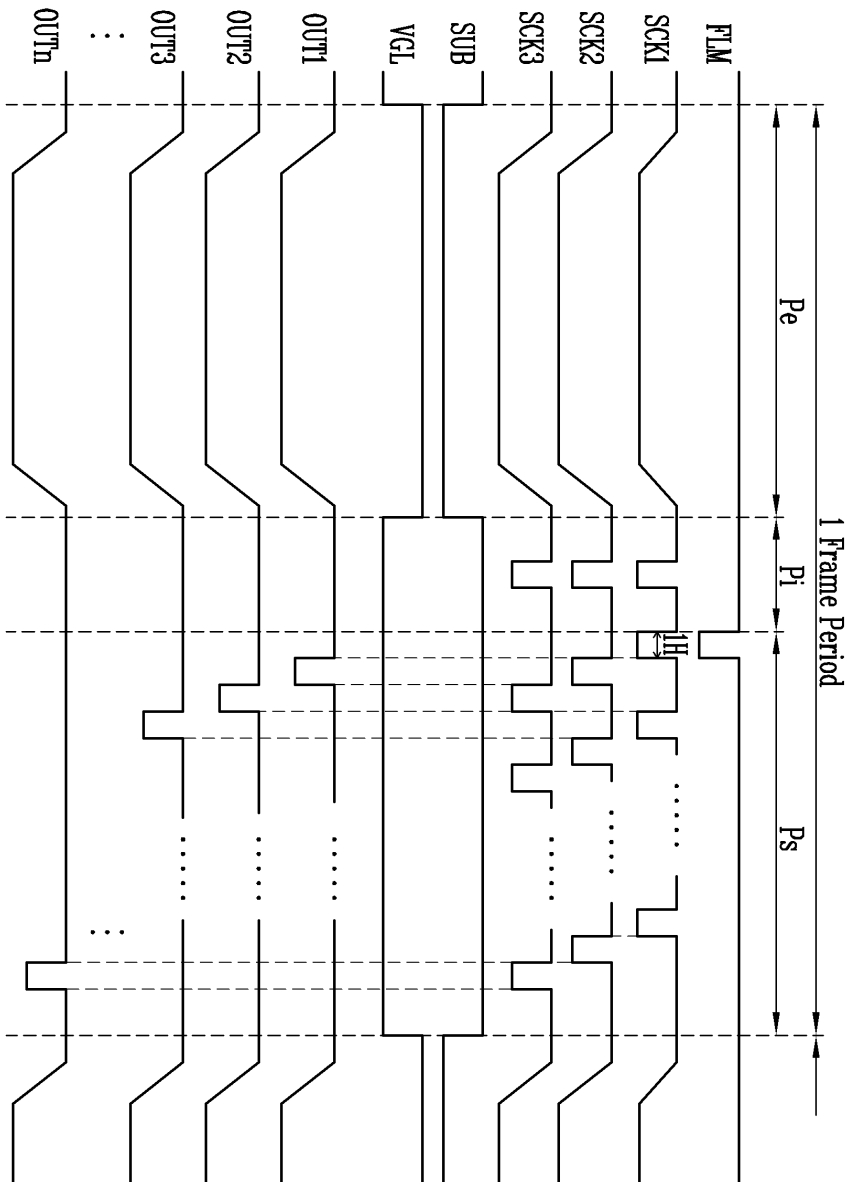
도면3



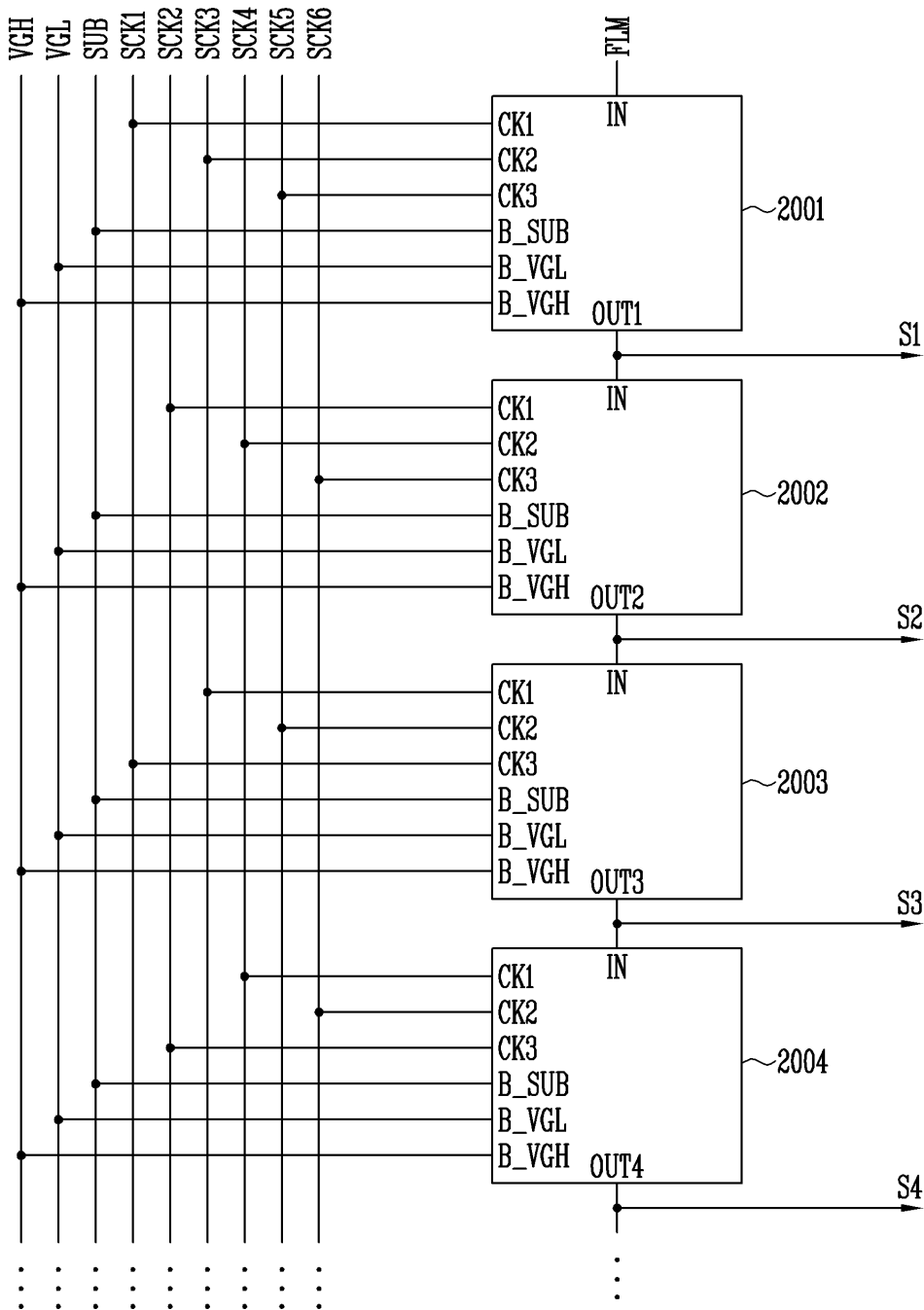
도면4



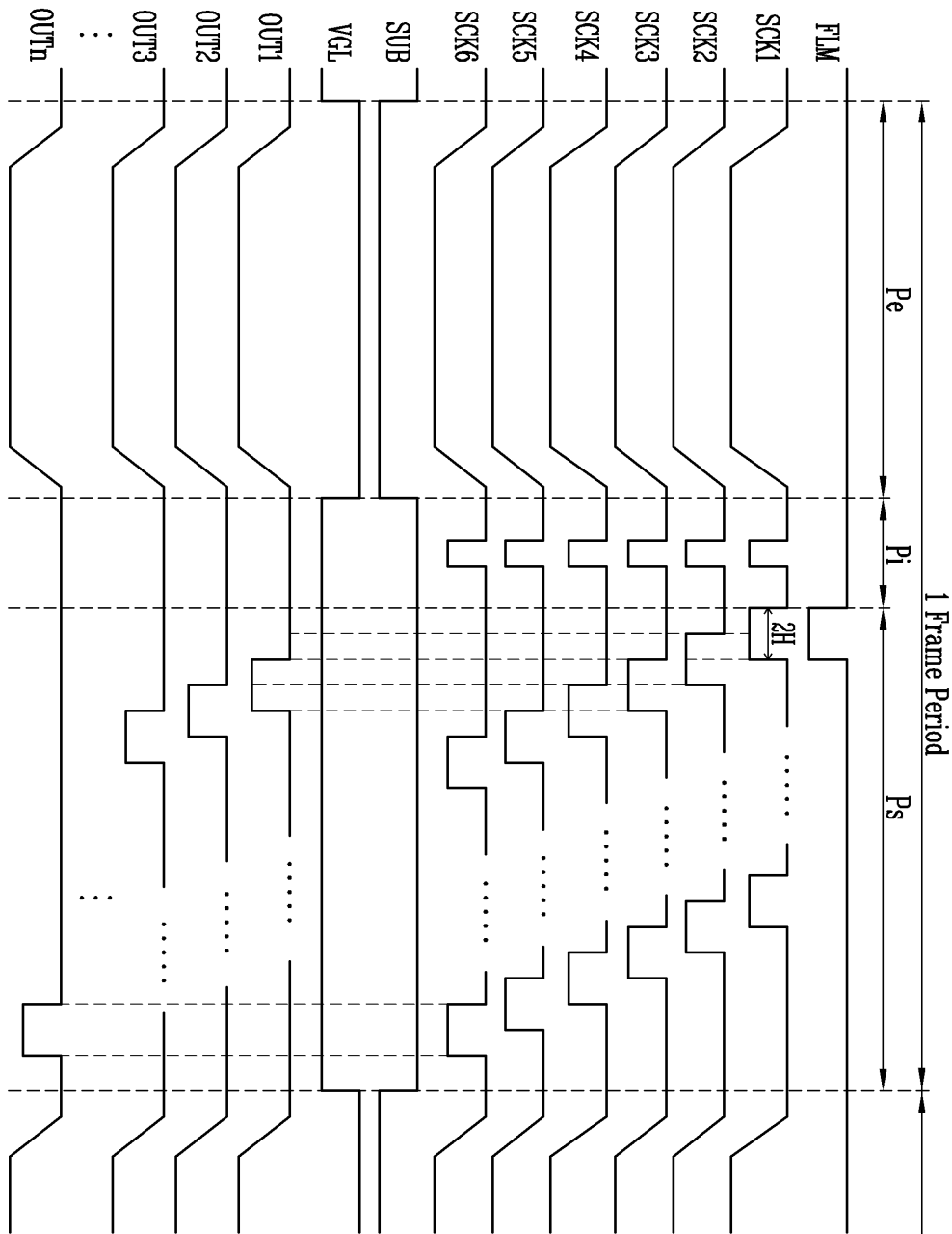
도면5



도면6



도면7



专利名称(译)	扫描驱动器和使用它的有机电致发光显示器		
公开(公告)号	KR101871425B1	公开(公告)日	2018-06-28
申请号	KR1020110064435	申请日	2011-06-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HAEYEON LEE 이해연 CHULKYU KANG 강철규 SEONGIL PARK 박성일 KYUNGHOON CHUNG 정경훈		
发明人	이해연 강철규 박성일 정경훈		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G2310/0286 G11C19/28		
代理人(译)	강신섭 Munyongho Yiyongwoo		
其他公开文献	KR1020130003248A		
外部链接	Espacenet		

摘要(译)

目的：提供扫描驱动器和使用该扫描驱动器的有机电致发光显示装置，通过集成用于同时驱动的级和用于顺序驱动的级来简化结构。组织：多级（2001,2002,2003,2004）同时输出在同时驱动期间的第一扫描信号。这些级在顺序驱动期间连续输出第二扫描信号。第一信号处理器输出第一和第二输出信号。第二信号处理器输出第一和第二扫描信号。

