



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월30일
(11) 등록번호 10-2038076
(24) 등록일자 2019년10월23일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H05B 33/08 (2006.01)
(21) 출원번호 10-2013-0036978
(22) 출원일자 2013년04월04일
심사청구일자 2018년04월04일
(65) 공개번호 10-2014-0120734
(43) 공개일자 2014년10월14일
(56) 선행기술조사문헌
KR1020100071708 A*
KR1020100116553 A*
KR1020120008085 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김현태
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 19 항

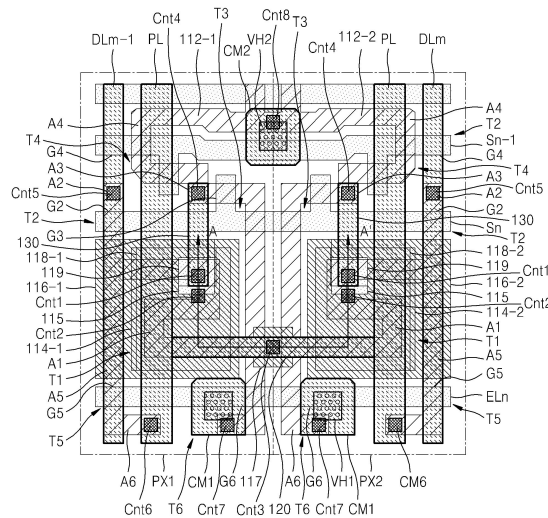
심사관 : 김우영

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예는, 기관 상에 제1 방향을 따라 배치되며 제1 방향에 교차하는 축을 중심으로 대칭인 두 개의 액티브층들과, 두 개의 액티브층들 각각에 중첩하는 두 개의 제1 커패시터 전극들, 및 두 개의 제1 커패시터 전극들 각각에 중첩되는 두 개의 제2 커패시터 전극들을 포함하는, 유기 발광 표시 장치를 개시한다.

대표도 - 도9



명세서

청구범위

청구항 1

기관 상에 제1 방향을 따라 배치되되 상기 제1 방향에 교차하는 축을 중심으로 대칭인 두 개의 액티브층들;

상기 두 개의 액티브층들 각각에 중첩하는 두 개의 제1 커패시터 전극들; 및

상기 두 개의 제1 커패시터 전극들 각각에 중첩되는 두 개의 제2 커패시터 전극들;

상기 두 개의 액티브층 각각을 따라 형성되는 두 개의 구동 박막 트랜지스터들;

상기 두 개의 액티브층 각각을 따라 형성되는 두 개의 스위칭 박막 트랜지스터들;

을 포함하며,

상기 두 개의 구동 박막 트랜지스터들 중 하나의 구동 박막 트랜지스터의 액티브층은 상기 두 개의 스위칭 박막 트랜지스터들 중 하나의 스위칭 박막 트랜지스터의 액티브층과 서로 연결되고,

상기 두 개의 구동 박막 트랜지스터들 중 다른 하나의 구동 박막 트랜지스터의 액티브층은 상기 두 개의 스위칭 박막 트랜지스터들 중 다른 하나의 스위칭 박막 트랜지스터의 액티브층과 서로 연결되는, 유기 발광 표시 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 구동 박막 트랜지스터들 각각의 액티브층은 복수의 굴곡부들을 가지며, 상기 굴곡부들은 상기 축을 중심으로 대칭인, 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 커패시터 전극들 각각은 상기 구동 박막 트랜지스터들 각각의 액티브층의 굴곡부를 커버하는, 유기 발광 표시 장치.

청구항 5

제1항, 제3항, 및 제4항 중 어느 한 항에 있어서,

상기 두 개의 제1 커패시터 전극들은 상기 축을 중심으로 대칭인, 유기 발광 표시 장치.

청구항 6

제1항, 제3항, 및 제4항 중 어느 한 항에 있어서,

상기 두 개의 제2 커패시터 전극들은 상기 축을 중심으로 대칭인, 유기 발광 표시 장치

청구항 7

제4항에 있어서,

상기 제1 커패시터 전극들 각각은 상기 구동 박막 트랜지스터들 각각의 게이트전극인, 유기 발광 표시 장치.

청구항 8

제1항 또는 제7항에 있어서,

상기 두 개의 액티브층들 각각을 따라 형성되며 상기 축을 중심으로 대칭인 두 개의 보상 박막 트랜지스터들; 및

상기 스위칭 박막 트랜지스터들 및 상기 보상 박막 트랜지스터들의 게이트전극에 해당하는 제1주사선;을 더 포함하는, 유기 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 커패시터 전극들 각각과 상기 보상 박막 트랜지스터들 각각을 연결하는 컨택 노드들을 더 포함하는, 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제2 커패시터 전극들 각각은 상기 제1 커패시터 전극들 각각을 노출하는 개구부를 포함하는, 유기 발광 표시 장치.

청구항 11

제1항에 있어서,

상기 두 개의 제2 커패시터 전극들 각각에 전압을 인가하는 구동 전압선들을 더 포함하는, 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 구동 전압선들은 상기 축을 중심으로 대칭인, 유기 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 두 개의 제1 커패시터 전극들은 서로 분리되며 상기 제1 방향에 교차하는 축을 중심으로 대칭이고, 상기 두 개의 제2 커패시터 전극들은 상기 축을 중심으로 서로 대칭인, 유기 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 두 개의 액티브층들 중 상기 두 개의 제1 커패시터 전극들 각각에 중첩하는 부분들은, 복수의 굴곡부를 갖는, 유기 발광 표시 장치.

청구항 15

제14항에 있어서,

상기 두 개의 제1 커패시터 전극들 각각과 중첩하는 두 개의 구동 박막 트랜지스터들을 더 포함하며, 상기 두 개의 액티브층들 각각에서 상기 복수의 굴곡부를 갖는 부분들은 각각 상기 두 개의 구동 박막 트랜지스터들 각각에 해당하는, 유기 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 구동 박막 트랜지스터들 각각은 상기 제1 커패시터 전극들 각각을 게이트 전극으로 하는, 유기 발광 표시 장치.

청구항 17

제13항에 있어서,

상기 제2 커패시터 전극들 각각은, 상기 제1 커패시터 전극들 각각에 중첩하는 개구부를 포함하는, 유기 발광 표시 장치.

청구항 18

제13항 또는 제17항에 있어서,

서로 분리되어 배치된 두 개의 박막 트랜지스터들; 및

제1 커패시터 전극들 각각과 상기 두 개의 박막 트랜지스터들 각각을 연결하는 콘택 노드들;을 더 포함하는, 유기 발광 표시 장치.

청구항 19

제13항에 있어서,

상기 두 개의 제2 커패시터 전극들 각각에 전압을 인가하는 구동 전압선들을 더 포함하는, 유기 발광 표시 장치.

청구항 20

제19항에 있어서,

상기 구동 전압선들을 연결하는 연결배선을 더 포함하는, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 일 실시예는 화소들에 포함되는 커패시터 소자들, 이를 포함하는 유기 발광 표시 장치, 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터(thin film transistor) 및 적어도 하나의 커패시터(Capacitor)가 형성되어 있다.

[0004] 커패시터는 하부 전극과 상부 전극 및 그 사이에 개재된 유전체로 구성된다. 이러한 커패시터의 충전 용량(capacitance)은 중첩되는 양 전극의 면적에 비례한다. 따라서, 중첩되는 양 전극의 면적이 줄어들면 커패시턴스도 줄어드는 문제가 있다. 그런데, 커패시터의 전극에 전압을 인가하기 위해서는 콘택홀과 같은 구조가 필요하고 콘택홀이 배치되면서 중첩되는 양 전극의 면적이 감소될 수 있으므로, 이를 해결하기 위한 커패시터 소자들의 새로운 디자인이 요구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 실시예는 용량을 증가시킨 커패시터 소자들, 이를 포함하는 유기 발광 표시 장치, 및 유기 발광

표시 장치의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 서로 분리되어 대칭으로 배치된 두 개의 상부 커패시터 전극들; 상기 두 개의 상부 커패시터 전극들 각각과 중첩되며 서로 대칭으로 배치된 두 개의 중간 커패시터 전극들; 상기 두 개의 중간 커패시터 전극들을 서로 연결하며 상기 상부 커패시터 전극들과 중첩하지 않는 브리지; 및 상기 브리지와 접속하여 상기 두 개의 중간 커패시터 전극들에 공통으로 전압을 인가하는 구동 전압선; 을 포함하는 커패시터 소자들을 제공한다.
- [0007] 상기 상부 커패시터 전극들과 상기 중간 커패시터 전극들 사이에 배치되며 상기 브리지를 노출하는 컨택홀을 포함하는 절연막; 을 더 포함하며, 상기 구동 전압선은 상기 컨택홀을 통해 상기 브리지와 접속한다.
- [0008] 상기 상부 커패시터 전극 전체는 상기 중간 커패시터 전극과 중첩한다.
- [0009] 상기 두 개의 중간 커패시터 전극들의 하부에 위치하고 상기 두 개의 중간 커패시터 전극들 각각과 절연 및 중첩되며 서로 대칭으로 배치되는 두 개의 하부 커패시터 전극들; 을 더 포함한다.
- [0010] 상기 상부 커패시터 전극 및 상기 중간 커패시터 전극의 일부분에 형성되며 서로 연결되어 상기 하부 커패시터 전극을 노출하는 스토리지 개구부들; 및 상기 스토리지 개구부들을 통하여 상기 하부 커패시터 전극 및 상기 상부 커패시터 전극을 전기적으로 연결하는 컨택 노드; 를 더 포함한다.
- [0011] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 기관 상에 제1방향으로 인접하고 서로 대칭으로 배치되며 각각이 화소 회로 및 유기 발광 소자를 포함하는 두 개의 화소들; 상기 두 개의 화소들 각각의 상기 화소 회로에 위치하고 서로 분리되어 대칭으로 배치된 두 개의 상부 커패시터 전극들; 상기 두 개의 상부 커패시터 전극들 각각과 절연 및 중첩되며 서로 대칭으로 배치된 두 개의 중간 커패시터 전극들; 상기 두 개의 중간 커패시터 전극들을 서로 연결하며 상기 상부 커패시터 전극들과 중첩하지 않는 브리지; 및 상기 브리지와 접속하여 상기 두 개의 중간 커패시터 전극들에 공통으로 전압을 인가하는 구동 전압선; 을 포함하는 유기 발광 표시 장치를 제공한다.
- [0012] 상기 상부 커패시터 전극 전체는 상기 중간 커패시터 전극과 중첩한다.
- [0013] 상기 두 개의 중간 커패시터 전극들의 하부에 위치하고 상기 두 개의 중간 커패시터 전극들 각각과 절연 및 중첩되며 서로 대칭으로 배치되는 두 개의 하부 커패시터 전극들; 을 더 포함한다.
- [0014] 상기 상부 커패시터 전극 및 상기 중간 커패시터 전극의 일부분에 형성되며 서로 연결되어 상기 하부 커패시터 전극을 노출하는 스토리지 개구부들; 및 상기 스토리지 개구부들을 통하여 상기 하부 커패시터 전극 및 상기 상부 커패시터 전극을 전기적으로 연결하는 컨택 노드; 를 더 포함한다.
- [0015] 상기 회로부의 초기화 기간 동안 상기 컨택 노드로 초기화 전압이 인가된다.
- [0016] 상기 하부 커패시터와 연결되며 상기 하부 커패시터를 게이트 전극으로 하고, 상기 하부 커패시터와 절연되어 소스단 및 드레인단을 포함하는 활성층을 구비하는 구동 박막 트랜지스터; 를 더 포함한다.
- [0017] 상기 구동 전압선은, 상기 제1 방향으로 연장되며 상기 화소들에 상기 전압을 공급하는 제1 구동전압선들; 및 상기 제1 방향과 교차하는 제2방향으로 연장되며 상기 브리지에 연결되는 구동 전압선; 을 포함한다.
- [0018] 상기 제1 구동 전압선들, 및 상기 제2 구동 전압선은 그물망(mesh) 구조로 배치된다.
- [0019] 상기 화소들에 상기 전압을 공급하는 상기 제1 구동 전압선들은 서로 이격되며 대칭으로 배치된다.
- [0020] 상술한 과제를 해결하기 위한 본 발명의 일 실시예에 의하면, 기관 상에 제1방향으로 인접하고 서로 대칭으로 배치되는 두 개의 화소 영역들 각각에 서로 분리된 두 개의 하부 커패시터 전극들을 형성하는 단계; 상기 두 개의 하부 커패시터 전극들 각각과 절연 및 중첩되고 브리지를 통해 서로 연결된 두 개의 중간 커패시터 전극들을 형성하는 단계; 상기 두 개의 중간 커패시터 전극들 각각과 절연 및 중첩되나, 상기 브리지와 중첩되지 않는 서로 분리된 두 개의 상부 커패시터 전극들을 형성하는 단계; 상기 상부 커패시터 전극들을 덮도록 절연막을 형성하고 상기 브리지를 노출하는 컨택홀을 형성하는 단계; 및 상기 절연막 상에 브리지와 접속하는 구동 전압선을 형성하는 단계; 를 포함하는, 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0021] 상기 상부 커패시터 전극 전체는 상기 중간 커패시터 전극과 중첩한다.

- [0022] 상기 상부 커패시터 전극 및 상기 중간 커패시터 전극은 서로 연결되어 하부 커패시터 전극을 노출하는 스토리지 개구부들을 포함하며, 상기 절연막 상에 상기 스토리지 개구부들을 통하여 상기 하부 커패시터 전극 및 상기 상부 커패시터 전극을 전기적으로 연결하는 컨택 노드를 형성하는 단계; 를 더 포함한다.
- [0023] 상기 구동 전압선은, 상기 제1 방향으로 연장되며 상기 화소들에 상기 전압을 공급하는 제1 구동 전압선들; 및 상기 제1 방향과 교차하는 제2방향으로 연장되며 상기 브리지에 연결되는 제2 구동 전압선; 을 포함한다.
- [0024] 상기 제1 구동 전압선들, 및 상기 제2 구동 전압선은 그물망(mesh) 구조로 배치된다.
- [0025] 상기 화소들에 상기 전압을 공급하는 상기 제1 구동 전압선들은 서로 이격되며 대칭으로 배치된다.

발명의 효과

- [0026] 본 발명에 일 실시예에 따르면, 행 방향으로 인접한 제1화소와 제2화소가 연결된 영역을 기준으로 서로 대칭 구조로 형성되므로 배선(예, 초기화 전압선)을 공유할 수 있고, 양 화소에 배치된 커패시터 소자들에 공통으로 전압을 인가할 수 있으며, 커패시터 양 전극이 중첩되는 면적이 감소되지 않고 커패시턴스를 최대화할 수 있는 특징이 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시 장치의 인접하는 두 개의 화소의 개략적인 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)의 그물망 구조를 설명하는 도면이다.
- 도 5 내지 도 10은 본 발명의 일 실시예에 따른 인접하는 두 화소를 형성하는 방법을 설명하기 위한 도면이다.
- 도 11은 도 9의 A-A' 선을 따라 자른 단면도이다.
- 도 12 및 도 13는 본 발명의 실시예에 대한 비교예를 설명하기 위한 도면들이다.
- 도 14은 본 발명의 실시예에 의한 도 9에서 제2 스토리지 커패시터의 면적(a1)을 개략적으로 도시한 것이다.
- 도 15는 본 발명의 비교예에 의한 도 12에서 제2 스토리지 커패시터의 면적(a2)을 개략적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0029] 본 명세서에서는 본 발명을 명확하게 설명하기 위하여 본 발명과 관계없는 부분은 도시 및 기재를 생략하거나, 간략히 기재하거나 도시하였다. 또한, 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께 및 넓이를 확대하거나, 과장되게 도시하였다.
- [0030] 본 명세서에서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 도면 부호를 붙였다. 본 명세서에서 “제1”, “제2” 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 “위에” 또는 “상에” 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0031] 도 1은 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 개략적으로 나타낸 블록도이다.
- [0032] 본 발명의 일 실시예에 의한 표시 장치(100)는 복수의 화소를 포함하는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)를 포함한다. 주사 구동부(20), 데이터 구동부(30), 및 제어부(40)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 또한, 주사 구동부(20)는 표시부(10)와 동일한 기판 상에 형성될 수도 있다.
- [0033] 표시부(10)는 복수의 주사선(SL0 내지 SLn), 복수의 데이터선(DL1 내지 DLm), 및 복수의 발광 제어선(EL1 내지 ELn)의 교차부에 위치되어, 대략 행렬 형태로 배열된 복수의 화소를 포함한다.

- [0034] 각 화소는 표시부(10)에 전달되는 복수의 주사선(SL0 내지 SLn) 중 두 개의 주사선에 연결되어 있다. 도 1에서 화소는 해당 화소 라인에 대응하는 주사선과 그 이전 화소 라인의 주사선에 연결되어 있으나, 이에 반드시 제한되는 것은 아니다.
- [0035] 또한 각 화소는 복수의 데이터선(DL1 내지 DLm) 중 하나의 데이터선, 복수의 발광 제어선(EL1 내지 ELn) 중 하나의 발광 제어선에 연결되어 있다.
- [0036] 그리고, 각 화소는 초기화 전압을 공급하는 복수의 초기화 전압선(VL) 중 하나의 초기화 전압선과 제1전원전압(ELVDD)을 공급하는 복수의 구동 전압선(PL) 중 하나와 연결되어 있다.
- [0037] 복수의 주사선(SL0 내지 SLn)이 연장되는 방향, 즉 행 라인(또는 화소 라인, 가로 방향, 수평 방향)으로 서로 대칭이다. 대칭 구조의 인접한 두 개의 화소는 행 라인으로 배치되는 초기화 전압선(VL)을 공유한다. 대칭 구조의 인접한 두 개의 화소 각각의 열 라인(또는 세로 방향, 수직 방향)으로 배열된 구동 전압선(PL)은 일정 거리 서로 이격되어 평행하게 마주보고, 열 라인으로 대칭인 두 개의 구동 전압선(PL)은 행 라인으로 배열된 구동 전압선(PL)에 의해 서로 연결되어 그물망(mesh) 구조를 형성한다.
- [0038] 주사 구동부(20)는 복수의 주사선(SL0 내지 SLn)을 통해 각 화소에 두 개의 대응하는 주사 신호를 생성하여 전달한다. 즉, 주사 구동부(20)는 각 화소가 포함되는 행 라인에 대응하는 주사선을 통해 제1 주사 신호를 전달하고, 해당 행 라인의 이전 행 라인에 대응하는 주사선을 통해 제2 주사 신호를 전달한다. 예를 들어, 주사 구동부(20)는 n번째 행 라인의 m번째 열 라인에 배치된 화소에 n번째 주사선(SLn)을 통해 제1 주사 신호(Sn)를 전달하고, n-1번째 주사선(SLn-1)을 통해 제2 주사 신호(Sn-1)를 전달한다. 또한 주사 구동부(20)는 복수의 발광 제어선(EL1 내지 ELn)을 통해 각 화소에 발광 제어 신호(EM1 내지 EMn)를 생성하여 전달한다. 본 실시예에서는 주사 신호 및 발광 제어신호가 동일한 주사 구동부(20)에서 생성되는 것으로 도시하였으나 이에 제한되는 것은 아니다. 표시 장치(100)는 발광 제어 구동부를 더 포함하고, 발광 제어신호는 발광 제어 구동부에서 생성될 수 있다.
- [0039] 데이터 구동부(30)는 복수의 데이터선(DL1 내지 DLm)을 통해 각 화소에 데이터 신호(D1 내지 Dm)를 전달한다.
- [0040] 제어부(40)는 외부에서 전달되는 복수의 영상 신호(R,G,B)를 복수의 영상 데이터 신호(DR,DG,DB)로 변경하여 데이터 구동부(30)에 전달한다. 또한 제어부(40)는 수직동기신호(Vsync), 수평동기신호(Hsync), 및 클럭신호(MCLK)를 전달받아 상기 주사 구동부(20) 및 데이터 구동부(30)의 구동을 제어하기 위한 제어 신호를 생성하여 각각에 전달한다. 즉, 제어부(50)는 주사 구동부(20)를 제어하는 주사 구동 제어 신호(SCS) 및 발광 구동 제어 신호(ECS), 데이터 구동부(30)를 제어하는 데이터 구동 제어 신호(DCS)를 각각 생성하여 전달한다.
- [0041] 복수의 화소 각각은 복수의 데이터선(DL1 내지 DLm)을 통해 전달된 데이터 신호(D0 내지 Dm)에 따라 유기 발광 소자(OLED)로 공급되는 구동 전류(Ioled)에 의해 소정 휘도의 빛을 발광한다.
- [0042] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다. 도 3은 본 발명의 일 실시예에 따른 표시 장치의 인접하는 두 개의 화소의 개략적인 회로도이다.
- [0043] 도 2 및 도 3에 도시된 화소(1)는 n번째 행 라인에 포함된 복수의 화소 중 하나로서, n번째 행 라인에 대응하는 주사선(SLn)과 n번째 행 라인 이전의 n-1번째 행 라인에 대응하는 주사선(SLn-1)에 각각 연결되어 있다.
- [0044] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(1)는 복수의 박막 트랜지스터(T1 내지 T6) 및 복수의 스토리지 캐패시터(storage capacitor, Cst1, Cst2)를 포함하는 화소 회로(2)를 포함한다. 그리고 화소(1)는 화소 회로(2)를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.
- [0045] 박막 트랜지스터는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0046] 화소(1)는 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)에 제1 주사 신호(Sn)를 전달하는 제1 주사선(SLn), 초기화 박막 트랜지스터(T4)에 이전 주사 신호인 제2 주사 신호(Sn-1)를 전달하는 제2 주사선(SLn-1), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(EMn)를 전달하는 발광 제어선(ELn), 제1 주사선(SLn)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(DLm), 제1전원전압(ELVDD)을 전달하며 데이터선(DLm)과 거의 평행하게 형성되어 있는 구동 전압선(PL), 구동 박막 트랜지스터(T1)를 초기화하

는 초기화 전압(VINT)을 전달하며 제2 주사선(SLn-1)과 거의 평행하게 형성되어 있는 초기화 전압선(VL)을 포함한다.

- [0047] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1전극(CE1)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Ioled)를 공급한다.
- [0048] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선(SLn)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(DLm)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 데이터선(DLm)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0049] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선(SLn)에 연결되어 있다. 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode) 전극과 연결되어 있다. 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(CE1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 보상 박막 트랜지스터(T3)는 제1 주사선(SLn)을 통해 전달받은 제1 주사 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0050] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선(SLn-1)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(VL)과 연결되어 있다. 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 제1 전극(CE1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 초기화 박막 트랜지스터(T4)는 제2 주사선(SLn-1)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0051] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(ELn)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0052] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(ELn)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode) 전극과 전기적으로 연결되어 있다. 제2 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받은 발광 제어 신호(EMn)에 따라 동시에 턴 온되어 제1 전원전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Ioled)가 흐르게 된다.
- [0053] 제1 스토리지 커패시터(Cst1)의 제2 전극(CE2)은 구동 전압선(PL)과 연결되어 있다. 제1 스토리지 커패시터(Cst1)의 제1 전극(CE1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0054] 제2 스토리지 커패시터(Cst2)의 제4 전극(CE4) 또한 구동 전압선(PL)과 연결되어 있다. 제2 스토리지 커패시터(Cst2)의 제3 전극(CE3) 또한 구동 박막 트랜지스터의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0055] 제1 스토리지 커패시터(Cst1) 및 제2 스토리지 커패시터(Cst2)는 서로 병렬 연결된다. 제1 스토리지 커패시터(Cst1) 및 제2 스토리지 커패시터(Cst2)는 데이터 프로그래밍 기간 동안 화소 내부로 공급되는 데이터 신호를 저장하고 이를 한 프레임 동안 유지하기 위한 것이다.

- [0056] 유기 발광 소자(OLED)의 캐소드(cathode) 전극은 제2 전원전압(ELVSS)과 연결되어 있다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다. 제1 전원전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원전압(ELVSS)은 제1 전원전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.
- [0057] 도 3을 참조하면, 초기화 전압(VINT)을 공급하는 초기화 전압선(VL), 제1 주사 신호(Sn)를 공급하는 제1 주사선(SLn), 제2 주사 신호(Sn-1)를 공급하는 제2 주사선(SLn-1), 발광 제어 신호(EMn)를 공급하는 발광 제어선(ELn)이 가로 방향으로 평행하게 형성된다. 그리고, 가로 방향과 직교하는 세로 방향으로 데이터선(DLm-1, DLm) 및 구동 전압선(PL)이 평행하게 형성된다.
- [0058] 인접하는 두 개의 화소들(1)은 초기화 전압선(VL)을 공유하고, 데이터선(DLm-1, DLm)과 구동 전압선(PL)이 서로 소정 거리 이격되어 마주보도록 형성된다. 서로 마주보는 구동 전압선(PL)은 가로 방향으로 형성된 연결 배선(120)에 의해 연결됨으로써 그물망 구조로 형성되어, 가로 및 세로 방향으로 전원을 공급할 수 있다. 이에 따라, 전원을 공급하는 배선의 영역을 더욱 확장하게 되어 배선 자체의 저항에 의한 전압 강하 현상을 해결할 수 있다.
- [0059] 본 발명의 실시예는, 인접하는 두 개의 화소들이 초기화 전압선(VL)을 공유함으로써, 두 개의 인접 화소들(1)을 대칭 구조로 형성할 수 있다. 이에 따라 좌측의 화소(1)의 세로 방향의 데이터 선(DLm-1)과 세로 방향의 구동 전압선(PL)을 좌측 화소(1)의 좌측 외곽에 배치하고, 우측 화소(1)의 세로 방향의 데이터 선(DLm)과 세로 방향의 구동 전압선(PL)을 우측 화소(1)의 우측 외곽에 배치할 수 있다. 따라서, 좌측 화소와 우측 화소(1)의 세로 방향의 두 개의 구동 전압선(PL) 사이에 동일층의 다른 신호 배선이 배치되지 않기 때문에, 세로 방향의 구동 전압선(PL)과 동시에 동일층에 형성되는 연결 배선(120)으로 세로 방향의 두 개의 구동 전압선(PL)을 연결할 수 있게 된다.
- [0060] 도 4는 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)의 그물망 구조를 설명하는 도면이다.
- [0061] 도 4를 참조하면, 본 발명의 일 실시예에 따른 표시 장치의 구동 전압선(PL)은 열 라인마다 세로 방향으로 연장된 세로 구동 전압선(PLV)과, 행 라인으로 인접하는 두 개의 화소(예를 들어, PX1, PX2) 간을 연결하는 가로 구동 전압선(PLH)을 포함하여 그물망 구조로 형성된다. 가로 구동 전압선(PLH)은 두 개의 세로 구동 전압선(PLV)을 연결하는 연결 배선(120)에 의해 형성된다. 연결 배선(120)은 세로 구동 전압선(PLV)으로부터 연장된 배선으로 일체로 형성될 수도 있고, 별개의 배선으로 형성될 수도 있다.
- [0062] 가로 구동 전압선(PLH)은 화소 회로의 소자들의 배치에 따라 배치된다. 가로 구동 전압선(PLH)을 공유하는 두 개의 화소(예를 들어, 제1화소(PX1)와 제2화소(PX2))의 각 세로 구동 전압선(PLV)은 서로 멀리 이격되어 마주보도록 배치된다. 반면, 가로 구동 전압선(PLH)을 공유하지 않는 인접한 두 개의 화소(예를 들어, 제2화소(PX2)와 제3화소(PX3))의 각 세로 구동 전압선(PLV)은 서로 근접하여 마주보도록 배치된다. 가로 구동 전압선(PLH)을 공유하지 않는 인접한 두 개의 화소(예를 들어, 제2화소(PX2)와 제3화소(PX3)) 간에는 가로 구동 전압선(PLH)이 형성되지 않는다.
- [0063] 도 5 내지 도 10은 본 발명의 일 실시예에 따른 인접하는 두 화소를 형성하는 방법을 설명하기 위한 도면이다. 도 11은 도 9의 A-A' 선을 따라 자른 단면도이다.
- [0064] 도 5 및 도 11를 참조하면, 기관(101) 상에 제1화소(PX1)와 제2화소(PX2) 각각의 액티브층(112-1, 112-2)을 형성한다. 제1화소(PX1)의 제1액티브층(112-1)과 제2화소(PX2)의 제2액티브층(112-2)은 서로 연결된다. 제1액티브층(112-1)과 제2액티브층(112-2)은 제1화소(PX1)와 제2화소(PX2) 간에 연결된 영역을 기준으로 서로 대칭 구조로 형성된다. 제1화소(PX1)와 제2화소(PX2) 간에 연결된 액티브 영역은 추후 초기화 전압선(VL)과 연결된다.
- [0065] 제1액티브층(112-1)과 제2액티브층(112-2)은 비정질 실리콘층으로 형성되거나, 다결정 실리콘층으로 형성되거나, G-I-Z-O층 $[(In_2O_3)_a(Ga_2O_3)_b(ZnO)_c]$ (a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)와 같은 산화물 반도체층으로 형성될 수 있다. 본 발명의 일 실시예에 의하면, 제1액티브층(112-1)과 제2액티브층(112-2)은 서로 연결되기 때문에, 초기화 전압선(VL)으로부터 인가되는 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 전달할 수 있다.

- [0066] 제1액티브층(112-1)과 제2액티브층(112-2)을 따라 화소 회로의 박막 트랜지스터가 형성된다. 제1액티브층(112-1)과 제2액티브층(112-2)에 각각 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)의 액티브층(A1, A2, A3, A4, A5, A6)이 형성된다. 각 박막 트랜지스터의 액티브층은 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다.
- [0067] 제1액티브층(112-1)과 제2액티브층(112-2)은 다양한 형상으로 굴곡되어 형성되어 있다. 특히 구동 박막 트랜지스터(T1)의 액티브층(A1)은 지그재그 형상, 'S' 형상 또는 'ㄷ' 형상으로 복수의 굴곡부를 가진다. 이에 따라 채널 영역을 길게 형성할 수 있어 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.
- [0068] 도 6 및 도 11를 참조하면, 제1액티브층(112-1)과 제2액티브층(112-2)이 형성된 기판(101) 상에 제1 게이트 절연막(GI1)이 형성된다. 제1 게이트 절연막(GI1)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0069] 그리고, 제1 게이트 절연막(GI1) 상부에 제1 게이트 배선(GL1)을 형성한다. 제1 게이트 배선(GL1)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn) 및 두 개의 제1 커패시터 전극들(114-1, 114-2)을 포함할 수 있다. 제1 게이트 배선(GL1) 물질은 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.
- [0070] 제1 커패시터 전극들(114-1, 114-2)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 역할도 동시에 한다. 두 개의 제1 커패시터 전극들(114-1, 114-2) 각각은 서로 분리되며 제1화소(PX1)와 제2화소(PX2) 간에 연결된 영역을 기준으로 대칭 구조로 형성된다. 두 개의 제1 커패시터 전극들(114-1, 114-2) 각각은 제1화소(PX1)와 제2화소(PX2)에 각각 위치한다.
- [0071] 제1 커패시터 전극들(114-1, 114-2)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn)과 분리되어 있으며, 플로팅(floating) 전극의 형태로 구동 박막 트랜지스터(T1)의 액티브층(A1)의 채널 영역과 중첩한다. 제1 커패시터 전극들(114-1, 114-2)은 인접한 화소와 분리되어 사각 형상으로 형성된다. 제1주사선(SLn)은 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)과 보상 박막 트랜지스터(T3)의 게이트 전극(G3)의 역할을 한다. 제2주사선(SLn-1)은 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)의 역할을 한다. 발광 제어선(ELn)은 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)과 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)의 역할을 한다.
- [0072] 도 7 및 도 11를 참조하면, 제1 게이트 배선(GL1)이 형성된 기판(101) 상에 제2 게이트 절연막(GI2)이 형성된다. 제2 게이트 절연막(GI2)은 제1 스토리지 커패시터(Cst)의 유전체로서의 기능도 한다. 제2 게이트 절연막(GI2)은 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0073] 그리고, 제2 게이트 절연막(GI2) 상부에 제2 게이트 배선(GL2)을 형성한다. 제2 게이트 배선(GL2)은 두 개의 제2 커패시터 전극들(116-1, 116-2)을 포함할 수 있다. 제2 게이트 배선(GL2) 물질 또한 제1 게이트 배선(GL1) 물질과 유사하게 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.
- [0074] 제2 커패시터 전극들(116-1, 116-2)은 제1 커패시터 전극(114-1, 114-2)과 중첩하여 제1 스토리지 커패시터(Cst1)를 형성한다. 제2 커패시터 전극들(116-1, 116-2) 각각은 제1화소(PX1)와 제2화소(PX2) 간에 연결된 영역을 기준으로 대칭 구조로 형성된다. 두 개의 제2 커패시터 전극들(116-1, 116-2) 각각은 제1화소(PX1)와 제2화소(PX2)에 각각 위치한다. 한편, 제2 커패시터 전극들(116-1, 116-2)은 브리지(117)로 연결된다. 브리지(117)는 제2 커패시터 전극들(116-1, 116-2)을 최단 거리로 연결하는 위치에 배치된다. 브리지(117)는 후술할 가로 구동 전압선(도 4의 PLH)과 중첩되도록 배치될 수 있다.
- [0075] 제2 커패시터 전극(116-1, 116-2)은 제1 스토리지 개구부(115)를 구비한다. 제1 스토리지 개구부(115)는 단일 폐곡선(closed curve)의 형태를 가질 수 있다. 여기서 단일폐곡선이란, 다각형, 원 등과 같이 직선이나 곡선 위

에 한 점을 찍었을 때 시작점과 끝점이 같은 닫힌 도형을 의미한다. 이러한 제1 스토리지 개구부(115)를 구비한 제2 커패시터 전극(116-1, 116-2)은 마치 도넛 형태를 가질 수 있다. 이러한 제2 커패시터 전극(116-1, 116-2)의 형상에 의해, 표시 장치의 제조 공정 중에 제1 커패시터 전극(114-1, 114-2)과 제2 커패시터 전극(116-1, 116-2) 사이에 오버레이(overlay) 편차가 발생하더라도 스토리지 커패시터(Cst)가 항상 일정한 커패시턴스(capacitance)를 유지할 수 있다. 오버레이(overlay) 편차란, 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이(overlay) 편차는 기판에 전면적으로 도전층을 형성하고, 포토 리소그래피(photo lithography) 공정으로 패터닝할 때, 기판과 마스크의 미스 얼라인(miss align) 또는 기판과 노광기 사이의 미스 얼라인 등으로 인해 발생할 수 있다. 이러한 오버레이(overlay) 편차는 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서 공정 장비의 오차 범위 내에서 발생할 수 있는 확률이 크다. 본 발명의 실시예는 제1 커패시터 전극(114-1, 114-2)이 설계된 위치보다 상, 하, 좌, 우로 시프트된 경우라도, 항상 제2 커패시터 전극(116-1, 116-2)이 제1 커패시터 전극(114-1, 114-2) 전체와 중첩되고, 제2 커패시터 전극(116-1, 116-2)의 제1 스토리지 개구부(115)가 항상 제1 커패시터 전극(114-1, 114-2)과 중첩되기 때문에 커패시턴스는 일정하게 유지될 수 있다.

- [0076] 도 8 및 도 11를 참조하면, 제2 게이트 배선(GL2)이 형성된 기판(101) 상에 제3 게이트 절연막(GI3)이 형성된다. 제3 게이트 절연막(GI3)은 제2 스토리지 커패시터(Cst2)의 유전체로서의 기능도 한다. 제3 게이트 절연막(GI3)은 제1 게이트 절연막(GI1) 및 제2 게이트 절연막(GI2)과 마찬가지로, 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0077] 그리고, 제3 게이트 절연막(GI3) 상부에 제3 게이트 배선(GL3)을 형성한다. 제3 게이트 배선(GL3)은 두 개의 제3 커패시터 전극들(118-1, 118-2)을 포함할 수 있다. 제3 게이트 배선(GL2) 물질 또한 제1 게이트 배선 (GL1) 물질 및 제2 게이트 배선 물질과 유사하게 알루미늄(Al), 구리(Cu) 등과 같은 저저항의 금속 물질을 포함하는 것이 바람직하다.
- [0078] 제3 커패시터 전극들(118-1, 118-2)은 제2 커패시터 전극(116-1, 116-2)과 중첩하여 제2 스토리지 커패시터 (Cst1)를 형성한다. 제3 커패시터 전극들(118-1, 118-2) 각각은 서로 분리되며 제1화소(PX1)와 제2화소(PX2) 간에 연결된 영역을 기준으로 대칭 구조로 형성된다. 두 개의 제3 커패시터 전극들(118-1, 118-2) 각각은 제1화소 (PX1)와 제2화소(PX2)에 각각 위치한다. 한편, 제3 커패시터 전극들(118-1, 118-2)은 제2 커패시터 전극들 (116-1, 116-2)을 연결하는 브리지(117)와는 중첩되지 않는다.
- [0079] 제3 커패시터 전극(118-1, 118-2)은 제2 스토리지 개구부(119)를 구비한다. 제2 스토리지 개구부(119)는 단일 폐곡선(closed curve)의 형태를 가질 수 있다. 제2 스토리지 개구부(119)는 제1 스토리지 개구부(115)와 연결된다. 따라서 제2 스토리지 개구부(119) 및 제1 스토리지 개구부(115)를 통해 제1 커패시터 전극(114-1, 114-2)이 노출될 수 있다.
- [0080] 도 9 및 도 11를 참조하면, 제2 게이트 배선(GL2)이 형성된 기판(101) 상에 층간 절연막(ILD)이 형성된다. 층간 절연막(ILD)은 제1 게이트 절연막(GI1), 제2 게이트 절연막(GI2) 및 제3 게이트 절연막(GI3)과 마찬가지로, 유기 절연 물질 또는 무기 절연 물질, 또는 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0081] 제3 커패시터 전극(118-1, 118-2)의 제2 스토리지 개구부(119) 및 이와 연결된 제2 커패시터 전극(116-1, 116-2)의 제1 스토리지 개구부(115)를 관통하여 제1 커패시터 전극(114-1, 114-2)을 노출하도록 제2 게이트 절연막 (GI2), 제3 게이트 절연막(GI3) 및 층간 절연막(ILD)에는 제1컨택홀(Cnt1)이 구비된다. 그리고 제3 커패시터 전극(118-1, 118-2)을 노출하도록 층간 절연막(ILD) 상에 제2컨택홀(Cnt2)이 구비된다. 제1컨택홀(Cnt1)과 제2컨택홀(Cnt2)은 인접하게 위치한다. 물론 제1컨택홀(Cnt1) 및 제2컨택홀(Cnt2)은 제1 화소(PX1) 및 제2 화소(PX2)에 모두 형성된다.
- [0082] 그리고, 두 개의 제2 커패시터 전극들(116-1, 116-2)을 연결하는 브리지(117)의 일부분을 노출하도록 제3 게이트 절연막(GI3) 및 층간 절연막(ILD) 상에 제3컨택홀(Cnt3)이 구비된다.
- [0083] 또한, 보상 박막 트랜지스터(T3)의 액티브층(A3)의 드레인 영역과 초기화 박막 트랜지스터(T4)의 액티브층(A4)의 드레인 영역을 노출하도록 제1 게이트 절연막(GI1), 제2 게이트 절연막(GI2), 제3 게이트 절연막(GI3) 및 층

간 절연막(ILD)에는 제4컨택홀(Cnt4)이 구비된다. 그리고, 스위칭 박막 트랜지스터(T2)의 액티브층(A2)의 소스 영역을 노출하도록 제1 게이트 절연막(GI1), 제2 게이트 절연막(GI2), 제3게이트 절연막(GI3) 및 층간 절연막(ILD)에는 제5컨택홀(Cnt5)이 구비된다. 그리고, 제1 발광 제어 박막 트랜지스터(T5)의 액티브층(A5)을 노출하도록 제1 게이트 절연막(GI1), 제2 게이트 절연막(GI2), 제3 게이트 절연막(GI3) 및 층간 절연막(ILD)에는 제6 컨택홀(Cnt6)이 구비된다. 그리고, 제2 발광 제어 박막 트랜지스터(T6)의 액티브층(A6)을 노출하도록 제1 게이트 절연막(GI1), 제2 게이트 절연막(GI2), 제3 게이트 절연막(GI3) 및 층간 절연막(ILD)에는 제7컨택홀(Cnt7)이 구비된다. 또한, 제1화소(PX1)의 제1액티브층(112-1)과 제2화소(PX2)의 제2액티브층(112-2)이 서로 연결된 영역을 노출하도록 제1 게이트 절연막(102), 제2 게이트 절연막(103), 제3 게이트 절연막 및 층간 절연막(104)에는 제8컨택홀(Cnt7)이 구비된다.

[0084] 다음으로, 층간 절연막(ILD) 상부에 데이터선(DLm-1, DLm), 세로 방향의 구동 전압선(PL), 가로 방향으로 형성된 연결 배선(120), 제1컨택홀(Cnt1)과 제2컨택홀(Cnt2)을 연결하는 컨택 노드(130), 제7컨택홀(Cnt7)을 덮으며 형성되는 제1 커버메탈(CM1), 제8컨택홀(Cnt8)을 덮으며 형성되는 제2 커버메탈(CM2)이 형성된다.

[0085] 데이터선(DLm-1, DLm)은 화소마다 하나씩 화소의 외곽에 세로 방향으로 배치된다. 데이터선(DLm-1, DLm)은 제5 컨택홀(Cnt5)을 통해 스위칭 박막 트랜지스터(T2)와 연결된다.

[0086] 구동 전압선(PL)은 세로 방향의 구동 전압선(PL)과 가로 방향의 구동 전압선인 연결 배선(120)을 포함한다. 세로 방향의 구동 전압선(PL)은 화소마다 하나씩 데이터선(DLm-1, DLm)에 근접하게 화소의 외곽에 세로 방향으로 배치된다. 두 개의 세로 방향의 구동 전압선(PL)은 제1화소(PX1)와 제2화소(PX2)를 사이에 두고 서로 마주본다. 가로 방향의 구동 전압선(118)은 제1화소(PX1)와 제2화소(PX2)를 가로 방향으로 가로지르며, 제1화소(PX1)와 제2화소(PX2)의 세로 방향의 구동 전압선(PL)을 서로 연결 한다. 이에 따라 구동 전압선(PL)의 그물망 구조가 구현된다. 가로 방향의 구동 전압선인 연결 배선(120)은 제3컨택홀(Cnt3)을 통해 브리지(117)에 접속되며, 이로부터 연결 배선(120)은 두 개의 제2 커패시터 전극들(116-1, 116-2)로 전압을 전달한다.

[0087] 컨택 노드(130)은 제1 커패시터 전극(114-1, 114-2)과 제3 커패시터 전극(118-1, 118-2)을 연결한다. 이로써 제1 커패시터 전극(114-1, 114-2) 및 제3 커패시터 전극(118-1, 118-2)은 동일한 전위를 가지게 되고, 제1 스토리지 커패시터(Cst1)와 제2 스토리지 커패시터(Cst2)는 병렬 연결 구조를 가지게 된다. 또한 컨택 노드(130)은 제1 커패시터 전극(114-1, 114-2)과 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)를 연결한다.

[0088] 데이터선(DLm-1, DLm), 연결 배선(120)을 포함하는 구동 전압선(PL), 컨택 노드(130), 제1 커버메탈(CM1), 제2 커버메탈(CM2)은 동일층에 동일 물질로 형성될 수 있다.

[0089] 다음으로, 데이터선(DLm-1, DLm), 연결 배선(120)을 포함하는 구동 전압선(PL), 컨택 노드(130), 제1 커버메탈(CM1), 제2 커버메탈(CM2)이 형성된 기관(101) 상에 보호막(PVL)이 형성된다. 보호막(PVL)에는 제1 커버메탈(CM1)과 제2 커버메탈(CM2) 각각의 일부를 노출하는 제1비아홀(VH1)과 제2비아홀(VH2)이 각각 형성된다. 제1비아홀(VH1)과 제2비아홀(VH2)은 동일 물질로 형성될 수 있다.

[0090] 제2비아홀(VH2)을 두 개의 인접 화소(PX1, PX2)에 대해 공통으로 형성함으로써, 화소별로 제2비아홀(VH2)이 형성되는 경우에 비해 화소의 개구율을 향상시킬 수 있다.

[0091] 도 10을 참조하면, 보호막(PVL) 상에 화소 전극(PE1, PE2)과 초기화 전압선(VL)이 형성된다. 화소 전극(PE1, PE2)은 제1비아홀(VH1)을 통해 각각 제2 발광 제어 박막 트랜지스터(T6)와 연결된다. 그리고, 초기화 전압선(VL)은 제1화소(PX1)와 제2화소(PX2)에 대해 공통으로 형성된 제2비아홀(VH2)을 통해 제1화소(PX1)와 제2화소(PX2)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)로 동시에 전달한다. 초기화 전압선(VL)은 화소 전극(PE1, PE2)과 동일한 층에 동일한 물질로 형성할 수 있다.

[0092] 도시되지 않았으나, 화소 전극(PE1, PE2)의 가장자리 및 보호막(PVL) 위에는 화소 정의막(PDL)이 형성되고, 화소 정의막(PDL)은 화소 전극(PE1, PE2)을 드러내는 화소 개구부를 가진다. 화소 정의막(PDL)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 유기물 또는 실리카 계열의 무기물 등으로 만들 수 있다. 그리고, 화소 개구부로 노출된 화소 전극(PE1, PE2) 위에는 유기막(OE1, OE2) 및 유기막(OE1, OE2)을 덮으며 기관 전면에 형성되는 대향 전극(미도시)이 형성된다. 이에 따라 화소 전극(PE1, PE2), 화소 전극(PE1, PE2) 상에 배치되는 유기막(OE1, OE2), 및 유기막(OE1, OE2)을 덮으며 기관 전면에 형성되는 대향 전극(미도시)을 포함하는 제1화소(PX1)와 제2화소(PX2) 각각의 유기 발광 소자(OLED)가 형성된다.

- [0093] 표시 장치가 전면 발광형 구조의 경우, 화소 전극(PE1, PE2)은 반사형 전극으로 구비되고, 대향 전극은 광투과형 전극으로 구비될 수 있다. 이 경우, 대향 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 박막으로 형성한 반투과 반사막을 포함하거나, ITO, IZO, ZnO 등의 광투과성 금속 산화물을 포함할 수 있다. 표시 장치가 배면 발광형 구조의 경우, 대향 전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등을 증착하여 반사 기능을 갖도록 할 수 있다. 화소 전극(PE1, PE2)을 애노드 전극으로 사용할 경우, 일함수(절대치)가 높은 ITO, IZO, ZnO 등의 금속 산화물로 이루어진 층을 포함하도록 한다. 화소 전극(PE1, PE2)을 캐소드 전극으로 사용할 경우에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca 등의 일함수(절대치)가 낮은 고도전성의 금속을 사용한다. 화소 전극(PE1, PE2)을 애노드 전극으로 할 경우, 대향 전극은 캐소드 전극으로, 화소 전극(PE1, PE2)을 캐소드로 할 경우, 대향 전극은 애노드 전극으로 한다.
- [0094] 제1화소(PX1)와 제2화소(PX2)의 유기막(OE1, OE2)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기막(OE1, OE2)은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기막(OE1, OE2)이 적색, 녹색, 청색의 각각의 빛을 방출하는 경우, 상기 발광층은 적색 부화소, 녹색 부화소 및 청색 부화소에 따라 각각 적색 발광층, 녹색 발광층 및 청색 발광층으로 패턴닝될 수 있다.
- [0095] 한편, 상술한 실시예에서는 각 화소 별로 별도의 유기 발광층이 형성된 경우를 예로 설명하였다. 이 경우에는 화소 별로 적색, 녹색 및 청색의 광을 각각 방출할 수 있으며, 적색, 녹색 및 청색의 광을 방출하는 화소 그룹이 하나의 단위 화소를 이룰 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 유기 발광층이 화소 전체에 공통으로 형성될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층이 수직으로 적층되거나 혼합되어 형성되어 백색광을 방출할 수 있다. 물론, 백색광을 방출하기 위한 색의 조합은 상술한 바에 한정되지 않는다. 한편, 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러필터가 별도로 구비될 수 있다.
- [0096] 도 12 및 도 13는 본 발명의 실시예에 대한 비교예를 설명하기 위한 도면들이다.
- [0097] 기판(101) 상에 제1화소(PX1)의 액티브층(212-1)과 제2화소(PX2)의 액티브층(212-2)이 서로 분리되어 형성된다. 액티브층(212-1, 212-2)의 상부에는 제1 게이트 절연막, 제1 게이트 배선(GL1), 제2 게이트 절연막, 제2 게이트 배선(GL2), 제3 게이트 절연막, 제3 게이트 배선(GL3), 및 층간 절연막이 차례로 형성된다.
- [0098] 제1 게이트 배선(GL1)은 제1주사선(SLn), 제2주사선(SLn-1), 발광 제어선(ELn) 및 제1 커패시터 전극들(214-1, 214-2)을 포함할 수 있다. 제2 게이트 배선(GL2)은 제2 커패시터 전극들(216-1, 216-2)을 포함할 수 있다. 제3 게이트 배선(GL3)은 제3 커패시터 전극들(218-1, 218-2)을 포함할 수 있다. 제1화소(PX1)의 제2 커패시터 전극(216-1)과 제2화소(PX2)의 제2 커패시터 전극(216-2)은 서로 연결되어 있다.
- [0099] 그리고, 층간 절연막 상에는 데이터선(DL)과 구동 전압선(PL)이 각각 형성된다. 구동 전압선(PL)은 세로 방향으로만 연장된다. 제1화소(PX1)의 제2 커패시터 전극(216-1)과 제2화소(PX2)의 제2 커패시터 전극(216-2)은 각각 컨택홀을 통해 구동 전압선(PL)과 연결되어, 제2 커패시터 전극(216-1, 216-2)은 구동 전압선(PL)의 그물망 구조를 구현하는 역할도 한다. 한편, 제2 커패시터 전극(216-1, 216-2)과 구동 전압선(PL)이 연결되기 위하여, 제2 커패시터 전극(216-1, 216-2)과 구동 전압선(PL) 사이에 배치되는 제3 커패시터 전극(218-1, 218-2)은 컨택홀에 대응하는 부분이 비어있는 형상을 가지게 된다. 또한 층간 절연막 상에는 제1 커버메탈(CM1)과 제2 커버메탈(CM2)이 형성된다.
- [0100] 데이터선(DLm-1, DLm)과 구동 전압선(PL), 제1 커버메탈(CM1), 제2 커버메탈(CM2)이 형성된 기판 상에 보호막이 형성된다. 보호막에는 제1 커버메탈(CM1)과 제2 커버메탈(CM2) 각각의 일부를 노출하는 제1비아홀(VH1)과 제2비아홀(VH2)이 제1화소(PX1)와 제2화소(PX2)에 각각 형성된다.
- [0101] 그리고, 보호막(105) 상에 화소 전극(PE1, PE2)과 초기화 전압선(VL)이 형성된다. 각 화소 전극(PE1, PE2)은 제1비아홀(VH1)을 통해 각 화소(PX1, PX2)의 제2 발광 제어 박막 트랜지스터(T6)와 연결된다. 그리고, 초기화 전압선(VL)은 제1화소(PX1)와 제2화소(PX2) 각각에 형성된 제2비아홀(VH2)을 통해 각 화소(PX1, PX2)의 초기화 박막 트랜지스터(T4)와 연결되어, 초기화 전압(VINT)을 제1화소(PX1)와 제2화소(PX2)에 각각 전달한다.

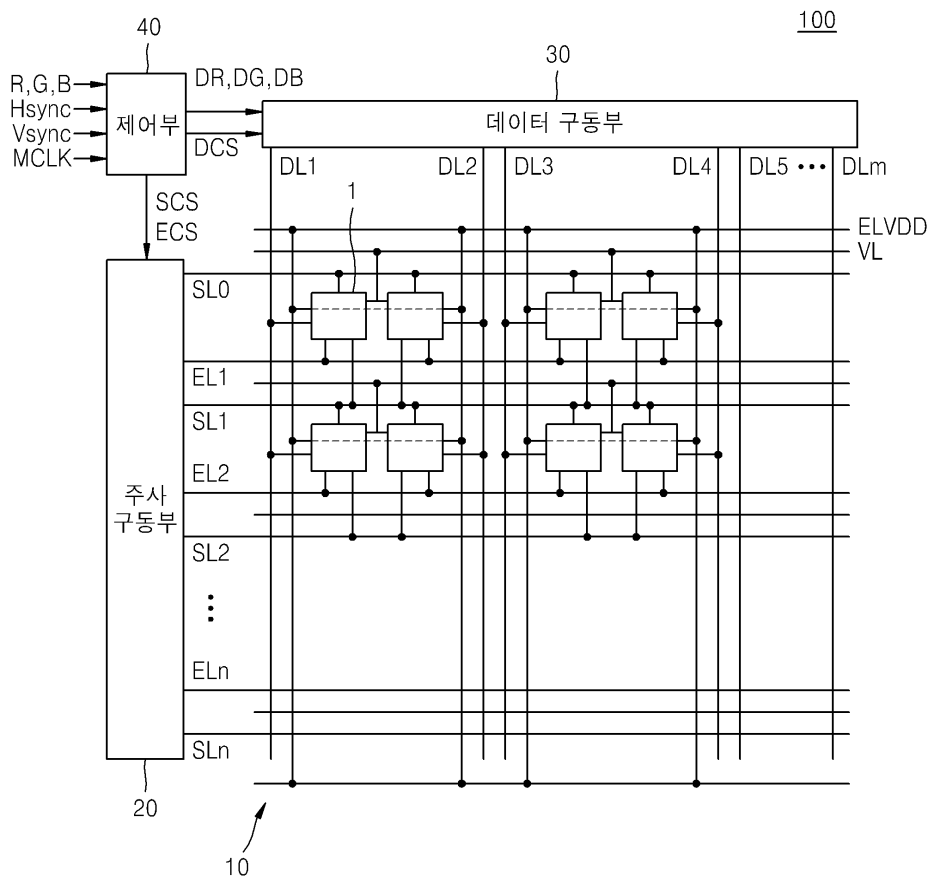
- [0102] 도 14은 본 발명의 실시예에 의한 도 9에서 제2 스토리지 커패시터의 면적(a1)을 개략적으로 도시한 것이며, 도 15는 본 발명의 비교예에 의한 도 12에서 제2 스토리지 커패시터의 면적(a2)을 개략적으로 도시한 것이다.
- [0103] 본 발명의 실시예는 도 14에 도시된 바와 같이, 메시 구조를 가진 구동 전압선(PL)을 포함하고, 두 개의 제2 커패시터 전극들(116-1, 116-2)이 제3컨택홀(Cnt3)을 통해 가로 구동 전압선인 연결 배선(120)으로부터 전압을 인가받는다. 또한, 제3컨택홀(Cnt3)은 두 개의 제2 커패시터 전극들(116-1, 116-2)을 연결하는 브리지(117)에 대응하여 형성된다. 따라서, 구동 전압선(PL)과 제2 커패시터 전극(116-1, 116-2)의 접촉을 위한 제3컨택홀(Cnt3)은 제3 커패시터 전극(118-1, 118-2)에 대응하지 않는 부분에 형성된다. 결국, 제2 커패시터 전극(116-1, 116-2)과 제3 커패시터 전극(118-1, 118-2)이 중첩되는 영역에 손실이 없으므로, 최대한 큰 용량을 가진 제2 스토리지 커패시터(Cst2)를 설계할 수 있다.
- [0104] 반면, 도 15의 비교예의 경우, 구동 전압선(PL)은 세로 방향으로만 연장되어 있다. 따라서, 각 화소에서 제2 커패시터 전극(216-1, 216-2)의 일부분에 대응하는 위치에 제2 커패시터 전극(216-1, 216-2)과 구동 전압선(PL)을 연결하기 위한 컨택홀이 필요하다. 따라서, 제2 커패시터 전극(216-1, 216-2)과 중첩되는 제3 커패시터 전극(218-1, 218-2)에는 컨택홀에 대응하는 부분이 비어 있어야 한다. 결국, 도 14에 도시된 본 발명의 실시예는 도 15의 비교예보다 제2 스토리지 커패시터의 용량이 더 크다. 실험적으로 도 14에 도시된 본 발명의 실시예에 의한 스토리지 커패시터의 면적(a1)은 도 15의 비교예에 의한 스토리지 커패시터의 면적(a2)에 비하여 최대 38% 이상 증가하는 것을 확인하였다.
- [0105] 전술한 실시예에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 커패시터(capacitor)를 구비하는 6Tr-2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다.
- [0106] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

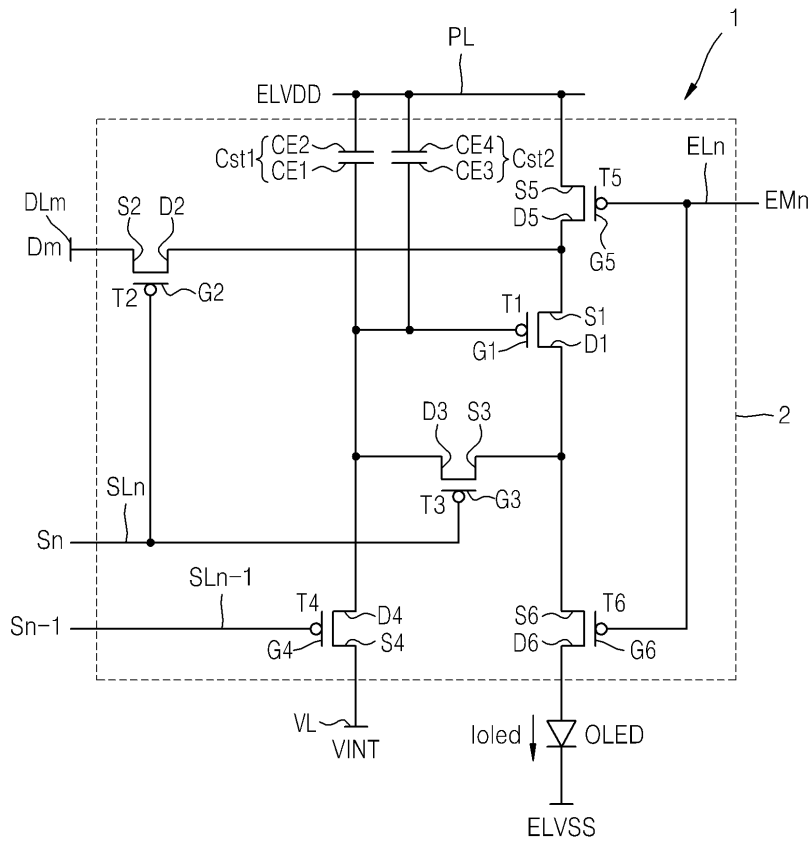
- [0107] 114-1, 114-2: 제1 커패시터 전극
- 116-1, 116-2: 제2 커패시터 전극
- 118-1, 118-2: 제3 커패시터 전극

도면

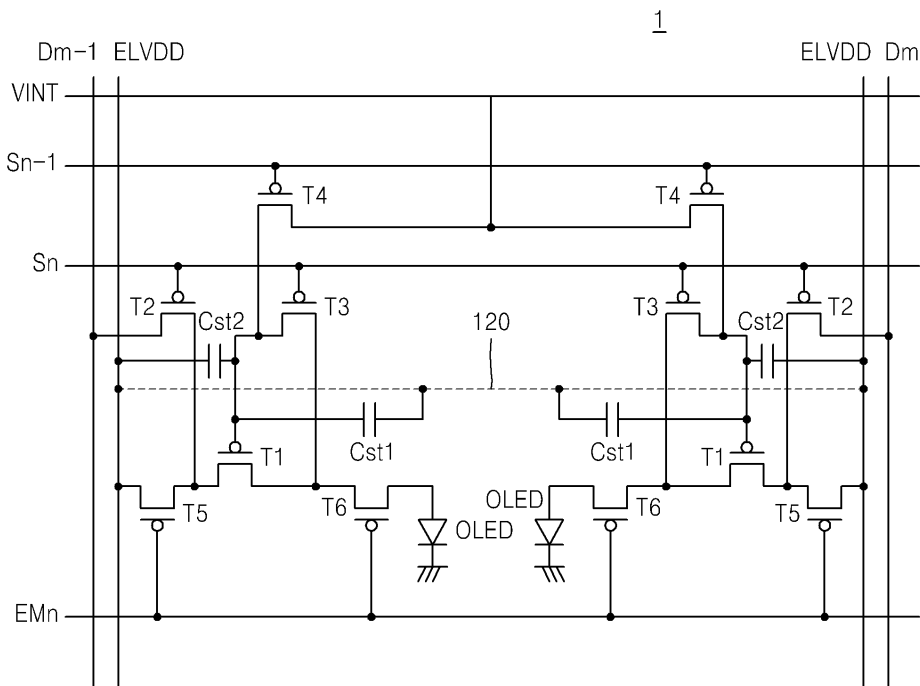
도면1



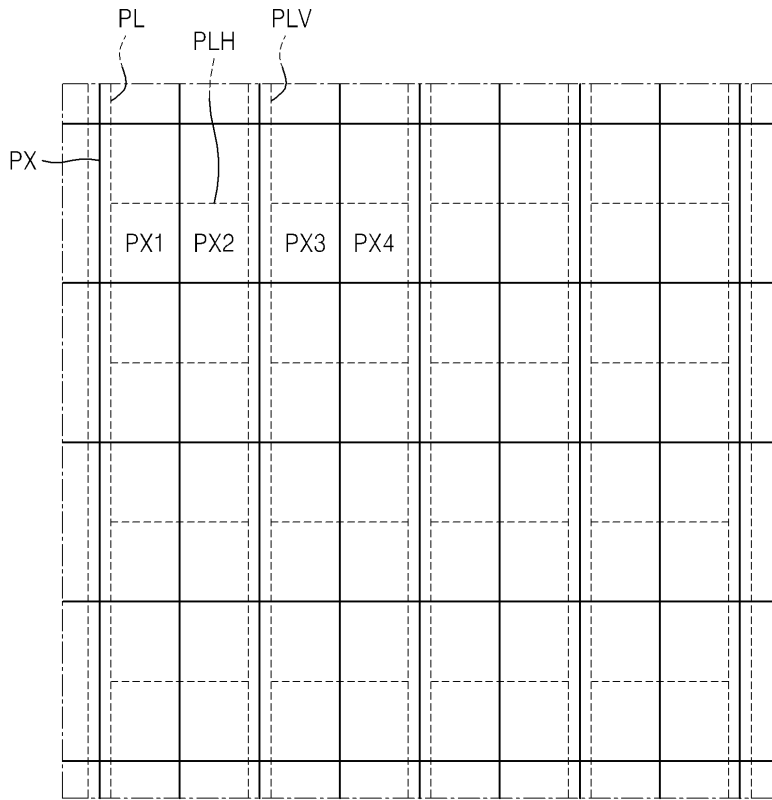
도면2



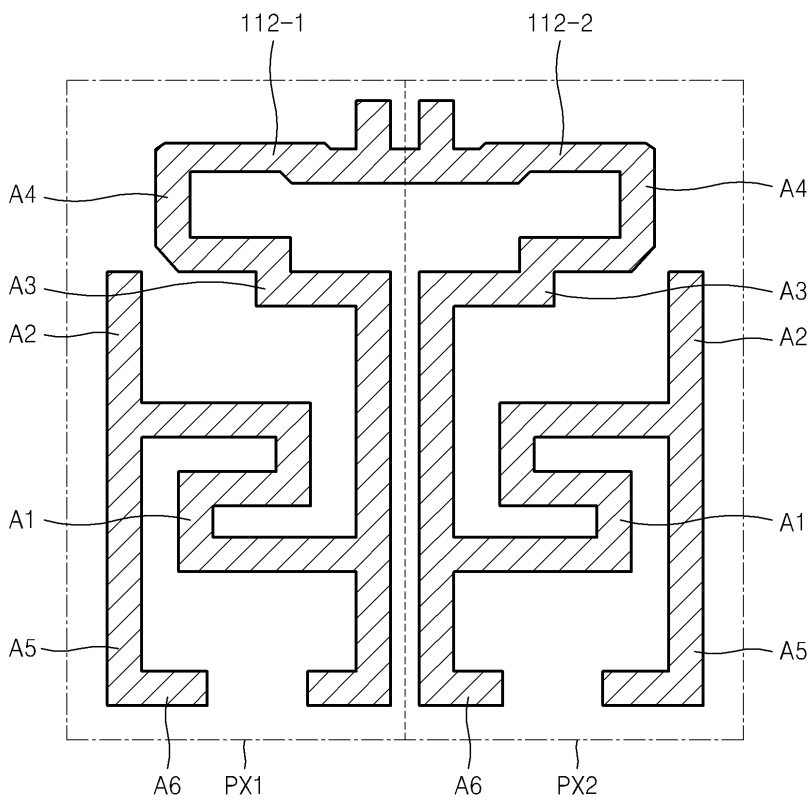
도면3



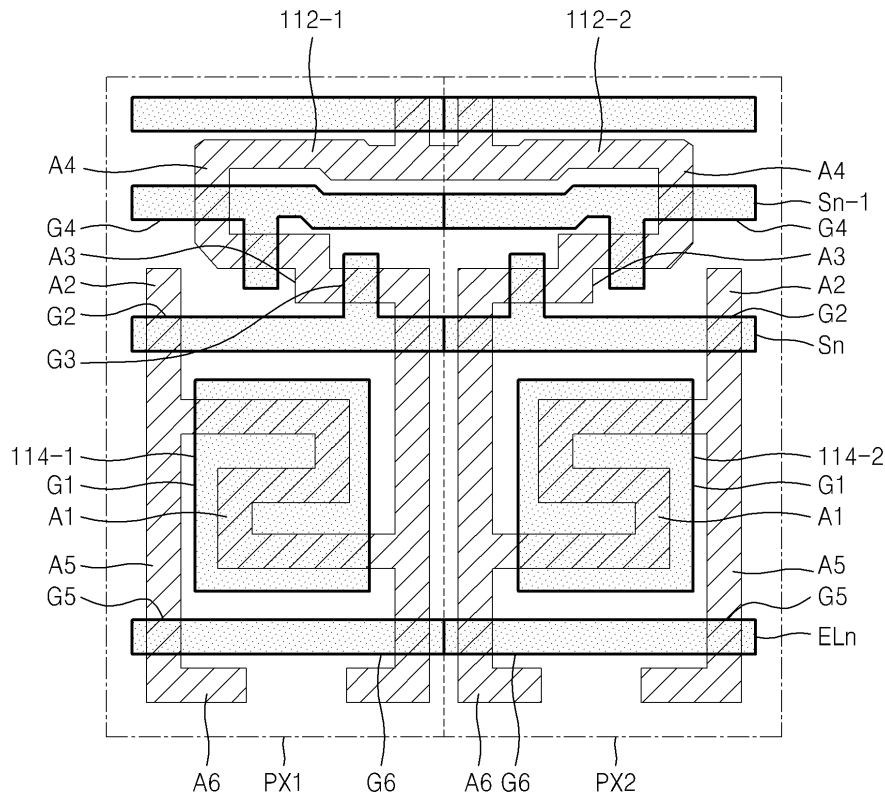
도면4



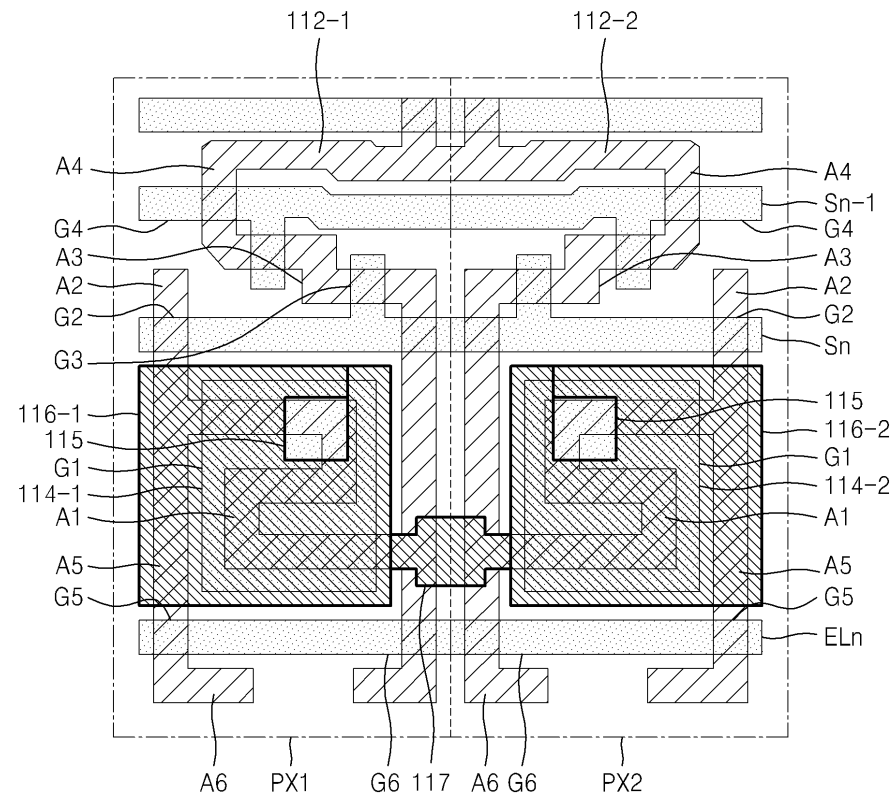
도면5



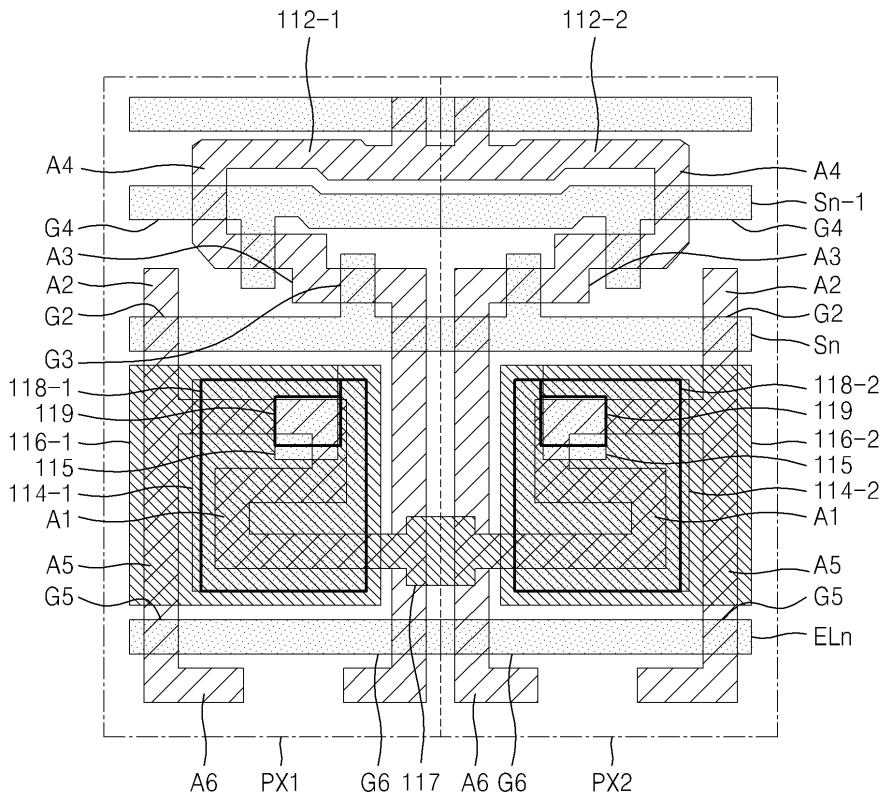
도면6



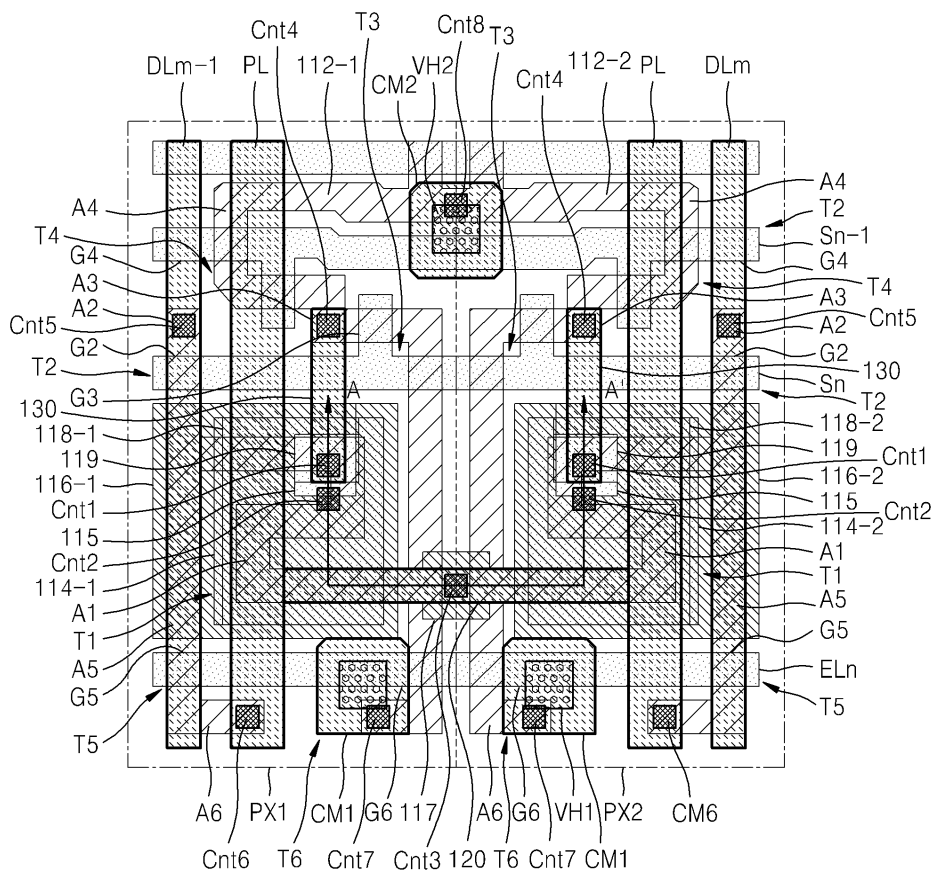
도면7



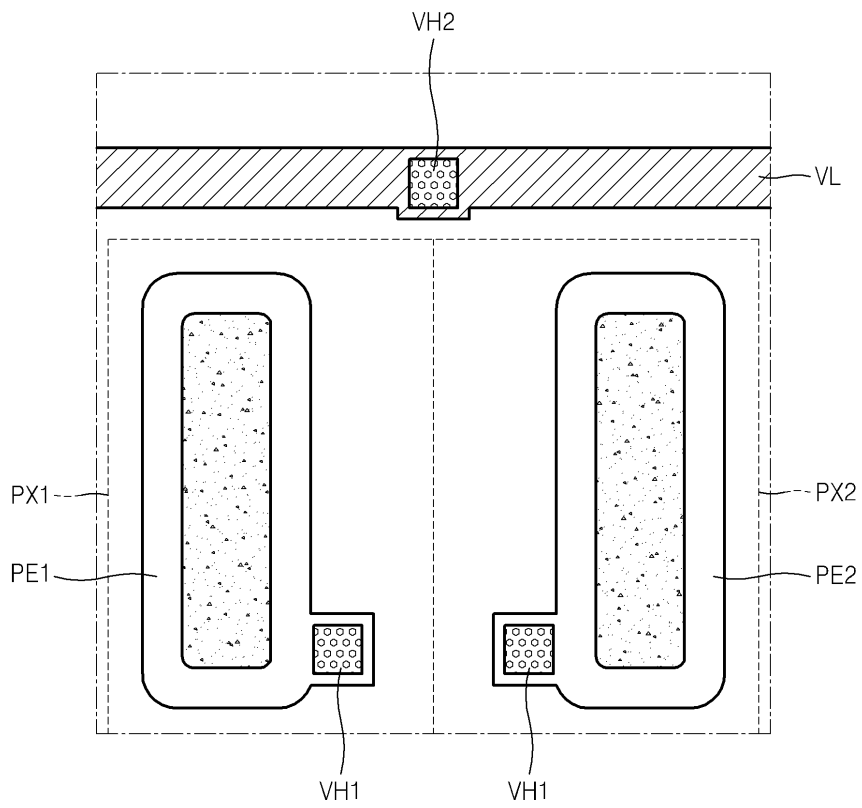
도면8



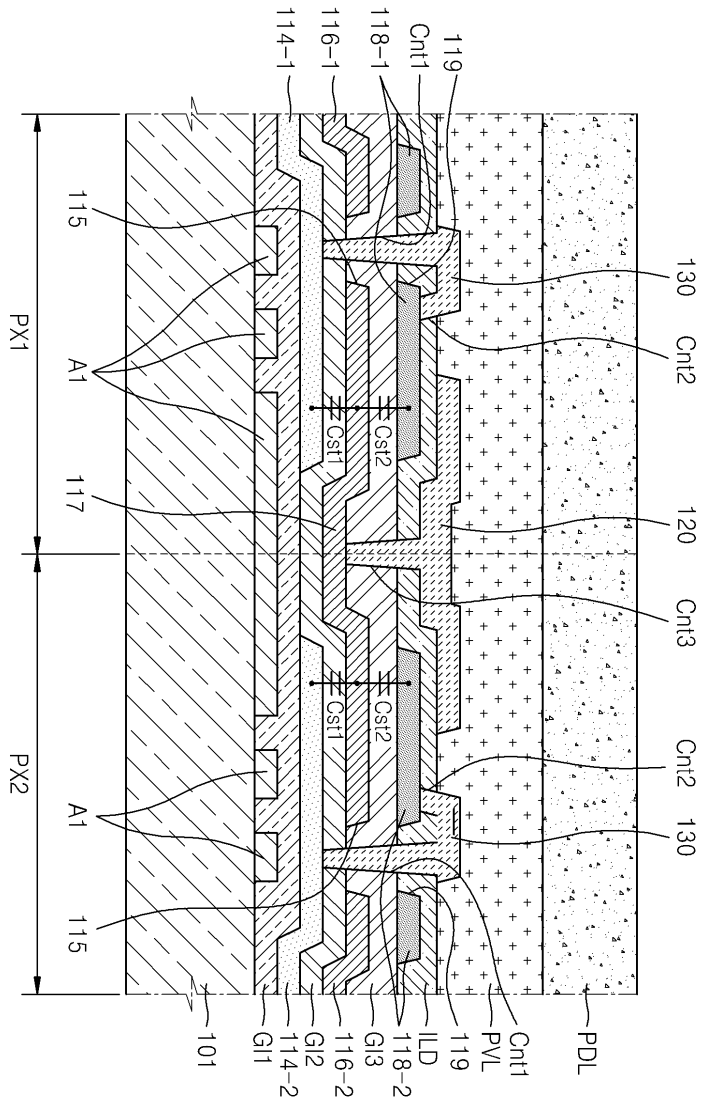
도면9



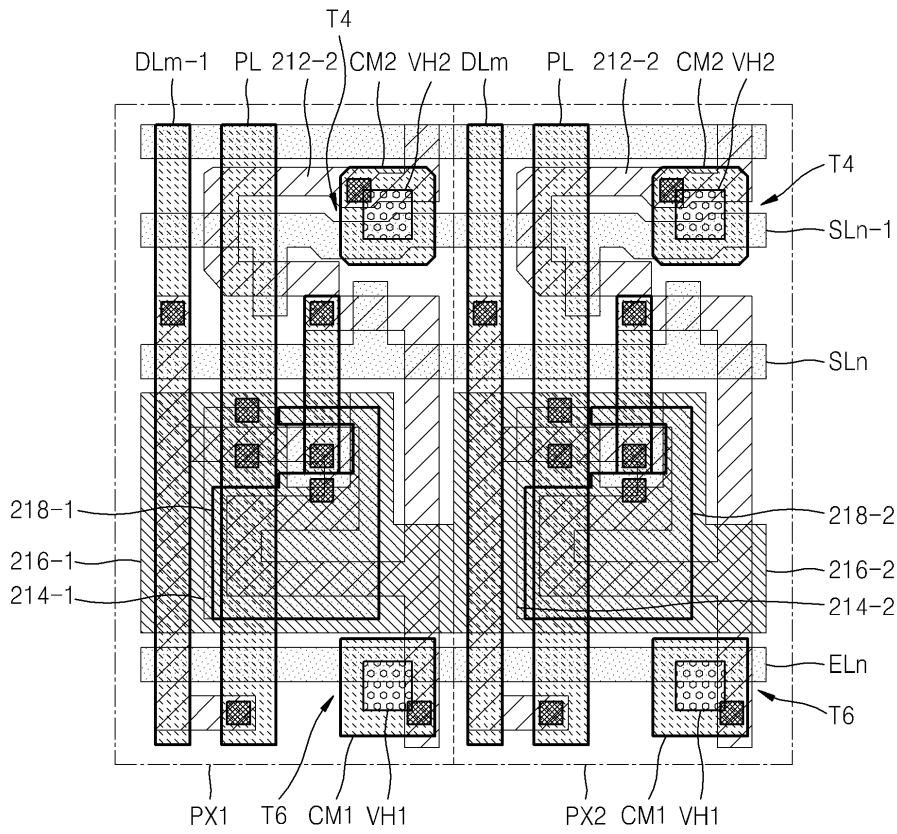
도면10



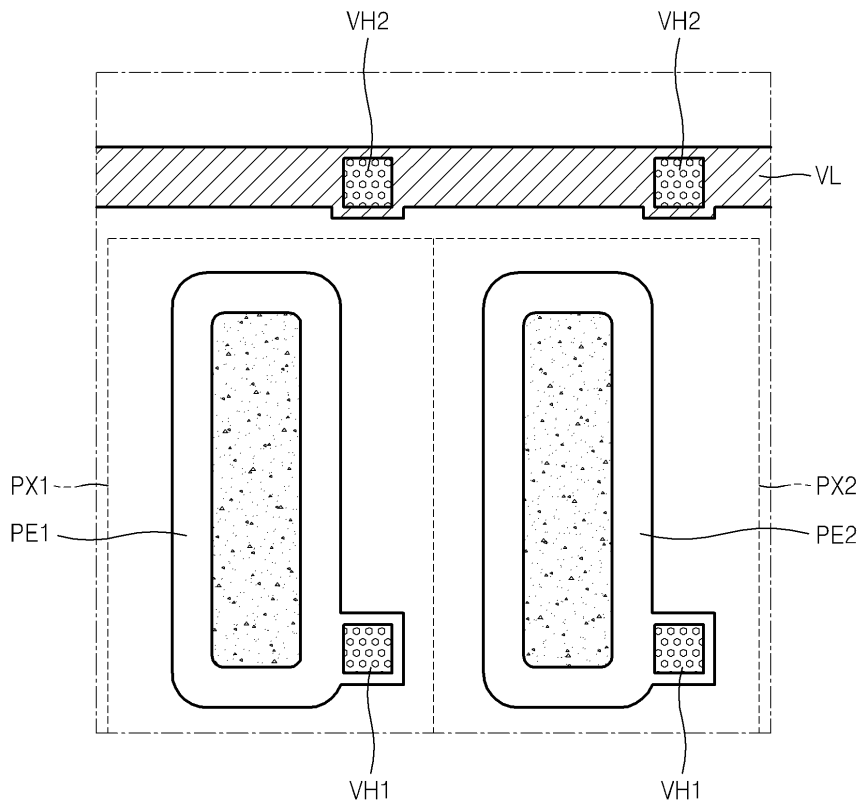
도면11



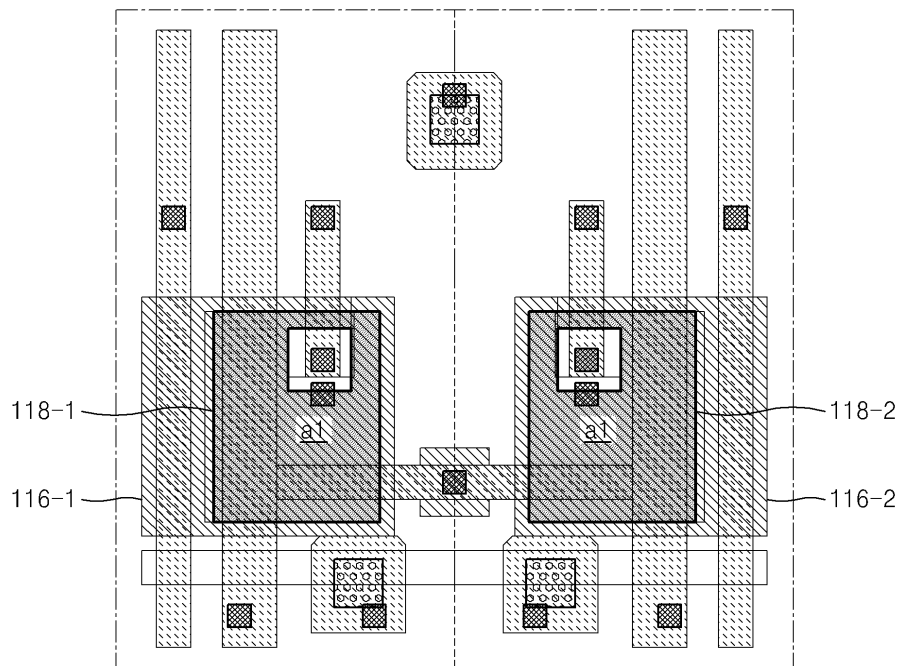
도면12



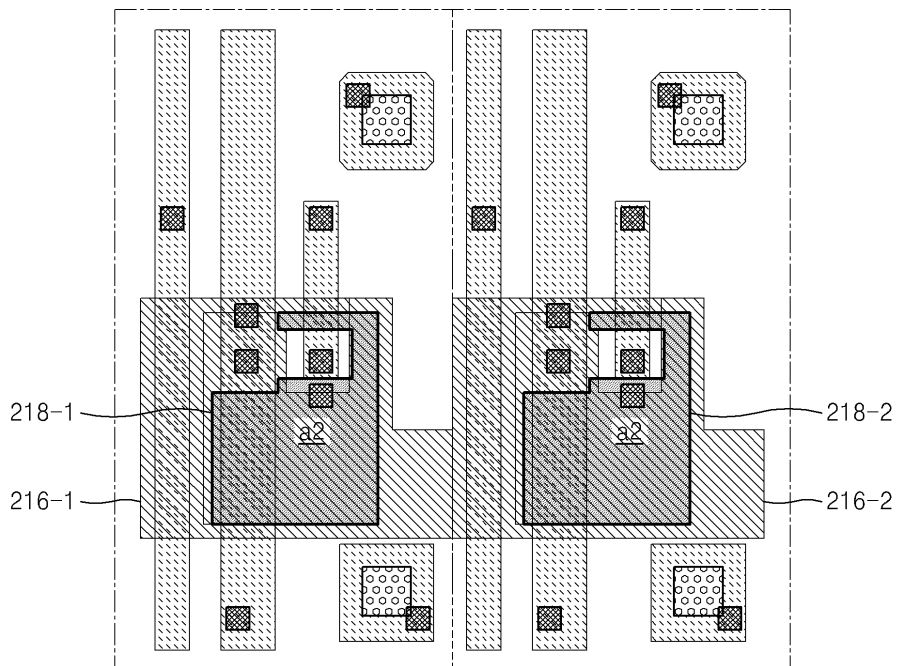
도면13



도면14



도면15



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 有机发光显示器 | | |
| 公开(公告)号 | KR102038076B1 | 公开(公告)日 | 2019-10-30 |
| 申请号 | KR1020130036978 | 申请日 | 2013-04-04 |
| [标]申请(专利权)人(译) | 三星显示有限公司 | | |
| 申请(专利权)人(译) | 三星显示器有限公司 | | |
| 当前申请(专利权)人(译) | 三星显示器有限公司 | | |
| [标]发明人 | KIM HYUN TAE 김현태 | | |
| 发明人 | 김현태 | | |
| IPC分类号 | H01L51/52 H05B33/08 | | |
| CPC分类号 | H01L28/40 H01L29/66181 H01L2924/1205 H01L2924/19041 H01L51/05 H01L51/52 H01L2229/00 G09G3/3225 G09G2300/043 G09G2300/0852 G09G2310/0216 G09G2310/0251 H01L27/3265 H01L27/ /3276 H01L28/60 H01L27/3262 H01L2227/323 | | |
| 其他公开文献 | KR1020140120734A | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明的实施例提供了在第一方向上布置在基板上并且关于与第一方向交叉的轴线对称的两个有源层，以及两个第一电容器，其与两个有源层的每一个重叠。公开了一种有机发光显示装置，该有机发光显示装置包括电极和与两个第一电容器电极中的每一个重叠的两个第二电容器电极。专利注册号10-2038076

