



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0082895  
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)  
(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2300/0408 (2013.01)  
(21) 출원번호 10-2018-0173920  
(22) 출원일자 2018년12월31일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김인준  
경기도 파주시 월롱면 엘지로 245  
오혜미  
경기도 파주시 월롱면 엘지로 245  
반명호  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인 정안

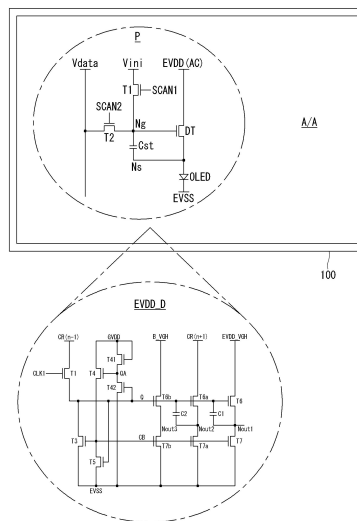
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시패널 및 이를 포함한 유기발광 표시장치

(57) 요약

본 발명에 의한 표시패널은 액티브 영역 내에서 데이터라인들과 게이트라인들이 교차된 영역에 배치된 픽셀들 및 픽셀들에 고전위 구동전압을 제공하는 구동전압 드라이버를 포함한다. 구동전압 드라이버는 다수의 트랜지스터들을 포함하되, 트랜지스터들 중 적어도 어느 하나는 액티브 영역 내에 배치된다.

대표도 - 도2



(52) CPC특허분류  
G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

액티브 영역 내에서, 데이터라인들과 게이트라인들이 교차된 영역에 배치된 픽셀들; 및

상기 픽셀들에 고전위 구동전압을 제공하는 구동전압 드라이버를 포함하고,

상기 구동전압 드라이버는 다수의 트랜지스터들을 포함하되, 상기 트랜지스터들 중 적어도 어느 하나는 상기 액티브 영역 내에 배치되는 표시패널.

#### 청구항 2

제 1 항에 있어서,

상기 구동전압 드라이버는 서로 종속적으로 접속되는 다수의 스테이지들을 포함하고,

상기 스테이지들 각각은 메인 출력단을 통해서 서로 다른 위상을 갖는 교류 형태의 상기 고전위 구동전압을 출력하는 표시패널.

#### 청구항 3

제 2 항에 있어서,

상기 픽셀들은 다수의 픽셀라인들을 따라 배치되고,

상기 스테이지들 각각은, 하나의 상기 픽셀라인 내에 배치되는 표시패널.

#### 청구항 4

제 3 항에 있어서,

상기 스테이지들 각각은 상기 픽셀라인 내에서 분산 배치되고,

상기 메인 출력단은, 상기 픽셀라인들과 평행하게 배치되는 표시패널.

#### 청구항 5

제 2 항에 있어서,

상기 스테이지들 각각은

클럭신호에 응답하여 Q 노드를 충전하는 스타트 제어부;

상기 Q 노드의 턴-온 전압에 응답하여, 상기 메인 출력단을 구동 하이전압으로 충전하는 제1 풀업 트랜지스터; 및

QB 노드 전압에 응답하여, 상기 메인 출력단을 구동 로우전압으로 충전하는 제1 풀다운 트랜지스터를 포함하고,

상기 구동 하이전압은, 상기 데이터라인과 평행한 제1 전원라인으로부터 제공받는 표시패널.

#### 청구항 6

제 5 항에 있어서,

상기 Q 노드의 턴-온 전압에 응답하여, 캐리 출력단을 통해서 부스팅전압의 캐리신호를 출력하는 제2 풀업 트랜지스터; 및

QB 노드 전압에 응답하여, 상기 캐리 출력단을 구동 로우전압으로 충전하는 제2 풀다운 트랜지스터를 포함하는 표시패널.

#### 청구항 7

제 6 항에 있어서,

상기 부스팅 전압은, 상기 데이터라인과 평행한 제2 전원라인으로부터 제공받는 표시패널.

#### 청구항 8

제 6 항에 있어서,

상기 Q 노드의 턴-온 전압에 응답하여, 상기 스테이지들 중에서 후단 스테이지가 출력하는 상기 캐리신호를 부스팅 노드에 충전하는 제3 풀업 트랜지스터; 및

상기 QB 노드 전압에 응답하여, 부스팅 노드에 상기 구동 로우전압을 인가하는 제3 풀다운 트랜지스터를 포함하는 표시패널.

#### 청구항 9

제 1 항에 있어서,

상기 픽셀들 각각은

발광소자; 및

소스전극이 상기 발광소자의 애노드전극에 연결되고, 드레인 전극이 상기 고전위 구동전압을 인가하는 상기 구동전압 드라이버의 메인 출력단에 접속된 구동 트랜지스터를 포함하는 표시패널.

#### 청구항 10

제 9 항에 있어서,

상기 픽셀들 각각은

제1 스캔신호를 인가받는 게이트전극, 초기화 전압을 인가받는 드레인전극, 상기 구동 트랜지스터의 게이트전극에 해당하는 게이트노드에 연결된 소스전극을 포함하는 제1 스위칭 트랜지스터;

제2 스캔신호를 인가받는 게이트전극, 상기 데이터라인에 연결된 드레인전극, 및 상기 게이트 노드에 연결된 소스전극을 포함하는 제2 스위칭 트랜지스터; 및

상기 게이트 노드와 상기 구동 트랜지스터의 소스전극 사이에 접속된 스토리지 커패시터를 포함하는 표시패널.

#### 청구항 11

제 10 항에 있어서,

초기화 기간에서 상기 제1 스위칭 트랜지스터는 턴-온되고,

상기 초기화 전압은 상기 구동 트랜지스터의 동작전압 보다 높은 전압으로 인가되는 표시패널.

#### 청구항 12

제 10 항에 있어서,

상기 고전위 구동전압은, 상기 초기화 기간에서, 구동 로우전압으로 반전되는 표시패널.

#### 청구항 13

표시패널의 액티브 영역 내에서, 데이터라인들과 게이트라인들이 교차된 영역에 배치된 픽셀들;

상기 액티브 영역 내에서 분산 배치되는 다수의 트랜지스터들로 이루어지고, 상기 픽셀들에 고전위 구동전압을 제공하는 구동전압 드라이버;

상기 데이터라인에 데이터전압을 공급하는 데이터 구동부; 및

상기 게이트라인에 게이트신호를 공급하는 게이트 구동부를 포함하고,

상기 픽셀들 각각은

발광소자; 및

소스전극이 상기 발광소자의 애노드전극에 연결되고, 드레인 전극이 상기 고전위 구동전압을 인가하는 상기 구동전압 드라이버의 메인 출력단에 접속된 구동 트랜지스터를 포함하는 유기발광 표시장치.

#### 청구항 14

제 13 항에 있어서,

상기 구동전압 드라이버는 서로 종속적으로 접속되는 다수의 스테이지들을 포함하고,

상기 스테이지들 각각은 메인 출력단을 통해서 서로 다른 위상을 갖는 교류 형태의 상기 고전위 구동전압을 출력하는 유기발광 표시장치.

#### 청구항 15

제 14 항에 있어서,

상기 픽셀들은 다수의 픽셀라인들을 따라 배치되고,

상기 스테이지들 각각은, 하나의 상기 픽셀라인 내에 배치되는 유기발광 표시장치.

#### 청구항 16

제 15 항에 있어서,

상기 스테이지들 각각은 상기 픽셀라인 내에서 분산 배치되고,

상기 메인 출력단은, 상기 픽셀라인들과 평행하게 배치되는 유기발광 표시장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 표시패널 및 이를 포함한 유기발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광다이오드를 발광시킨다.

[0004] 유기발광 표시장치에서 구동 트랜지스터의 구동 특성을 보상하는 방법과 화질을 향상시키기 위한 방안에 대한 연구가 활발하게 진행되고 있다. 이와 더불어, 표시장치가 대형화 되면서 구동전압의 편차가 발생하는 문제점을 개선하기 위한 방안이 모색되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명은 구동전압의 편차로 인해서 휘도 편차가 발생하는 것을 방지하기 위한 것이다.

[0006] 본 발명은 픽셀 구조를 단순화하면서 구동 트랜지스터의 문턱전압을 보상할 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

### 과제의 해결 수단

[0007] 본 발명에 의한 표시패널은 액티브 영역 내에서 데이터라인들과 게이트라인들이 교차된 영역에 배치된 픽셀들 및 픽셀들에 고전위 구동전압을 제공하는 구동전압 드라이버를 포함한다. 구동전압 드라이버는 다수의 트랜지스터들을 포함하되, 트랜지스터들 중 적어도 어느 하나는 액티브 영역 내에 배치된다.

[0008] 본 발명에 의한 표시장치는 픽셀들, 구동전압 드라이버, 데이터 구동부, 및 게이트 구동부를 포함한다. 픽셀들은 표시패널의 액티브 영역 내에서, 데이터라인들과 게이트라인들이 교차된 영역에 배치된다. 구동전압 드라이버는 액티브 영역 내에서 분산 배치되는 다수의 트랜지스터들로 이루어지고, 픽셀들에 고전위 구동전압을 제공한다. 데이터 구동부는 데이터라인에 데이터전압을 공급하고, 게이트 구동부는 게이트라인에 게이트신호를 공급한다. 픽셀들 각각은 발광소자 및 구동 트랜지스터를 포함한다. 구동트랜지스터는 소스전극이 발광소자의 애노드전극에 연결되고, 드레인 전극이 고전위 구동전압을 인가하는 구동전압 드라이버의 메인 출력단에 접속된다.

### 발명의 효과

[0009] 본 발명은 구동전압을 생성하는 구동전압 드라이버를 표시패널의 액티브 영역에 배치함으로써, 픽셀라인들에 인가되는 구동전압들 간의 편차를 개선할 수 있다.

[0010] 또한, 본 발명은 구동전압을 스윙함으로써 블랙 데이터 삽입 구동 및 듀티 구동을 용이하게 할 수 있다.

[0011] 본 발명에 의한 유기발광 표시장치는 비교적 적은 개수의 트랜지스터들을 이용하여 내부보상회로를 구성함으로써, 픽셀 구조를 간소화하고 개구율을 높일 수 있다.

### 도면의 간단한 설명

[0012] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면이다.

도 2는 표시패널에서 고전위 구동전압 생성부가 실장된 것을 모식화 한 도면이다.

도 3은 본 발명에 의한 구동전압 드라이버의 스테이지 구성을 나타내는 도면이다.

도 4 및 도 5는 액티브 영역에서 구동전압 드라이버가 삽입된 구조를 나타내는 도면이다.

도 6은 제n 스테이지의 세부 구성을 나타내는 도면이다.

도 7은 도 6에 도시된 스테이지의 동작을 나타내는 타이밍도이다

도 8은 본 발명에 의한 픽셀의 구성을 나타내는 도면이다.

도 9는 도 3에 도시된 픽셀의 구동신호를 나타내는 도면이다.

도 10은 본 발명에 의한 블랙데이터 삽입 구동을 설명하는 도면이다

도 11은 본 발명에 따른 발광 듀티 구동을 설명하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0014] 본 발명의 게이트 구동부에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 n 타입 트랜지스터를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 트랜지스터에서 캐리어가 외부로 나가는

전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.

- [0015] 도 1은 본 발명에 의한 유기발광 표시장치를 나타내는 도면이다. 도 2는 표시패널에서 고전위 구동전압 생성부가 실장된 것을 모식화 한 도면이다.
- [0016] 도 1 및 도 2를 참조하면, 본 발명에 의한 유기발광 표시장치는 표시패널(100), 타이밍 컨트롤러(200), 데이터 구동부(300), 게이트 구동부(400,500)를 구비한다.
- [0017] 표시패널(100)의 액티브 영역(AA)에는 열 방향으로 배치된 다수의 데이터라인(DL)들 및 행 방향으로 배치된 다수의 게이트라인(GL)들을 포함한다. 게이트라인(GL)들 각각은 제1 스캔라인 및 제2 스캔라인을 포함할 수 있다. 데이터라인(DL)들과 게이트라인(GL)들의 교차영역에는 영상 표시를 위한 픽셀(P)들이 배치된다.
- [0018] 또한, 액티브 영역(AA)에는 구동전압 드라이버(EVDD\_D)가 배치된다. 구동전압 드라이버(EVDD\_D)는 픽셀(P)에 제공되는 고전위 구동전압(EVDD)을 생성한다. 액티브 영역(AA)에 배치된 구동전압 드라이버(EVDD\_D)의 구체적인 실시 예는 후술하기로 한다.
- [0019] 타이밍 컨트롤러(200)는 호스트(10)로부터 제공받는 수직 동기신호(Vsync), 수평 동기신호(Hsync) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 제어신호 및 게이트 제어신호를 생성한다. 데이터 제어신호는 데이터 구동부(300)의 동작 타이밍을 제어하고, 게이트 제어신호는 게이트 구동부(400,500)의 동작 타이밍을 제어한다.
- [0020] 데이터 구동부(300)는 타이밍 컨트롤러(200)로부터 제공받는 데이터 제어신호 및 영상데이터(DATA)를 바탕으로 데이터전압을 생성하고 이를 데이터라인(DL)에 공급한다.
- [0021] 게이트 구동부(400,500)는 레벨슈프터(400) 및 시프트레지스터(500)를 포함한다. 레벨슈프터(400)는 타이밍 컨트롤러(200)로부터 제공받는 게이트 제어신호를 바탕으로 게이트클럭(GCLK)을 생성한다. 게이트클럭(GCLK)은 제1 스캔신호를 생성하기 위한 클럭과 제2 스캔신호를 생성하기 위한 클럭을 포함한다. 시프트레지스터(500)는 레벨슈프터(400)가 출력하는 게이트클럭(GCLK)을 바탕으로 제1 스캔신호들 및 제2 스캔신호들을 생성하고 이를 게이트라인들에 출력한다. 이를 위해서, 시프트레지스터(500)는 서로 종속적으로 접속하는 시프트레지스터를 포함한다. 시프트레지스터(500)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(DIS)의 비표시 영역(NAA)상에 직접 형성될 수 있다.
- [0022] 액티브 영역(AA) 상에 구동전압 드라이버가 배치된 구조를 살펴보면 다음과 같다.
- [0023] 도 3은 본 발명에 의한 구동전압 드라이버의 스테이지 구성을 나타내는 도면이다. 도 4 및 도 5는 액티브 영역에서 구동전압 드라이버가 삽입된 구조를 나타내는 도면이다.
- [0024] 도 3을 참조하면, 구동전압 드라이버(EVDD\_D)는 서로 종속적으로 접속된 스테이지들(STG1~STG(n))을 포함한다.
- [0025] 제1 스테이지(STG1)는 스타트신호(VST)에 의해서 구동을 시작하고 제1 고전위 구동전압(EVDD1) 및 제1 캐리신호(CR1)를 생성한다. 제2 스테이지(STG2)는 제2 고전위 구동전압(EVDD2) 및 제2 캐리신호(CR2)를 생성하고, 제n 스테이지(STG(n))는 제n 고전위 구동전압(EVDD(n)) 및 제n 캐리신호(CR(n))를 생성한다. 제2 스테이지 내지 제n 스테이지들(STG2~STG(n))은 이전단 스테이지가 출력하는 캐리신호를 입력받아서 구동을 시작한다.
- [0026] 제1 내지 제n 고전위 구동전압(EVDD1~EVDD(n))은 서로 일정한 위상이 쉬프트되면서 출력되고, 제1 내지 제n 픽셀라인들(HL1~HL(n))에 일대일로 제공된다. 즉, 제1 내지 제n 픽셀라인들(HL1~HL(n))은 순차적으로 위상이 쉬프트되는 고전위 구동전압을 제공받는다. 본 명세서에서 제n 스테이지(STG(n))는 제n-1 캐리신호(CR(n-1))를 제공받는 실시 예를 설명하고 있지만, 캐리신호를 전송받는 스테이지는 이에 한정되지 않는다.
- [0027] 도 4 및 도 5에서 보는 바와 같이, 구동전압 드라이버(EVDD\_D)는 액티브 영역(AA)의 픽셀 회로부(PIX)들 사이에

서 분산 배치된다. 픽셀 회로부(PIX)들 각각은 하나 이상의 픽셀(P)을 포함하는 픽셀 그룹을 지칭한다.

- [0028] 구동전압 드라이버(EVDD\_D)에서 하나의 스테이지는 하나의 픽셀라인 내에서 배치된다. 즉, 제1 스테이지(STG1)는 제1 픽셀라인(HL1) 내에서 배치되고, 제n 스테이지(ST(n))는 제n 픽셀라인(HL(n)) 내에서 배치된다.
- [0029] 드라이버 회로부들(E1~E(k)) 각각은 도 6에 도시된 트랜지스터들 중에서 하나 이상의 트랜지스터에 해당한다. 예컨대, 제1 드라이버 회로부(E1)는 도 6에 도시된 12개의 트랜지스터들 중에서 어느 하나 또는 둘 이상의 트랜지스터들일 수 있다. 마찬가지로 제k(k는 자연수) 드라이버 회로부(E(k))는 도 6에 도시된 12개의 트랜지스터들 중에서 어느 하나 또는 둘 이상의 트랜지스터들일 수 있다. 픽셀 회로부(PIX)들 간의 간격이 커지지 않고 균일하게 하기 위해서, 드라이버 회로부들(E1~E(k)) 각각은 하나의 트랜지스터로 구현함으로써 구동전압 드라이버(EVDD\_D)의 각 구성을 최대한 분산배치할 수 있다.
- [0030] 픽셀 회로부(PIX)의 배선들(DL, VL, EVDDL)과 드라이버 회로부들(E1~E(k))의 배선들(CLKL, BVL, EVL)은 중첩되지 않고 서로 분리된다. 예컨대, 픽셀 회로부를 구성하는 트랜지스터들과 데이터 라인(DL)들은 드라이버 회로부들(E1~E(k))을 구성하는 트랜지스터들과 클럭 배선들로부터 공간적으로 분리된다.
- [0031] 드라이버 회로부들(E1~E(k))의 배선들 중에서, CLKL은 클럭신호(CLK)를 전송하는 라인이고, VSTL은 스타트신호를 전송하는 라인이고, BVL은 도 6에 도시된 부스팅전압(B\_VGH) 전압을 전송하는 라인이며, EVL은 도 6에 도시된 구동 하이전압(EVDD\_VGH)을 전송하는 라인이다.
- [0032] CLKL, VSTL, BVL, EVL들은 도 4에서 보는 바와 같이, 데이터라인(DL)과 나란하게 수직 방향으로 배치될 수 있다.
- [0033] 드라이버 회로부들(E1~E(k)) 중에서 어느 하나의 회로부(E2)는 EVL로부터 EVDD\_VGH를 제공받아서 메인 출력단(Nout1)을 통해서 고전위 구동전압(EVDD)을 출력한다. 메인 출력단(Nout1)은 동일한 픽셀라인(HL)에 속한 픽셀들 및 게이트라인(GL)들과 평행한 방향으로 배치될 수 있다. 동일한 픽셀라인(HL)에 배치된 픽셀(P)들은 동일한 메인 출력단(Nout1)과 접속된다.
- [0034] 살펴본 바와 같이, 본 발명의 구동전압 드라이버(EVDD\_D)는 액티브 영역(AA) 내부에 삽입된다. 기존에는 구동전압 드라이버(EVDD\_D)가 액티브 영역(AA)의 외부에 배치되었기 때문에, 구동 하이전압(EVDD\_VGH)이 드롭(drop)되는 현상으로 인해서 픽셀라인들 간의 휘도 편차가 발생하기도 한다. 이에 반해서, 본 발명은 픽셀라인들 내부에서 고전위 구동전압(EVDD)을 생성하기 때문에, 픽셀라인들 간의 고전위 구동전압(EVDD) 편차가 발생하지 않는다.
- [0035] 도 6은 제n 스테이지의 세부 구성을 나타내는 도면이다.
- [0036] 도 6을 참조하면, 스타트 제어부(T1), 제1 내지 제3 풀업 트랜지스터들(T6, T6a, T6b), 제1 내지 제3 풀다운 트랜지스터들(T7, T7a, T7b), QB 노드 제어부(T4, T41, T4q), Q 노드 홀딩부(T3) 및 QB 노드 홀딩부(T5)를 포함한다.
- [0037] 스타트 제어부(T1)는 제1 클럭신호(CLK1)가 인가되는 게이트전극, 제n-1 캐리신호(CR(n-1))가 인가되는 드레인전극, 및 Q 노드에 연결된 소스전극을 포함한다. 스타트 제어부(T1)는 제1 클럭신호(CLK1)에 응답하여, Q 노드에 세트신호(SET[n])의 하이전압을 인가한다. 세트신호(SET[n])는 도3에 도시된 스타트신호(VST) 또는 이전단 캐리신호(CR(n-1))일 수 있다. 예컨대, 제1 스테이지(STG1)는 스타트신호(VST)를 세트신호(SET[n])로 이용하고, 제n 스테이지(STG[n])는 제n-1 스테이지(STG[n-1])가 생성한 캐리신호(CR(n-1))를 세트신호(SET[n])로 이용한다. 제n-1 캐리신호(CR(n-1))의 하이레벨 전압은 부스팅전압(B\_VGH)에 해당한다. 즉, 스타트 제어부(T1)는 제1 클럭신호(CLK1)와 세트신호(SET[n])가 동기되는 구간, 스타트신호(VST)의 하이레벨 전압 또는 부스팅전압(B\_VGH)을 Q 노드에 충전한다.
- [0038] 제1 풀업 트랜지스터(T6)는 Q 노드에 연결된 게이트전극, 구동 하이전압(EVDD\_VGH)의 입력단에 접속된 드레인전극 및 메인 출력단(Nout1)에 연결된 소스전극을 포함한다. 제1 풀업 트랜지스터(T6)는 Q 노드의 턴-온 전압에 응답하여, 구동 하이전압(EVDD\_VGH)을 메인 출력단(Nout1)을 통해서 출력한다.
- [0039] 제1 풀다운 트랜지스터(T7)는 QB 노드에 연결된 게이트전극, 메인 출력단(Nout1)에 접속된 드레인전극 및 구동 로우전압(GVSS)의 입력단에 연결된 소스전극을 포함한다. 제1 풀다운 트랜지스터(T7)는 QB 노드의 턴-온 전압에 응답하여, 메인 출력단(Nout1)을 구동 로우전압(GVSS)으로 방전시킨다.
- [0040] 제2 풀업 트랜지스터(T6b)는 Q 노드에 연결된 게이트전극, 부스팅 전압(B\_VGH)을 인가받는 드레인전극, 및 캐리 출력단(Nout3)에 연결된 소스전극을 포함한다. 제2 풀업 트랜지스터(T6b)는 Q 노드의 턴-온 전압에 응답하여,



부스팅 전압(B\_VGH)을 캐리 출력단(Nout3)을 통해서 출력한다. 제 $n$  스테이지(STG( $n$ ))의 제2 풀업 트랜지스터(T6b)가 출력하는 캐리신호(CR( $n$ ))는 후단 스테이지의 스타트 제어부(T1) 및 이전단 스테이지의 제3 풀업 트랜지스터(T6a)에 인가된다. 즉, 제 $n$  캐리신호(CR( $n$ ))는 제( $n+1$ ) 스테이지(STG( $n+1$ ))의 스타트 제어부(T1)에 인가되어, Q 노드의 충전전압으로 이용된다. 또한, 제 $n$  캐리신호(CR( $n$ ))는 제( $n-1$ ) 스테이지(STG( $n-1$ ))의 제3 풀업 트랜지스터(T6a)에 인가되어, 부스팅 노드(Nout2)를 부스트스트래핑(bootstrapping)시키는 동작에 관여한다.

- [0041] 제2 풀다운 트랜지스터(T7b)는 QB 노드에 연결된 게이트전극, 캐리 출력단(Nout3)에 접속된 드레인전극 및 구동 로우전압(GVSS)의 입력단에 연결된 소스전극을 포함한다. 제2 풀다운 트랜지스터(T7b)는 QB 노드의 턴-온 전압에 응답하여, 캐리 출력단(Nout3)을 구동 로우전압(GVSS)으로 방전시킨다.
- [0042] 제3 풀업 트랜지스터(T6a)는 Q 노드에 연결된 게이트전극, 후단 캐리신호(CR( $n+1$ ))를 인가받는 드레인전극, 및 부스팅 노드(Nout2)에 연결된 소스전극을 포함한다. 제3 풀업 트랜지스터(T6a)는 Q 노드의 턴-온 전압에 응답하여, 후단 캐리신호(CR( $n+1$ ))의 하이전압을 부스팅 노드(Nout2)에 충전한다.
- [0043] 제3 풀다운 트랜지스터(T7a)는 QB 노드에 연결된 게이트전극, 부스팅 노드(Nout2)에 접속된 드레인전극 및 구동 로우전압(GVSS)의 입력단에 연결된 소스전극을 포함한다. 제3 풀다운 트랜지스터(T7a)는 QB 노드의 턴-온 전압에 응답하여, 부스팅 노드(Nout2)를 구동 로우전압(GVSS)으로 방전시킨다.
- [0044] QB 노드 제어부(T4, T41, T42)는 QA 노드 제어부(T42), QA 풀업부(T41) 및 인버터부(T4)를 포함한다.
- [0045] QA 노드 제어부(T42)는 Q 노드에 연결된 게이트전극, QA 노드에 연결된 드레인전극 및 구동 로우전압(GVSS)에 연결된 소스전극을 포함한다. QA 노드 제어부(T42)는 Q 노드가 턴-온 전압일 때 QA 노드를 구동 로우전압(GVSS)으로 방전시킨다.
- [0046] QA 풀업부(T41)의 게이트전극 및 드레인전극은 고전위전압(GVDD)의 입력단에 연결되고, 소스전극은 QA 노드에 연결된다. QA 풀업부(T41)는 고전위전압(GVDD)의 입력단과 QA 노드 사이에서 다이오드의 기능을 수행한다.
- [0047] 인버터부(T4)는 QA 노드에 연결된 게이트전극, 고전위전압(GVDD)의 입력단에 연결된 드레인전극, 및 QB 노드에 연결된 소스전극을 포함한다. 인버터부(T4)는 QA 노드가 턴-온 전압일 때, QB 노드를 턴-온 전압으로 충전한다.
- [0048] QB 노드 제어부(T4, T41, T42)는 Q 노드 전압이 턴-오프 전압일 때 QB 노드를 고전위전압(GVDD)으로 충전한다.
- [0049] Q 노드 홀딩부(T3)는 QB 노드에 연결된 게이트전극, Q 노드에 연결된 드레인전극 및 구동 로우전압(GVSS)의 입력단에 접속된 소스전극을 포함한다. Q 노드 홀딩부(T3)는 QB 노드가 턴-온 전압일 때, Q 노드에 턴-오프 전압을 인가한다.
- [0050] QB 노드 홀딩부(T5)는 Q 노드에 연결된 게이트전극, QB 노드에 연결된 드레인전극 및 구동 로우전압(GVSS)의 입력단에 접속된 소스전극을 포함한다. QB 노드 홀딩부(T5)는 Q 노드가 턴-온 전압일 때, QB 노드에 턴-오프 전압을 인가한다.
- [0051] 도 7은 도 6에 도시된 스테이지의 동작을 나타내는 타이밍도이다.
- [0052] 도 6 및 도 7을 참조하여 제 $n$  스테이지(STG( $n$ ))의 동작을 살펴보면 다음과 같다.
- [0053] 제1 타이밍( $t_1$ ) 이전까지, QB 노드는 고전위전압(GVDD)을 유지하고, Q 노드 홀딩부(T3)는 턴-온 상태를 유지한다. Q 노드 홀딩부(T3)가 턴-온 상태를 유지하는 동안, Q 노드는 구동 로우전압(GVSS) 상태를 유지하고, 턴-온 전압으로 상승하는 것이 억제된다. 제1 타이밍( $t_1$ )에서 스타트 제어부(T1)는 세트신호(SET[ $n$ ])에 응답하여, Q 노드에 세트신호(SET[ $n$ ])의 하이전압을 인가한다. 세트신호(SET[ $n$ ])는 스타트신호(VST) 또는 캐리신호일 수 있다. 예컨대, 제1 스테이지(STG1)는 스타트신호(VST)를 세트신호(SET[ $n$ ])로 이용하고, 제 $n$  스테이지(STG( $n$ ))는 제 $n-1$  스테이지(STG( $n-1$ ))가 생성한 캐리신호(CR( $n-10$ ))를 세트신호(SET[ $n$ ])로 이용한다.
- [0054] Q 노드가 프리차지되는 구간에서, QA 노드 제어부(T42)는 턴-온 되어 QA 노드를 구동 로우전압(GVSS)으로 유지시킨다. 그 결과, 인버터부(T4)의 동작이 억제된다.
- [0055] 제2 타이밍( $t_2$ )에서, 제1 풀업 트랜지스터(T6)는 턴-온되어, 메인 출력단(Nout1)으로 EVDD\_VGH전압을 출력한다. 이와 동시에, 제 $n+1$  캐리클럭(CR( $n+1$ ))이 제3 풀업 트랜지스터(T6a)의 드레인전극에 입력되면, 부스팅 노드(Nout2)에는 후단 스테이지가 출력하는 제 $n+1$  캐리클럭(CR( $n+1$ ))의 부스팅전압(B\_VGH)이 충전된다. 부스팅전압(B\_VGH)은 구동 하이전압(EVDD\_VGH) 보다 높은 전압레벨로 설정된다. 이에 따라, 제2 타이밍( $t_2$ )에서 부스팅

노드(Nout2)의 전압은 상승하고, 이에 따라 Q 노드의 전압도 부트스트래핑(bootstrapping)된다. 제2 타이밍(t2)에서 제2 풀업 트랜지스터(T6b)는 턴-온되어 캐리 출력단(Nout3)을 통해서 B\_VGH 전압의 제n 캐리신호(CR(n))를 출력한다.

[0056] 제3 타이밍(t3)에서, 스타트 제어부(T1)는 턴-온 전압의 제1 클럭신호(CLK1)에 응답하여, 제n-1 캐리신호(CR(n-1))를 Q 노드에 충전한다. 그 결과, Q 노드는 제n-1 캐리신호(CR(n-1))의 구동 로우전압(GVSS)으로 충전된다. Q 노드가 턴-오프 전압이 되면서, 제1 내지 제3 풀업 트랜지스터들(T6, T6a, T6b)은 턴-오프 된다. 그리고, QB 노드 제어부(T4, T41, T42)는 Q 노드 전압이 턴-오프 전압일 때 QB 노드를 고전위전압(GVDD)으로 충전한다. QB 노드가 턴-온 전압이 되면서, Q 노드 홀딩부(T3)는 Q 노드에 턴-오프 전압을 인가한다.

[0057] 이하, 본 발명의 본 발명의 구동전압 드라이버(EVDD\_D)를 적용한 표시장치에 대해 살펴보면 다음과 같다.

[0058] 도 8은 본 발명에 의한 픽셀의 구성을 나타내는 도면이다.

[0059] 도 8을 참조하면, 본 발명에 의한 픽셀은 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 스위칭 트랜지스터(T1), 제2 스위칭 트랜지스터(T2) 및 스토리지 커패시터(Cst)를 포함한다.

[0060] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극은 게이트 노드(Ng)에 접속되고, 캐소드전극은 저전위 구동전압(EVSS)의 입력단에 접속된다.

[0061] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 게이트 노드(Ng)에 접속되고, 소스전극은 소스 노드(Ns)에 접속되며, 드레인전극은 메인 출력단(Nout1)에 접속된다.

[0062] 제1 스위칭 트랜지스터(T1)는 제1 스캔라인(SL1)에 접속된 게이트전극, 이니셜라인(VL)에 접속된 드레인전극, 게이트 노드(Ng)에 접속된 소스전극을 포함한다. 제1 트랜지스터(T1)는 제1 스캔신호(SCAN1)에 응답하여, 게이트 노드(Ng)에 초기화전압(Vini)을 인가한다.

[0063] 제2 스위칭 트랜지스터(T2)의 제2 스캔라인(SL2)에 접속된 게이트전극, 데이터라인(DL)에 접속된 드레인전극 및 게이트 노드(Ng)에 접속된 소스전극을 포함한다. 제2 트랜지스터(T2)는 제2 스캔신호(SCAN2)에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 게이트 노드(Ng)에 기입한다.

[0064] 스토리지 커패시터(Cst)는 제1 노드(N1)와 고전위 구동전압(VDD)의 입력단 사이에 접속된다.

[0065] 도 9는 도 8에 도시된 픽셀의 구동신호를 나타내는 도면이다. 도 9 및 도 8를 참조하여, 픽셀의 구동을 살펴보면 다음과 같다.

[0066] 초기화 기간(Di)에서, 제1 스캔신호(SCAN1)는 턴-온전압으로 인가되고, 제2 스캔신호(SCAN2)는 턴-오프 전압으로 인가된다. 고전위 구동전압(EVDD)은 구동 로우전압(GVSS)으로 인가된다.

[0067] 초기화 기간(Di)에서, 제1 스위칭 트랜지스터(ST1)는 제1 스캔신호(SCAN1)에 응답하여, 게이트 노드(Ng)에 초기화 전압(Vini)을 인가한다. 초기화 전압(Vini)은 턴-온 전압 이상으로 설정된다. 따라서 구동 트랜지스터(DT)는 턴-온 되고, 소스 노드(Ns)에는 구동 로우전압(GVSS)의 고전위 구동전압(EVDD)이 인가된다. 결과적으로, 초기화 기간(Di)에서 게이트 노드(Ng)는 초기화 전압(Vini)이 되고, 소스 노드(Ns)는 로우레벨 전압이 된다.

[0068] 샘플링 기간(Ds) 동안, 제1 스캔신호(SCAN1)는 턴-온 전압을 유지하고, 고전위 구동전압(EVDD)은 구동 하이전압(EVDD\_VGH)으로 반전된다. 샘플링 기간(Ds)에서, 제1 스위칭 트랜지스터(ST1)는 턴-온 상태를 유지하기 때문에, 게이트 노드(Ng)는 초기화 전압(Vini)을 유지한다. 그리고 고전위 구동전압(EVDD)이 구동 하이전압(EVDD\_VGH)으로 반전되기 때문에, 소스 노드(Ns)에는 구동 하이전압(EVDD\_VGH)이 인가된다. 즉, 소스 노드(Ns)는 구동 로우전압(GVSS)으로부터 점차적으로 상승한다. 이때, 소스 노드(Ns)의 전압은 구동 트랜지스터(DT)의 게이트-소스 간 전압(Vgs)이 문턱전압(Vth)이 될 때까지 상승한다. 이렇게 샘플링 된 구동 트랜지스터(DT)의 문턱전압(Vth)은 스토리지 커패시터(Cst)에 저장된다.

[0069] 제1 스캔신호(SCAN1) 및 제2 스캔신호(SCAN2)는 턴-오프 전압으로 인가되는 홀딩 기간(Dh)을 거쳐서, 데이터기입 기간(Dw)이 진행된다.

[0070] 데이터기입 기간(Dw) 동안, 제1 스캔신호(SCAN1)는 턴-오프 전압을 유지하고, 제2 스캔신호(SCAN2)는 턴-온 전압으로 인가된다.

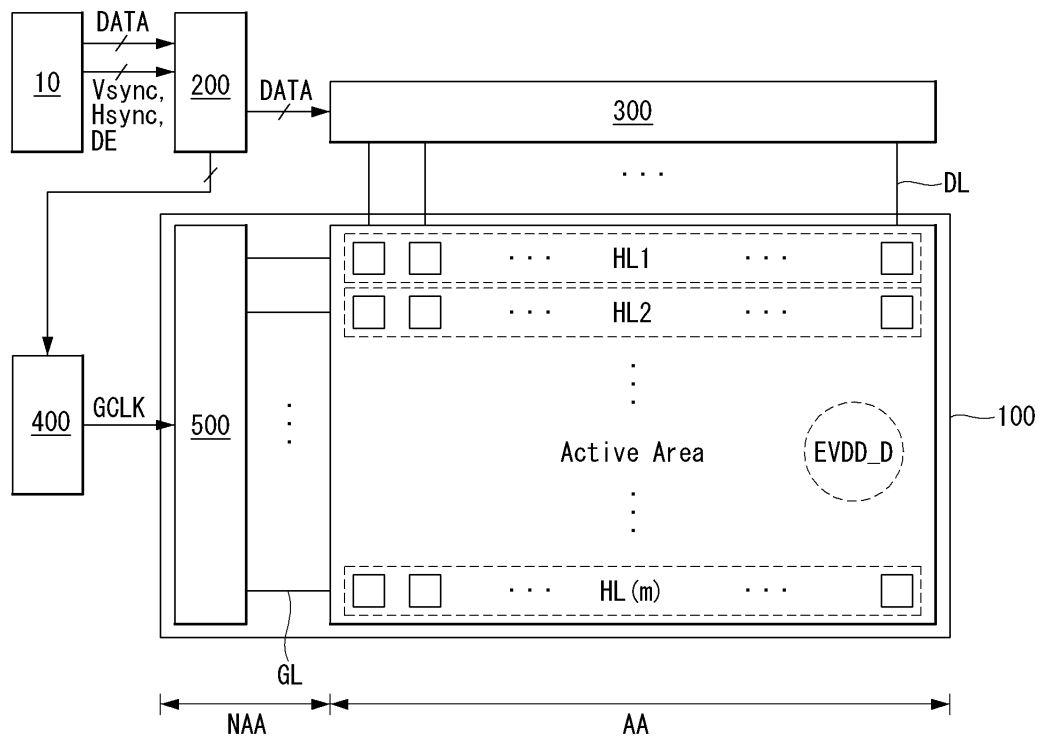
- [0071] 제2 스위칭 트랜지스터(ST2)는 제2 스캔신호(SCAN2)에 응답하여, 데이터라인(DL)으로부터의 데이터전압(Vdata)을 게이트 노드(Ng)에 인가된다. 즉, 데이터기입 기간(Dw)에서 스토리지 커패시터(Cst)는 데이터전압(Vdata)과 구동 트랜지스터 문턱전압(Vth)의 합에 해당하는 'Vdata+Vth'으로 세팅된다.
- [0072] 발광 기간(De) 동안, 제1 스캔신호(SCAN1) 및 제2 스캔신호(SCAN2)는 턴-오프 전압으로 인가되고, 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 전압(Vdata+Vth)에 의해서 동작한다. 발광 기간(De)에서, 구동 트랜지스터(DT)를 경유하여 유기발광 다이오드(OLE)에 제공되는 구동전류는 구동 트랜지스터(DT)의 게이트-소스 간 전위에서 문턱전압(VTH)을 뺀 값의 제공에 비례한다. 구동 트랜지스터(DT)의 'Vgs'가 'Vdata+Vth'에 해당하기 때문에, 결국 발광 기간(De)에서 유기발광 다이오드(OLED)는 데이터전압(Vdata)의 제공에 비례하는 크기로 발광한다.
- [0073] 이와 같이, 본 발명은 픽셀(P)에 기입되는 고전위 구동전압(EVDD)을 스윙시켜서 간단한 픽셀 구조를 이용하면서도 실시간으로 구동 트랜지스터(DT)의 문턱전압을 보상할 수 있다.
- [0074] 또한, 본 발명은 고전위 구동전압(EVDD)을 스윙시켜서 블랙데이터 삽입 구동(Black Data Insertion; 이하, BDI) 및 발광 듀티비 구동을 수행할 수 있다.
- [0075] 도 10은 본 발명에 의한 블랙데이터 삽입 구동을 설명하는 도면이다.
- [0076] 도 10을 참조하면, 표시패널(100)의 액티브 영역(AA)에는 픽셀회로부(PIX) 및 구동전압 드라이버(EVDD\_D)를 포함한다. 구동전압 드라이버(EVDD\_D)는 픽셀라인마다 하나의 스테이지를 포함하고, 각각의 스테이지들은 서로 다른 위상의 고전위 구동전압(EVDD)을 출력한다.
- [0077] 즉, 픽셀라인 마다 다른 타이밍으로 발광을 제어할 수 있기 때문에, 도 10의 (A)에서와 같이, 시퀀셜(Sequential) 방식의 BDI 구현이 가능해진다. 도 10의 (B)에 도시된 샷(Shot) 방식의 BDI가 한 프레임 내에서 패널 위치에 따라 화소들의 발광시간이 달라지는데 반해서, 시퀀셜(Sequential) 방식의 BDI는 한 프레임 내에서 패널 위치에 상관없이 화소들의 발광시간이 모두 동일하다. 시퀀셜(Sequential) 방식의 BDI는 패널 위치에 따른 휘도 편차의 유발없이 MPRT 성능을 효과적으로 개선할 수 있다. 도 10의 (A)에서, "Add"는 픽셀의 데이터기입 기간(Dw)에 해당하고, "Emission"은 발광 기간(De)에 해당한다. 본 발명에서 BDI를 구현하는 방법은 발광 기간(De) 중에서 BDI 기간에 고전위 구동전압(EVDD)을 구동 로우전압(GVSS)으로 반전시키는 방법을 이용할 수 있다.
- [0078] 도 11은 본 발명에 따른 발광 듀티 구동을 설명하는 도면이다.
- [0079] 도 11을 참조하면, 본 발명의 유기발광 표시장치는 고전위 구동전압(EVDD)을 가변함으로써 발광 듀티 구동을 할 수 있다.
- [0080] 듀티 구동은 사용자의 설정 또는 표시장치에 미리 설정된 조건에 따라 동작할 수 있다. 듀티 구동에서, 듀티비(duty ratio)는 1프레임 기간에 대비한 발광 기간의 비율로 정의할 수 있다. 따라서, 듀티비가 100%일 때, 픽셀(P)들은 1 프레임 동안 지속적으로 발광된 상태를 유지한다. 듀티비가 100%일 때, 고전위 구동전압(EVDD)은 구동 하이전압(EVDD\_VGH)을 유지한다. 그리고, 듀티비가 50%일 때 픽셀(P)들의 발광기간과 비발광 기간은 1:1이 되고, 50%의 듀티비 구동을 위해서 고전위 구동전압(EVDD)은 구동 하이전압(EVDD\_VGH)인 기간과 구동 로우전압(GVSS)인 기간이 1:1이 되도록 인가된다. 이와 유사하게, 듀티비가 20%일 때 픽셀(P)들의 발광기간과 비발광 기간은 1:4가 되고, 이를 위해서 고전위 구동전압(EVDD)은 구동 하이전압(EVDD\_VGH)인 기간과 구동 로우전압(GVSS)인 기간이 1:1이 되도록 인가된다.
- [0081] 이와 같이, 본 발명은 고전위 구동전압(EVDD)을 스윙하는 타이밍을 이용하여 BDI 및 발광 듀티 구동을 수행할 수 있다.
- [0082] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

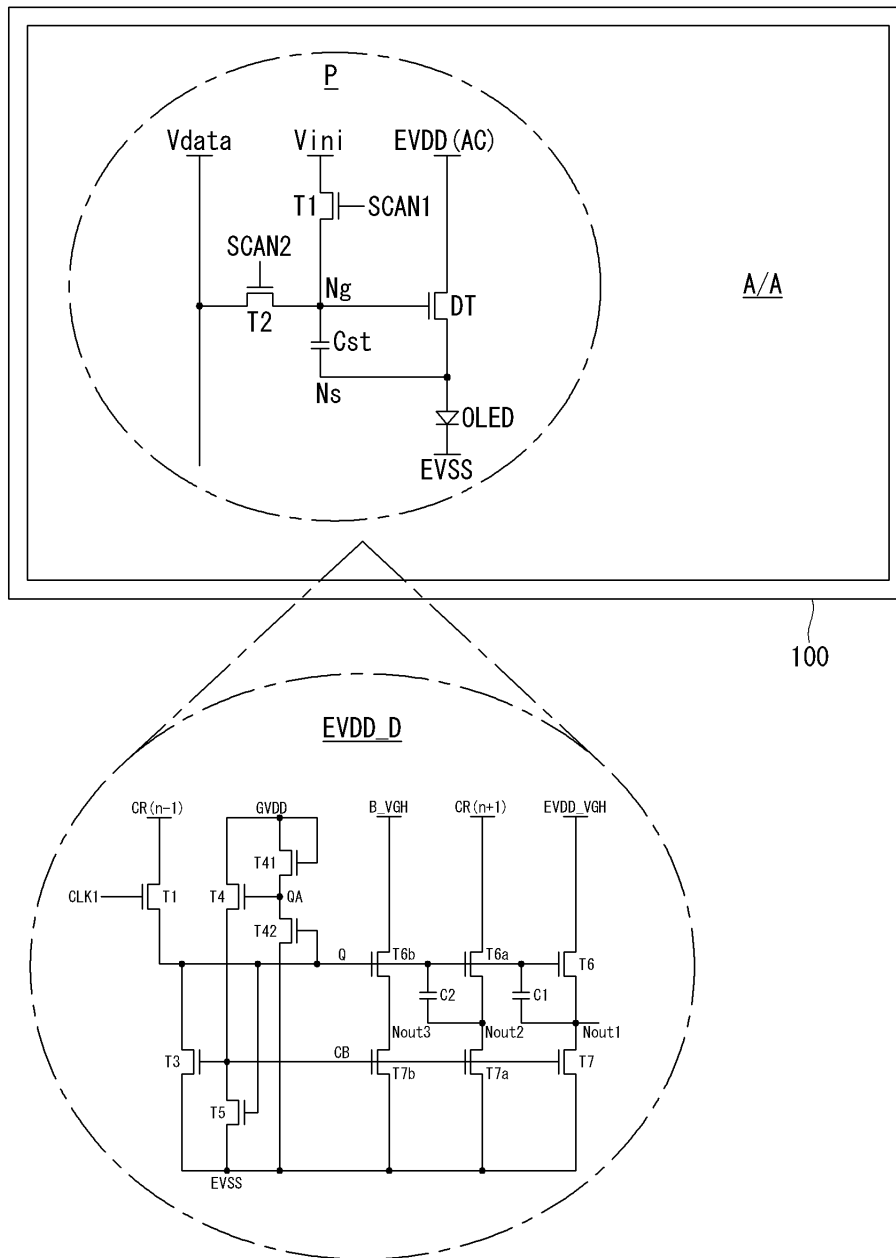
- [0083] 100: 표시패널    200: 타이밍 콘트롤러  
300: 데이터 구동회로    400,500: 게이트 구동회로

도면

도면1

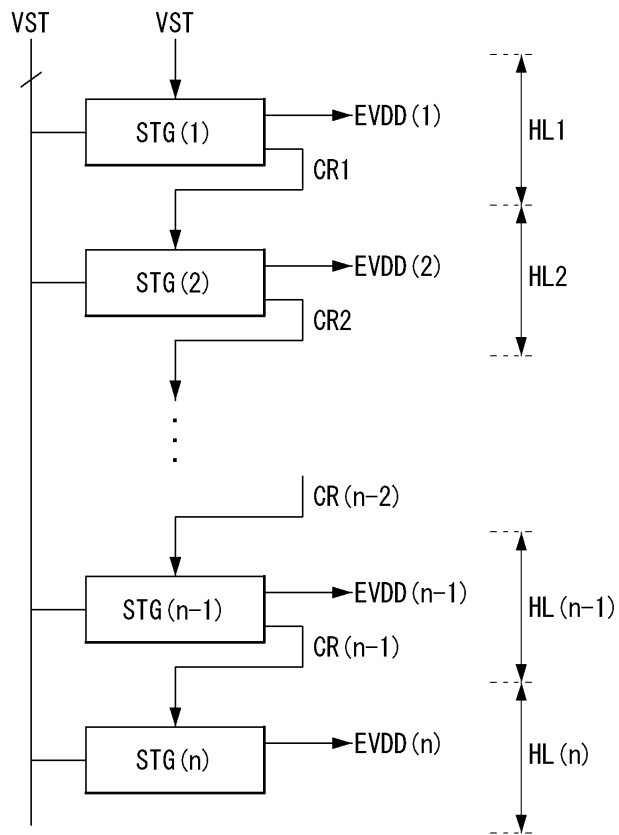


도면2

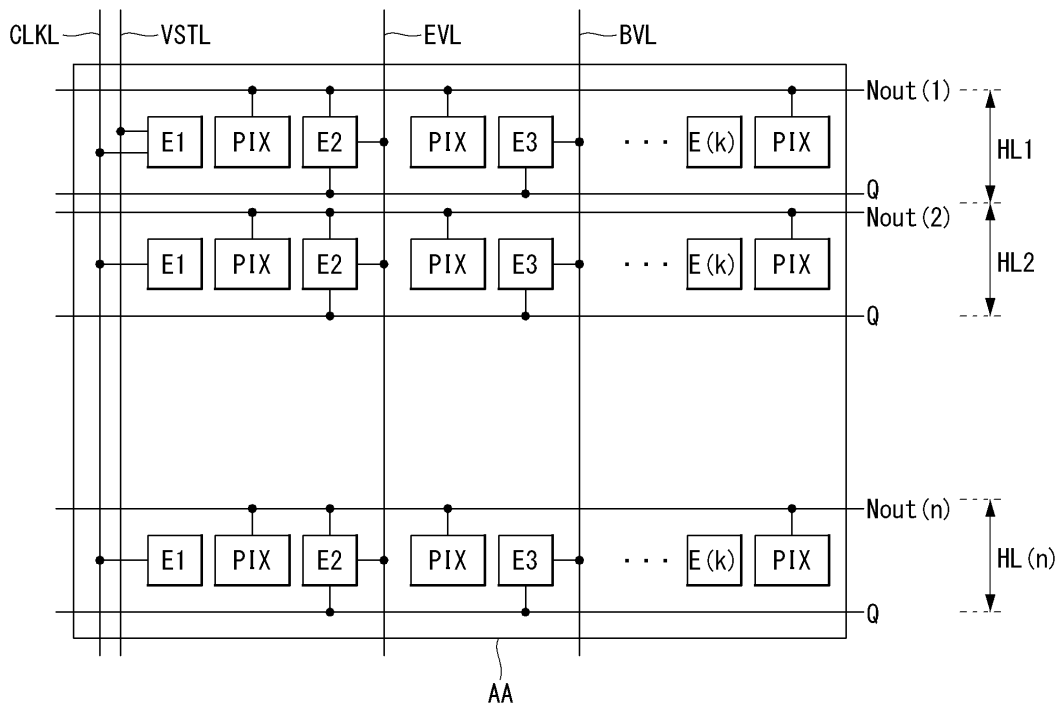


도면3

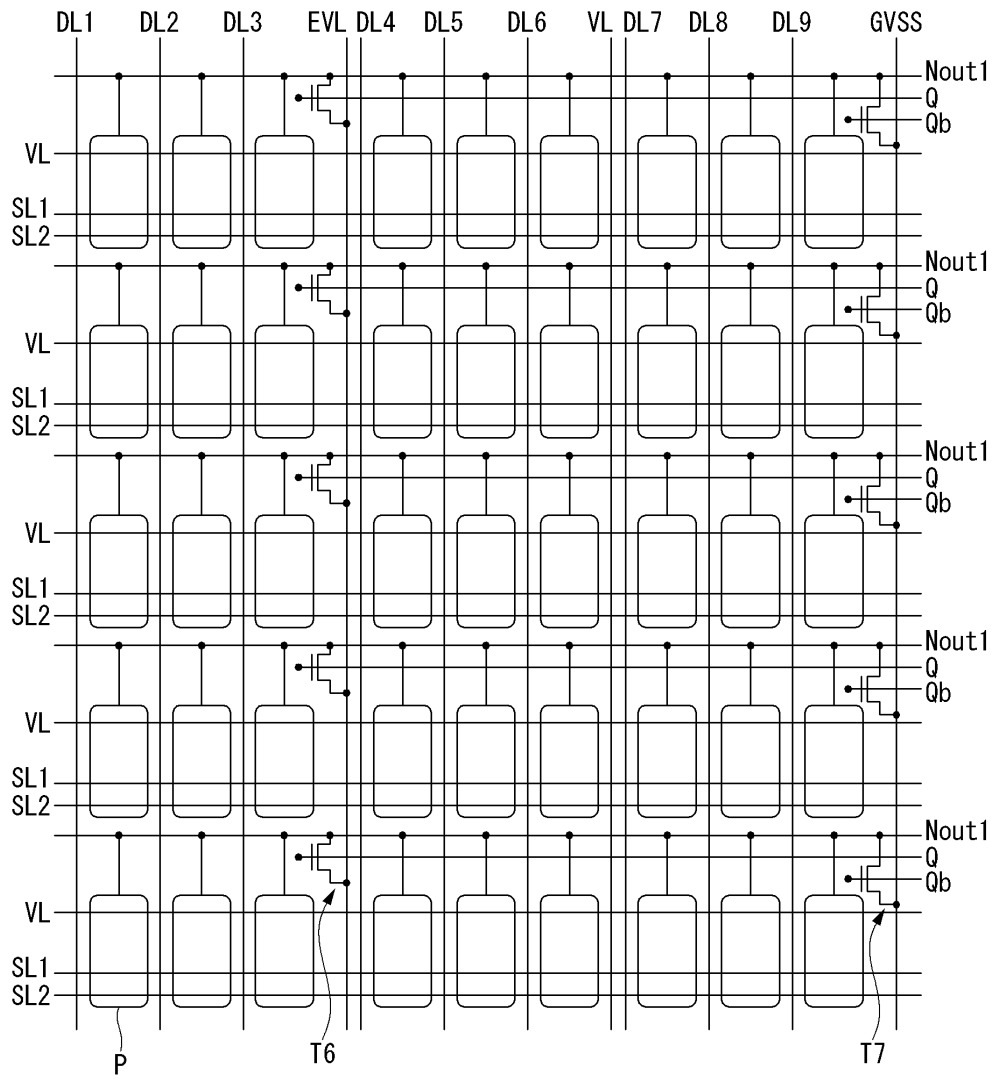
EVDD\_D



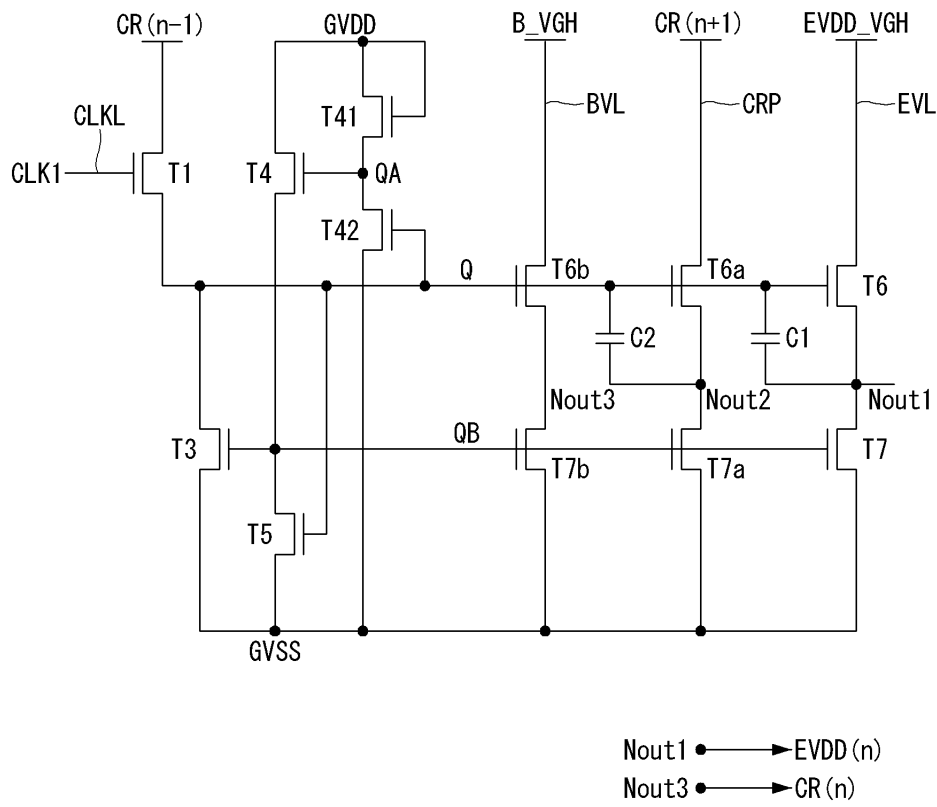
도면4



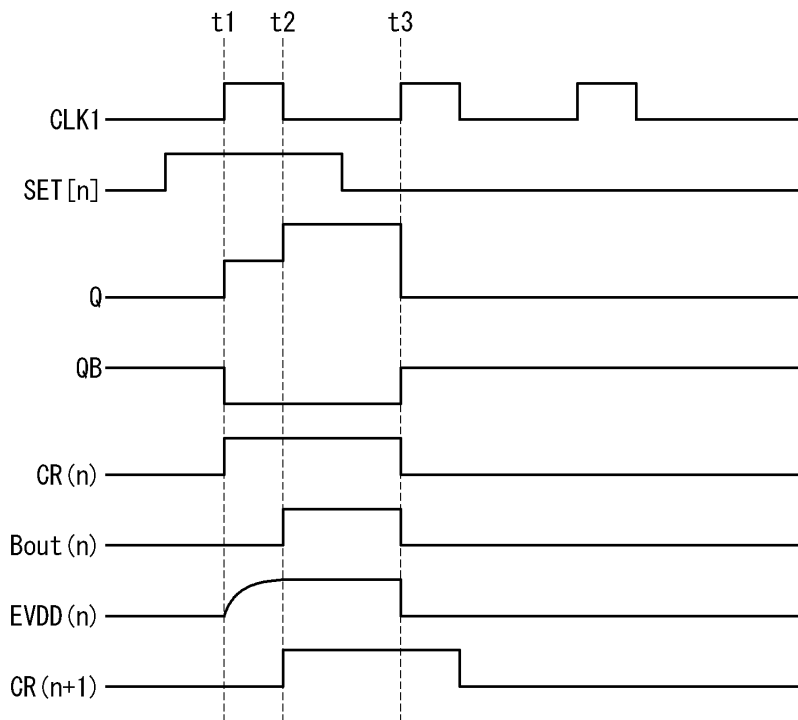
도면5



도면6

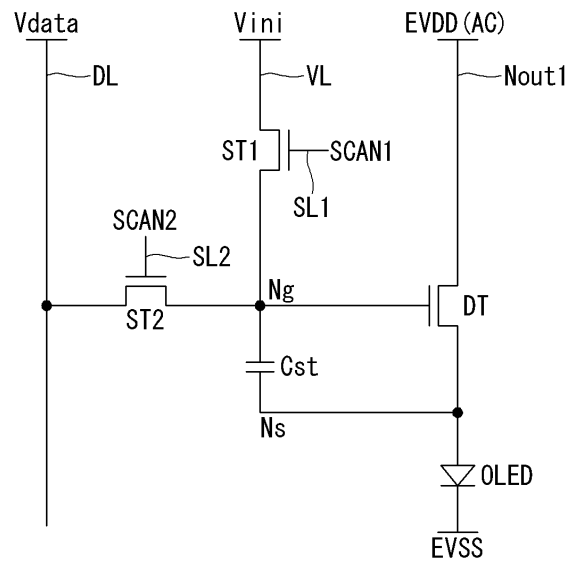


도면7

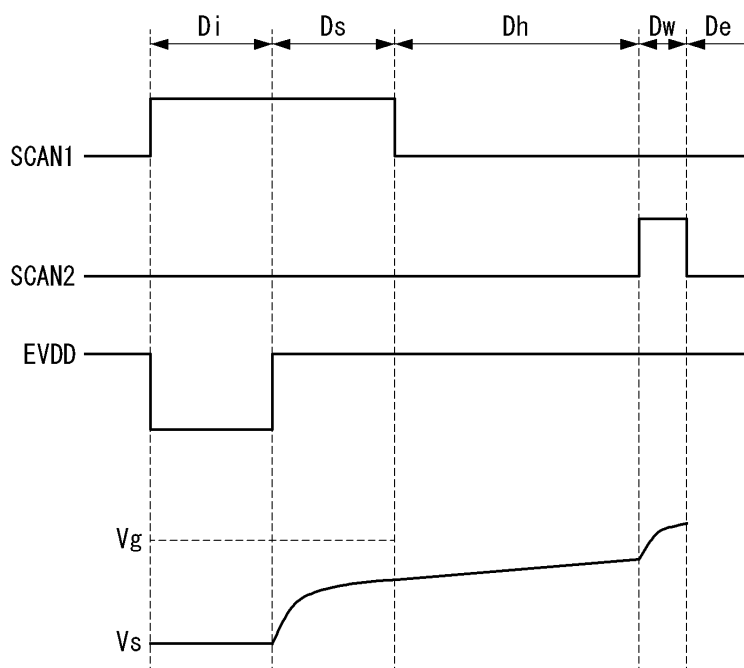




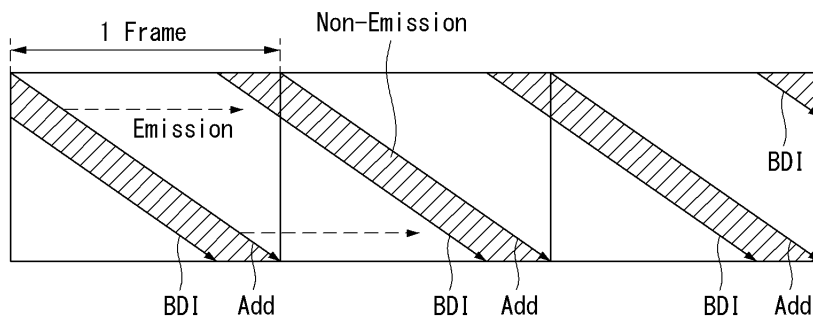
도면8



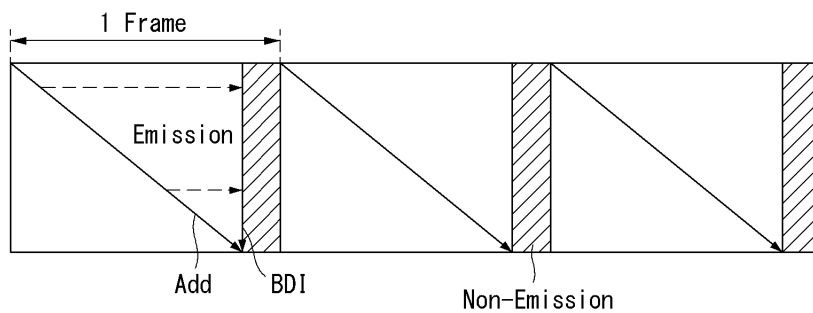
도면9



도면10

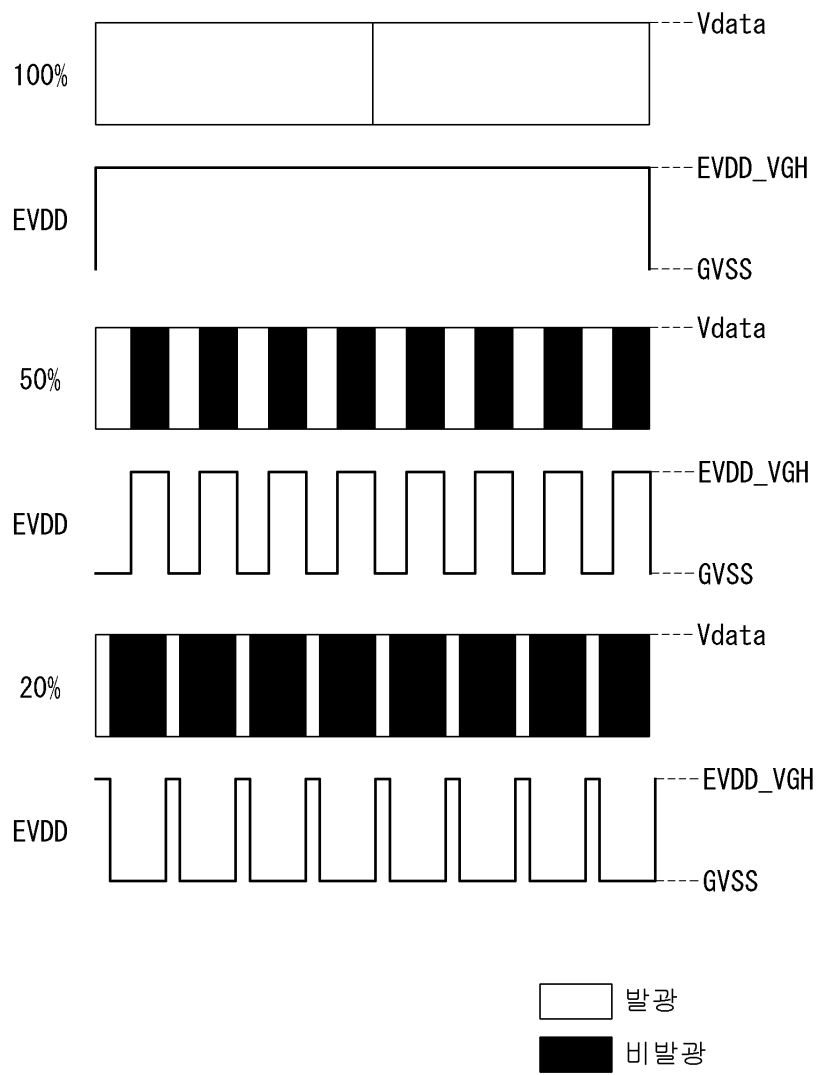


(A) Sequential BDI



(B) Shot BDI

도면11



专利名称(译)	显示面板和包括该显示面板的有机发光显示装置		
公开(公告)号	<a href="#">KR1020200082895A</a>	公开(公告)日	2020-07-08
申请号	KR1020180173920	申请日	2018-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김인준 오혜미 반명호		
发明人	김인준 오혜미 반명호		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0408 G09G2320/0233		

# 摘要(译)

根据本发明的显示面板包括驱动电压驱动器,该驱动电压驱动器向布置在有源区域中数据线和栅极线相交的区域中的像素和像素提供高电位驱动电压。驱动电压驱动器包括多个晶体管,但是至少一个晶体管设置在有源区域中。

