



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0058206
(43) 공개일자 2020년05월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2310/0243 (2013.01)

(21) 출원번호 10-2018-0142935
(22) 출원일자 2018년11월19일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
봉승중
경기도 파주시 월롱면 엘지로 245

(74) 대리인
이승찬

전체 청구항 수 : 총 15 항

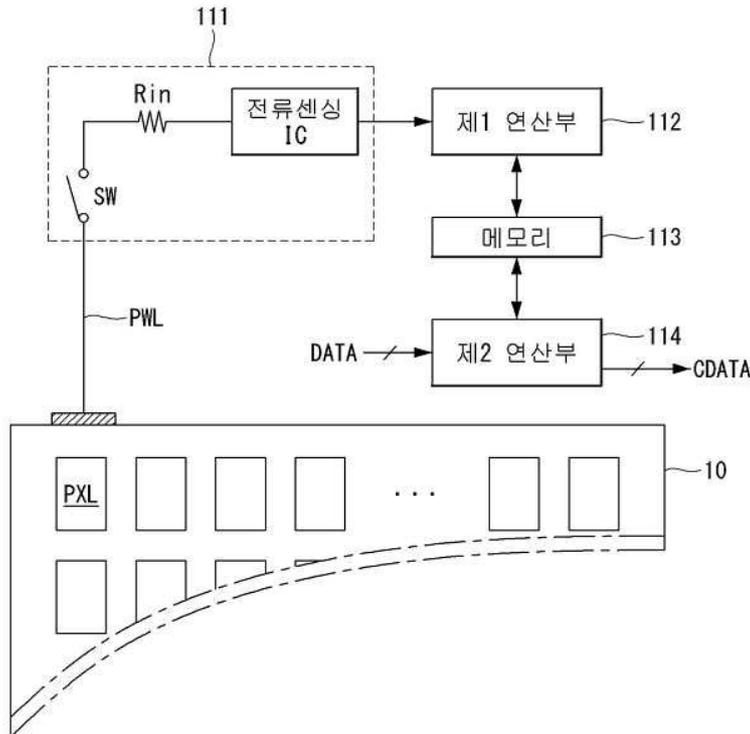
(54) 발명의 명칭 휘도 보상용 유기발광 표시장치와 그의 휘도 보상방법

(57) 요약

본 명세서의 실시예에 따른 휘도 보상용 유기발광 표시장치는 표시패널, 센싱부, 메모리, 제1 연산부를 포함한다. 표시패널에는 픽셀 전원 라인에 연결된 복수의 픽셀들이 구비되고, 각 픽셀의 구동 소자가 상기 픽셀 전원 라인으로부터의 픽셀 전원에 따라 구동된다. 센싱부는 상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원

(뒷면에 계속)

대표도 - 도5



라인에 흐르는 제1 패널 전류를 센싱하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 흐르는 제2 패널 전류를 센싱한다. 메모리에는 상기 각 픽셀의 구동 소자의 문턱전압에 대응되는 초기 보상 데이터와 누적 보상 데이터가 미리 저장된다. 그리고, 제1 연산부는 상기 픽셀 전원이 온 된 직후에, 상기 제1 패널 전류와 상기 제2 패널 전류 간의 전류 변동치와 상기 초기 보상 데이터를 기반으로, 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 계산하고, 상기 메모리의 누적 보상 데이터를 상기 추가 보상 데이터로 업데이트한다.

(52) CPC특허분류

G09G 2320/0295 (2013.01)

명세서

청구범위

청구항 1

픽셀 전원 라인에 연결된 복수의 픽셀들이 구비되고, 각 픽셀의 구동 소자가 상기 픽셀 전원 라인으로부터의 픽셀 전원에 따라 구동되는 표시패널;

상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원 라인에 흐르는 제1 패널 전류를 센싱하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 흐르는 제2 패널 전류를 센싱하는 센싱부;

상기 각 픽셀의 구동 소자의 문턱전압에 대응되는 초기 보상 데이터와 누적 보상 데이터가 미리 저장된 메모리; 및

상기 픽셀 전원이 온 된 직후에, 상기 제1 패널 전류와 상기 제2 패널 전류 간의 전류 변동치와 상기 초기 보상 데이터를 기반으로, 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 계산하고, 상기 메모리의 누적 보상 데이터를 상기 추가 보상 데이터로 업데이트하는 제1 연산부를 포함한 휘도 보상용 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 연산부는,

상기 전류 변동치가 미리 설정된 임계치를 초과하는 경우에 상기 추가 보상 데이터를 산출하고, 상기 추가 보상 데이터로 상기 누적 보상 데이터를 업데이트하는 휘도 보상용 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 연산부는,

상기 업데이트 되기 전의 상기 누적 보상 데이터에서 상기 초기 보상 데이터를 감산하고,

상기 감산 결과값과 상기 초기 보상 데이터를 보간하여 보상 변동값을 계산하고,

상기 보상 변동값에 상기 초기 보상 데이터와 미리 정해진 보상 옵션값을 합산하여 상기 추가 보상 데이터를 정하는 휘도 보상용 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 추가 보상 데이터에 의해 업데이트 된 누적 보상 데이터를 기반으로 입력 영상 데이터를 보정하는 제2 연산부를 더 포함한 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 센싱부는,

상기 픽셀 전원 라인에 연결된 입력 저항;

상기 입력 저항에 연결된 전류 센싱 IC; 및

상기 픽셀 전원 라인과 상기 입력 저항 사이에 접속된 연결 스위치를 포함한 휘도 보상용 유기발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 연결 스위치는,

상기 픽셀 전원이 오프 되기 직전과 상기 픽셀 전원이 온 된 직후에만 턴 온 되고, 그 외에는 턴 오프 되는 휘도 보상용 유기발광 표시장치.

청구항 7

제 5 항에 있어서,

상기 픽셀 전원 라인은 상기 픽셀들에 연결된 고 전위 전원 라인 또는, 상기 픽셀들에 연결된 저 전위 전원 라인인 휘도 보상용 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원 라인에 상기 제1 패널 전류가 흐를 수 있도록 상기 표시패널에 제1 전면(全面) 영상 패턴을 기입하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 상기 제2 패널 전류가 흐를 수 있도록 상기 표시패널에 제2 전면(全面) 영상 패턴을 기입하는 패널 구동부를 더 포함하고,

상기 제1 전면 영상 패턴과 상기 제2 전면 영상 패턴은 동일한 휘도 보상용 유기발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 초기 보상 데이터는 상기 각 픽셀의 공정 편차에 따른 구동 소자의 문턱전압 차이를 보상하기 위한 것이고,

상기 누적 보상 데이터는 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 온 기간 동안의 문턱전압 변화를 보상하기 위한 것인 휘도 보상용 유기발광 표시장치.

청구항 10

픽셀 전원 라인에 연결된 복수의 픽셀들이 구비되고, 각 픽셀의 구동 소자가 상기 픽셀 전원 라인으로부터의 픽셀 전원에 따라 구동되는 표시패널을 갖는 유기발광 표시장치의 휘도 보상방법에 있어서,

상기 각 픽셀의 구동 소자의 문턱전압에 대응되는 초기 보상 데이터와 누적 보상 데이터를 메모리에 저장하는 단계;

센싱부에서, 상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원 라인에 흐르는 제1 패널 전류를 센싱하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 흐르는 제2 패널 전류를 센싱하는 단계; 및

제1 연산부에서, 상기 픽셀 전원이 온 된 직후에, 상기 제1 패널 전류와 상기 제2 패널 전류 간의 전류 변동치와 상기 초기 보상 데이터를 기반으로, 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 계산하고, 상기 메모리의 누적 보상 데이터를 상기 추가 보상 데이터로 업데이트하는 단계를 포함한 유기발광 표시장치의 휘도 보상방법.

청구항 11

제 10 항에 있어서,

상기 제1 연산부에서 추가 보상 데이터를 계산하고, 상기 메모리의 누적 보상 데이터를 상기 추가 보상 데이터로 업데이트하는 단계는,

상기 전류 변동치가 미리 설정된 임계치를 초과하는 경우에 수행되는 유기발광 표시장치의 휘도 보상방법.

청구항 12

제 10 항에 있어서,

상기 제1 연산부에서 추가 보상 데이터를 계산하는 단계는,

상기 업데이트 되기 전의 상기 누적 보상 데이터에서 상기 초기 보상 데이터를 감산하는 단계와,

상기 감산 결과값과 상기 초기 보상 데이터를 보간하여 보상 변동값을 계산하는 단계와,

상기 보상 변동값에 상기 초기 보상 데이터와 미리 정해진 보상 옵션값을 합산하여 상기 추가 보상 데이터를 정하는 단계를 포함한 유기발광 표시장치의 휘도 보상방법.

청구항 13

제 10 항에 있어서,

제2 연산부에서, 상기 추가 보상 데이터에 의해 업데이트 된 누적 보상 데이터를 기반으로 입력 영상 데이터를 보정하는 단계를 더 포함한 유기발광 표시장치의 휘도 보상방법.

청구항 14

제 10 항에 있어서,

패널 구동부에서, 상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원 라인에 상기 제1 패널 전류가 흐를 수 있도록 상기 표시패널에 제1 전면(全面) 영상 패턴을 기입하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 상기 제2 패널 전류가 흐를 수 있도록 상기 표시패널에 제2 전면(全面) 영상 패턴을 기입하는 단계를 더 포함하고,

상기 제1 전면 영상 패턴과 상기 제2 전면 영상 패턴은 동일한 유기발광 표시장치의 휘도 보상방법.

청구항 15

제 10 항에 있어서,

상기 초기 보상 데이터는 상기 각 픽셀의 공정 편차에 따른 구동 소자의 문턱전압 차이를 보상하기 위한 것이고,

상기 누적 보상 데이터는 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 온 기간 동안의 문턱전압 변화를 보상하기 위한 것인 유기발광 표시장치의 휘도 보상방법.

발명의 설명

기술 분야

[0001] 본 명세서는 휘도 보상용 유기발광 표시장치와 그의 휘도 보상방법에 관한 것이다.

배경 기술

[0002] 다양한 표시장치가 개발 및 출시되고 있다. 그 중 액티브 매트릭스 타입(active matrix type)의 유기발광 표시 장치는 자 발광 소자인 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하여, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광 표시장치는 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 게이트-소스 간 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 TFT(Thin Film Transistor)와, 구동 TFT의 게이트-소스 간 전압을 프로그래밍하기 위한 하나 이상의 스위치 TFT를 포함하며, 구동전류에 비례하는 OLED의 발광량으로 영상의 휘도를 조절한다.

[0004] 휘도나 색감의 차이가 없는 균일한 화질을 구현하기 위해서는 구동 TFT의 문턱 전압과 같은 구동 특성이 모든 픽셀들에서 동일해야 한다. 하지만, 공정 편차, 경시적 변화, 및 장기간 전원 오프 등에 의해 픽셀들 간 구동 특성에 편차가 있을 수 있다.

[0005] 픽셀들 간에 구동 특성이 다르면 OLED로 흐르는 구동 전류가 달라져 화질의 불 균일이 초래 된다. 이러한 화질 차이를 보정하기 위해 각 픽셀로부터 구동 TFT의 문턱전압을 센싱하고, 이 센싱 결과를 기초로 영상 데이터를 보정하는 휘도 보상 기술이 알려져 있다.

발명의 내용

해결하려는 과제

- [0006] 종래의 휘도 보상 기술은 구동 TFT의 문턱전압을 센싱하기 위해 소스 구동부에 별도의 센싱 회로를 실장 한다. 소스 구동부는 센싱 라인들을 통해 픽셀들에 연결되어 구동 TFT의 문턱전압을 센싱한다. 센싱 회로는 픽셀들 각각을 개별적으로 센싱하기 위한 다수의 센싱 유닛들과 복수의 아날로그-디지털 컨버터(Analog-Digital Converter, ADC)를 포함하므로, 그 회로 사이즈가 크다. 또한, 종래의 휘도 보상 기술을 채용하는 경우, 각 픽셀들에서 구동 TFT의 일측 전극과 센싱 라인 사이에 센싱용 스위치 TFT가 추가되어야 한다.
- [0007] 이처럼, 종래의 휘도 보상 기술을 채용하는 경우, 소스 구동부의 칩 사이즈가 크고 그 비용이 증대되며, 픽셀 어레이가 복잡하여 공정 수율이 저하되는 문제가 있다.
- [0008] 또한 종래의 휘도 보상 기술은 초기 공정 편차나 구동에 따른 경시적 변화를 보상하기 위한 것일 뿐, 장시간 전원 오프 등과 같은 특이 조건에는 대응할 수 없다.
- [0009] 따라서, 본 명세서는 소스 구동부를 증대시키지 않고 픽셀 어레이를 복잡하게 구성하지 않으면서도 장시간 전원 오프 시에 픽셀들의 구동 특성 변화를 보상할 수 있도록 한 휘도 보상용 유기발광 표시장치와 그의 휘도 보상방법을 제공한다.

과제의 해결 수단

- [0010] 본 명세서의 실시예에 따른 휘도 보상용 유기발광 표시장치는 표시패널, 센싱부, 메모리, 제1 연산부를 포함한다. 표시패널에는 픽셀 전원 라인에 연결된 복수의 픽셀들이 구비되고, 각 픽셀의 구동 소자가 상기 픽셀 전원 라인으로부터의 픽셀 전원에 따라 구동된다. 센싱부는 상기 픽셀 전원이 오프 되기 직전에 상기 픽셀 전원 라인에 흐르는 제1 패널 전류를 센싱하고, 상기 픽셀 전원이 온 된 직후에 상기 픽셀 전원 라인에 흐르는 제2 패널 전류를 센싱한다. 메모리에는 상기 각 픽셀의 구동 소자의 문턱전압에 대응되는 초기 보상 데이터와 누적 보상 데이터가 미리 저장된다. 그리고, 제1 연산부는 상기 픽셀 전원이 온 된 직후에, 상기 제1 패널 전류와 상기 제2 패널 전류 간의 전류 변동치와 상기 초기 보상 데이터를 기반으로, 상기 각 픽셀의 구동 소자에 대한 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 계산하고, 상기 메모리의 누적 보상 데이터를 상기 추가 보상 데이터로 업데이트한다.

발명의 효과

- [0011] 본 실시예는, 소스 구동부를 증대시키지 않고 픽셀 어레이를 복잡하게 구성하지 않으면서도 장시간 전원 오프 시에 픽셀들의 구동 특성 변화를 보상할 수 있다.
- [0012] 본 실시예는, 기존의 센싱 방식과 전혀 다른 방식으로 장시간 전원 오프 동안 생기는 픽셀들의 구동 특성 변화를 효과적으로 보상할 수 있다.
- [0013] 본 실시예는, 소스 구동부와 픽셀 어레이를 간소화하여 제조 비용 및 공정 수율을 크게 향상시킬 수 있다.
- [0014] 본 실시예는, 기존 방식에 비해 동등 수준 이상의 보상 성능 및 상대적으로 짧은 보상 시간으로 인해 제품 신뢰성을 획기적으로 높일 수 있다.
- [0015] 본 명세서 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0016] 도 1은 본 명세서의 실시예에 따른 휘도 보상용 유기발광 표시장치를 보여주는 도면이다.
- 도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다.
- 도 3은 도 2의 픽셀 어레이에 포함된 픽셀 회로를 보여주는 도면이다.
- 도 4는 도 3의 각 픽셀에 구비된 구동 소자의 문턱전압에 대한 초기 보상 데이터를 획득하는 방법을 설명하기 위한 도면이다.
- 도 5 내지 도 8은 도 1의 센싱부와, 제1 및 제2 연산부들의 동작 설명을 위한 도면들이다.

도 9는 도 7 및 도 8의 전류 변동치에 따른 보상 읍셋값을 보여주는 실험 결과이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0018] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0021] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0022] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현되거나 또는 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 한편, 본 명세서에서 TFT의 반도체층은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0024] 도 1은 본 명세서의 실시예에 따른 휘도 보상용 유기발광 표시장치를 보여주는 도면이다. 도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다. 도 3은 도 2의 픽셀 어레이에 포함된 픽셀 회로를 보여주는 도면이다. 그리고, 도 4는 도 3의 각 픽셀에 구비된 구동 소자의 문턱전압에 대한 초기 보상 데이터를 획득하는 방법을 설명하기 위한 도면이다.
- [0025] 도 1을 참조하면, 본 명세서의 실시예에 따른 휘도 보상용 유기발광 표시장치는 픽셀들(PXL)이 구비된 표시패널(10), 픽셀들(PXL)에 연결된 신호라인들을 구동하는 패널 구동부(12,13), 패널 구동부(12,13)를 제어함과 아울러 픽셀 전원 라인(PWL)을 센싱하는 타이밍 콘트롤러(11)를 포함한다. 픽셀 전원 라인(PWL)은 도 2의 고전위 전원 라인(17)과 저전위 전원 라인(18) 중 어느 하나일 수 있다.
- [0026] 표시패널(10)에는 다수의 신호 라인들이 교차되고, 픽셀들(PXL)이 매트릭스 형태로 배치되어 픽셀 어레이를 구성한다. 도 2를 참조하면, 픽셀 어레이에서 각 픽셀(PXL)은 데이터전압(Vdata)이 인가되는 데이터라인(14), 스캔 신호(SCAN)가 인가되는 게이트라인(15), 기준 전압(Vref)이 인가되는 기준전압 라인(16), 고전위 픽셀 전압

(EVDD)이 인가되는 고전위 전원 라인(17), 저전위 픽셀 전압(EVSS)이 인가되는 저전위 전원 라인(18)에 연결될 수 있다.

- [0027] 데이터라인들(14)은 소스 구동부(12)의 서로 다른 소스 출력 패드들에 연결되고, 게이트라인들(15)은 게이트 구동부(13)의 서로 다른 게이트 출력 패드들에 연결되며, 기준전압 라인들(16)은 기준전압 공급원에 연결될 수 있다. 기준전압 공급원은 소스 구동부(12)에 실장될 수도 있다. 고전위 전원 라인(17)은 고전위 픽셀 전압(EVDD)의 입력단에 연결되고, 저전위 전원 라인(18)은 저전위 픽셀 전압(EVSS)의 입력단에 연결된다. 고전위 픽셀 전압(EVDD)의 입력단과 저전위 픽셀 전압(EVSS)의 입력단은 별도의 전원 생성부에 마련될 수 있다. 기준전압(Vref), 고전위 픽셀 전압(EVDD), 저전위 픽셀 전압(EVSS)은 모든 픽셀들(PXL)에 공통으로 입력된다. 고전위 픽셀 전압(EVDD)과 저전위 픽셀 전압(EVSS)은 픽셀 전원이 된다.
- [0028] 각 픽셀(PXL)은 도 3과 같이 OLED와, 구동 TFT(DT)와, 스위치 TFT(ST)와 스토리지 커패시터(Cst)를 포함할 수 있다. 본 실시예의 경우, 각 픽셀(PXL)의 특정 노드 전압 또는, 각 픽셀(PXL)에 흐르는 구동 전류를 픽셀 단위로 개별 센싱하지 않기 때문에 각 픽셀(PXL) 내에 별도의 센싱용 스위치 TFT를 구비할 필요가 없다. 본 실시예에 따르면, 각 픽셀(PXL)의 구성이 간소하여 공정 수율이 증대된다.
- [0029] 도 3을 참조하면, OLED는 구동 전류에 따라 자 발광하는 발광 소자이다. OLED는 제2 노드(N2)를 통해 구동 TFT(DT)의 소스전극에 접속되는 애노드전극과, 저전위 전원 라인(18)을 통해 저전위 픽셀 전압(EVSS)의 입력단에 접속되는 캐소드전극과, 애노드전극과 캐소드전극 사이에 구비된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)으로 이루어진다. 애노드전극에 구동 TFT(DT)로부터 구동 전류가 인가되면, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 생성하게 된다.
- [0030] 도 3을 참조하면, 구동 TFT(DT)는 구동 전류를 게이트-소스간 전압에 따라 조절하는 구동 소자이다. 구동 TFT(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 소스전극은 제2 노드(N2)에 접속된다. 구동 TFT(DT)의 게이트전극에는 데이터라인(14)과 스위치 TFT(ST)를 통해 데이터전압(Vdata)이 인가되고, 구동 TFT(DT)의 소스전극에는 기준전압 라인(16)을 통해 기준전압(Vref)이 인가된다. 따라서, 구동 TFT(DT)의 게이트-소스간 전압은 "Vdata-Vref"가 된다. 구동 TFT(DT)에는 게이트-소스 간 전압에 대응되는 구동 전류가 흐른다. 한편, 구동 TFT(DT)의 드레인전극은 고전위 전원라인(17)을 통해 고전위 픽셀 전압(EVDD)의 입력단에 접속된다.
- [0031] 도 3을 참조하면, 스위치 TFT(ST)는 스캔신호(SCAN)에 따라 온/오프 되어 데이터라인(14)과 제1 노드(N1) 간의 전류 흐름을 제어한다. 스위치 TFT(ST)는 스캔신호(SCAN)의 게이트 온 전압에 따라 턴 온 되어 데이터전압(Vdata)을 구동 TFT(DT)의 게이트전극에 인가한다. 스위치 TFT(ST)는 게이트라인(15)에 접속된 게이트전극, 데이터라인(14)에 접속된 드레인전극, 및 제1 노드(N1)에 접속된 소스전극을 구비한다.
- [0032] 도 3을 참조하면, 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어, 구동 TFT(DT)의 게이트-소스간 전압을 OLED 발광 시간 동안 유지시킨다.
- [0033] 이러한 픽셀들(PXL)은 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀을 포함할 수 있다. 적색 픽셀, 녹색 픽셀, 청색 픽셀, 및 백색 픽셀은 하나의 단위 픽셀을 구성하고, 컬러 별 발광 비율에 따라 다양한 컬러 조합을 만들 수 있다. 한편, 단위 픽셀에서 백색 픽셀은 생략될 수 있다.
- [0034] 도 1을 참조하면, 패널 구동부(12,13)는 타이밍 컨트롤러(11)의 제어하에 표시패널(10)의 픽셀들(PXL)에 보정 영상 데이터(CDATA)를 기입하여 표시패널(10)에서 입력 영상을 재현할 수 있다. 픽셀들(PXL) 간 구동 TFT(DT)의 문턱전압 차이는 보정 영상 데이터(CDATA)에 의해 보상될 수 있다.
- [0035] 또한, 패널 구동부(12,13)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전과 온 된 직후에 픽셀 전원 라인(17 또는 18)에 패널 전류가 흐를 수 있도록 표시패널(10)에 전면(全面) 영상 패턴을 기입할 수 있다. 전면 영상 패턴은 육안 인지가 최소화될 수 있도록 특정 계조 범위(예컨대, 저 계조 범위)에 속하는 동일 계조 영상 패턴일 수 있다.
- [0036] 패널 구동부(12,13)는 픽셀들(PXL)에 연결된 데이터라인들(14)을 구동하는 소스 구동부(12)와, 픽셀들(PXL)에 연결된 게이트라인들(15)을 구동하는 게이트 구동부(13)를 포함한다.
- [0037] 도 1을 참조하면, 소스 구동부(12)는 매 프레임 마다 타이밍 컨트롤러(11)로부터 입력되는 보정 영상 데이터

(CDATA)를 아날로그 데이터전압(Vdata)으로 변환하고, 그 데이터전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 구동부(12)는 보정 영상 데이터(CDATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter, DAC)를 이용하여 아날로그 데이터전압(Vdata)을 출력한다.

- [0038] 소스 구동부(12)는 각 픽셀들(PXL)에 대한 구동 TFT(DT)의 문턱전압을 센싱하기 위한 센싱 회로를 구비하지 않는다. 즉, 소스 구동부(12)는 픽셀들의 구동 특성을 픽셀 별로 개별 센싱하기 위한 복수의 센싱 유닛들과 아날로그-디지털 컨버터(Analog-Digital Converter, ADC)를 포함하지 않기 때문에, 칩 사이즈와 제조 비용이 줄어든다.
- [0039] 소스 구동부(12)와 표시패널(10)의 데이터 라인들(14) 사이에는 멀티플렉서가 더 배치될 수 있다. 멀티플렉서는 소스 구동부(12)의 일 출력 채널을 통해 출력되는 데이터 전압을 복수개의 데이터라인들(14)로 분배함으로써, 데이터라인(14)의 개수 대비 소스 구동부(12)의 출력 채널 개수를 줄일 수 있다. 멀티플렉서는 표시장치의 해상도, 용도에 따라 생략 가능하다.
- [0040] 도 1을 참조하면, 게이트 구동부(13)는 타이밍 컨트롤러(11)의 제어 하에 스캔신호(SCAN)를 라인 순차 방식으로 게이트라인들(15)에 공급하여, 데이터 전압(Vdata)이 충전되는 수평 픽셀 라인을 선택한다. 수평 픽셀 라인은 물리적인 신호 라인이 아니라 수평으로 이웃한 픽셀들(PXL)의 집합체를 의미한다. 게이트 구동부(13)는 GIP(Gate-driver In Panel) 공정으로 픽셀 어레이와 함께 표시패널(10)의 비 표시 영역에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 구동부(13)는 IC(Integrated Circuit) 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)의 게이트라인들(15)에 접합될 수도 있다.
- [0041] 도 1을 참조하면, 타이밍 컨트롤러(11)는 호스트 시스템로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되는 타이밍 신호들을 수신한다. 타이밍 신호들은 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블신호(DE) 등을 포함할 수 있다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나일 수 있으나, 이에 한정되지 않는다.
- [0042] 타이밍 컨트롤러(11)는 입력 프레임 주파수를 i (i 는 0 보다 큰 양의 정수) 배 채배하여 입력 프레임 주파수 X_i Hz의 프레임 주파수로 패널 구동부(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0043] 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호들(Vsync, Hsync, DE)을 기반으로 소스 구동부(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 구동부(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.
- [0044] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 소스 구동부(12)의 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭은 데이터 샘플링 타이밍을 쉬프트시키는 클럭이다. 타이밍 컨트롤러(11)와 소스 구동부(12)사이의 신호 전송 인터페이스가 mini LVDS(Low Voltage Differential Signaling) 인터페이스라면, 소스 스타트 펄스와 소스 샘플링 클럭은 생략될 수 있다.
- [0045] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함한다. GIP 회로의 경우에, 게이트 출력 인에이블신호(Gate Output Enable)는 생략될 수 있다. 게이트 스타트 펄스는 매 프레임 기간마다 프레임 기간의 초기에 생성되어 게이트 구동부(13) 각각의 쉬프트 레지스터에 입력된다. 게이트 스타트 펄스는 매 프레임 기간마다 스캔 신호(SCAN)가 출력되는 스타트 타이밍을 제어한다. 게이트 쉬프트 클럭은 게이트 구동부(13)의 쉬프트 레지스터에 입력되어 스캔 신호(SCAN)의 쉬프트 타이밍(shift timing)을 제어한다.
- [0046] 타이밍 컨트롤러(11)는 픽셀들(PXL) 간 구동 TFT(DT)의 문턱전압 차이를 보상하기 위해 센싱부(111), 제1 연산부(112), 메모리(113), 제2 연산부(114)를 구비할 수 있다.
- [0047] 센싱부(111)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전과 온 된 직후에 픽셀 전원 라인(PWL)에 흐르는 패 널 전류를 센싱한다. 패널 전류는 픽셀 전원 오프 기간 동안의 구동 TFT(DT)의 문턱전압 변화를 알아내기 위한 것으로, 표시패널(10)에 전면 영상 패턴이 기입될 때 픽셀들(PXL)에 흐르는 구동 전류의 총합에 대응된다. 센싱부(111)는 각 픽셀(PXL)에 개별 접속되지 않고 픽셀 전원 라인(PWL)의 인입단(또는 인출단) 한 곳에 접속되기 때문에, 종래 기술에 비해 접속 구성이 매우 간소해진다. 센싱부(111)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되

기 직전에 센싱한 제1 패널 전류를 메모리(113)에 저장하고, 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에 센싱한 제2 패널 전류를 제1 연산부(112)에 공급한다.

- [0048] 메모리(113)에는 각 픽셀(PXL)의 구동 TFT(DT)의 문턱전압에 대응되는 초기 보상 데이터와 누적 보상 데이터가 저장되어 있다. 초기 보상 데이터는 각 픽셀(PXL)의 공정 편차에 따른 구동 TFT(DT)의 문턱전압 차이를 보상하기 위한 것이다. 초기 보상 데이터는 표시패널(10)의 화면에 표시된 테스트 영상 패턴 대한 휘도 계측 결과를 기반으로 픽셀 단위로 만들어 질 수 있다. 휘도 계측 결과는 도 4와 같은 휘도 계측기(40)를 통해 얻어질 수 있다. 구동 TFT(DT)의 초기 문턱전압 편차에 따른 휘도 편차가 휘도 계측 결과에 나타나 있다. 초기 보상 데이터는 이러한 휘도 차이를 보상하기 위해 미리 설정되는 것으로, 맵(Map) 데이터 형태로 메모리(113)에 저장된다.
- [0049] 누적 보상 데이터는 각 픽셀(PXL)의 구동 TFT(DT)에 대한 픽셀 전원 온 기간 동안의 문턱전압 변화를 보상하기 위한 것이다. 누적 보상 데이터는 타이밍 컨트롤러(11) 내에 미리 저장된 소자 예측 모델에 따라 업데이트 될 수 있다. 소자 예측 모델은 픽셀 별 입력 영상 데이터(DATA)의 누적 결과와 미리 알고 있는 공정상 TFT 특성 등을 조합하여 위치별 각 픽셀(PXL)의 문턱전압 변화를 실시간으로 추정하는 알고리즘이다. 입력 영상 데이터(DATA)를 픽셀 단위로 누적하면 각 픽셀(PXL)에 흐르는 구동 전류의 누적량과 함께 광량, 발광 시간 등이 픽셀 단위로 예측될 수 있다. 소자 예측 모델을 사용하면, 픽셀 전원 온 기간(즉, 정상 동작 기간)에서의 픽셀(PXL)의 경시적 변화를 알아내기 위해 픽셀을 개별적으로 센싱할 필요가 없다.
- [0050] 제1 연산부(112)는 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에 동작하여, 메모리(113)로부터 제1 패널 전류와 초기 보상 데이터와 누적 보상 데이터를 읽어 들이고, 센싱부(111)로부터 제2 패널 전류를 입력 받는다. 제1 연산부(112)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전의 제1 패널 전류와 온 된 직후의 제2 패널 전류를 비교하여 전원 오프 기간 동안의 전류 변동치를 알아내고, 이 전류 변동치와 초기 보상 데이터와 누적 보상 데이터를 기반으로, 각 픽셀(PXL)의 구동 TFT(DT)에 대한 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 계산한다. 그리고, 제1 연산부(112)는 추가 보상 데이터를 메모리(113)에 저장하여, 기 저장된 누적 보상 데이터를 업데이트한다.
- [0051] 구동 TFT(DT)의 문턱전압은 픽셀 전원 온 기간(즉, 정상 동작 기간)에서 경시적으로 변할 수도 있지만, 장시간 전원 오프 시에도 변할 수 있다. 특히, 구동 TFT(DT)가 산화물(옥사이드) TFT로 구현된 경우에는 전원 오프 상태로 장시간 방치할 때 TFT 특성이 변할 수 있다. 산화물 TFT에서, 초기 Vth가 낮은 영역이 다른 영역 대비 상대적으로 산소 결핍(Oxygen Vacancy)이 많은 상태이며, 고온 환경의 열적 에너지에 의해 국부적인 영역에서 반도체막으로의 산소 원자 유입(Diffusion)이 발생하며, 산소 결핍(Oxygen Vacancy)을 대체하여 문턱전압 쉬프트(Vth Shift)가 생길 수 있다. 추가 보상 데이터는 이러한 전원 오프 기간 동안에서 생기는 구동 TFT(DT)의 문턱전압 변화를 보상하기 위한 것이다.
- [0052] 제2 연산부(114)는 추가 보상 데이터에 의해 업데이트 된 누적 보상 데이터를 기반으로 입력 영상 데이터(DAT A)를 보정하고, 보정 영상 데이터(CDATA)를 소스 구동부(12)에 공급한다.
- [0053] 이처럼, 본 실시예는 픽셀 전원 온 기간 동안 소자 예측 모델을 이용하여 구동 TFT(DT)의 경시적 변화를 보상한다. 그리고, 본 실시예는 픽셀 전원이 오프 되기 직전과 온 된 직후에 픽셀 전원 라인(PWL)에 흐르는 패널 전류의 변동치와 미리 설정된 초기 보상 데이터를 이용하여 픽셀 전원 오프 기간에서 생긴 구동 TFT(DT)의 특성 변화를 추가적으로 보상한다. 본 실시예에 따르면, 소스 구동부(12) 내에 복잡하고 사이즈가 큰 센싱 회로를 실장할 필요가 없다. 또한, 픽셀(PXL) 내에 별도의 센싱용 스위치 TFT를 구비할 필요도 없다.
- [0054] 도 5 내지 도 8은 도 1의 센싱부와, 제1 및 제2 연산부들의 동작 설명을 위한 도면들이다. 그리고, 도 9는 도 7 및 도 8의 전류 변동치에 따른 보상 윗셋값을 보여주는 실험 결과이다.
- [0055] 도 5를 참조하면, 센싱부(111)는 픽셀 전원 라인(PWL)에 연결된 입력 저항(Rin), 입력 저항(Rin)에 연결된 전류 센싱 IC를 포함한다. 전류 센싱 IC는 전류 적분기, 전류 비교기 등과 같은 공지의 전류-전압 변환기로 구성될 수 있다. 센싱부(111)는 픽셀 전원 라인(PWL)과 입력 저항(Rin) 사이에 접속된 연결 스위치(SW)를 더 포함할 수 있다. 연결 스위치(SW)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전과 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에만 턴 온 되고, 그 외에는 턴 오프 될 수 있다. 전류 센싱 IC는 연결 스위치(SW)가 턴 온 되는 것에 동기하여 픽셀 전원 라인(PWL)에 흐르는 패널 전류를 센싱할 수 있다. 이때, 픽셀 전원 라인(PWL)은 도 2의 픽셀들(PXL)에 연결된 고전위 전원 라인(17) 또는 픽셀들(PXL)에 연결된 저전위 전원 라인(18)일 수 있다.
- [0056] 픽셀 전원 오프 기간 동안 구동 TFT(DT)의 특성 변화가 있으면, 동일한 전면 영상 패턴에 대응하여 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전의 제1 패널 전류와 온 된 직후의 제2 패널 전류가 달라질 수 있다. 이에,

제1 연산부(112)는 도 6과 같이 제1 및 제2 패널 전류들 간의 변동치와 픽셀 별 초기 보상 데이터(맵 데이터)를 이용하여 픽셀 전원 오프 기간에서 생긴 구동 TFT(DT)의 특성 변화를 추가적으로 보상한다. 픽셀 별 추가 보상 데이터에 의해, 픽셀 전원 오프 기간에서 생긴 구동 TFT(DT)의 문턱전압 변화(ΔV_{th})가 추가적으로 보상되며, 그 결과 각 픽셀의 게이트-소스 간 전압(V_{gs}) vs 드레인-소스 간 전류(I_{ds}) 그래프 상에서 구동 전류(픽셀 전류)의 차이가 획기적으로 줄어든다.

- [0057] 도 7 내지 도 9를 참조하여 본 실시예의 휘도 보상방법을 보다 구체적으로 설명하면 다음과 같다.
- [0058] 메모리(113)에는 초기 휘도 측정 결과에 기반한 초기 보상 데이터가 저장되어 있고, 아울러 픽셀 전원 온 기간 동안 소자 예측 모델에 기반한 누적 보상 데이터가 저장되어 있다.
- [0059] 표시장치는 픽셀 전원 오프 상태로 장시간 방치될 수 있다. 이 경우, PBTS(Positive Bias Temperature Stress), NBTiS(Negative Bias Thermal illumination Stress) 등의 영향으로 각 픽셀의 구동 TFT에 대한 문턱 전압(V_{th})이 변할 수 있다.
- [0060] 패널 구동부(12,13)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전과 온 된 직후에 표시패널에 패널 전류가 흐를 수 있도록 동일한 전면(全面) 영상 패턴을 기입한다. 이 전면 영상 패턴에 대응하여, 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전에 픽셀 전원 라인(PWL)에는 제1 패널 전류(①)가 흐르고, 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에 픽셀 전원 라인(PWL)에는 제2 패널 전류(②)가 흐른다.
- [0061] 센싱부(111)는 픽셀 전원(EVDD 또는 EVSS)이 오프 되기 직전에 픽셀 전원 라인(PWL)에 흐르는 제1 패널 전류(①)를 센싱하고, 그 센싱 결과를 메모리(113)에 저장한다(S1). 센싱부(111)는 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에 픽셀 전원 라인(PWL)에 흐르는 제2 패널 전류(②)를 센싱하고, 그 센싱 결과를 제1 연산부(112)에 공급한다(S2).
- [0062] 제1 패널 전류(①)와 제2 패널 전류(②)는 동일한 전면 영상 패턴에 대응되기 때문에 원칙적으로 같아야 한다. 하지만, 픽셀 전원 오프 기간 동안 구동 TFT의 문턱전압 변화가 있다면, 제1 패널 전류(①)와 제2 패널 전류(②)는 서로 달라질 것이다. 픽셀 전원 오프 기간 동안 구동 TFT의 문턱전압 변화가 클수록 제1 패널 전류(①)와 제2 패널 전류(②) 간의 차이는 커진다.
- [0063] 제1 연산부(112)는 픽셀 전원(EVDD 또는 EVSS)이 온 된 직후에 동작하여, 메모리(113)로부터 제1 패널 전류(①)를 입력 받고, 센싱부(111)로부터 제2 패널 전류(②)를 입력 받는다. 제1 연산부(112)는 제1 패널 전류(①)와 제2 패널 전류(②)를 비교(즉, 감산)하여 제1 패널 전류(①)와 제2 패널 전류(②) 간의 전류 변동치(ΔI)를 계산한다(S3).
- [0064] 제1 연산부(112)는 전류 변동치(ΔI)가 미리 설정된 임계치(I_{th})를 초과하는 경우에 전류 변동치(ΔI)와 초기 보상 데이터를 기반으로, 픽셀 전원 오프 기간 동안의 문턱전압 변화에 대응되는 추가 보상 데이터를 산출한다.
- [0065] 구체적으로, 제1 연산부(112)는 전류 변동치(ΔI)가 미리 설정된 임계치(I_{th})를 초과하는 경우에 메모리(113)에서 초기 보상 데이터(A)와 누적 보상 데이터(B)를 다운로드 한다(S4,S5,S6).
- [0066] 제1 연산부(112)는 누적 보상 데이터(B)에서 초기 보상 데이터(A)를 감산하고, 감산 결과값(X)과 초기 보상 데이터(A)를 보간(interpolation)하여 보상 변동값을 계산한다(S7,S8). 보상 변동값은 픽셀 전원 오프 기간 동안 구동 TFT의 문턱전압 변화량이 클수록 크게 산출될 수 있다. 보상 변동값 산출의 정확성을 높이기 위해 보간 과정을 거친다.
- [0067] 제1 연산부(112)는 보상 변동값에 초기 보상 데이터와 보상 옵션값을 합산하여 추가 보상 데이터로 산출할 수 있다(S9). 보상 옵션값은 도 9와 같이 실험을 통해 미리 결정된 2차원 그래프를 참조로 얻어질 수 있다. 도 9의 2차원 그래프에서 가로축은 전류 변동치(ΔI)이고 세로축은 보상 옵션값이다. 따라서, 보상 옵션값은 보상 변동값에 따라 정해지는 값이다. 추가 보상 데이터를 산출함에 있어, 보상 옵션값을 더 반영하면, 보상의 정확성을 높일 수 있는 장점이 있다.
- [0068] 제1 연산부(112)는 메모리(113)에 기 저장된 누적 보상 데이터(B)를 추가 보상 데이터로 업데이트한다.
- [0069] 제2 연산부(114)는 메모리(113)에 업데이트 된 추가 보상 데이터를 기반으로 입력 영상 데이터를 보정하여, 픽셀 전원 오프 기간 동안의 문턱전압 변화에 따른 휘도 편차를 보상한다(S10).
- [0070] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

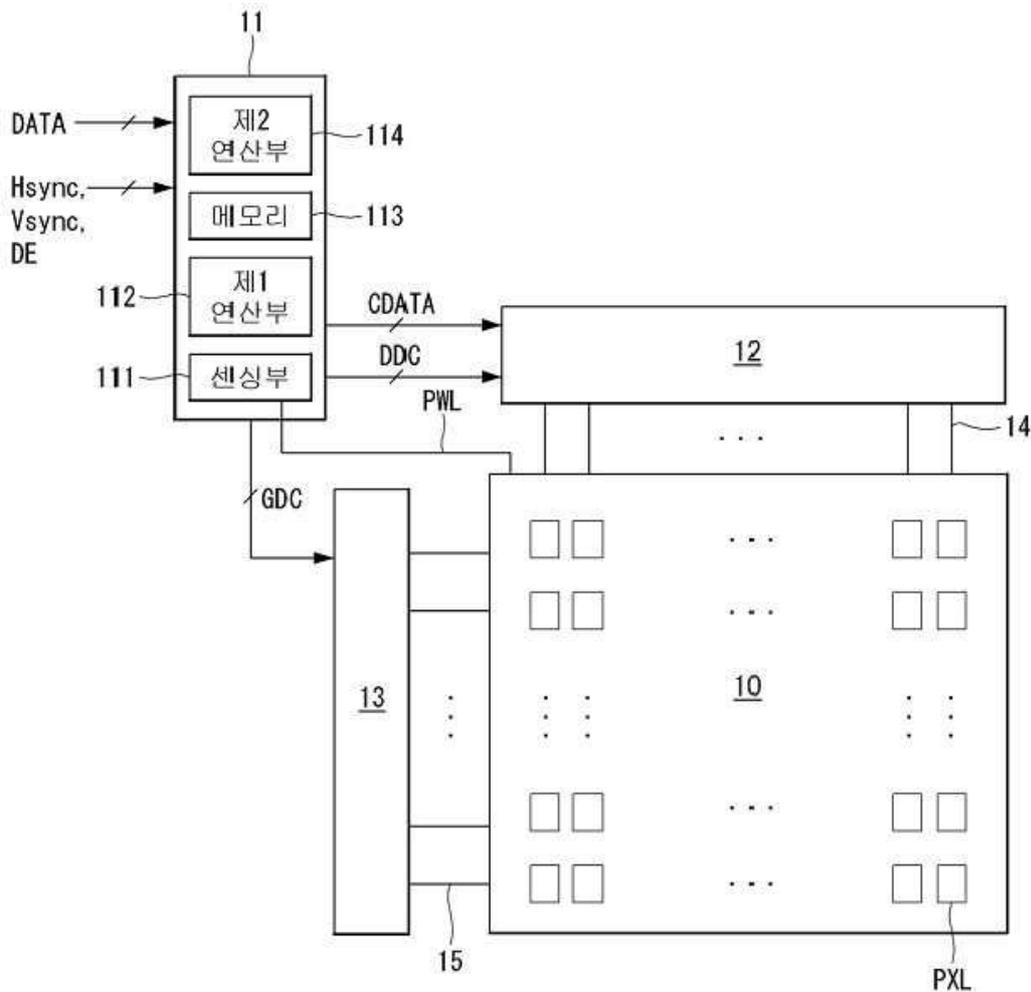
되는 것이 아니라 특히 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

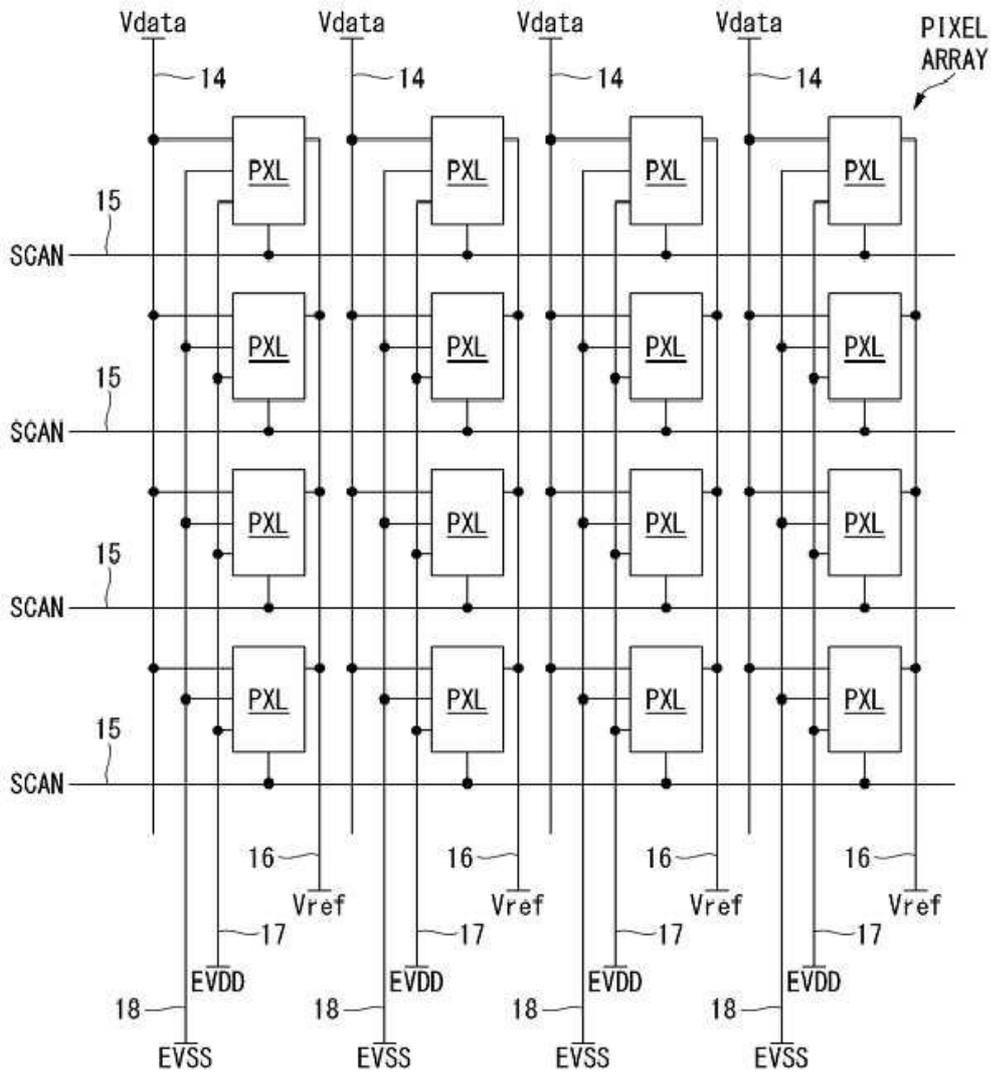
- 10: 표시패널 15: 게이트 구동부
- 20: 구동부 IC 21: 타이밍 제어부
- 22: 센싱부 23: 구동전압 생성부
- DAC1: 제1 구동전압 생성부 DAC2: 제2 구동전압 생성부
- 25: 데이터 구동부 30: 보상 IC
- 31: 보상부 32: 보상 메모리
- 40: 호스트 시스템 50: 저장 메모리

도면

도면1

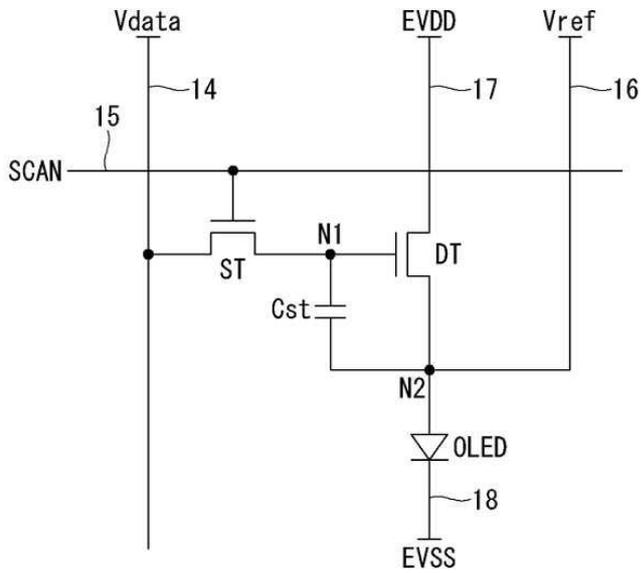


도면2

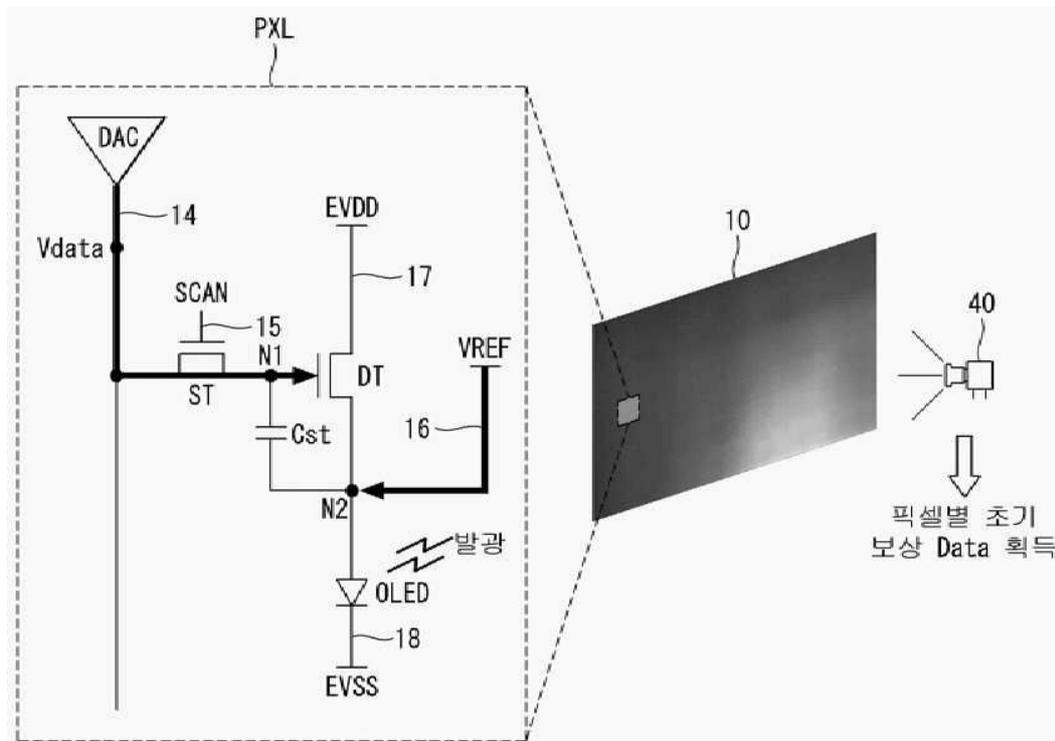


도면3

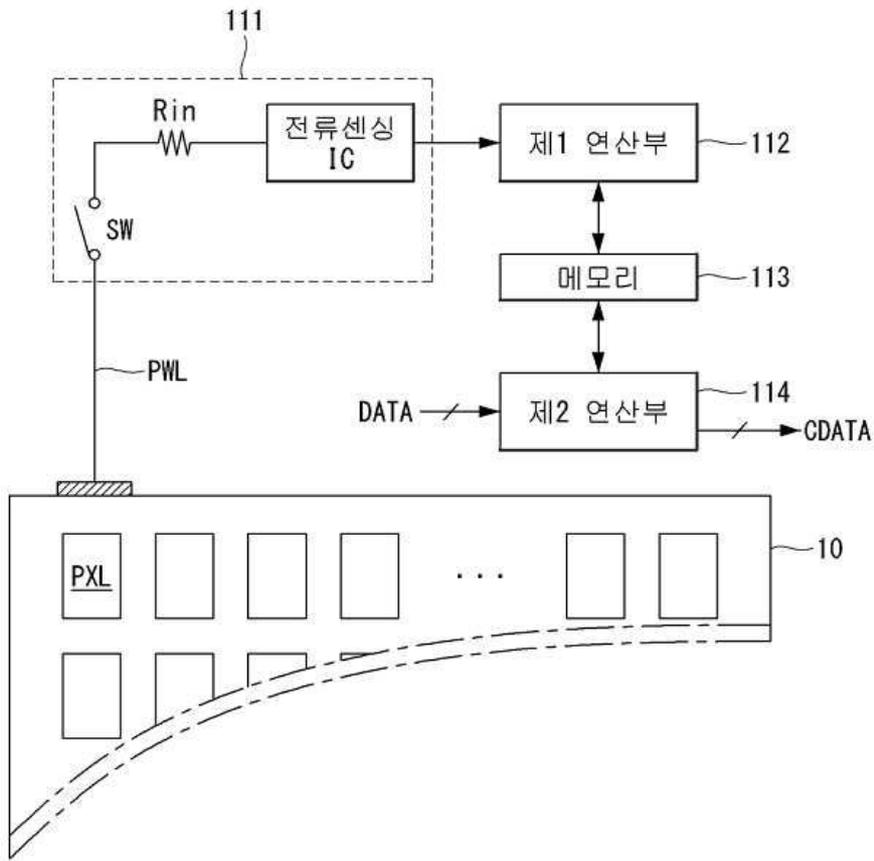
PXL



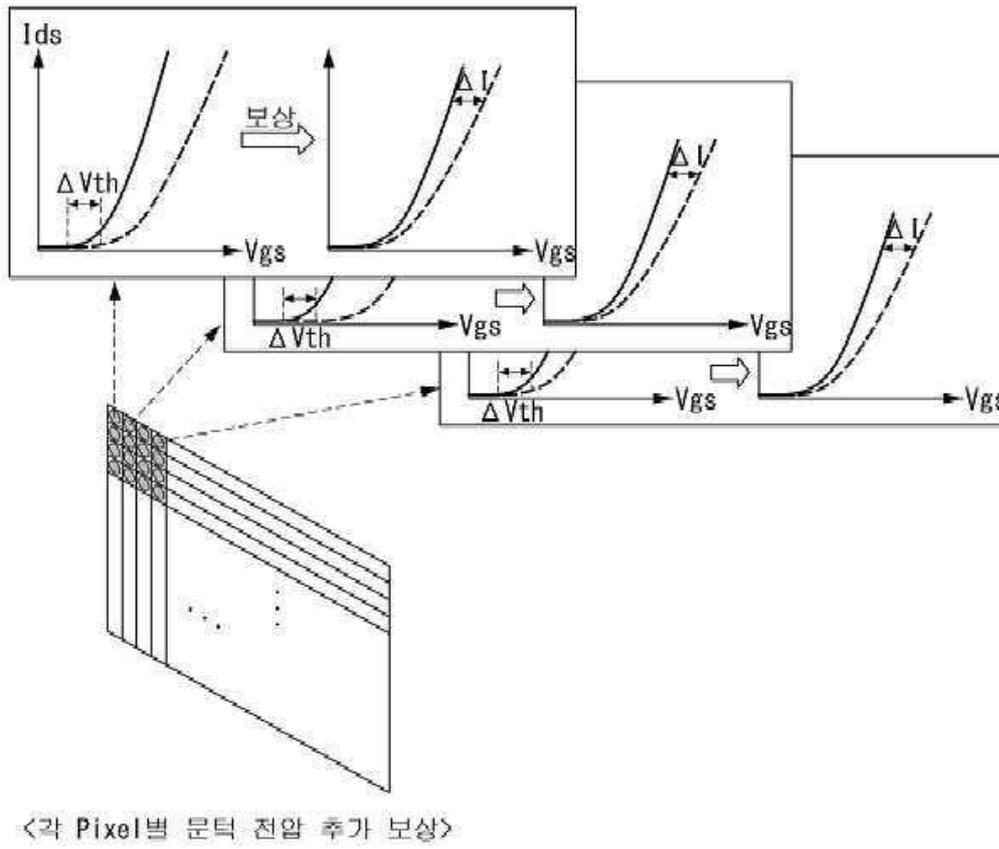
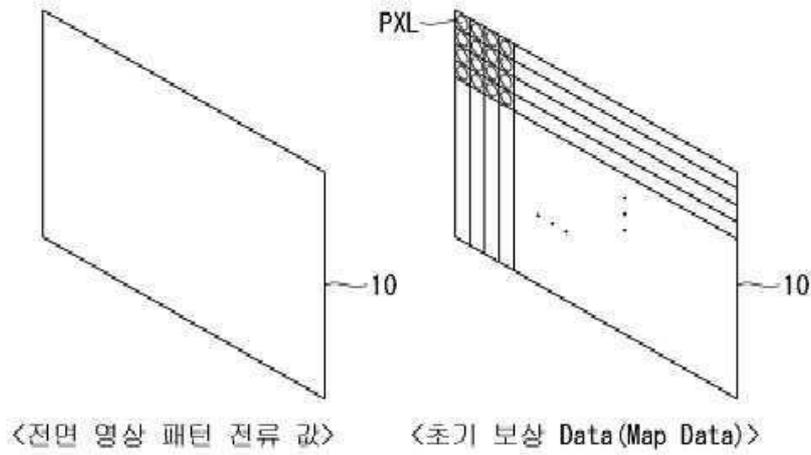
도면4



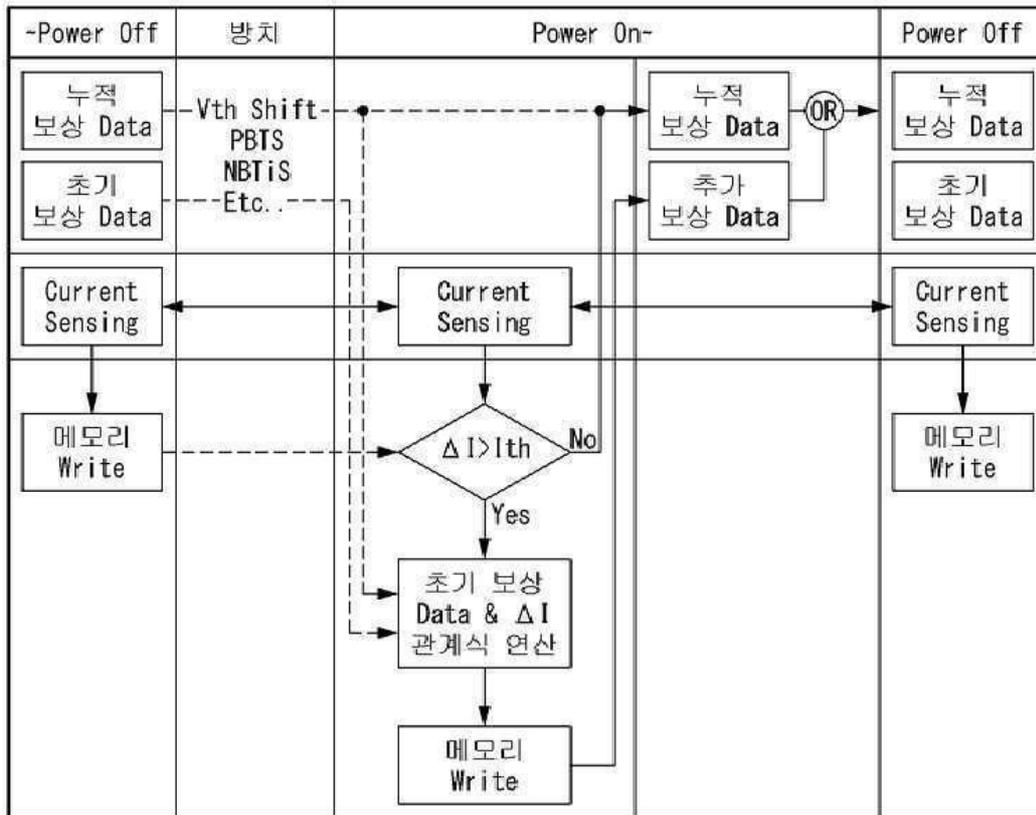
도면5



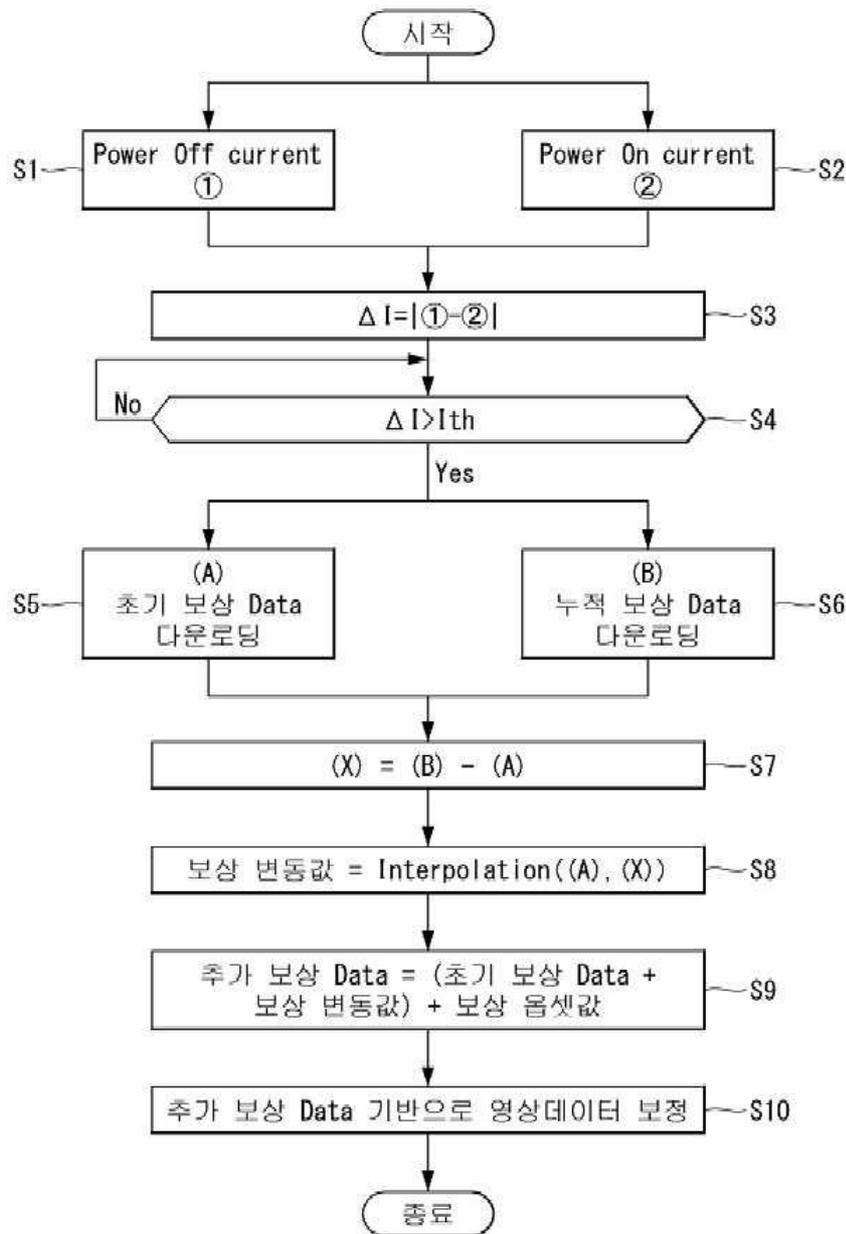
도면6



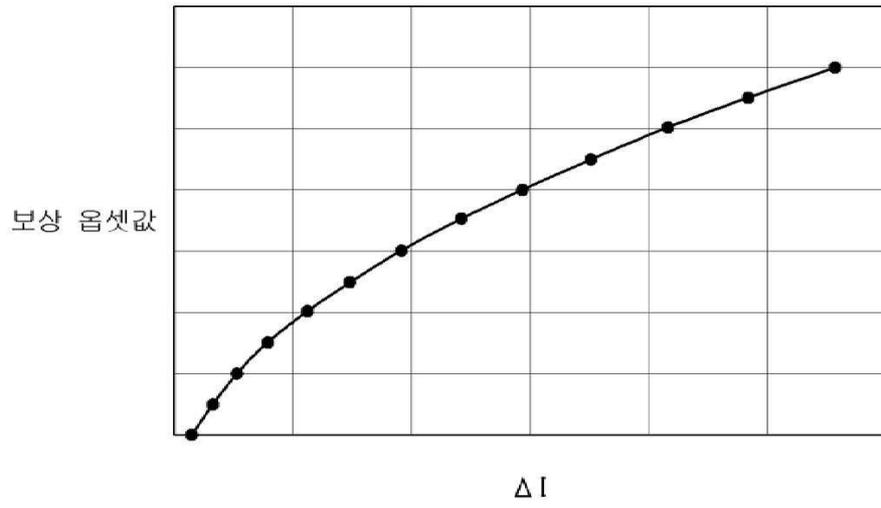
도면7



도면8



도면9



专利名称(译)	亮度补偿的有机发光显示装置及其亮度补偿方法		
公开(公告)号	KR1020200058206A	公开(公告)日	2020-05-27
申请号	KR1020180142935	申请日	2018-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	봉승중		
发明人	봉승중		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/0243 G09G2320/0295		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

根据本说明书的示例性实施方式的用于亮度补偿的有机发光显示装置包括显示面板，感测单元，存储器 and 第一操作单元。显示面板设置有连接到像素电源线的多个像素，并且根据来自像素电源线的像素功率来驱动每个像素的驱动元件。感测单元紧接在像素电源被断开之前感测在像素电源线中流动的第一面板电流，并且紧接在像素电源被接通之后感测在像素电源线中流动的第二面板电流。在存储器中，预先存储与每个像素的驱动元件的阈值电压相对应的初始补偿数据和累积补偿数据。另外，在像素电源接通之后，第一操作单元基于第一面板电流和第二面板电流之间的电流波动值和初始补偿数据，每个像素的驱动元件的像素断电时间段 计算与计算期间的阈值电压的变化相对应的附加补偿数据，并且利用附加补偿数据来更新存储器中累积的补偿数据。

