



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0002050
(43) 공개일자 2020년01월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2018-0074950
(22) 출원일자 2018년06월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
황영인
경기도 수원시 권선구 동수원로145번길 73, 301동
305호 (권선동, 수원아이파크시티3단지)
김성호
경기도 수원시 영통구 영통로514번길 53, 224동
104호 (영통동, 황골마을주공2단지아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

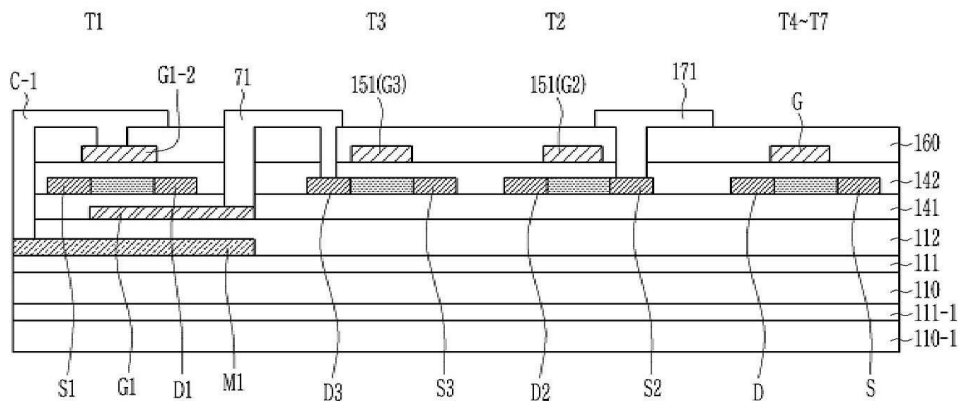
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

실시예들에 따르면, 상기 구동 트랜지스터는 상기 기관 위에 위치하는 상기 구동 트랜지스터의 게이트 전극; 및 상기 구동 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 구동 트랜지스터의 다결정 반도체층을 포함하고, 상기 보상 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 보상 트랜지스터의 다결정 반도체층; 및 상기 보상 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 보상 트랜지스터의 게이트 전극을 포함한다.

대표도



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 27/3297 (2013.01)

G09G 2300/0842 (2013.01)

G09G 2320/0257 (2013.01)

(72) 발명자

양용호

경기도 수원시 영통구 매탄로126번길 66, 202동
1605호 (매탄동, 주공그린빌아파트)

왕성민

경기도 성남시 분당구 판교역로 98, 707동 1603호
(백현동, 백현마을7단지아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 위치하는 화소; 및

상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며,

상기 화소는

유기 발광 소자;

상기 스캔선에 연결되어 있는 스위칭 트랜지스터;

상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 및

상기 구동 트랜지스터의 동작을 보상하는 보상 트랜지스터를 포함하며,

상기 구동 트랜지스터는

상기 기관 위에 위치하는 상기 구동 트랜지스터의 게이트 전극; 및

상기 구동 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 구동 트랜지스터의 다결정 반도체층을 포함하고,

상기 보상 트랜지스터는

제1 전극, 제2 전극 및 채널을 포함하는 상기 보상 트랜지스터의 다결정 반도체층; 및

상기 보상 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 보상 트랜지스터의 게이트 전극을 포함하는

유기 발광 표시 장치.

청구항 2

제1항에서,

상기 구동 트랜지스터는 상기 구동 트랜지스터의 상기 다결정 반도체층의 위에 위치하는 상기 구동 트랜지스터의 제2 게이트 전극을 더 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 구동 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 구동 트랜지스터는

상기 기관과 상기 상기 구동 트랜지스터의 상기 게이트 전극의 사이에 위치하는 중첩층을 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 중첩층에는 상기 구동 전압선에 흐르는 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 구동 트랜지스터의 상기 제2 게이트 전극에는 상기 구동 전압선에 흐르는 상기 구동 전압이 인가되며,

상기 중첩층과 상기 구동 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압을 인가하는 구동 전압 인가부를 더 포함하는 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 스위칭 트랜지스터는

상기 스캔선 및 상기 데이터선과 연결되어 있는 제2 트랜지스터, 및

상기 스캔선 및 상기 구동 트랜지스터의 상기 게이트 전극과 연결되어 있는 제3 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제2 트랜지스터는

제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층; 및

상기 제2 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제2 트랜지스터의 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제2 트랜지스터는

상기 제2 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제2 트랜지스터의 제2 게이트 전극을 더 포함하며,

상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 10

제7항에서,

상기 제2 트랜지스터는

상기 기판 위에 위치하는 상기 제2 트랜지스터의 게이트 전극; 및

상기 제2 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층을 포함하는 유기 발광 표시 장치.

청구항 11

제7항에서,

상기 제3 트랜지스터는

제1 전극, 제2 전극 및 채널을 포함하는 상기 제3 트랜지스터의 다결정 반도체층; 및

상기 제3 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제3 트랜지스터의 게이트 전극을 포함하는 유

기 발광 표시 장치.

청구항 12

제11항에서,

상기 제3 트랜지스터는

상기 제3 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제3 트랜지스터의 제2 게이트 전극을 더 포함하며,

상기 제3 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 제2 트랜지스터는

제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층; 및

상기 제2 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제2 트랜지스터의 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 제2 트랜지스터는

상기 제2 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제2 트랜지스터의 제2 게이트 전극을 더 포함하며,

상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 상기 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 15

제12항에서,

상기 구동 트랜지스터는

상기 기판과 상기 상기 구동 트랜지스터의 상기 게이트 전극의 사이에 위치하는 중첩층을 더 포함하며,

상기 중첩층에는 상기 구동 전압이 인가되며,

상기 중첩층은 상기 제3 트랜지스터의 상기 제2 게이트 전극과 전기적으로 연결되어 상기 제3 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압이 인가되는 유기 발광 표시 장치.

청구항 16

제15항에서,

상기 구동 트랜지스터의 상기 제2 게이트 전극에는 상기 구동 전압이 인가되며,

상기 중첩층과 상기 구동 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압을 인가하는 구동 전압 인가부를 더 포함하는 유기 발광 표시 장치.

청구항 17

제7항에서,

상기 제3 트랜지스터는

상기 기판 위에 위치하는 상기 제3 트랜지스터의 게이트 전극; 및

상기 제3 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 제3 트랜지스터의 다결정 반도체층을 포함하는 유기 발광 표시 장치.

청구항 18

제1항에서,

상기 보상 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극을 초기화시키는 제4 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 19

제18항에서,

상기 제4 트랜지스터는

제1 전극, 제2 전극 및 채널을 포함하는 상기 제4 트랜지스터의 다결정 반도체층; 및

상기 제4 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제4 트랜지스터의 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 20

제19항에서,

상기 제4 트랜지스터는

상기 제4 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제4 트랜지스터의 제2 게이트 전극을 더 포함하며,

상기 제4 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 일반적으로 유기 발광 표시 장치는 기판, 기판 상에 위치하는 복수의 박막 트랜지스터, 박막 트랜지스터를 구성하는 배선들 사이에 배치되는 복수의 절연층 및 박막 트랜지스터에 연결된 유기 발광 소자를 포함한다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 다결정 반도체에서 형성되는 돌기에도 불구하고 표시 장치의 두께를 감소시키거나 순간 잔상을 제거하기 위한 것이다.

과제의 해결 수단

[0006] 일 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위에 위치하는 화소; 및 상기 화소에 연결되어 있는 스캔선, 데이터선, 구동 전압선, 초기화 전압선을 포함하며, 상기 화소는 유기 발광 소자; 상기 스캔선에 연결

되어 있는 스위칭 트랜지스터; 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 및 상기 구동 트랜지스터의 동작을 보상하는 보상 트랜지스터를 포함하며, 상기 구동 트랜지스터는 상기 기판 위에 위치하는 상기 구동 트랜지스터의 게이트 전극; 및 상기 구동 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 구동 트랜지스터의 다결정 반도체층을 포함하고, 상기 보상 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 보상 트랜지스터의 다결정 반도체층; 및 상기 보상 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 보상 트랜지스터의 게이트 전극을 포함한다.

- [0007] 상기 구동 트랜지스터는 상기 구동 트랜지스터의 상기 다결정 반도체층의 위에 위치하는 상기 구동 트랜지스터의 제2 게이트 전극을 더 포함할 수 있다.
- [0008] 상기 구동 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가될 수 있다.
- [0009] 상기 구동 트랜지스터는 상기 기판과 상기 상기 구동 트랜지스터의 상기 게이트 전극의 사이에 위치하는 중첩층을 더 포함할 수 있다.
- [0010] 상기 중첩층에는 상기 구동 전압선에 흐르는 구동 전압이 인가될 수 있다.
- [0011] 상기 구동 트랜지스터의 상기 제2 게이트 전극에는 상기 구동 전압선에 흐르는 상기 구동 전압이 인가되며, 상기 중첩층과 상기 구동 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압을 인가하는 구동 전압 인가부를 더 포함할 수 있다.
- [0012] 상기 스위칭 트랜지스터는 상기 스캔선 및 상기 데이터선과 연결되어 있는 제2 트랜지스터, 및 상기 스캔선 및 상기 구동 트랜지스터의 상기 게이트 전극과 연결되어 있는 제3 트랜지스터를 포함할 수 있다.
- [0013] 상기 제2 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층; 및 상기 제2 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제2 트랜지스터의 게이트 전극을 포함할 수 있다.
- [0014] 상기 제2 트랜지스터는 상기 제2 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제2 트랜지스터의 제2 게이트 전극을 더 포함하며, 상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가될 수 있다.
- [0015] 상기 제2 트랜지스터는 상기 기판 위에 위치하는 상기 제2 트랜지스터의 게이트 전극; 및 상기 제2 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층을 포함할 수 있다.
- [0016] 상기 제3 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 제3 트랜지스터의 다결정 반도체층; 및 상기 제3 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제3 트랜지스터의 게이트 전극을 포함할 수 있다.
- [0017] 상기 제3 트랜지스터는 상기 제3 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제3 트랜지스터의 제2 게이트 전극을 더 포함하며, 상기 제3 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가될 수 있다.
- [0018] 상기 제2 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 제2 트랜지스터의 다결정 반도체층; 및 상기 제2 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제2 트랜지스터의 게이트 전극을 포함할 수 있다.
- [0019] 상기 제2 트랜지스터는 상기 제2 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제2 트랜지스터의 제2 게이트 전극을 더 포함하며, 상기 제2 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 상기 구동 전압이 인가될 수 있다.
- [0020] 상기 구동 트랜지스터는 상기 기판과 상기 상기 구동 트랜지스터의 상기 게이트 전극의 사이에 위치하는 중첩층을 더 포함하며, 상기 중첩층에는 상기 구동 전압이 인가되며, 상기 중첩층은 상기 제3 트랜지스터의 상기 제2 게이트 전극과 전기적으로 연결되어 상기 제3 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압이 인가될 수 있다.
- [0021] 상기 구동 트랜지스터의 상기 제2 게이트 전극에는 상기 구동 전압이 인가되며, 상기 중첩층과 상기 구동 트랜지스터의 상기 제2 게이트 전극에 상기 구동 전압을 인가하는 구동 전압 인가부를 더 포함할 수 있다.

- [0022] 상기 제3 트랜지스터는 상기 기판 위에 위치하는 상기 제3 트랜지스터의 게이트 전극; 및 상기 제3 트랜지스터의 상기 게이트 전극 위에 위치하며, 제1 전극, 제2 전극 및 채널을 포함하는 상기 제3 트랜지스터의 다결정 반도체층을 포함할 수 있다.
- [0023] 상기 보상 트랜지스터는 상기 구동 트랜지스터의 상기 게이트 전극을 초기화시키는 제4 트랜지스터를 포함할 수 있다.
- [0024] 상기 제4 트랜지스터는 제1 전극, 제2 전극 및 채널을 포함하는 상기 제4 트랜지스터의 다결정 반도체층; 및 상기 제4 트랜지스터의 상기 다결정 반도체층 위에 위치하는 상기 제4 트랜지스터의 게이트 전극을 포함할 수 있다.
- [0025] 상기 제4 트랜지스터는 상기 제4 트랜지스터의 상기 다결정 반도체층의 아래에 위치하는 상기 제4 트랜지스터의 제2 게이트 전극을 더 포함하며, 상기 제4 트랜지스터의 상기 제2 게이트 전극은 상기 구동 전압선에 흐르는 구동 전압이 인가될 수 있다.

발명의 효과

- [0026] 실시예들에 따르면, 다결정 반도체에서 형성되는 돌기가 발생하더라도 구동 트랜지스터의 게이트 전극을 다결정 반도체층의 아래에 위치하도록 하여 게이트 절연막의 두께를 줄일 수 있어 표시 장치의 두께를 줄일 수 있다. 또한, 구동 트랜지스터의 게이트 전극이 다결정 반도체의 아래에 위치하여 게이트 절연막의 두께를 줄이면 구동 트랜지스터의 특성(hysteresis)이 감소되어 표시되는 화상에 순간 잔상이 발생하지 않는다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.
- 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 4는 다결정 반도체에서 발생하는 돌기로 인한 상부층의 구조를 개략적으로 도시한 도면이다.
- 도 5는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 6은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 7은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 8은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 9는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 10은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 11은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 12는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 13은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 14는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- 도 15는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시

시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

- [0031] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0034] 이하에서는 도 1 내지 도 3을 통하여 일 실시예에 따른 유기 발광 표시 장치를 살펴본다.
- [0035] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 2는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이고, 도 3은 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0036] 도 1을 참고하면, 유기 발광 표시 장치의 화소(PX)는 여러 신호선들(127, 151, 152, 153, 158, 171, 172, 741)에 연결되어 있는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8, T9), 유지 축전기(Cst), 그리고 유기 발광 다이오드(OLED)를 포함한다.
- [0037] 도 3을 참고하면, 구동 트랜지스터(T1)는 다결정 반도체층(S1, D1 및 그 사이에 위치하는 채널)의 아래에 위치하는 구동 트랜지스터(T1)의 게이트 전극(G1; 구동 게이트 전극이라고도 함)을 포함한다. 이에 반하여 다른 트랜지스터(T2~T7)는 게이트 전극(G2, G3, G)이 다결정 반도체층의 위에 위치한다. 구동 트랜지스터(T1)는 게이트 전극(G1)이 다결정 반도체층의 돌기에 영향을 받지 않고, 다른 트랜지스터(T2~T7)의 게이트 전극(G2, G3, G)은 영향을 받을 수 있다. 하지만, 유기 발광 다이오드(OLED)에 전류를 공급하는 주된 역할은 구동 트랜지스터(T1)에서 이루어지며, 다른 트랜지스터(T2~T7)는 구동 트랜지스터(T1)의 동작을 준비하거나 초기화하는 역할만 수행하여 다결정 반도체층의 돌기로 인한 표시 품질에는 영향이 적을 수 있다.
- [0038] 도 1 및 도 3에 의하면 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)는 이와 중첩하는 중첩층(M1) 및 제2 게이트 전극(G1-2)을 더 포함한다. 도 1에서는 중첩층(M1)이 도시되어 있지 않은데, 이는 회로도에 그리기 어려워 생략한 것이다. 실시예에 따라서는 중첩층(M1)이 생략될 수도 있다. 제2 게이트 전극(G1-2)은 구동 트랜지스터(T1)의 채널이 형성되는 반도체층을 기준으로 구동 트랜지스터(T1)의 게이트 전극(G1)과 반대측에 위치한다. 중첩층(M1)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 하부에 위치한다. 제2 게이트 전극(G1-2) 및 중첩층(M1)은 서로 전기적으로 연결되어 있으며, 구동 전압(ELVDD)이 인가된다. 제2 게이트 전극(G1-2)은 일정 전압(구동 전압(ELVDD))이 인가되므로 트랜지스터의 게이트 전극의 역할을 할 수 없지만, 구조적으로 다결정 반도체층의 채널위에 위치하여 제2 게이트 전극(G1-2)으로 이하 명명한다.
- [0039] 일 실시예에 따른 화소(PX)는 총 7개의 트랜지스터(T1~T7)를 포함하고 있다.
- [0040] 7개의 트랜지스터는 유기 발광 다이오드(OLED)에 전류를 제공하는 구동 트랜지스터(T1)를 포함하며, 스캔선(151) 및 데이터선에 연결되어 데이터 전압을 화소(PX)내로 제공하는 제2 트랜지스터(T2)도 포함한다. 제3 트랜지스터(T3)도 스캔선(151)에 연결되어 있다. 스캔선(151)에 연결되어 있는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 '스위칭 트랜지스터'라고 할 수 있다. 그 외의 트랜지스터는 유기 발광 다이오드(OLED)를 동작시키는 데 필요한 동작을 하기 위한 트랜지스터로, 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)를 포함할 수 있으며, '보상 트랜지스터'라고 할 수 있다.
- [0041] 복수의 신호선(127, 151, 152, 153, 158, 171, 172, 741)은 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 바이패스 제어선(158), 데이터선(171), 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)을 포함할 수 있다. 바이패스 제어선(158)은 전단 스캔선(152)의 일부이거나 전기적으로 연결되어 있을 수 있다.
- [0042] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)에 전달한다. 전단 스캔선(152)은 게이트 구동부에 연결되어 전단에 위치하는 화소(PX)에 인가되는 전단 스캔 신호(Sn-1)를 제4 트랜지스터(T4)에 전달한다. 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되

어 있으며, 유기 발광 다이오드(OLED)가 발광하는 시간을 제어하는 발광 제어 신호(EM)를 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달하며, 실시예에 따라서는 전단 스캔 신호(Sn-1)와 동일한 신호를 전달할 수 있다.

[0043] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 전압(Dm)을 전달하는 배선으로 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED; '유기 발광 소자'라고도 함)가 발광하는 휘도가 변한다. 구동 전압선(172)은 구동 전압(ELVDD)을 인가하며, 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화시키는 초기화 전압(Vint)을 전달하며, 공통 전압선(741)은 공통 전압(ELVSS)을 인가한다. 구동 전압선(172), 초기화 전압선(127) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압이 인가될 수 있다.

[0044] 이하에서는 복수의 트랜지스터에 대하여 구체적으로 살펴본다.

[0045] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 전압(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 다이오드(OLED)로 인가되어 데이터 전압(Dm)에 따라서 유기 발광 다이오드(OLED)의 밝기가 조절된다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1; 입력 단자라고도 함)은 구동 전압(ELVDD)을 인가 받을 수 있도록 배치되어, 제5 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 제2 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 전압(Dm)도 인가 받는다. 제2 전극(D1; 출력 단자라고도 함)은 유기 발광 다이오드(OLED)를 향하여 전류를 출력할 수 있도록 배치되어, 제6 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 한편, 게이트 전극(G1)은 유지 축전기(Cst)의 일 전극(제2 유지 전극(E2))과 연결되어 있다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경된다. 게이트 전극(G1)은 다결정 반도체층과 기판의 사이에 위치하여, 다결정 반도체층보다 아래에 위치한다. 또한, 제2 게이트 전극(G1-2)는 다결정 반도체층보다 위에 위치하며, 구동 전압(ELVDD)을 직접 인가 받는다. 제2 게이트 전극(G1-2)와 전기적으로 연결된 중첩층(M1; 도 1에는 도시하지 않음)에도 구동 전압(ELVDD)이 인가되며, 중첩층(M1)은 게이트 전극(G1)과 기판의 사이에 위치한다. 제2 게이트 전극(G1-2)은 다결정 반도체의 채널 영역(D1과 S1의 사이 영역)에 구동 전압(ELVDD)으로 인하여 구동 트랜지스터(T1)의 특성(문턱 전압 값)이 시프트 되도록 하여 구동 트랜지스터(T1)의 특성을 향상시킨다.

[0046] 제2 트랜지스터(T2)는 데이터 전압(Dm)을 화소(PX)내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 제2 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 제2 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 전압(Dm)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다. 게이트 전극(G2)은 제2 트랜지스터(T2)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0047] 제3 트랜지스터(T3)는 데이터 전압(Dm)이 구동 트랜지스터(T1)를 거치면서 변화된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달되도록 하는 트랜지스터이다. 제3 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(151)과 연결되어 있다. 제3 트랜지스터(T3)의 제1 전극(S3)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3 트랜지스터(T3)의 제2 전극(D3)은 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 제3 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제2 유지 전극(E2)도 연결시킨다. 게이트 전극(G3)은 제3 트랜지스터(T3)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0048] 제4 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)을 초기화시키는 역할을 한다. 제4 트랜지스터(T4)의 게이트 전극(G4)은 전단 스캔선(152)과 연결되어 있고, 제1 전극(S4)은 초기화 전압선(127)과 연결되어 있다. 제4 트랜지스터(T4)의 제2 전극(D4)은 제3 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제2 유지 전극(E2) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다. 제4 트랜지스터(T4)는 전단 스캔선(152)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)은 저 전압값을 가져 구동 트랜지스터(T1)를 턴 온 시킬 수 있는 전압일 수 있다. 게이트 전극(G4)은 제4 트랜지스터(T4)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0049] 제5 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은

발광 제어선(153)과 연결되어 있고, 제1 전극(S5)은 구동 전압선(172)과 연결되어 있다. 제5 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 게이트 전극(G5)은 제5 트랜지스터(T5)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0050] 제6 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(I_d)를 유기 발광 다이오드(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 제6 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있다. 게이트 전극(G6)은 제6 트랜지스터(T6)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0051] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 켜지며, 제5 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(즉, 유지 축전기(Cst)의 제2 유지 전극(E2)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(I_d)를 출력한다. 출력된 구동 전류(I_d)는 제6 트랜지스터(T6)를 통하여 유기 발광 다이오드(OLED)에 전달된다. 유기 발광 다이오드(OLED)에 전류(I_{oled})가 흐르게 되면서 유기 발광 다이오드(OLED)가 빛을 방출한다.

[0052] 제7 트랜지스터(T7)는 유기 발광 다이오드(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(158)과 연결되어 있고, 제1 전극(S7)은 유기 발광 다이오드(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 초기화 전압선(127)과 연결되어 있다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되어 있을 수 있으며, 바이패스 신호(GB)는 전단 스캔 신호($Sn-1$)와 동일한 타이밍의 신호가 인가된다. 바이패스 제어선(158)은 전단 스캔선(152)에 연결되지 않고 전단 스캔 신호($Sn-1$)와 별개의 신호를 전달할 수도 있다. 바이패스 신호(GB)에 따라 제7 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 다이오드(OLED)의 애노드로 인가되어 초기화된다. 게이트 전극(G7)은 제7 트랜지스터(T7)의 채널이 위치하는 다결정 반도체층의 위에 위치한다.

[0053] 화소(PX)는 유지 축전기(Cst)도 포함한다. 유지 축전기(Cst)는 데이터 전압이 구동 트랜지스터(T1)를 지나서 인가되어 저장된다.

[0054] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 전압선(172)과 연결되어 있으며, 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1), 제3 트랜지스터(T3)의 제2 전극(D3) 및 제4 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있다. 그 결과 제2 유지 전극(E2)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(구동 트랜지스터(T1)의 게이트-소스 전압(V_{gs}))을 결정하며, 제3 트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 전압(D_m)을 인가 받거나, 제4 트랜지스터(T4)의 제2 전극(D4)을 통하여 초기화 전압(Vint)을 인가 받는다.

[0055] 한편, 화소(PX)는 유기 발광 다이오드(OLED)도 포함하며, 유기 발광 다이오드(OLED)의 애노드는 제6 트랜지스터(T6)의 제2 전극(D6) 및 제7 트랜지스터(T7)의 제1 전극(S7)과 연결되어 있으며, 캐소드는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.

[0056] 도 1의 실시예에서 화소 회로는 7개의 트랜지스터(T1-T7)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.

[0057] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소(PX)가 행렬 등 다양한 방식으로 배열되어 있다.

[0058] 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 도 1 및 도 2를 참고하여 설명한다.

[0059] 초기화 구간 동안 로우 레벨의 전단 스캔 신호($Sn-1$)가 전단 스캔선(152)을 통해 화소(PX)로 공급된다. 그러면, 이를 인가 받은 제4 트랜지스터(T4)가 켜져, 초기화 전압(Vint)이 제4 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.

[0060] 한편, 초기화 구간 동안에는 로우 레벨의 바이패스 신호(GB)도 제7 트랜지스터(T7)로 인가된다. 이를 인가 받은 제7 트랜지스터(T7)가 턴 온 되어 초기화 전압(Vint)이 제7 트랜지스터(T7)를 통해 유기 발광 다이오드(OLED)의 애노드로 인가된다. 그 결과 유기 발광 다이오드(OLED)의 애노드도 초기화된다.

[0061] 이후, 데이터 기입 구간(이하 기입 구간이라고도 함) 동안 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 화소(PX)로 공급된다. 로우 레벨의 스캔 신호(Sn)에 의하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가

켜진다.

- [0062] 제2 트랜지스터(T2)가 턴 온 되면, 데이터 전압(Dm)이 제2 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0063] 또한, 데이터 기입 구간 동안 제3 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)는 게이트 전극(G1) 및 유지 축전기(Cst)의 제2 유지 전극(E2)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(Vint))가 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 전압(Dm)은 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 제3 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제2 유지 전극(E2)에 저장된다. 이 때, 제2 유지 전극(E2)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱전압(Vth)에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 전압(Dm)이 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(Vint)이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은 $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서 V_{gs} 는 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이이므로 $Dm - V_{int}$ 값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제2 유지 전극(E2)에 저장되는 전압은 $Dm - V_{int} + V_{th}$ 값을 가질 수 있다.
- [0064] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 로우 레벨의 값을 가져, 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 켜진다.
- [0065] 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴 온 되므로, 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 다이오드(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구동 전류(I_d)가 발생한다. 구동 트랜지스터(T1)의 구동 전류(I_d)는 $V_{gs} - V_{th}$ 의 제곱값에 비례한 값을 가질 수 있다. 여기서 V_{gs} 의 값은 유지 축전기(Cst)의 양단에 걸리는 전압차와 같으며, V_{gs} 값은 $V_g - V_s$ 의 값이므로 $Dm - V_{int} + V_{th} - ELVDD$ 값을 가진다. 여기서 V_{th} 값을 빼서 $V_{gs} - V_{th}$ 의 값을 구하면, $Dm - V_{int} - ELVDD$ 값을 가진다. 즉, 구동 트랜지스터(T1)의 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 무관한 전류를 출력으로 가진다.
- [0066] 그러므로, 각 화소(PX)에 위치하는 구동 트랜지스터(T1)가 공정 산포로 인해 서로 다른 문턱 전압(V_{th})을 가지더라도 구동 트랜지스터(T1)의 출력 전류를 일정하게 할 수 있어, 특성의 불균일성을 개선할 수 있다.
- [0067] 또한, 구동 트랜지스터(T1)는 게이트 전극(G1)을 다결정 반도체층보다 아래에 형성하여, 다결정 반도체층에 돌기가 형성되더라도 이와 무관하게 동작하여 일정한 특성을 나타낸다. 그 결과 순간 잔상과 같은 표시 흠결로부터 자유로울 수 있다.
- [0068] 이상의 계산식에서 V_{th} 값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 하지만, 구동 트랜지스터(T1)의 출력 전류인 구동 전류(I_d)를 문턱 전압(V_{th})에 무관한 값을 가지도록 할 수 있다는 점에는 변함이 없다.
- [0069] 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0070] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0071] 한편, 실시예에 따라서는 초기화 구간에서의 제7 트랜지스터(T7)가 유기 발광 다이오드(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류도 유기 발광 다이오드(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(I_{bp})로 제7 트랜지스터(T7)를 통해 초기화 전압(Vint)단으로 방출된다. 그 결과 유기 발광 다이오드(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우 바이패스 신호(GB)가 전단 스캔 신호($Sn-1$)와 다른 타이밍의 신호일 수도 있다. 실시예에 따라서는 제7 트랜지스터(T7)가 생략될 수도 있다.
- [0072] 또한, 이상과 같이 동작하는 화소(PX)에서 구동 트랜지스터(T1)의 제2 게이트 전극(G1-2)에는 구동 전압(ELVDD)이 인가되어 구동 트랜지스터(T1)의 특성(문턱 전압)을 시프트시켜 표시 품질을 향상시킨다.

- [0073] 이와 같은 유기 발광 표시 장치 중 트랜지스터의 단면 구조를 도 3을 통하여 살펴보면 아래와 같다.
- [0074] 도 3에서는 유기 발광 표시 장치의 하나의 화소에 속하는 복수의 트랜지스터의 단면을 도시하고 있다. 좌측부터 구동 트랜지스터(T1), 제3 트랜지스터(T3), 제2 트랜지스터(T2)를 도시하고 있으며, 제4 트랜지스터 내지 제7 트랜지스터(T4 ~T7)는 단면이 다르지 않아 하나로 묶어서 도시하였다.
- [0075] 일 실시예에 따른 유기 발광 표시 장치는 플라스틱이나 폴리 이미드(PI)를 포함하는 플렉서블한 기판(110, 110-1)과 그 위에 각각 위치하는 두 개의 배리어층(111, 111-1)을 포함한다. 기판과 배리어층은 동일한 수로 형성될 수 있으며, 도 3과 달리 한 쌍만을 포함하거나, 세 쌍 이상 형성될 수 있다. 배리어층(111, 111-1)은 그 위에 형성되는 층을 제조함에 있어서 플렉서블한 기판(110, 110-1)에 가해지는 영향을 줄이기 위하여 형성될 수 있다.
- [0076] 우선, 구동 트랜지스터(T1)의 단면을 살펴본다.
- [0077] 상부 배리어층(111-1)의 위에는 중첩층(M1)이 위치하며, 중첩층은 버퍼층(112)에 의하여 덮여 있다. 버퍼층(112)의 위에는 게이트 전극(G1)이 형성되고, 게이트 전극(G1)은 제1 게이트 절연막(141)에 의하여 덮여 있다. 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S1), 제2 전극(D1) 및 그 사이에 위치하는 채널층을 포함한다.
- [0078] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 제2 게이트 전극(G1-2)이 형성되어 있다. 제2 게이트 전극(G1-2)은 층간 절연막(160)에 의하여 덮여 있다.
- [0079] 층간 절연막(160)의 위에는 데이터 도전체가 형성되며, 데이터 도전체는 데이터선(171) 및 구동 전압(ELVDD)을 전달하는 구동 전압선(172)을 포함한다.
- [0080] 구동 전압선(172)은 제2 게이트 전극(G1-2)과 중첩층(M1)을 각각 노출시키는 오프닝을 통하여 제2 게이트 전극(G1-2)과 중첩층(M1)에 연결되는 구동 전압 인가부(C-1)를 포함한다. 구동 전압 인가부(C-1)는 구동 전압선(172)이 연장되어 있는 부분이거나 전기적으로만 연결된 부분일 수 있다.
- [0081] 구동 트랜지스터(T1)의 채널의 상하에는 게이트 전극(G1)과 제2 게이트 전극(G1-2)이 위치하며, 채널의 폭에 준하는 폭을 가질 수 있다. 다만, 도 3에서는 채널의 하부에 위치하는 게이트 전극(G1)이 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되는 것을 보여주기 위하여 우측으로 연장된 구조를 도시하였다. 이와 같은 연장부를 제외하고는 게이트 전극(G1)은 구동 트랜지스터(T1)의 채널의 폭에 준하는 폭을 가진다.
- [0082] 또한, 제2 게이트 전극(G1-2)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다. 그 결과 제2 게이트 전극(G1-2)의 폭은 채널의 폭과 일치할 수 있다. 실시예에 따라서는 구동 트랜지스터(T1)가 구동 전압(ELVDD)을 인가받는 부분으로 제2 게이트 전극(G1-2)과 중첩층(M1)을 가져, 중첩층(M1)을 생략할 수도 있다.
- [0083] 이상과 같이 구동 트랜지스터(T1)는 바텀 게이트를 가지며, 제2 게이트 전극(G1-2)에 구동 전압(ELVDD)이 인가되어 채널의 특성을 시프트시킬 수 있는 구조를 가진다. 특히 다결정 반도체에 형성되는 돌기(도 4 참조)로 인하여 발생할 수 있는 문제는 바텀 게이트를 사용함에 의하여 해결할 수 있는 장점을 가진다.
- [0084] 이하에서는 제3 트랜지스터(T3)의 단면을 살펴본다.
- [0085] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 위치한다.
- [0086] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S3), 제2 전극(D3) 및 그 사이에 위치하는 채널층을 포함한다.
- [0087] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G3; 151)이 형성되어 있다. 게이트 전극(G3; 151)은 층간 절연막(160)에 의하여 덮여 있다.
- [0088] 층간 절연막(160)의 위에는 연결부(71)가 형성되어 있다. 연결부(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 각각 노출시키는 오프닝을 통하여 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 전기적으로 연결시킨다. 구동 트랜지스터(T1)의 출력은 게이트 전극(G1)의 전압에 따라서 변하므로, 제3 트랜지스터(T3)의 제2 전극(D3)으로 출력되는 전압이 구동 트랜지스터(T1)의 출력에 영향을 주게 된다.
- [0089] 제3 트랜지스터(T3)의 채널의 위에는 게이트 전극(G3)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게

이트 전극(G3)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.

- [0090] 이상과 같이 제3 트랜지스터(T3)는 탑 게이트를 가지며, 별도로 채널의 특성을 시프트 시킬 수 있는 구조는 포함하고 있지 않다.
- [0091] 이하에서는 제2 트랜지스터(T2)의 단면을 살펴본다.
- [0092] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 위치한다.
- [0093] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S2), 제2 전극(D2) 및 그 사이에 위치하는 채널층을 포함한다.
- [0094] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G2; 151)이 형성되어 있다. 게이트 전극(G2; 151)은 층간 절연막(160)에 의하여 덮여 있다.
- [0095] 층간 절연막(160)의 위에는 데이터선(171)이 형성되어 있다. 데이터선(171)은 제2 트랜지스터(T2)의 제1 전극(S2)을 노출시키는 오프닝을 통하여 제2 트랜지스터(T2)의 제1 전극(S2)과 연결되어 있다. 제2 트랜지스터(T2)가 턴 온되면, 해당 화소(PX)에 데이터 전압이 입력된다.
- [0096] 제2 트랜지스터(T2)의 채널의 위에는 게이트 전극(G2)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G2)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.
- [0097] 이상과 같이 제2 트랜지스터(T2)는 탑 게이트를 가지며, 별도로 채널의 특성을 시프트 시킬 수 있는 구조는 포함하고 있지 않다.
- [0098] 이하에서는 화소(PX)가 포함하는 그 외의 제4 내지 제7 트랜지스터(T4~T7)를 모아서 살펴본다. 각 트랜지스터의 제1 전극은 S로, 제2 전극은 D로, 게이트 전극은 G로 표현하였다.
- [0099] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제1 게이트 절연막(141)이 위치한다. 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S), 제2 전극(D) 및 그 사이에 위치하는 채널층을 포함한다.
- [0100] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G)이 형성되어 있다. 게이트 전극(G)은 층간 절연막(160)에 의하여 덮여 있다.
- [0101] 제4 내지 제7 트랜지스터(T4~T7)는 도 1과 같은 연결 관계를 가지며 화소(PX) 내에 배치되어 있다.
- [0102] 제4 내지 제7 트랜지스터(T4~T7)의 채널의 위에는 게이트 전극(G)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.
- [0103] 이상과 같이 제4 내지 제7 트랜지스터(T4~T7)도 탑 게이트를 가지며, 별도로 채널의 특성을 시프트 시킬 수 있는 구조는 포함하고 있지 않다.
- [0104] 이상과 같은 구조를 가지는 유기 발광 표시 장치는 화소(PX)에서 주된 동작을 하는 구동 트랜지스터(T1)만 바텀 게이트(다결정 반도체층의 아래에 위치하는 게이트 전극)를 가지며, 나머지 트랜지스터는 탑 게이트(다결정 반도체층의 위에 위치하는 게이트 전극)를 가진다.
- [0105] 다결정 반도체층은 비정질 실리콘 등의 반도체층을 형성한 후 레이저를 조사하는 등의 방식으로 결정화하는 단계를 거쳐 형성된다. 이러한 다결정 반도체층에는 결정화 단계에서 돌기가 형성되며, 탑 게이트를 사용하는 구조에서의 확대 단면을 도 4를 통하여 살펴본다.
- [0106] 도 4는 다결정 반도체에서 발생하는 돌기로 인한 상부층의 구조를 개략적으로 도시한 도면이다.
- [0107] 도 4에서 사용된 단면도는 구동 트랜지스터(T1)에서도 탑 게이트를 사용하는 구조로 도시하여, 다결정 반도체층(Poly)의 위에 두 층의 게이트층(Gate 1, Gate 2)이 형성되어 있다.
- [0108] 기판(110)위에 돌기를 가지는 다결정 반도체층(Poly)이 위치한다. 다결정 반도체층(Poly)에 형성된 돌기는 그 위에 위치하는 게이트 절연막(141, 142) 및 두 층의 게이트층(Gate 1, Gate2)에 볼록 나온 돌기를 형성하도록 한다. 그 결과 게이트층(Gate 1, Gate2)의 돌기 부분에서 전하가 모이게 되고, 게이트 절연막(141, 142)의 두께가 돌기로 인하여 얇아져 절연이 파괴될 수 있다. 이러한 절연 파괴를 막기 위해서는 게이트 절연막(141, 142)의 두께를 충분히 두껍게 형성하여야 하고, 표시 장치의 두께를 줄이는데 한계가 있다.

- [0109] 하지만, 본 발명에서는 다결정 반도체의 돌기의 아래에 구동 트랜지스터(T1)의 게이트 전극(G1)을 형성(바텀 게이트)하여 돌기의 영향이 없도록 하였다. 즉, 게이트 절연막(141)의 두께를 얇게 형성하여도 충분한 절연 특성을 가질 수 있다.
- [0110] 한편, 제2 내지 제7 트랜지스터(T2~T7)는 탑 게이트 구조를 가져 돌기를 포함하는 다결정 반도체층의 위에 게이트 전극을 가지지만, 유기 발광 다이오드(OLED)에 전류를 제공하는 주된 역할을 하지 않아 표시 품질에는 영향이 적다. 하지만, 실시예에 따라서는 제2 내지 제7 트랜지스터(T2~T7) 중 적어도 일부의 트랜지스터는 바텀 게이트 구조를 가질 수도 있다.
- [0111] 또한, 도 1 내지 도 3의 실시예에서는 구동 트랜지스터(T1)에만 구동 전압(ELVDD)이 인가되는 제2 게이트 전극(G1-2)을 형성하여 구동 트랜지스터(T1)의 특성이 시프트되도록 형성하였다. 하지만, 실시예에서는 제2 내지 제7 트랜지스터(T2~T7) 중 적어도 일부의 트랜지스터에서도 구동 전압(ELVDD)이 인가되는 제2 게이트 전극을 포함할 수 있다.
- [0112] 이하에서는 도 5 및 도 6의 실시예를 통하여 제2 트랜지스터(T2)에 구동 전압이 인가되는 제2 게이트 전극(G2-2)을 더 포함하는 실시예를 살펴본다.
- [0113] 도 5는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 6은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0114] 도 5의 회로도는 도 1의 회로도에 추가하여 제2 트랜지스터(T2)가 제2 게이트 전극(G2-2)을 더 포함하며, 제2 게이트 전극(G2-2)이 구동 전압선(172)에 연결되어 있다. 즉, 제2 게이트 전극(G2-2)이 구동 전압(ELVDD)을 인가 받으며, 그 결과 제2 트랜지스터(T2)의 채널 특성이 시프트된다.
- [0115] 또한, 도 6의 단면도는 도 3의 단면도에 더하여 제2 트랜지스터(T2)가 제2 게이트 전극(G2-2)을 더 포함하며, 제2 게이트 전극(G2-2)에 구동 전압(ELVDD)을 인가하기 위한 구동 전압 인가부(C-2)를 더 포함한다.
- [0116] 제2 트랜지스터(T2)의 단면을 좀 더 상세하게 살펴보면 다음과 같다.
- [0117] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제2 게이트 전극(G2-2)이 위치한다. 제2 게이트 전극(G2-2)은 제1 게이트 절연막(141)에 의하여 덮여 있다.
- [0118] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S2), 제2 전극(D2) 및 그 사이에 위치하는 채널층을 포함한다.
- [0119] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G2; 151)이 형성되어 있다. 게이트 전극(G2; 151)은 층간 절연막(160)에 의하여 덮여 있다.
- [0120] 층간 절연막(160)의 위에는 데이터선(171) 및 구동 전압 인가부(C-2)가 형성되어 있다. 데이터선(171)은 제2 트랜지스터(T2)의 제1 전극(S2)을 노출시키는 오프닝을 통하여 제2 트랜지스터(T2)의 제1 전극(S2)과 연결되어 있다. 제2 트랜지스터(T2)가 턴 온되면, 해당 화소(PX)에 데이터 전압이 입력된다. 구동 전압 인가부(C-2)는 제2 트랜지스터(T2)의 제2 게이트 전극(G2-2)을 노출시키는 오프닝을 통하여 제2 게이트 전극(G2-2)과 연결되어 있다. 구동 전압 인가부(C-2)는 구동 전압(ELVDD)을 제2 게이트 전극(G2-2)에 인가한다. 그 결과 제2 트랜지스터(T2)의 채널 특성이 시프트된다.
- [0121] 제2 트랜지스터(T2)의 채널의 위에는 게이트 전극(G2)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G2)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.
- [0122] 이상과 같이 제2 트랜지스터(T2)는 기본적으로는 탑 게이트를 가지지만, 추가적으로 구동 전압(ELVDD)이 인가되는 제2 게이트 전극(G2-2)을 추가적으로 가져 제2 트랜지스터(T2) 채널의 특성도 시프트 시킨다.
- [0123] 한편, 실시예에 따라서는 제2 트랜지스터(T2)를 기본적으로는 바텀 게이트로 형성하고 제2 게이트 전극을 탑 게이트로 형성할 수 있다. 이 때에는 다결정 반도체층의 아래에 게이트 전극(G2)을 형성하여 스캔선(151)과 연결하고, 다결정 반도체층의 위에 제2 게이트 전극(G2-2)을 형성하여 구동 전압(ELVDD)이 인가되도록 할 수 있다.
- [0124] 이하에서는 도 7 및 도 8의 실시예를 통하여 제3 트랜지스터(T3)에 구동 전압이 인가되는 제2 게이트 전극(G3-2)을 더 포함하는 실시예를 살펴본다.
- [0125] 도 7은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 8은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.

- [0126] 도 7의 회로도에는 도 1의 회로도에 추가하여 제3 트랜지스터(T3)가 제2 게이트 전극(G3-2)을 더 포함하며, 제2 게이트 전극(G3-2)이 구동 전압선(172)에 연결되어 있다. 즉, 제2 게이트 전극(G3-2)이 구동 전압(ELVDD)을 인가 받으며, 그 결과 제3 트랜지스터(T3)의 채널 특성이 시프트된다.
- [0127] 또한, 도 8의 단면도는 도 3의 단면도에 더하여 제3 트랜지스터(T3)가 제2 게이트 전극(G3-2)을 더 포함하며, 제2 게이트 전극(G3-2)에 구동 전압(ELVDD)을 인가하기 위한 구동 전압 인가부(C-3)를 더 포함한다.
- [0128] 제3 트랜지스터(T3)의 단면을 좀 더 상세하게 살펴보면 다음과 같다.
- [0129] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제2 게이트 전극(G3-2)이 위치한다. 제2 게이트 전극(G3-2)은 제1 게이트 절연막(141)에 의하여 덮여 있다.
- [0130] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S3), 제2 전극(D3) 및 그 사이에 위치하는 채널층을 포함한다.
- [0131] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G3; 151)이 형성되어 있다. 게이트 전극(G3; 151)은 층간 절연막(160)에 의하여 덮여 있다.
- [0132] 층간 절연막(160)의 위에는 연결부(71) 및 구동 전압 인가부(C-3)가 형성되어 있다.
- [0133] 연결부(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 각각 노출시키는 오프닝을 통하여 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 전기적으로 연결시킨다. 구동 트랜지스터(T1)의 출력은 게이트 전극(G1)의 전압에 따라서 변하므로, 제3 트랜지스터(T3)의 제2 전극(D3)으로 출력되는 전압이 구동 트랜지스터(T1)의 출력에 영향을 주게 된다.
- [0134] 한편, 구동 전압 인가부(C-3)는 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)을 노출시키는 오프닝을 통하여 제2 게이트 전극(G3-2)과 연결되어 있다. 구동 전압 인가부(C-3)는 구동 전압(ELVDD)을 제2 게이트 전극(G3-2)에 인가한다. 그 결과 제3 트랜지스터(T3)의 채널 특성이 시프트된다.
- [0135] 제3 트랜지스터(T3)의 채널의 위에는 게이트 전극(G3)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G3)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.
- [0136] 이상과 같이 제3 트랜지스터(T3)는 기본적으로는 탑 게이트를 가지지만, 추가적으로 구동 전압(ELVDD)이 인가되는 제2 게이트 전극(G3-2)을 추가적으로 가져 제3 트랜지스터(T3) 채널의 특성도 시프트시킨다.
- [0137] 한편, 실시예에 따라서는 제3 트랜지스터(T3)를 기본적으로는 바텀 게이트로 형성하고 제2 게이트 전극을 탑 게이트로 형성할 수 있다. 이 때에는 다결정 반도체층의 아래에 게이트 전극(G3)을 형성하여 스캔선(151)과 연결하고, 다결정 반도체층의 위에 제2 게이트 전극(G3-2)을 형성하여 구동 전압(ELVDD)이 인가되도록 할 수 있다.
- [0138] 이하에서는 도 9를 통하여 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)에 구동 전압(ELVDD)을 인가하는 방식을 도 8과 다르게 형성하는 실시예를 살펴본다.
- [0139] 도 9는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0140] 도 9는 도 8과 각 트랜지스터(T1~T7)의 단면구조는 동일하다. 하지만, 도 8과 달리, 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)에 구동 전압(ELVDD)을 인가하는 구동 전압 인가부(C-3)를 포함하고 있지 않다.
- [0141] 그 대신, 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)은 구동 트랜지스터(T1)의 하부에 위치하는 중첩층(M1)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0142] 즉, 중첩층(M1)은 구동 트랜지스터(T1)의 하부에 위치하지만, 일 부분이 제3 트랜지스터(T3)의 하부로 연장된다. 연장된 중첩층(M1)을 노출시키는 오프닝을 통하여 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)과 직접 연결된다. 중첩층(M1)은 구동 전압 인가부(C-1)를 통하여 구동 전압(ELVDD)을 인가받고 있으므로 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)에도 구동 전압(ELVDD)이 인가된다.
- [0143] 도 9의 실시예는 도 8의 실시예에 비하여 층간 절연막(160)의 위의 구조는 단순해지고, 다결정 반도체층의 아래(보다 상세하게는 구동 트랜지스터(T1)의 게이트 전극(G1)의 아래)의 구조는 복잡해진다. 다결정 반도체층을 사용하는 트랜지스터는 탑 게이트 방식을 사용하는 것이 일반적이고, 트랜지스터의 위에 화소 전극, 유기 발광층 및 공통 전극으로 이루어지는 유기 발광 다이오드(OLED)를 위치시키면서 복잡한 구조를 가지는 것이 일반적이다.

- [0144] 이에 도 9의 실시예에서는 상대적으로 여유가 있는 다결정 반도체층의 아래(보다 상세하게는 구동 트랜지스터(T1)의 게이트 전극(G1)의 아래)의 구조를 복잡하게 하고, 상부 영역(층간 절연막(160)의 상부 영역)의 구조를 여유롭게 한다.
- [0145] 고해상도로 갈수록 화소(PX)의 면적이 좁아지므로, 도 9와 같이 층간 절연막(160)위의 구조가 단순해지는 것은 장점이다.
- [0146] 이하에서는 도 10 및 도 11의 실시예를 통하여 도 5 내지 도 8의 실시예를 병합한 실시예를 살펴본다.
- [0147] 도 10은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 11은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0148] 도 10 및 도 11의 실시예에서는 도 5 및 도 6의 실시예와 같이 제2 트랜지스터(T2)에 구동 전압이 인가되는 제2 게이트 전극(G2-2)을 더 포함하며, 도 7 및 도 8의 실시예와 같이 제3 트랜지스터(T3)에 구동 전압이 인가되는 제2 게이트 전극(G3-2)을 더 포함하는 실시예이다.
- [0149] 도 10의 회로도는 도 1의 회로도에 추가하여 제2 트랜지스터(T2)가 제2 게이트 전극(G2-2)을 더 포함하며, 제3 트랜지스터(T3)가 제2 게이트 전극(G3-2)을 더 포함한다. 그 결과, 제2 트랜지스터(T2)의 제2 게이트 전극(G2-2)이 구동 전압선(172)에 연결되며, 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)도 구동 전압선(172)에 연결되어 있다. 이러한 구조는 제2 트랜지스터(T2)의 채널 특성 및 제3 트랜지스터(T3)의 채널 특성이 시프트되도록 한다.
- [0150] 또한, 도 11의 단면도에서는 도 6 및 도 8의 특징이 함께 도시되어 있다. 즉, 도 3의 단면도에 더하여 제2 트랜지스터(T2)가 제2 게이트 전극(G2-2)을 더 포함하며, 제3 트랜지스터(T3)가 제2 게이트 전극(G3-2)을 더 포함한다. 또한, 제2 트랜지스터(T2)의 제2 게이트 전극(G2-2)에 구동 전압(ELVDD)을 인가하기 위한 구동 전압 인가부(C-2)와 제3 트랜지스터(T3)의 제2 게이트 전극(G3-2)에 구동 전압(ELVDD)을 인가하기 위한 구동 전압 인가부(C-3)를 더 포함한다.
- [0151] 도 11의 실시예에서는 두 구동 전압 인가부(C-2, C-3)이 직접 연결된 구조를 가진다. 하지만, 실시예에 따라서는 두 구동 전압 인가부(C-2, C-3)가 연결부를 통하여 전기적으로만 연결되는 구조를 가질 수도 있다.
- [0152] 이상과 같이 제2 및 제3 트랜지스터(T2, T3)는 기본적으로는 탑 게이트를 가지지만, 실시예에 따라서는 제2 및 제3 트랜지스터(T2, T3)를 기본적으로는 바텀 게이트로 형성하고 제2 게이트 전극(G2-2, G3-2)을 탑 게이트로 형성할 수 있다. 이 때에는 다결정 반도체층의 아래에 게이트 전극(G2, G3)을 형성하여 스캔선(151)과 연결하고, 다결정 반도체층의 위에 제2 게이트 전극(G2-2, G3-2)을 형성하여 구동 전압(ELVDD)이 인가되도록 할 수 있다.
- [0153] 이하에서는 도 12 및 도 13의 실시예를 통하여 제4 트랜지스터(T4)에 구동 전압이 인가되는 제2 게이트 전극(G4-2)을 더 포함하는 실시예를 살펴본다.
- [0154] 도 12는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 13은 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0155] 도 12의 회로도는 도 1의 회로도에 추가하여 제4 트랜지스터(T4)가 제2 게이트 전극(G4-2)을 더 포함하며, 제2 게이트 전극(G4-2)이 구동 전압선(172)에 연결되어 있다. 즉, 제2 게이트 전극(G4-2)이 구동 전압(ELVDD)을 인가 받으며, 그 결과 제4 트랜지스터(T4)의 채널 특성이 시프트된다.
- [0156] 또한, 도 13의 단면도는 도 3의 단면도에 더하여 제4 트랜지스터(T4)가 제2 게이트 전극(G4-2)을 더 포함하며, 제2 게이트 전극(G4-2)에 구동 전압(ELVDD)을 인가하기 위한 구동 전압 인가부(C-4)를 더 포함한다.
- [0157] 제4 트랜지스터(T4)의 단면을 좀 더 상세하게 살펴보면 다음과 같다.
- [0158] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 제2 게이트 전극(G4-2)이 위치한다. 제2 게이트 전극(G4-2)은 제1 게이트 절연막(141)에 의하여 덮여 있다.
- [0159] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S4), 제2 전극(D4) 및 그 사이에 위치하는 채널층을 포함한다.
- [0160] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 게이트 전극(G4)이 형성되어 있다. 게이트 전극(G4)은 층간 절연막(160)에 의하여 덮여 있다.

- [0161] 층간 절연막(160)의 위에는 구동 전압 인가부(C-4)가 형성되어 있다. 구동 전압 인가부(C-4)는 제2 트랜지스터(T4)의 제2 게이트 전극(G4-2)을 노출시키는 오프닝을 통하여 제2 게이트 전극(G4-2)과 연결되어 있다. 구동 전압 인가부(C-4)는 구동 전압(ELVDD)을 제2 게이트 전극(G4-2)에 인가한다. 그 결과 제4 트랜지스터(T4)의 채널 특성이 시프트된다.
- [0162] 제4 트랜지스터(T4)의 채널의 위에는 게이트 전극(G4)이 위치하며, 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G4)은 다결정 반도체층을 도핑할 때 마스크로 사용할 수 있다.
- [0163] 이상과 같이 제4 트랜지스터(T4)는 기본적으로는 탭 게이트를 가지지만, 추가적으로 구동 전압(ELVDD)이 인가되는 제2 게이트 전극(G4-2)을 추가적으로 가져 제4 트랜지스터(T4) 채널의 특성도 시프트시킨다.
- [0164] 한편, 실시예에 따라서는 제4 트랜지스터(T4)를 기본적으로는 바텀 게이트로 형성하고 제2 게이트 전극(G4-2)을 탭 게이트로 형성할 수 있다. 이 때에는 다결정 반도체층의 아래에 게이트 전극(G4)을 형성하고, 다결정 반도체층의 위에 제2 게이트 전극(G4-2)을 형성하여 구동 전압(ELVDD)이 인가되도록 할 수 있다.
- [0165] 도 12 및 도 13의 실시예의 특징(제4 트랜지스터(T4)에 구동 전압이 인가되는 제2 게이트 전극(G4-2)을 더 포함)도 앞서 설명한 다른 실시예의 특징과 함께 포함되는 실시예도 구성할 수 있다. 즉, 도 12 및 도 13의 실시예에 더하여, 제2 트랜지스터(T2)에 구동 전압이 인가되는 제2 게이트 전극(G2-2)을 더 포함하거나, 제3 트랜지스터(T3)에 구동 전압이 인가되는 제2 게이트 전극(G3-2)을 더 포함할 수 있다. 뿐만 아니라, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3) 모두에 구동 전압이 인가되는 제2 게이트 전극(G2-2, G3-2)을 더 포함할 수 있다.
- [0166] 앞에서는 설명한 바 없지만, 제5 트랜지스터(T5) 내지 제7 트랜지스터(T7)도 구동 전압이 인가되는 제2 게이트 전극을 더 포함할 수도 있다.
- [0167] 이상에서는 구동 트랜지스터(T1)만이 바텀 게이트 구조(다결정 반도체층의 하부에 게이트 전극이 위치)를 사용하고 있으며, 그 외의 나머지 트랜지스터(T2~T7)는 탭 게이트 구조(다결정 반도체층의 위에 게이트 전극이 위치)를 사용하고 있다.
- [0168] 하지만, 실시예에 따라서는 구동 트랜지스터(T1)외의 다른 트랜지스터에서도 바텀 게이트 구조를 사용하여 다결정 반도체의 돌기로 인하여 트랜지스터의 특성이 영향 받는 것을 줄일 수도 있다.
- [0169] 이하에서는 도 14를 통하여 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)가 바텀 게이트 구조를 사용하는 실시예를 살펴본다.
- [0170] 도 14는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0171] 도 14의 실시예에서는 도 3과 달리 제2 트랜지스터(T2) 및 제3 트랜지스터(T3) 바텀 게이트 구조를 사용하고 있다. 이하에서는 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)의 구조에 대하여 상세하게 살펴본다.
- [0172] 이하에서는 먼저 제2 트랜지스터(T2)의 단면을 살펴본다.
- [0173] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 게이트 전극(G2; 151)이 위치한다. 게이트 전극(G2; 151)은 제1 게이트 절연막(141)에 의하여 덮여 있다.
- [0174] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S2), 제2 전극(D2) 및 그 사이에 위치하는 채널층을 포함한다.
- [0175] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 층간 절연막(160)이 형성되어 있다.
- [0176] 층간 절연막(160)의 위에는 데이터선(171)이 형성되어 있다. 데이터선(171)은 제2 트랜지스터(T2)의 제1 전극(S2)을 노출시키는 오프닝을 통하여 제2 트랜지스터(T2)의 제1 전극(S2)과 연결되어 있다. 제2 트랜지스터(T2)가 턴 온되면, 해당 화소(PX)에 데이터 전압이 입력된다.
- [0177] 제2 트랜지스터(T2)의 게이트 전극(G2)은 다결정 반도체층의 아래에 위치하여 바텀 게이트 구조를 가지며, 게이트 전극(G2)의 폭은 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G2)이 다결정 반도체층의 하부에 위치하므로, 다결정 반도체층을 도핑할 때 별도의 마스크가 필요할 수 있다.
- [0178] 도 14에서는 제2 트랜지스터(T2)가 별도로 채널의 특성을 시프트시킬 수 있는 구조는 포함하고 있지 않은데, 실시예에 따라서는 구동 전압(ELVDD)이 인가되며, 다결정 반도체층의 위에 위치하는 제2 게이트 전극이 형성될

수도 있다.

- [0179] 이하에서는 제3 트랜지스터(T3)의 단면을 살펴본다.
- [0180] 상부 배리어층(111-1)의 위에는 버퍼층(112)이 위치하고, 버퍼층(112)의 위에는 게이트 전극(G3; 151)이 위치한다. 게이트 전극(G3; 151)은 제1 게이트 절연막(141)에 의하여 덮여 있다.
- [0181] 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S3), 제2 전극(D3) 및 그 사이에 위치하는 채널층을 포함한다.
- [0182] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 층간 절연막(160)이 형성되어 있다.
- [0183] 층간 절연막(160)의 위에는 연결부(71)가 형성되어 있다. 연결부(71)는 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 각각 노출시키는 오프닝을 통하여 제3 트랜지스터(T3)의 제2 전극(D3)과 구동 트랜지스터(T1)의 게이트 전극(G1)을 전기적으로 연결시킨다. 구동 트랜지스터(T1)의 출력은 게이트 전극(G1)의 전압에 따라서 변하므로, 제3 트랜지스터(T3)의 제2 전극(D3)으로 출력되는 전압이 구동 트랜지스터(T1)의 출력에 영향을 주게 된다.
- [0184] 제3 트랜지스터(T3)의 게이트 전극(G3)은 다결정 반도체층의 아래에 위치하여 바텀 게이트 구조를 가지며, 게이트 전극(G3)의 폭은 채널의 폭에 준하는 폭을 가진다. 또한, 게이트 전극(G3)이 다결정 반도체층의 하부에 위치하므로, 다결정 반도체층을 도핑할 때 별도의 마스크가 필요할 수 있다.
- [0185] 도 14에서는 제3 트랜지스터(T3)가 별도로 채널의 특성을 시프트시킬 수 있는 구조는 포함하고 있지 않은데, 실시예에 따라서는 구동 전압(ELVDD)이 인가되며, 다결정 반도체층의 위에 위치하는 제2 게이트 전극이 형성될 수도 있다.
- [0186] 도 14에서 도시하고 있는 바와 달리 제2 트랜지스터(T2)나 제3 트랜지스터(T3) 하나만 바텀 게이트 구조를 가질 수도 있다. 또한, 제4 내지 제 7 트랜지스터(T4~T7) 중 하나의 트랜지스터가 바텀 게이트 구조를 가질 수도 있다.
- [0187] 이러한 구조에 더하여 제2 내지 제7 트랜지스터(T2~T7)중 적어도 하나의 트랜지스터가 구동 전압(ELVDD)이 인가되는 제2 게이트 전극을 더 포함할 수도 있다.
- [0188] 이상에서는 구동 트랜지스터(T1)가 바텀 게이트 구조를 가지면서 다결정 반도체층의 위에 제2 게이트 전극(G1-2)을 더 포함하는 구조를 중심으로 살펴보았다. 하지만, 실시예에 따라서는 제2 게이트 전극(G1-2)이 생략될 수도 있다. 이러한 구조에 대해서 도 15를 통하여 살펴본다.
- [0189] 도 15는 또 다른 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 속하는 트랜지스터의 단면도이다.
- [0190] 도 15의 실시예에 따른 구동 트랜지스터(T1)는 도 1의 실시예와 달리 제2 게이트 전극(G1-2)이 생략되어 있다.
- [0191] 도 15의 실시예에 따른 구동 트랜지스터(T1)의 단면을 살펴보면 아래와 같다.
- [0192] 상부 배리어층(111-1)의 위에는 증착층(M1)이 위치하며, 증착층은 버퍼층(112)에 의하여 덮여 있다. 버퍼층(112)의 위에는 게이트 전극(G1)이 형성되고, 게이트 전극(G1)은 제1 게이트 절연막(141)에 의하여 덮여 있다. 제1 게이트 절연막(141)의 위에는 다결정 반도체층이 위치하고 있으며, 다결정 반도체층은 제1 전극(S1), 제2 전극(D1) 및 그 사이에 위치하는 채널층을 포함한다.
- [0193] 다결정 반도체층은 제2 게이트 절연막(142)에 의하여 덮여 있고, 제2 게이트 절연막(142)의 위에는 층간 절연막(160)이 위치하고 있다.
- [0194] 층간 절연막(160)의 위에는 구동 전압 인가부(C-1)가 형성되어 있다. 구동 전압 인가부(C-1)는 증착층(M1)을 노출시키는 오프닝을 통하여 증착층(M1)과 연결되어 있다. 또한, 구동 전압 인가부(C-1)는 구동 전압선(172)과 연결되어 구동 전압(ELVDD)이 흐르고 있다. 그 결과 증착층(M1)에도 구동 전압(ELVDD)이 인가된다. 구동 전압 인가부(C-1)는 구동 전압선(172)이 연장되어 있는 부분이거나 전기적으로만 연결된 부분일 수 있다.
- [0195] 구동 트랜지스터(T1)의 채널의 아래에는 게이트 전극(G1)이 위치하며, 게이트 전극(G1)은 채널의 폭에 준하는 폭을 가질 수 있다. 도 15에서는 게이트 전극(G1)이 제3 트랜지스터(T3)의 제2 전극(D3)과 연결되는 것을 보여주기 위하여 우측으로 연장된 구조를 도시하였으며, 연장되는 부분을 제외하고는 채널의 폭에 준하는 폭을 가진

다.

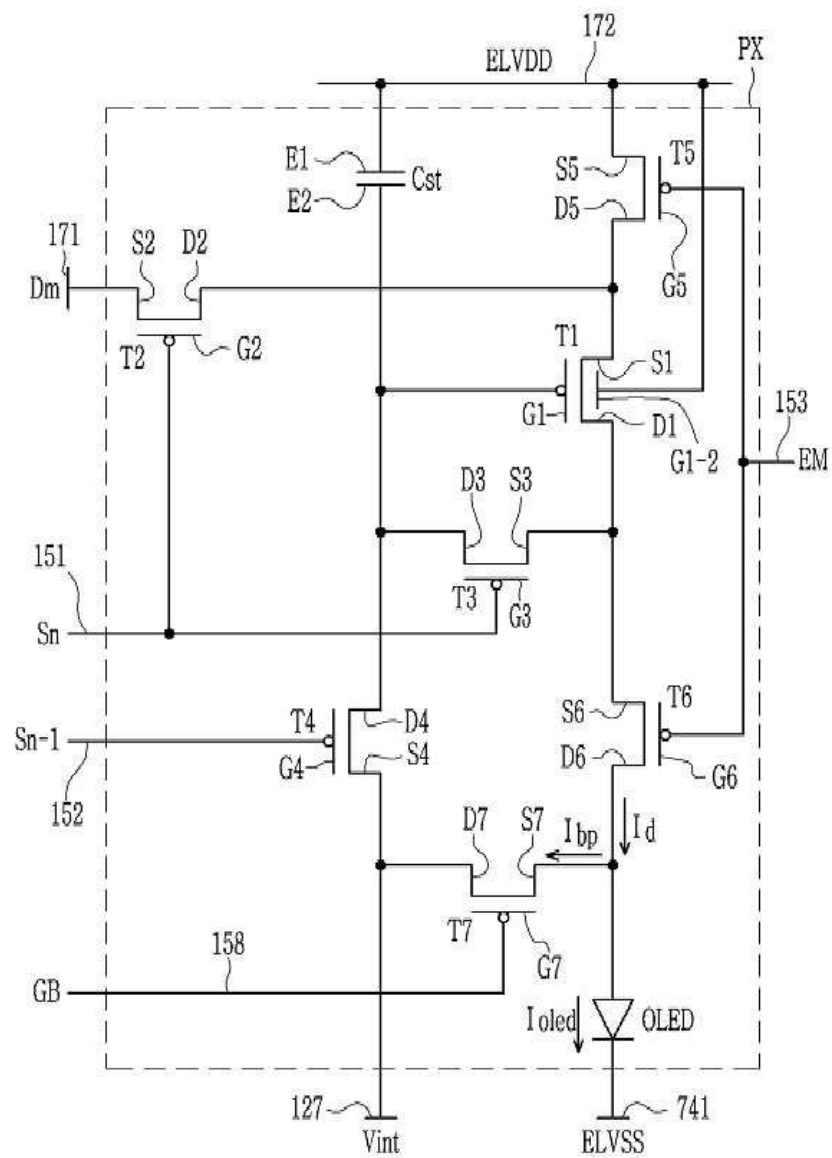
- [0196] 한편, 도 15의 구동 트랜지스터(T1)는 제2 게이트 전극이 다결정 반도체층의 위에 형성되지 않아 다결정 반도체층을 도핑할 때 별도의 마스크가 필요할 수 있다. 실시예에 따라서는 구동 전압 인가부(C-1)의 구조를 구동 트랜지스터(T1)의 채널을 가리는 모양으로 형성하여 마스크를 사용하지 않는 실시예를 형성할 수도 있다.
- [0197] 또한, 실시예에 따라서는 중첩층(M1)을 생략할 수도 있다.
- [0198] 또한, 각 실시예에서 동일한 층에 위치하는 배선 및 전극 등은 동일한 물질로 형성될 수 있다. 예를 들어, 제2 게이트 절연막(142) 위에 위치하는 층은 모두 동일한 물질로 형성되며, 하나의 마스크를 사용하여 형성될 수 있다. 그 외 상부 배리어층(111)위, 버퍼층(112)위, 제1 게이트 절연막(141)위 및 층간 절연막(160)위에 위치하는 각각의 층은 동일한 물질로 형성될 수 있다.
- [0199] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

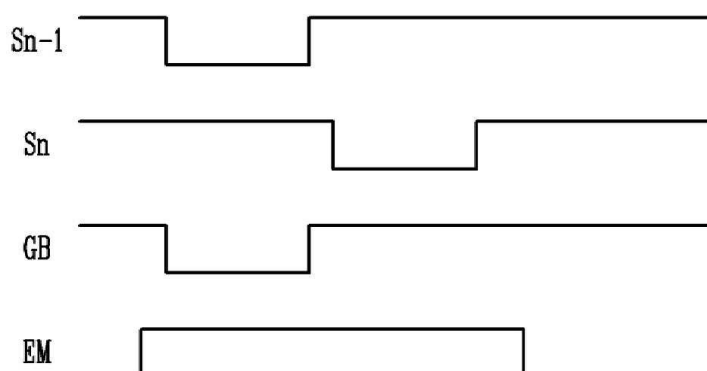
- [0200] 110, 110-1: 기판 111, 111-1: 배리어층
112: 버퍼층 127: 초기화 전압선
141, 142: 게이트 절연막 151: 스캔선
152: 전단 스캔선 153: 발광 제어선
158: 바이패스 제어선 160: 층간 절연막
171: 데이터선 172: 구동 전압선
71: 연결부 741: 공통 전압선
C-1, C-2, C-3, C-4: 구동 전압 인가부
S, S1-S7: 제1 전극 D, D1-D7: 제2 전극
E1, E2: 유지 전극 G, G1-G7: 게이트 전극
G1-2, G2-2, G3-2: 제2 게이트 전극
M1: 중첩층 OLED: 유기 발광 다이오드
Cst: 유지 축전기 T1: 구동 트랜지스터
T2, T3: 스위칭 트랜지스터 T4, T5, T6, T7: 보상 트랜지스터

도면

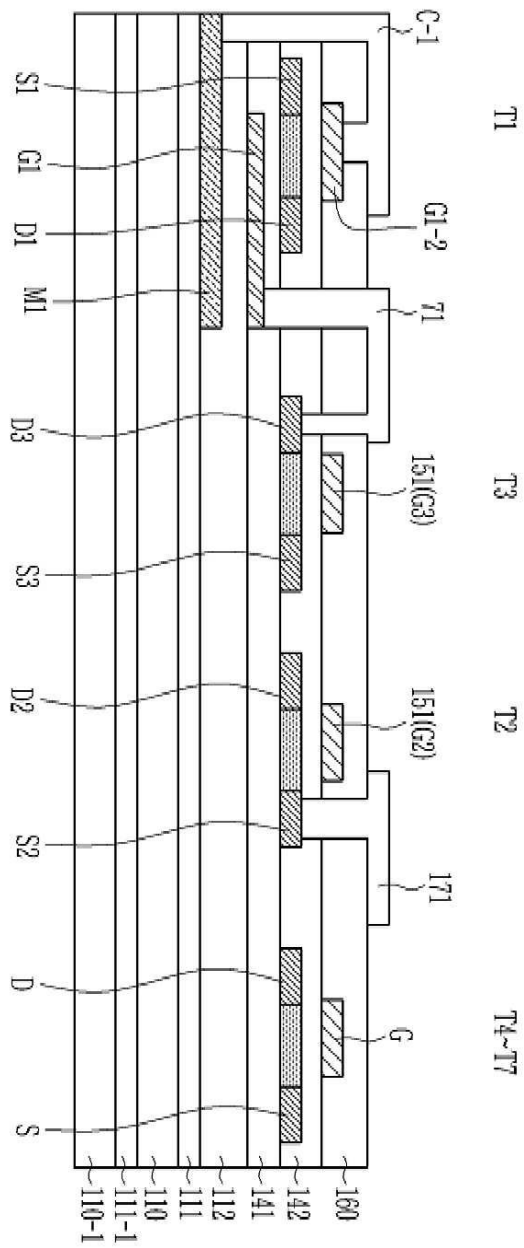
도면1



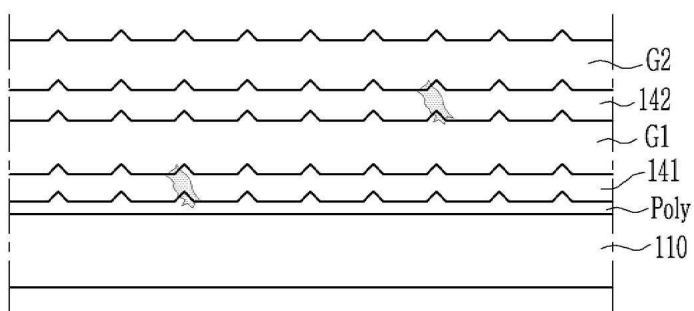
도면2



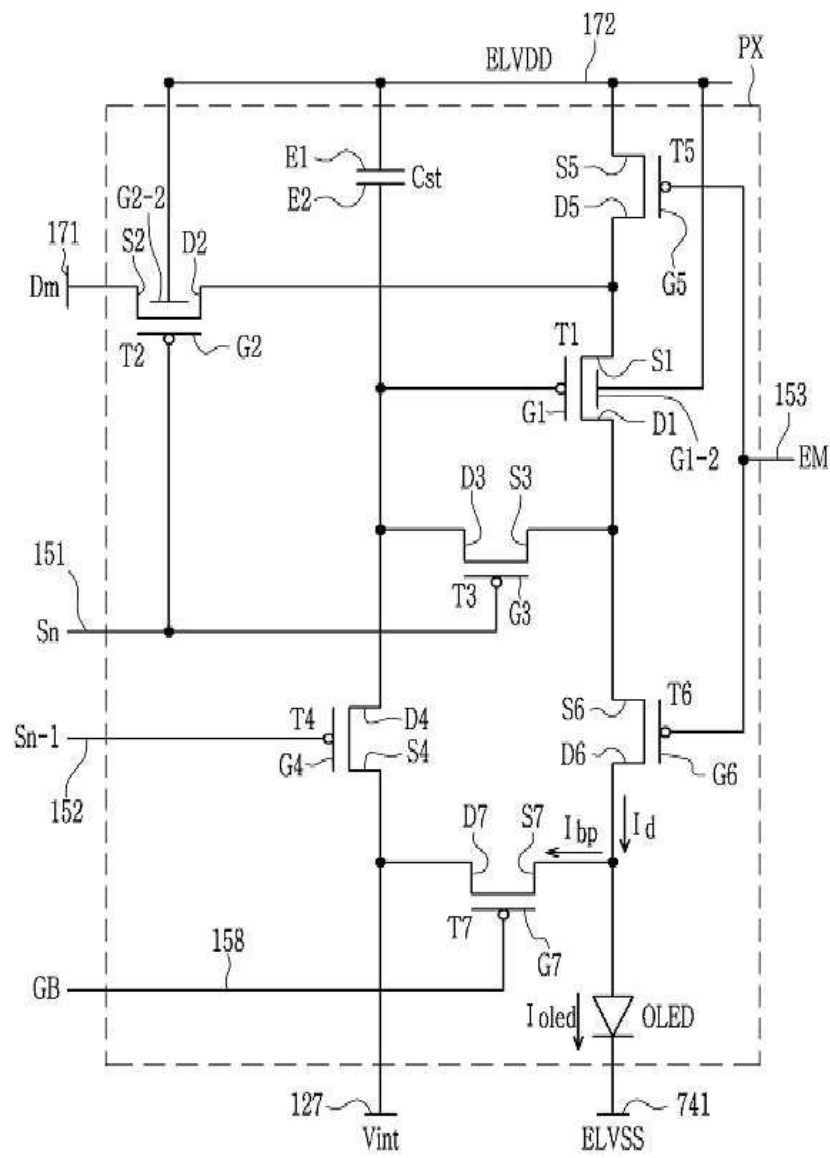
도면3



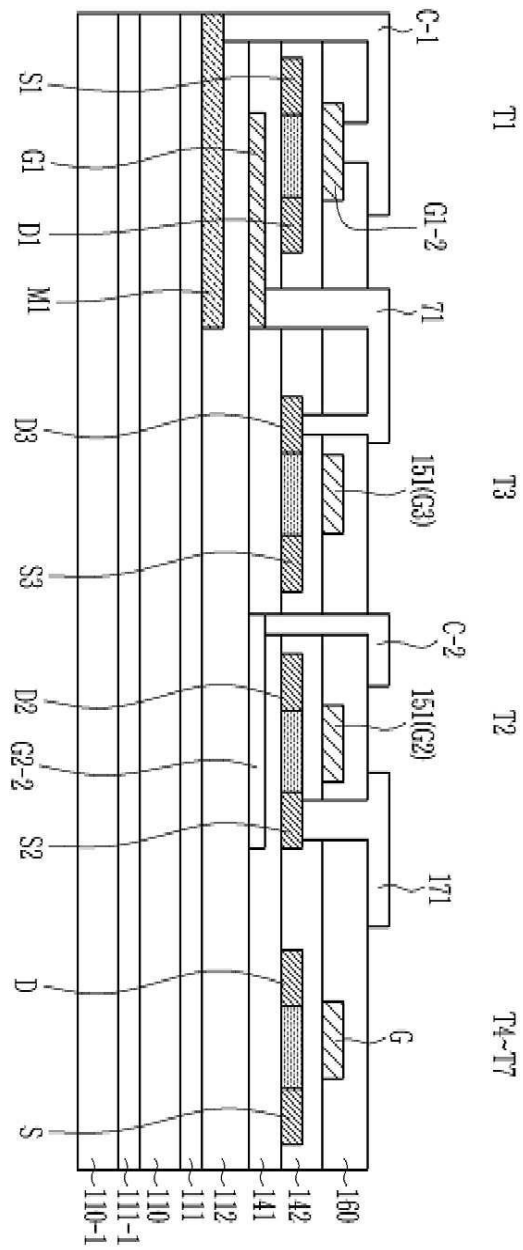
도면4



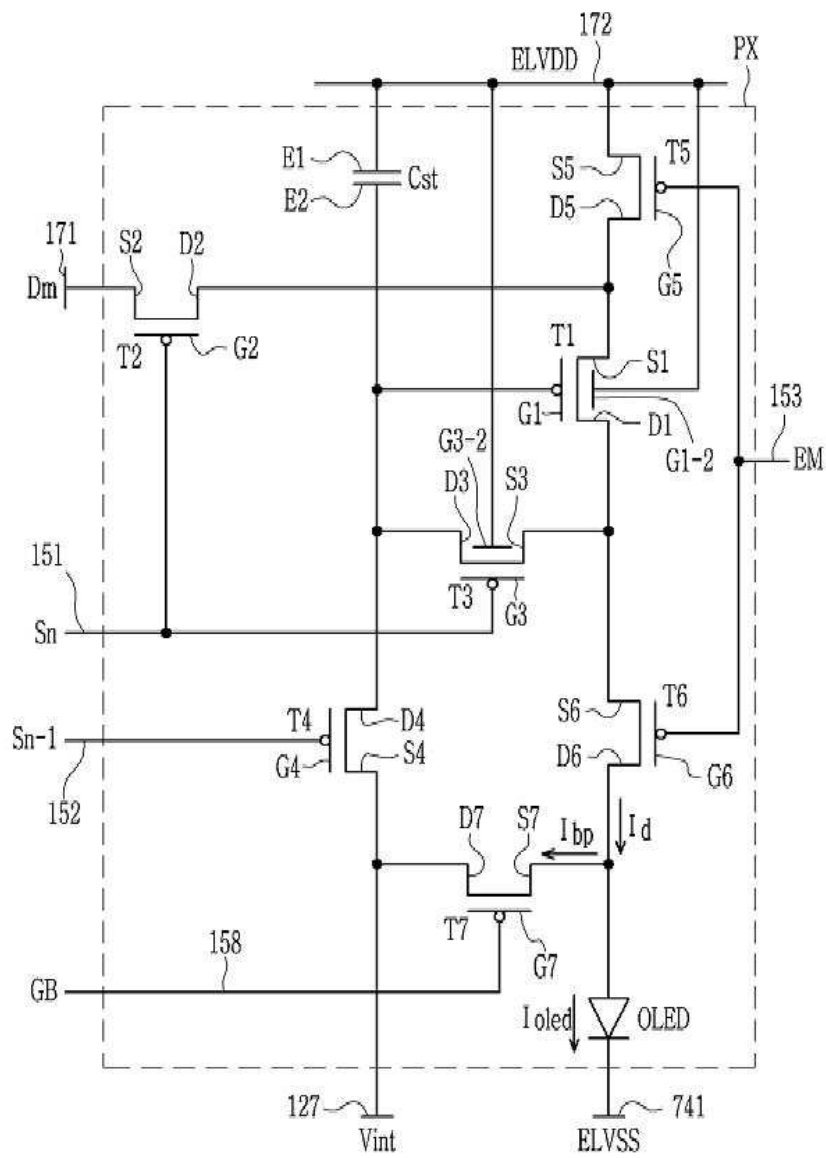
도면5



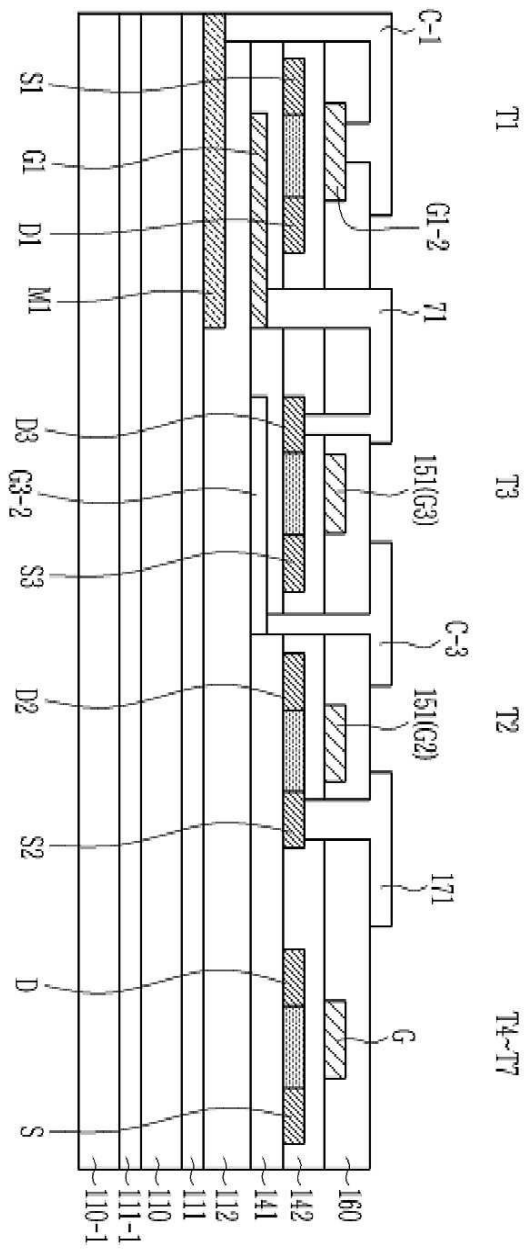
도면6



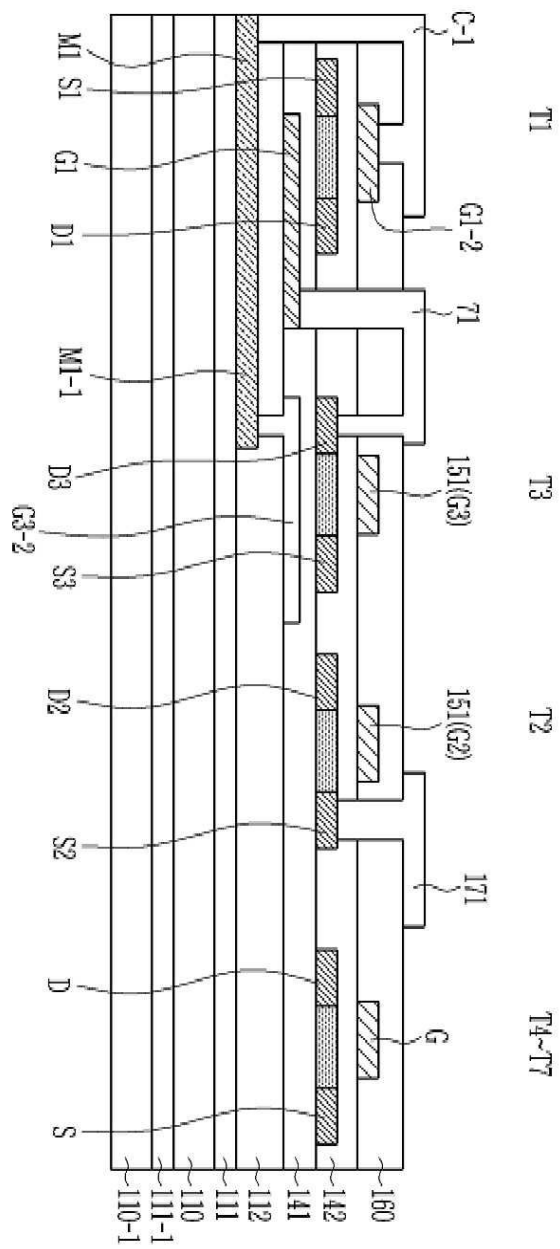
도면7



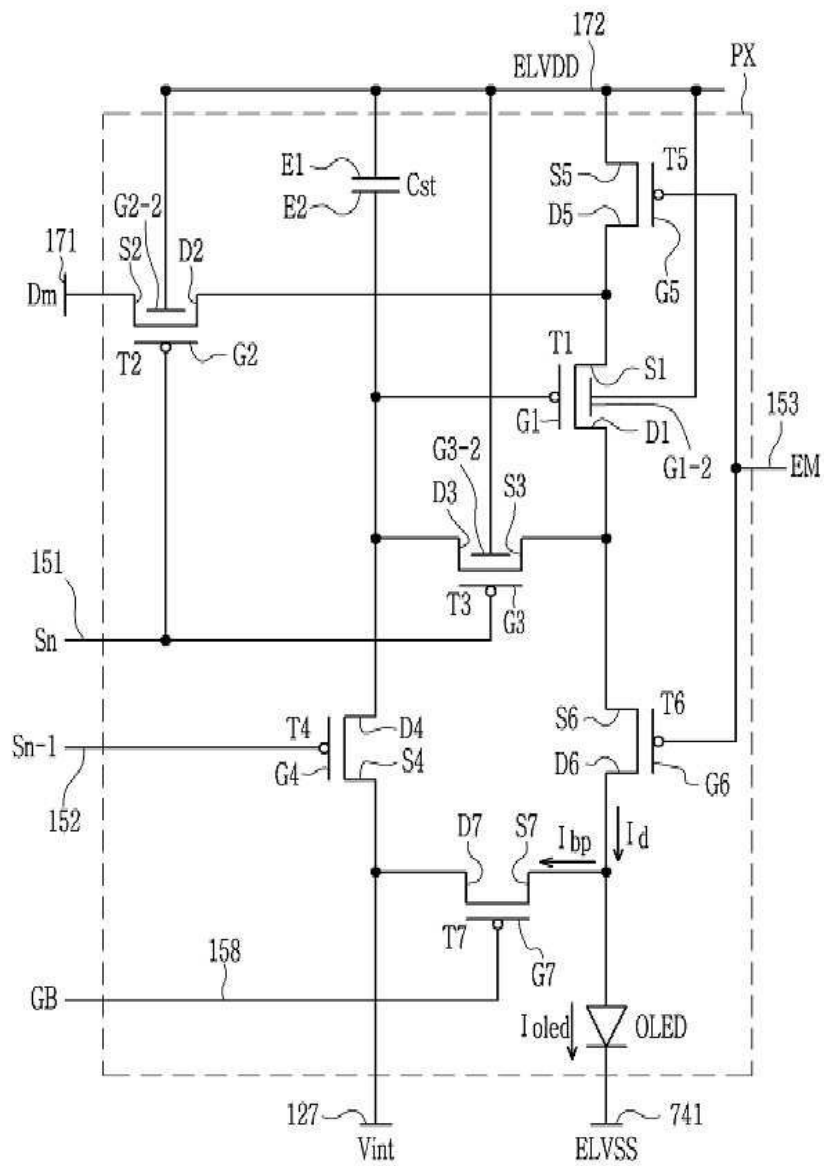
도면8



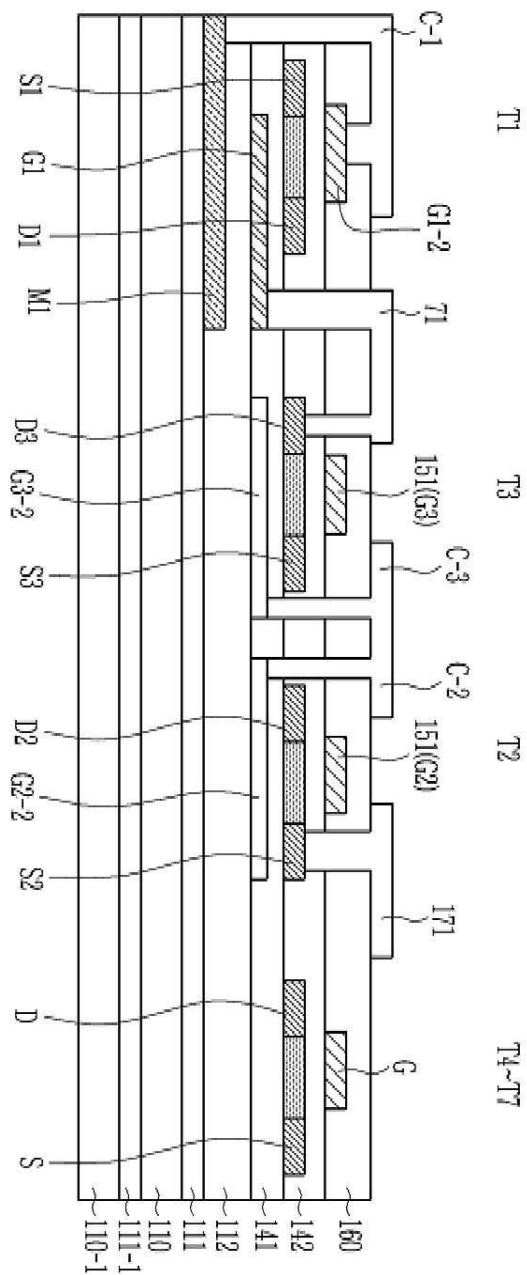
도면9



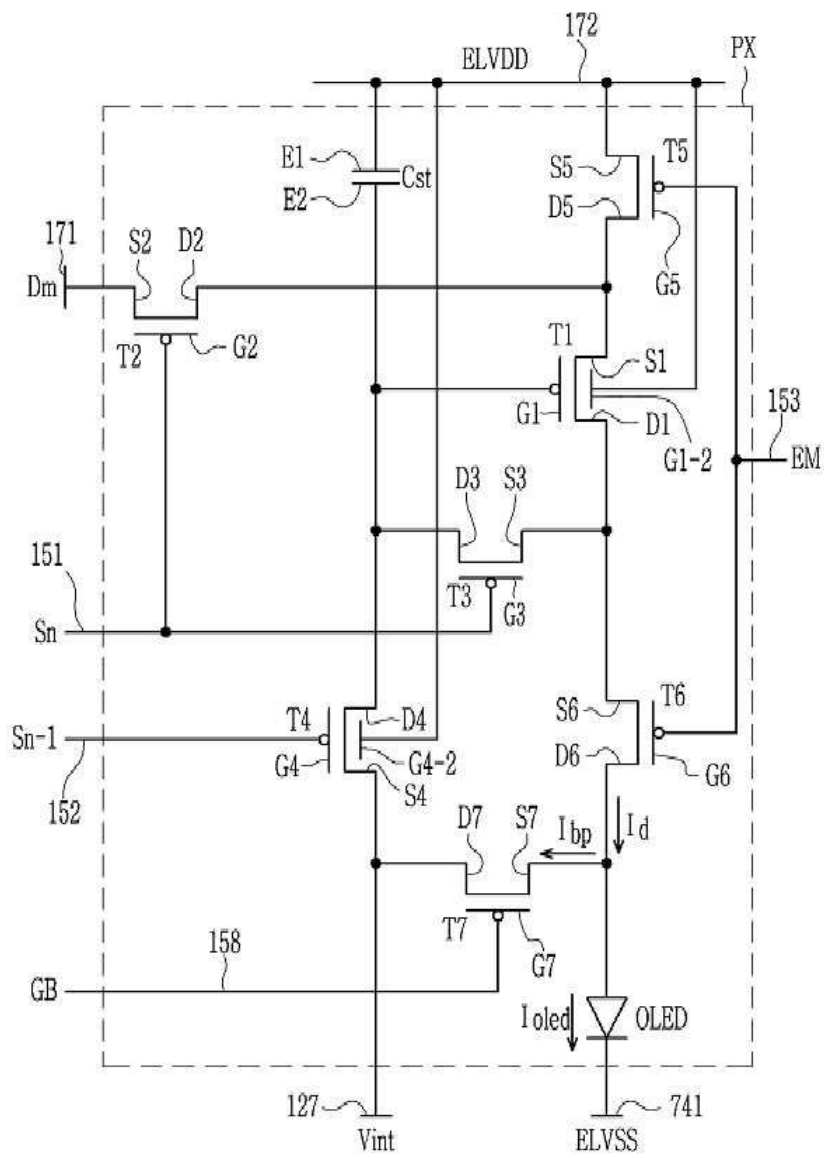
도면10



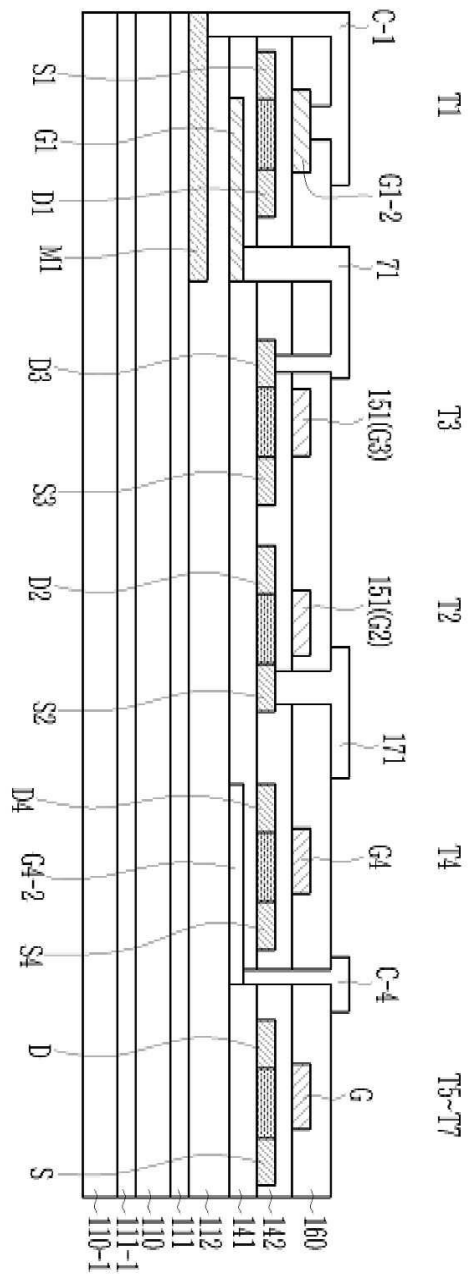
도면11



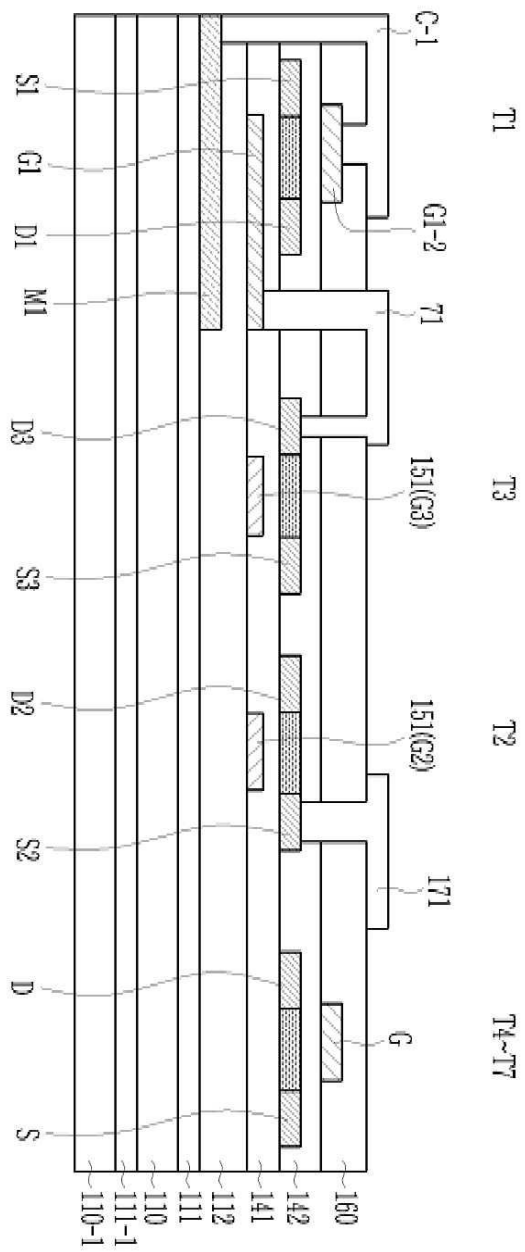
도면12



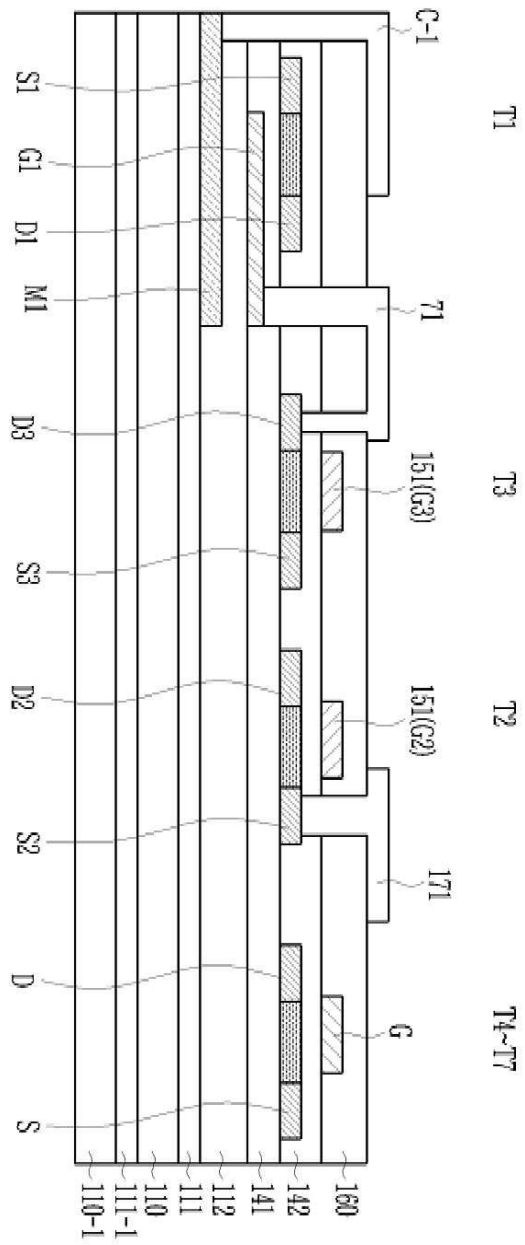
도면13



도면14



도면15



专利名称(译)	有机发光二极管显示装置		
公开(公告)号	KR1020200002050A	公开(公告)日	2020-01-08
申请号	KR1020180074950	申请日	2018-06-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	황영인 김성호 양용호 왕성민		
发明人	황영인 김성호 양용호 왕성민		
IPC分类号	H01L27/32 G09G3/3233		
CPC分类号	H01L27/3262 G09G3/3233 H01L27/3276 H01L27/3297 G09G2300/0842 G09G2320/0257 H01L27/3248 H01L27/3258 H01L27/3279 G09G2300/0819 G09G2300/0861 G09G2320/0233 G09G2320/045 H01L27/124 H01L29/78648 H01L29/78675 G09G3/3258 H01L27/1222 H01L51/0097 H01L2251/5338		
外部链接	Espacenet		

摘要(译)

根据实施例，驱动晶体管包括：驱动晶体管的栅电极，其位于基板上；以及驱动晶体管的多晶半导体层，其位于驱动晶体管的栅电极上，并包括第一电极，第二电极和第二电极。渠道。补偿晶体管包括：补偿晶体管的多晶半导体层，其包括第一电极，第二电极和沟道；以及补偿晶体管的栅电极，其位于补偿晶体管的多晶半导体层上。根据本发明，可以减小显示装置的厚度。

