



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0079828
(43) 공개일자 2019년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2017-0181823
(22) 출원일자 2017년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신동채
경기도 파주시 월롱면 엘지로 245
정미진
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인 정안

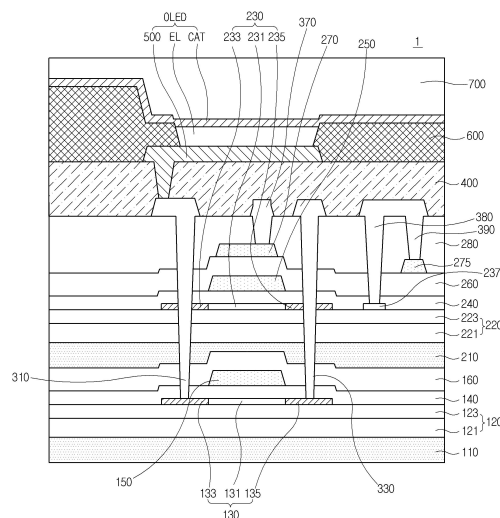
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광 표시 장치 및 이의 제조방법

(57) 요약

본 발명의 실시예에 따른 유기발광 표시 장치를 제공한다. 유기발광 표시 장치는 제1 기판, 상기 제1 기판 상에 배치되고, 제1 액티브층을 포함하는 제1 트랜지스터, 상기 제1 트랜지스터를 덮는 제1 절연층, 상기 제1 절연층 상에 배치되는 제2 기판 및 상기 제2 기판 상에 배치되고, 제2 액티브층을 포함하는 제2 트랜지스터를 포함하고, 상기 제2 기판은 상기 제2 액티브층의 결정화(Crystalization) 공정이 수행되기 위한 평탄화된 층이다.

대표도 - 도3



(52) CPC특허분류

H01L 51/5237 (2013.01)

명세서

청구범위

청구항 1

제1 기판;

상기 제1 기판 상에 배치되고, 제1 액티브층을 포함하는 제1 트랜지스터;

상기 제1 트랜지스터를 덮는 제1 절연막;

상기 제1 절연막 상에 배치되는 제2 기판; 및

상기 제2 기판 상에 배치되고, 제2 액티브층을 포함하는 제2 트랜지스터를 포함하고,

상기 제2 기판은 상기 제2 액티브층의 결정화(Crystalization) 공정이 수행되기 위한 평탄화된 층인,

유기발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 기판 및 상기 제2 기판은 폴리이미드(Polyimide)로 이루어진,

유기발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제2 기판과 상기 제2 액티브층 사이에 제공되는 버퍼층을 더 포함하고,

상기 버퍼층은 상기 제2 기판으로부터 상기 제2 액티브층으로 유입되는 수분 투습을 차단하는,

유기발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 제1 트랜지스터 및 상기 제2 트랜지스터는 수직적으로 중첩되는,

유기발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 제1 액티브층은 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 포함하고,

상기 제2 액티브층은 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 포함하고,

상기 제1 소스 영역과 상기 제2 소스 영역은 공통 소스 전극과 연결되고,

상기 제1 드레인 영역과 상기 제2 드레인 영역은 공통 드레인 전극과 연결되는,

유기발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 공통 소스 전극과 상기 공통 드레인 전극은 상기 제2 기판을 관통하는,

유기발광 표시 장치.

청구항 7

제1 항에 있어서,

상기 제2 기판과 상기 제2 액티브층 사이에 배치되어 정전압을 인가받는 메탈층을 더 포함하는,

유기발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 제2 트랜지스터의 게이트 전극은 상기 제2 기판과 상기 제2 액티브층 사이에 배치되는,

유기발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시 장치에 관한 것으로 2개의 기판을 이용하는 유기발광 표시 장치 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 표시장치로서 각광받고 있는 유기발광 표시 장치는 스스로 발광하는 유기발광 다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등의 큰 장점이 있다. 이러한 유기발광 표시장치는 유기발광 다이오드(OLED)가 포함된 화소를 매트릭스 형태로 배열하고 스캔신호에 의해 선택된 화소들의 밝기를 데이터의 계조에 따라 제어한다. 이러한 유기발광 표시장치의 각 화소는 유기발광 다이오드 이외에도, 서로 교차하는 데이터 라인 및 게이트 라인과 이와 연결 구조를 갖는 트랜지스터 및 스토리지 커패시터 등으로 이루어져 있다.

[0003] 최근 고해상도 요구에 따라 화소의 면적이 줄어들고 있는데, 이를 방지하기 위해 신호배선들의 폭을 줄이는 방안이 제안되었으나, 신호배선들의 폭이 줄어들면 저항이 커지기 때문에 일정한 두께 또는 폭 이하로 배선 폭을 줄일 수 없다. 또한, 수직적으로 트랜지스터를 배치함에 따라 상부에 배치되는 트랜지스터의 액티브층에 단선이 발생하는 문제가 발생되었다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 기술적 과제는 두개의 트랜지스터를 수직적으로 중첩되도록 배치하여 화소의 면적을 줄여 고해상도 패널을 구현하는 유기발광 표시 장치 및 이의 제조방법을 제공하는 것이다.

[0005] 본 발명의 기술적 과제는 폴리이미드로 이루어진 두개의 기판을 이용하여 두개의 트랜지스터를 수직적으로 중첩되도록 배치하여 상부에 배치되는 트랜지스터를 구성하는 액티브층의 단선을 방지할 수 있는 유기발광 표시 장치 및 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 실시예에 따른 유기발광 표시 장치를 제공한다. 유기발광 표시 장치는 제1 기판, 상기 제1 기판 상에 배치되고, 제1 액티브층을 포함하는 제1 트랜지스터, 상기 제1 트랜지스터를 덮는 제1 절연층, 상기 제1 절연층 상에 배치되는 제2 기판 및 상기 제2 기판 상에 배치되고, 제2 액티브층을 포함하는 제2 트랜지스터를 포함하고, 상기 제2 기판은 상기 제2 액티브층의 결정화(Crystalization) 공정이 수행되기 위한 평탄화된 층이다.

- [0007] 일 예에 의하여, 상기 제1 기판 및 상기 제2 기판은 폴리아미드(Polyimide)로 이루어진다.
- [0008] 일 예에 의하여, 상기 제2 기판과 상기 제2 액티브층 사이에 제공되는 버퍼층을 더 포함하고, 상기 버퍼층은 상기 제2 기판으로부터 상기 제2 액티브층으로 유입되는 수분 투습을 차단한다.
- [0009] 일 예에 의하여, 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 수직적으로 중첩된다.
- [0010] 일 예에 의하여, 상기 제1 액티브층은 제1 채널 영역, 제1 소스 영역 및 제1 드레인 영역을 포함하고, 상기 제2 액티브층은 제2 채널 영역, 제2 소스 영역 및 제2 드레인 영역을 포함하고, 상기 제1 소스 영역과 상기 제2 소스 영역은 공통 소스 전극과 연결되고, 상기 제1 드레인 영역과 상기 제2 드레인 영역은 공통 드레인 전극과 연결된다.
- [0011] 일 예에 의하여, 상기 공통 소스 전극과 상기 공통 드레인 전극은 상기 제2 기판을 관통한다.
- [0012] 일 예에 의하여, 상기 제2 기판과 상기 제2 액티브층 사이에 배치되어 정전압을 인가받는 메탈층을 더 포함한다.
- [0013] 일 예에 의하여, 상기 제2 트랜지스터의 게이트 전극은 상기 제2 기판과 상기 제2 액티브층 사이에 배치된다.
- [0014] 본 발명의 실시예에 따른 유기발광 표시 장치의 제조방법을 제공한다. 유기발광 표시 장치의 제조방법은 제1 기판을 형성하는 단계, 상기 제1 기판 상에 제1 액티브층을 포함하는 제1 트랜지스터를 형성하는 단계, 상기 제1 트랜지스터를 덮는 제1 절연층을 형성하는 단계, 상기 제1 절연층 상에 제공되는 평탄화층인 제2 기판을 형성하는 단계, 상기 제2 기판 상에 제2 액티브층을 포함하는 제2 트랜지스터를 형성하는 단계 및 상기 제2 기판을 관통하고 상기 제1 액티브층과 상기 제2 액티브층을 연결하는 전극을 형성하는 단계를 포함한다.
- [0015] 일 예에 의하여, 상기 제2 기판은 유기막 코팅을 이용하여 형성되고, 상기 제2 액티브층은 평탄화된 상기 제2 기판 상에 레이저결정화(Excimer Laser Annealing, ELA) 공정을 통해 형성된다.
- [0016] 일 예에 의하여, 상기 전극을 형성하는 단계는 상기 제2 트랜지스터를 덮는 제2 절연막을 관통하는 제1 공통 콘택홀을 형성하는 단계, 상기 제2 기판 및 상기 제1 절연막을 관통하고 상기 제1 공통 콘택홀과 연결되는 제2 공통 콘택홀을 형성하는 단계 및 상기 제1 공통 콘택홀 및 상기 제2 공통 콘택홀에 도전물질을 채우는 단계를 포함한다.
- [0017] 일 예에 의하여, 상기 제1 공통 콘택홀은 제1 마스크 패턴을 이용한 식각 공정을 통해 형성되고, 상기 제2 공통 콘택홀을 제2 마스크 패턴을 이용한 식각 공정을 통해 형성되고, 상기 제1 마스크 패턴과 상기 제2 마스크 패턴은 패턴이 서로 상이하다.
- [0018] 일 예에 의하여, 상기 제1 트랜지스터와 상기 제2 트랜지스터는 수직적으로 중첩되도록 형성된다.
- [0019] 일 예에 의하여, 상기 제2 기판을 형성하는 단계 이후 상기 제2 기판과 상기 제2 액티브층 사이에 메탈층을 형성하는 단계를 더 포함한다.

발명의 효과

- [0020] 본 발명의 실시예에 따르면, 폴리아미드로 이루어진 기판을 이용하여 기판의 상부면이 평탄화할 수 있고, 평탄화된 기판 상에 상부 트랜지스터를 구성하는 액티브층의 결정화 공정 시 단선이 발생하는 결함이 방지될 수 있다.
- [0021] 본 발명의 실시예에 따르면, 폴리아미드로 이루어진 기판은 일반적인 유기막보다 고온에 강한 특성을 가지므로 고온 공정이 필요한 결정화 공정 및 열처리 공정에서 공정의 안정화를 도모할 수 있다.
- [0022] 본 발명의 실시예에 따르면, 유기발광 표시 장치는 2개의 트랜지스터가 수직적으로 중첩된 구조를 가지므로 화소의 크기를 줄일 수 있다. 이에 따라, 유기발광 표시 장치의 해상도가 향상될 수 있다.
- [0023] 본 발명의 실시예에 따르면, 유기발광 표시 장치는 수직적으로 중첩된 제1 트랜지스터와 제2 트랜지스터를 공통으로 연결하는 공통 소스 전극 및 공통 드레인 전극을 포함할 수 있다. 이를 통해, 제1 트랜지스터와 제2 트랜지스터를 전기적으로 연결하기 위한 공정이 단순화될 수 있다.

도면의 간단한 설명

- [0024] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 회로도이다.

도 3은 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다.

도 4a 내지 도 4h는 본 발명의 일 실시예에 따른 유기발광 표시 장치의 제조방법을 나타내는 도면들이다.

도 5는 본 발명의 다른 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다.

도 6은 본 발명의 또 다른 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0026] 또한, 본 명세서에서 기술하는 실시 예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시 예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함되는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0028] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다.
- [0029] 도 1을 참조하면, 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 데이터 드라이버(12) 및 게이트 드라이버(13)를 포함할 수 있다.
- [0030] 표시패널(10)은 표시영역과 표시영역의 주변에 마련된 비표시영역을 포함할 수 있다. 표시영역은 화소들이 마련되어 화상을 표시하는 영역이다. 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(16)이 교차되고, 이 교차영역마다 화소들이 배치될 수 있다. 화소들 각각은 도시하지 않은 전원발생부로부터 고전위 구동전압(EVDD)과 저전위 구동전압(EVSS)을 공급받는다. 표시패널(10)은 액정표시소자(Liquid Crystal Display, LCD), 전계 방출 표시소자(Field Emission Display, FED), 플라스마 디스플레이 패널(Plasma Display Panel, PDP), 및 무기전계발광소자와 유기발광다이오드소자(Organic Light Emitting Diode, OLED)를 포함한 전계발광소자(Electroluminescence Device, EL), 전기영동 표시소자(Electrophoresis, EPD) 등의 평판 표시소자의 표시패널로 구현될 수 있다. 각 화소들은 복수개의 데이터라인들(14) 중 어느 하나에, 복수개의 게이트라인들(16) 중 어느 하나에 접속된다.
- [0031] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생시킬 수 있다. 타이밍 콘트롤러(11)가 제공하는 게이트 제어 신호(GCS)는 게이트 시작 펄스(GSP: Gate Start Pulse), 게이트 시프트 클럭(GSC: Gate Shift Clock) 및 게이트 출력 인에이블(GOE: Gate Output Enable)을 포함할 수 있다. 타이밍 콘트롤러(11)가 제공하는 데이터 제어 신호(DCS)는 소스 시작 펄스(SSP: Source Start Pulse), 소스 시프트 클럭(SSC: Source Shift Clock), 소스 출력 인에이블(SOE: Source Output Enable)을 포함할 수 있다. 또한, 타이밍 콘트롤러(11)는 데이터 드라이버(12)로부터 공급되는 디지털 센싱전압값을 참조하여 입력 디지털 비디오 데이터(DATA)를 변조할 수 있고, 이 디지털 보상 데이터(MDATA)를 데이터 드라이버(12)에 공급할 수 있다. 타이밍 콘트롤러(11)는 메모리를 더 포함하여 주기적으로 데이터 드라이버(12)로부터 공급되는 디지털 센싱전압값을 업데이트할 수 있다.
- [0032] 데이터 드라이버(12)는 데이터 전압을 공급하도록 다수의 데이터라인들(14)을 구동할 수 있다. 데이터 드라이버(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(11)로부터 입력되는 입력 디지털 비디오 데이터(DATA)를 아날로그 데이터전압으로 변환할 수 있다. 또한, 데이터 드라이버(12)는 데이터라인들(14)을 통해 표

시패널(10)로부터 입력되는 센싱전압들을 디지털 값으로 변환하여 타이밍 콘트롤러(11)에 공급할 수 있다.

[0033] 게이트 드라이버(13)는 타이밍 콘트롤러(11)로부터의 게이트 제어신호(GDC)에 따라 게이트신호를 발생한다. 게이트 드라이버(13)는 데이터 드라이버(12)로부터 공급된 데이터 데이터 제어신호(DDC)에 응답하여 데이터 드라이버(12)로부터 공급되는 디지털 보상 데이터(MDATA)를 샘플링하고, 디지털 형태의 데이터 신호를 아날로그 형태의 데이터신호(또는 데이터전압)로 변환하여 출력한다. 게이트 드라이버(13)는 게이트라인들(15)을 통해 데이터신호(DATA)를 출력한다. 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10) 상에 직접 형성될 수 있다.

[0035] 도 2는 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 회로도이다.

[0036] 도 2를 참조하면, 유기발광 표시 장치는 유기발광 다이오드(OLED), 구동 트랜지스터(DT), 제1 트랜지스터(TR1), 제2 트랜지스터(TR2) 및 스토리지 커패시터들(C1, C2)을 포함할 수 있다. 본 발명의 실시예에 따르면, 구동 트랜지스터(DT)와 제1 트랜지스터(TR1)는 수직적으로 중첩된 구조일 수 있다. 본 발명의 실시예에 따른 유기발광 표시 장치는 3T2C 구조를 가지나, 이는 설계적으로 변경될 수 있다. 유기발광 표시 장치는 보상회로를 구현하기 위한 추가적인 트랜지스터 및 커패시터를 포함할 수 있다. 예를 들어, 유기발광 표시 장치는 3T1C 구조, 4T2C 구조, 5T2C 구조, 6T1C 구조, 6T2C 구조, 7T1C 구조 또는 7T2C 구조 등 다양한 구조로 설계될 수 있다.

[0037] 구동 트랜지스터(DT)는 게이트-소스 간 전압(Vgs)에 따라 유기발광 다이오드(OLED)에 흐르는 전류를 제어할 수 있다. 구동 트랜지스터(DT)는 스토리지 커패시터(C1, C2)에 저장된 데이터 전압(Vdata)에 응답하여 전원전압(VDD) 라인으로부터 유기발광 다이오드(OLED)로 공급되는 전류를 제어함으로써 유기발광 다이오드(OLED)의 발광량을 조절하게 된다. 구동 트랜지스터(DT)의 입력단은 전원 전압(VDD) 라인과 연결될 수 있고, 구동 트랜지스터(DT)의 출력단은 유기발광 다이오드(OLED)의 애노드 전극과 연결될 수 있다. 구동 트랜지스터(DT)의 게이트 전극은 제1 스토리지 커패시터(C1)와 연결될 수 있다. 구동 트랜지스터(DT)의 출력단은 제1 트랜지스터(TR1)의 소스/드레인 영역과 공통 소스 전극(310)을 통해 연결될 수 있다. 구동 트랜지스터(DT)의 입력단은 공통 드레인 전극(330)을 통해 제1 트랜지스터(TR1)의 소스/드레인 영역과 연결될 수 있다. 일 예로, 구동 트랜지스터(DT)의 소스 영역은 제1 트랜지스터(TR1)의 소스 영역과 공통 소스 전극(310)을 통해 연결될 수 있고, 구동 트랜지스터(DT)의 드레인 영역은 제1 트랜지스터(TR1)의 드레인 영역과 공통 드레인 전극(330)을 통해 연결될 수 있다. 제1 스토리지 커패시터(C1)와 제2 스토리지 커패시터(C2)는 공통 드레인 영역(330)과 전기적으로 연결될 수 있다.

[0038] 제1 트랜지스터(TR1)의 입력단은 구동 트랜지스터(DT)의 게이트 전극 및 구동 트랜지스터(DT)의 입력단과 연결될 수 있고, 제1 트랜지스터(TR1)의 출력단은 구동 트랜지스터(DT)의 출력단 및 유기발광 다이오드(OLED)의 애노드 전극과 연결될 수 있다. 제1 트랜지스터(TR1)의 게이트 전극에는 제2 스캔 신호(Scan2)가 인가될 수 있다.

[0039] 제2 트랜지스터(TR2)는 데이터 전압(Vdata) 라인과 연결되어 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 게이트 전극에 인가할 수 있다. 제2 트랜지스터(TR2)의 입력단은 데이터 전압(Vdata) 라인과 연결되고, 제2 트랜지스터(TR2)의 출력단은 제1 스토리지 커패시터(C1) 및 제2 스토리지 커패시터(C2)와 연결될 수 있다. 제2 트랜지스터(TR2)의 게이트 전극에는 제1 스캔 신호(Scan1)가 인가될 수 있다. 제1 스캔 신호(Scan1)와 제2 스캔 신호(Scan2)는 동일한 신호일 수 있고, 서로 다른 신호일 수 있다.

[0041] 도 3은 본 발명의 일 실시예에 따른 유기발광 표시 장치를 나타내는 단면도이다.

[0042] 도 3을 참조하면, 유기발광 표시 장치(1)는 제1 기판(110), 제1 트랜지스터, 제2 기판(210), 제2 트랜지스터, 제3 트랜지스터, 공통 소스 전극(310), 공통 드레인 전극(330), 보호층(400), 유기발광소자층(OLED), 픽셀 정의막(600) 및 봉지층(700)을 포함할 수 있다.

[0043] 제1 기판(110)은 유연한 소재로 이루어질 수 있고, 유기화합물로 이루어질 수 있다. 일 예로, 제1 기판(110)은 폴리이미드(Polyimide, PI)로 이루어질 수 있다.

[0044] 제1 기판(110) 상에는 제1 버퍼층(120)이 제공될 수 있다. 제1 버퍼층(120)은 제1 멀티 버퍼층(121), 제1 액티브 버퍼층(123)을 포함할 수 있다. 제1 멀티 버퍼층(121)은 제1 기판(110)의 표면 전체에 형성될 수 있다. 제1 멀티 버퍼층(121)은 복수 개의 박막들이 연속해서 적층된 버퍼층을 말한다. 예를 들어, 제1 멀티 버퍼층(121)은 실리콘 나이트라이드(SiNx) 및 실리콘 옥사이드(SiOx)가 교대로 적층될 수 있다. 또는 유기막과 무기막이 반복해서 교대로 적층될 수도 있다. 폴리이미드로 이루어진 제1 기판(110)은 다양한 절연층 및 금속 배선을 형성하

기에 적합하나, 수분 투습 지연 능력이 상대적으로 우수하지 않다. 따라서, 제1 멀티 버퍼층(121)은 제1 기판(110)에 의한 추가적인 전면 투습 지연을 방지할 수 있다. 제1 액티브 버퍼(123)는 제1 트랜지스터의 제1 액티브층(130)을 보호하며, 제1 기판(110)으로부터 유입되는 트랜지스터의 결함을 발생시킬 수 있는 요인을 차단하는 기능을 수행할 수 있다. 제1 액티브 버퍼(123)는 비정질 반도체 물질인 아몰퍼스 실리콘(a-Si) 등으로 형성될 수 있다.

[0045] 제1 트랜지스터는 제1 기판(110) 상에 제공될 수 있다. 제1 트랜지스터는 제1 액티브층(130) 및 제1 게이트 전극(150)을 포함할 수 있다. 제1 액티브층(130)은 제1 액티브 버퍼(123) 상에 제공될 수 있다. 제1 액티브층(130)은 아몰퍼스 실리콘(a-Si)을 결정화(Crystalization) 공정을 이용하여 폴리 실리콘(Poly-Si)으로 변형시켜 형성될 수 있다. 예를 들어, 결정화 공정은 고상 결정화(solid phase crystallization, SPC), 액상 결정화(liquid phase recrystallization, LPR), 엑시머 레이저 열처리(excimer laser annealing, ELA), 금속유도 결정화(Metal Induced Crystallization, MIC) 또는 금속유도 측면 결정화(Metal Induced Lateral Crystallization, MILC) 등의 방법으로 수행할 수 있다.

[0046] 제1 액티브층(130)은 제1 채널 영역(131), 제1 소스 영역(133) 및 제1 드레인 영역(135)을 포함할 수 있다. 제1 소스 영역(133) 및 제1 드레인 영역(135)은 제1 채널 영역(131)을 기준으로 양측에 배치될 수 있다. 제1 소스 영역(133) 및 제1 드레인 영역(135)은 3족 원소로 도핑된 P형 반도체 또는 5족 원소로 도핑된 N형 반도체일 수 있다.

[0047] 제1 게이트 절연막(140)은 제1 액티브층(130) 상에 제공되어 제1 액티브층(130)을 덮을 수 있다. 또한, 제1 게이트 절연막(140)은 제1 액티브 버퍼층(123) 상에 제공될 수 있다. 제1 게이트 절연막(140)은 제1 액티브층(130)과 제1 게이트 전극(150)을 절연시키는 기능을 한다. 제1 게이트 절연막(140)은 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiN_x(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.

[0048] 제1 게이트 전극(150)은 제1 게이트 절연막(140) 상에 제공될 수 있다. 제1 게이트 전극(150)은 제1 게이트 절연막(140)을 사이에 두고, 제1 액티브층(130)의 제1 채널 영역(131)과 중첩될 수 있다. 제1 게이트 전극(150)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

[0049] 제1 층간 절연막(160)은 제1 게이트 전극(150) 상에 제공될 수 있다. 제1 층간 절연막(160)은 제1 게이트 절연막(140)과 동일한 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiN_x(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있다. 또한, 제1 층간 절연막(160)은 유기절연물질 예를 들어, 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리아미드계 수지(polyimides resin)등으로 이루어질 수 있으나, 이에 한정되지 않는다.

[0050] 제2 기판(210)은 제1 층간 절연막(160) 상에 제공될 수 있다. 제2 기판(210)은 유연한 소재로 이루어질 수 있고, 유기화합물로 이루어질 수 있다. 일 예로, 제2 기판(210)은 폴리아미드로 이루어질 수 있다. 제2 기판(210)은 후술하는 제2 액티브층(230)의 결정화 시 단선이 발생되지 않도록 평탄화된 층일 수 있다. 제2 기판(210)은 유기화합물의 일종은 폴리아미드로 이루어지는바 그 상부는 평탄한 형태를 가질 수 있다.

[0051] 제2 기판(210) 상에는 제2 버퍼층(220)이 제공될 수 있다. 제2 버퍼층(220)은 제2 멀티 버퍼층(221), 제2 액티브 버퍼층(223)을 포함할 수 있다. 제2 멀티 버퍼층(221)은 제2 기판(210)의 표면 전체에 형성될 수 있고, 제2 액티브 버퍼층(223)은 제2 멀티 버퍼층(221) 상에 제공될 수 있다. 제2 멀티 버퍼층(221) 및 액티브 버퍼층(223)의 기능 및 구성 물질은 제1 멀티 버퍼층(121) 및 제2 액티브 버퍼층(123)과 동일할 수 있다. 즉, 제2 멀티 버퍼층(221)은 제2 기판(210)에 의한 추가적인 전면 투습 지연을 방지할 수 있고, 제2 액티브 버퍼(223)는 제2 트랜지스터의 제2 액티브층(230)을 보호하며, 제2 기판(210)으로부터 유입되는 트랜지스터의 결함을 발생시킬 수 있는 요인을 차단하는 기능을 수행할 수 있다.

[0052] 제2 트랜지스터 및 제3 트랜지스터는

[0053] 제2 기판(210) 상에 제공될 수 있다. 제2 트랜지스터는 제1 트랜지스터와 수직적으로 중첩되도록 제공될 수 있다. 제2 트랜지스터는 제2 액티브층(230) 및 제2 게이트 전극(250)을 포함할 수 있다. 제3 트랜지스터는 제3 액티브층(237) 및 제3 게이트 전극(미도시)을 포함할 수 있다. 제2 액티브층(230)은 제2 액티브 버퍼(223) 상에 제공될 수 있다. 제2 액티브층(230)은 아몰퍼스 실리콘(a-Si)을 결정화(Crystalization) 공정을 이용하여 폴리 실리콘(Poly-Si)으로 변형시켜 형성될 수 있다. 결정화 공정은 제1 액티브층(130)을 결정화시키는 공정과 유사

할 수 있다.

- [0054] 제2 액티브층(230)은 제2 채널 영역(231), 제2 소스 영역(233) 및 제2 드레인 영역(235)을 포함할 수 있다. 제2 액티브층(230)은 제1 액티브층(130)과 수직적으로 중첩될 수 있다. 제2 소스 영역(233) 및 제2 드레인 영역(235)은 제2 채널 영역(231)을 기준으로 양측에 배치될 수 있다. 제2 소스 영역(233) 및 제2 드레인 영역(235)은 3족 원소로 도핑된 P형 반도체 또는 5족 원소로 도핑된 N형 반도체일 수 있다.
- [0055] 제3 액티브층(237)은 제2 액티브 버퍼층(223) 상에 제공될 수 있다. 제3 액티브층(237)은 채널 영역, 소스 영역 및 드레인 영역을 포함할 수 있으나, 도면에는 미도시되었다. 제3 트랜지스터는 도 2의 제2 트랜지스터(TR2)를 나타내는 것일 수 있다.
- [0056] 제2 게이트 절연막(240)은 제2 액티브층(230) 상에 제공되어 제2 액티브층(230)을 덮을 수 있다. 또한, 제2 게이트 절연막(240)은 제2 액티브 버퍼층(223) 상에 제공될 수 있다. 제2 게이트 절연막(240)은 제2 액티브층(230)과 제2 게이트 전극(250)을 절연시키는 기능을 한다. 제2 게이트 절연막(240)은 무기절연물질 예를 들어, SiO₂(silicon dioxide), SiN_x(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0057] 제2 게이트 전극(250)은 제2 게이트 절연막(240) 상에 제공될 수 있다. 제2 게이트 전극(250)은 제2 게이트 절연막(240)을 사이에 두고, 제2 액티브층(230)의 제2 채널 영역(241)과 중첩될 수 있다. 제2 게이트 전극(250)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.
- [0058] 제2 층간 절연막(260)은 제2 게이트 전극(250) 상에 제공될 수 있다. 제2 층간 절연막(260)은 제1 층간 절연막(250) 및 제2 게이트 절연막(240)과 동일한 물질로 이루어질 수 있다.
- [0059] 제2 층간 절연막(260) 상에 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)이 제공될 수 있다. 제1 스토리지 전극(270)은 제2 게이트 전극(250)과 수직적으로 중첩되도록 형성될 수 있다. 제1 스토리지 전극(270)과 제2 게이트 전극(250)은 스토리지 커패시터를 형성할 수 있다. 제1 스토리지 전극(270)은 도 2의 제1 스토리지 커패시터(C1)의 일 구성일 수 있고, 제2 스토리지 전극(275)은 도 2의 제2 스토리지 커패시터(C2)의 일 구성일 수 있다. 제3 층간 절연막(280)은 제2 층간 절연막(260) 상에 제공되어 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)을 덮을 수 있다. 제3 층간 절연막(280)은 제1 층간 절연막(160) 및 제2 층간 절연막(260)과 동일한 물질로 이루어질 수 있다.
- [0060] 공통 소스 전극(310)은 제1 액티브층(130)의 제1 소스 영역(133)과 제2 액티브층(230)의 제2 소스 영역(233)을 전기적으로 연결시킬 수 있다. 공통 드레인 전극(330)은 제1 액티브층(130)의 제1 드레인 영역(135)과 제2 액티브층(230)의 제2 드레인 영역(235)을 전기적으로 연결시킬 수 있다.
- [0061] 보호층(400)은 제3 층간 절연막(280) 상에 제공될 수 있고, 제3 층간 절연막(280) 상에 일부가 제공되는 공통 소스 전극(310), 공통 드레인 전극(330), 제1 전극(370), 제2 전극(380) 및 제3 전극(390)을 덮을 수 있다. 제1 전극(370)은 제1 스토리지 전극(270)과 연결되고, 제2 전극(380)은 제3 액티브층(237)과 연결되고, 제3 전극(390)은 제2 스토리지 전극(275)과 연결될 수 있다. 보호층(400)은 무기절연물질 SiO₂(silicon dioxide), SiN_x(silicon nitride), SiON(silicon oxynitride) 또는 이들의 다중층으로 이루어 질 수 있다. 또한 보호층(400)은 폴리이미드, 폴리아마이드, 벤조사이클로부텐(Benzocyclobutene, BCB), 아크릴(Acryl) 수지, 페놀 수지 등과 같은 유기물로 이루어질 수 있으나, 이에 한정되지 않는다.
- [0062] 유기발광소자층(OLED)은 보호층(400) 상에 배치될 수 있다. 유기발광소자층(OLED)은 애노드 전극(500), 유기화합물층(EL) 및 캐소드 전극(CAT)을 포함할 수 있다. 애노드 전극(500)은 보호층(400) 상에 배치될 수 있다. 애노드 전극(500)은 보호층(400)을 관통하여 공통 소스 전극(310)과 연결될 수 있고, 이에 따라 제1 트랜지스터 및 제2 트랜지스터와 전기적으로 연결될 수 있다. 구체적으로, 애노드 전극(500)은 제1 소스 영역(133) 및 제2 소스 영역(233)과 전기적으로 연결될 수 있다. 애노드 전극(500)은 일함수가 높은 투명 도전성 물질로 구성될 수 있다. 투명 도전성 물질은 예를 들어, 인듐 주석 산화물(Indium Tin Oxide, ITO), 인듐 아연 산화물(Indium Zin Oxide, IZO) 등을 포함할 수 있다. 유기화합물층(EL)은 애노드 전극(500) 상에 배치될 수 있다. 유기화합물층(EL)은 픽셀 정의막(600)에 의해 정의된 위치에 제공될 수 있다. 유기화합물층(EL)은 정공 수송층(hole transporting layer), 발광층(organic light emitting layer) 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 나아가, 유기화합물층(EL)에는 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 적어도 하나 이상의 기능층이 더 포함될 수도 있다. 캐소드 전극(CAT)은 유기화합물층(EL)과 픽셀 정의막(600) 상

에 마련된다. 애노드 전극(500)과 캐소드 전극(CAT)에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동되며, 발광층에서 전자와 정공이 서로 결합하여 발광하게 된다.

[0063] 픽셀 정의막(600)은 보호층(400) 상에 배치되어 애노드 전극(500)의 가장자리 부분을 덮을 수 있다. 픽셀 정의막(600)은 유기화합물층(EL)의 가장자리를 둘러싸 발광 영역을 정의할 수 있다. 픽셀 정의막(600)은 유기물 또는 무기물로 이루어질 수 있다. 예를 들면, 픽셀 정의막(600)은 폴리이미드, 폴리아마이드, 벤조사이클로부텐, 아크릴수지, 페놀 수지 등과 같은 유기물이나, SiNx와 같은 무기물로 형성될 수 있고, 단층으로 형성되거나, 이중 이상의 다중층으로 구성될 수 있는 등 다양한 변형이 가능하다.

[0064] 봉지층(700)은 유기발광소자층(OLED) 상에 마련된다. 봉지층(700)은 캐소드 전극(CAT) 상부를 평탄화할 수 있다. 봉지층(700)은 외부의 충격으로부터 트랜지스터 및 유기발광소자층(OLED)을 보호하고, 표시패널의 내부로 수분의 침투하는 것을 방지하는 기능을 한다. 봉지층(700)은 유기절연물질 예를 들어, 아크릴계 수지(acrylic resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있으나, 이에 한정되지 않는다.

[0065] 본 발명의 실시예에 따르면, 유기발광 표시 장치(1)는 2개의 트랜지스터가 수직적으로 중첩된 구조를 가지고, 2개의 트랜지스터 사이에는 폴리이미드로 이루어진 제2 기판(210)이 배치될 수 있다. 즉, 2개의 트랜지스터 중 상부에 배치되는 트랜지스터는 폴리이미드로 이루어진 제2 기판(210) 상에 형성될 수 있다. 제2 액티브층(230)의 결정화 공정 시 제2 액티브층(230) 하부에 제공되는 물질층이 평탄하지 않는 경우 제2 액티브층(230)에는 단선이 발생할 수 있다. 따라서, 본 발명의 실시예에 따르면 제1 트랜지스터와 제2 트랜지스터 사이에 일반적인 절연막이 아닌 폴리이미드로 이루어진 제2 기판(210)이 배치됨에 따라 제2 기판(210)의 상부면은 평탄하게 형성될 수 있고, 제2 트랜지스터를 구성하는 제2 액티브층(230)의 결정화 공정 시 단선이 발생하는 결함이 방지될 수 있다. 또한, 폴리이미드로 이루어진 제2 기판(210)은 일반적인 절연층보다 고온에 강한 특성을 가진다. 따라서, 일반적인 유기막 대신 제2 기판(210)을 사용함에 따라 고온 공정이 필요한 결정화 공정 및 열처리 공정에서 공정의 안정화를 도모할 수 있다.

[0066] 또한, 본 발명의 실시예에 따른 유기발광 표시 장치(1)는 2개의 트랜지스터가 수직적으로 중첩된 구조를 가지므로 화소의 크기를 줄일 수 있다. 이에 따라, 유기발광 표시 장치(1)의 해상도가 향상될 수 있다.

[0067] 또한, 본 발명의 실시예에 따른 유기발광 표시 장치(1)는 수직적으로 중첩된 제1 트랜지스터와 제2 트랜지스터를 공통으로 연결하는 공통 소스 전극(310) 및 공통 드레인 전극(330)을 포함할 수 있다. 이를 통해, 제1 트랜지스터와 제2 트랜지스터를 전기적으로 연결하기 위한 공정이 단순화될 수 있다.

[0068] 또한, 본 발명의 실시예에 따른 유기발광 표시 장치(1)는 일반적으로 무기막으로 이루어지는 절연막 대신 유연성이 높은 소재로 이루어진 제2 기판(210)을 사용함에 따라 플렉시블 OLED 기판에 사용하기에 적합할 수 있다.

- [0132] 도 4a 내지 도 4H는 본 발명의 일 실시예에 따른 유기발광 표시 장치의 제조방법을 나타내는 도면들이다.
- [0133] 도 4a를 참조하면, 제1 기판(110) 상에 제1 멀티 버퍼층(121)을 형성할 수 있고, 제1 멀티 버퍼층(121) 상에 제1 액티브 버퍼층(123)을 형성할 수 있다. 제1 액티브 버퍼층(123) 상에는 제1 액티브층(130)이 형성될 수 있다. 비정질실리콘인 아몰퍼스 실리콘(a-Si)에 결정화 공정을 수행하여 폴리 실리콘(Poly-Si)을 형성하여 제1 액티브층(130)이 형성될 수 있다. 결정화 공정은 고상 결정화(solid phase crystallization, SPC), 액상 결정화(liquid phase recrystallization, LPR), 엑시머 레이저 열처리(excimer laser annealing, ELA), 금속유도 결정화(Metal Induced Crystallization, MIC) 또는 금속유도 측면 결정화(Metal Induced Lateral Crystallization, MILC) 등의 방법으로 수행할 수 있다. 바람직하게는 결정화 공정은 엑시머 레이저 열처리(excimer laser annealing, ELA) 공정을 통해 형성될 수 있다. 전하이동도가 낮은 비정질실리콘(a-Si)에 엑시머레이저를 조사하면 저온폴리실리콘(LTPS)인 폴리 실리콘(Poly-Si)으로 변형된다. 저온폴리실리콘(LTPS)은 전하이동도가 비정질실리콘(a-Si) 대비 100배 이상 빠르는데, 전하이동도가 빠른 기판일수록 고화질 디스플레이 구현에 유리하다. 저온폴리실리콘(LTPS)을 사용한 OLED 기판은 고화질 LCD와 OLED에 동일하게 사용된다.
- [0134] 도 4b를 참조하면, 제1 액티브층(130) 상에 제1 게이트 절연막(140)이 형성될 수 있다. 제1 게이트 절연막(140)은 증착 공정을 통해 형성될 수 있다. 제1 게이트 절연막(140)은 제1 액티브 버퍼층(123) 상에 배치될 수 있다. 제1 게이트 절연막(140) 상에 제1 게이트 전극(150)을 형성할 수 있다. 제1 게이트 전극(150)은 포토리소그래피 공정을 통해 마스크 패턴을 형성하고 식각 공정을 이용하여 형성될 수 있다.
- [0135] 제1 게이트 전극(150)을 마스크 패턴으로 사용하여 제1 액티브층(130)의 가장자리에 N형 또는 P형 불순물을 주입함으로써 제1 채널 영역(131), 제1 소스 영역(133) 및 제1 드레인 영역(135)을 형성할 수 있다.
- [0136] 불순물 주입 이후에, 제1 게이트 전극(150)을 덮고 제1 게이트 절연막(140) 상에 배치되는 제1 층간 절연막(160)을 형성할 수 있다. 제1 층간 절연막(160)은 증착 공정을 통해 형성될 수 있다.
- [0137] 이 때, 제1 게이트 절연막(140)은 제1 액티브층(130)의 두께에 의해 그 상부가 평탄하지 않을 수 있고, 제1 층간 절연막(160) 또한 그 상부가 평탄하지 않을 수 있다. 일반적으로, 절연막은 증착공정을 통해 형성되므로, 증착 공정의 스텝 커버리지(step coverage)에 따라 절연막 하부에 위치하는 층의 형태에 따라 절연막 상부면의 형태가 결정될 수 있다.
- [0138] 도 4c를 참조하면, 제1 층간 절연막(160) 상에 제2 기판(210)을 형성할 수 있다. 제2 기판(210)은 폴리이미드로

이루어질 수 있다. 제2 기판(210)은 유기물 코팅공정을 통해 형성될 수 있다. 따라서, 제2 기판(210)의 상부면은 평탄한면을 가질 수 있다.

[0139] 도 4d를 참조하면, 제2 기판(210) 상에 제2 멀티 버퍼층(221)을 형성할 수 있고, 제2 멀티 버퍼층(221) 상에 제2 액티브 버퍼층(223)을 형성할 수 있다. 제2 액티브 버퍼층(223) 상에는 제2 액티브층(230) 및 제3 액티브층(237)이 형성될 수 있다. 비정질실리콘인 아몰퍼스 실리콘(a-Si)에 결정화 공정을 수행하여 폴리 실리콘(Poly-Si)을 형성하여 제2 액티브층(230) 및 제3 액티브층(237)이 형성될 수 있다. 제2 액티브층(230) 및 제3 액티브층(237)은 제1 액티브층(130)과 유사한 공정을 통해 형성될 수 있다. 제2 기판(210)의 상부면이 평탄함에 따라 제2 멀티 버퍼층(221) 및 제2 액티브 버퍼층(223)은 평탄한 상부면을 가지도록 형성될 수 있다. 이에 따라, 제2 액티브층(230)을 형성하기 위한 결정화 공정 시에 제1 게이트 전극(150)의 두께로 인해 발생하는 단차로 인한 제2 액티브층(230)의 단선이 방지될 수 있다. 따라서, 본 발명의 실시예에 따르면, 제2 기판(210)을 평탄화가 가능하므로, 제2 기판(210) 하부에 배치되는 제1 게이트 전극(150)의 두께를 두껍게 형성할 수 있다.

[0140] 도 4e를 참조하면, 제2 액티브층(230) 상에 제2 게이트 절연막(240)이 형성될 수 있다. 제2 게이트 절연막(240)은 제2 액티브 버퍼층(223) 상에 배치될 수 있다. 제2 게이트 절연막(240) 상에 제2 게이트 전극(250)을 형성할 수 있다. 이 후, 제2 게이트 전극(250)을 마스크 패턴으로 사용하여 제2 액티브층(230)의 가장자리에 N형 또는 P형 불순물을 주입함으로써 제2 채널 영역(231), 제2 소스 영역(233) 및 제2 드레인 영역(235)을 형성할 수 있다.

[0141] 제2 게이트 절연막(240) 상에는 제2 게이트 전극(250)을 덮도록 형성되는 제2 층간 절연막(260)을 형성할 수 있다. 제2 층간 절연막(260) 상에는 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)이 형성될 수 있다. 또한, 제2 층간 절연막(260) 상에는 제3 층간 절연막(280)이 형성될 수 있고, 제3 층간 절연막(280)은 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)을 덮을 수 있다.

[0142] 제2 게이트 절연막(240), 제2 층간 절연막(260) 및 제3 층간 절연막(280)은 증착공정을 이용하여 형성될 수 있다.

[0143] 도 4f를 참조하면, 제1 식각 공정을 통해 제2 소스 영역(233) 및 제2 드레인 영역(235)을 노출시키는 제1 공통 컨택홀을 형성할 수 있다. 제1 공통 컨택홀은 제2 소스 영역(233)을 노출시키는 제1 소스 컨택홀(311) 및 제2 드레인 영역(235)을 노출시키는 제1 드레인 컨택홀(331)을 포함할 수 있다. 제1 식각 공정에는 제1 마스크 패턴(810)이 이용될 수 있다. 제1 소스 컨택홀(311) 및 제1 드레인 컨택홀(331)은 제3 층간 절연막(280), 제2 층간 절연막(260) 및 제2 게이트 절연막(240)을 관통할 수 있다. 제1 소스 컨택홀(311) 및 제1 드레인 컨택홀(331)은 건식 식각 공정을 이용하여 형성될 수 있다.

[0144] 또한, 제1 스토리지 전극(270)을 노출시키는 제1 컨택홀(371), 제3 액티브층(237)을 노출시키는 제2 컨택홀(381) 및 제2 스토리지 전극(275)을 노출시키는 제3 컨택홀(391)이 형성될 수 있다.

[0145] 도 4g를 참조하면, 제2 식각 공정을 통해 제1 소스 영역(133) 및 제1 드레인 영역(135)을 노출시키는 제2 공통 컨택홀을 형성할 수 있다. 제2 공통 컨택홀은 제1 소스 영역(133)을 노출시키는 제2 소스 컨택홀(313) 및 제1 드레인 영역(135)을 노출시키는 제2 드레인 컨택홀(333)을 포함할 수 있다. 제2 소스 컨택홀(313)은 제1 소스 컨택홀(311)을 추가적으로 식각하여 형성될 수 있고, 제2 드레인 컨택홀(333)은 제1 드레인 컨택홀(331)을 추가적으로 식각하여 형성될 수 있다. 제2 식각 공정에는 제2 마스크 패턴(830)이 이용될 수 있다. 제2 마스크 패턴(830)은 제1 마스크 패턴(810)과 상이한 패턴을 가질 수 있다. 구체적으로, 제2 마스크 패턴(830)은 제1 소스 컨택홀(311) 및 제1 드레인 컨택홀(331) 만을 노출시키고 제1 컨택홀(371), 제2 컨택홀(381) 및 제3 컨택홀(391)은 덮도록 형성될 수 있다. 이를 통해, 제1 소스 컨택홀(311) 및 제1 드레인 컨택홀(331) 만이 추가적으로 식각될 수 있다.

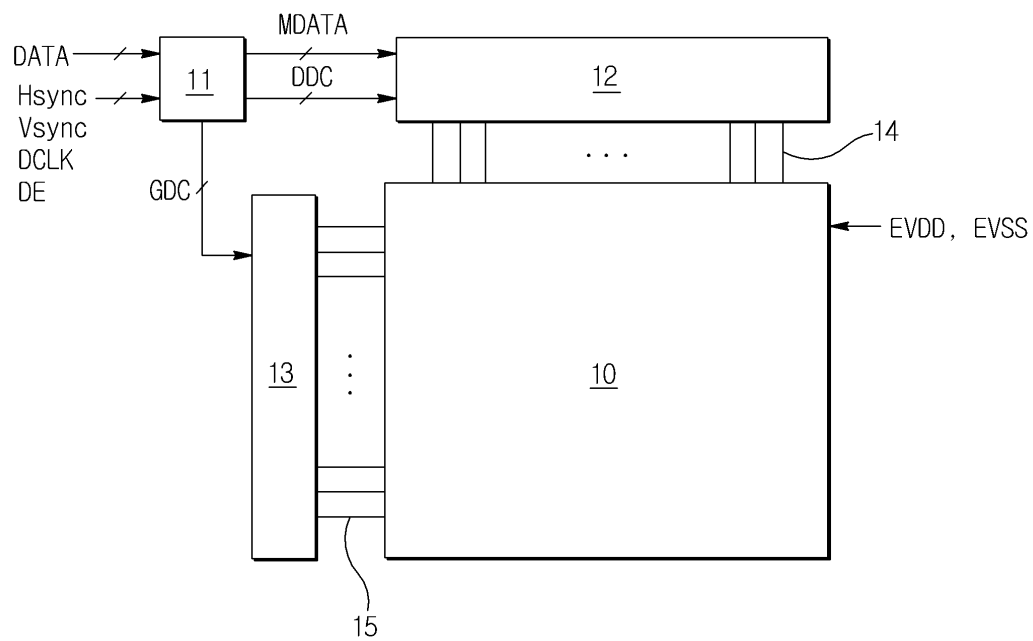
[0146] 도 4h를 참조하면, 제2 소스 컨택홀(313) 및 제2 드레인 컨택홀(333)에 도전물질을 채울 수 있다. 이를 통해 제1 소스 영역(133) 및 제2 소스 영역(233)은 공통 소스 전극(310)을 통해 전기적으로 연결될 수 있고, 제1 드레인 영역(135) 및 제2 드레인 영역(235)은 공통 드레인 전극(330)을 통해 전기적으로 연결될 수 있다. 또한, 제1 컨택홀(371)에 도전물질을 채워 제1 전극(370)을 형성할 수 있고, 제2 컨택홀(381)에 도전물질을 채워 제2 전극(380)을 형성할 수 있고, 제3 컨택홀(391)에 도전물질을 채워 제3 전극(390)을 형성할 수 있다.

[0147] 제3 층간 절연막(280) 상에는 보호층(400), 유기발광소자층(OLED) 및 픽셀 정의막(600)을 형성할 수 있다.

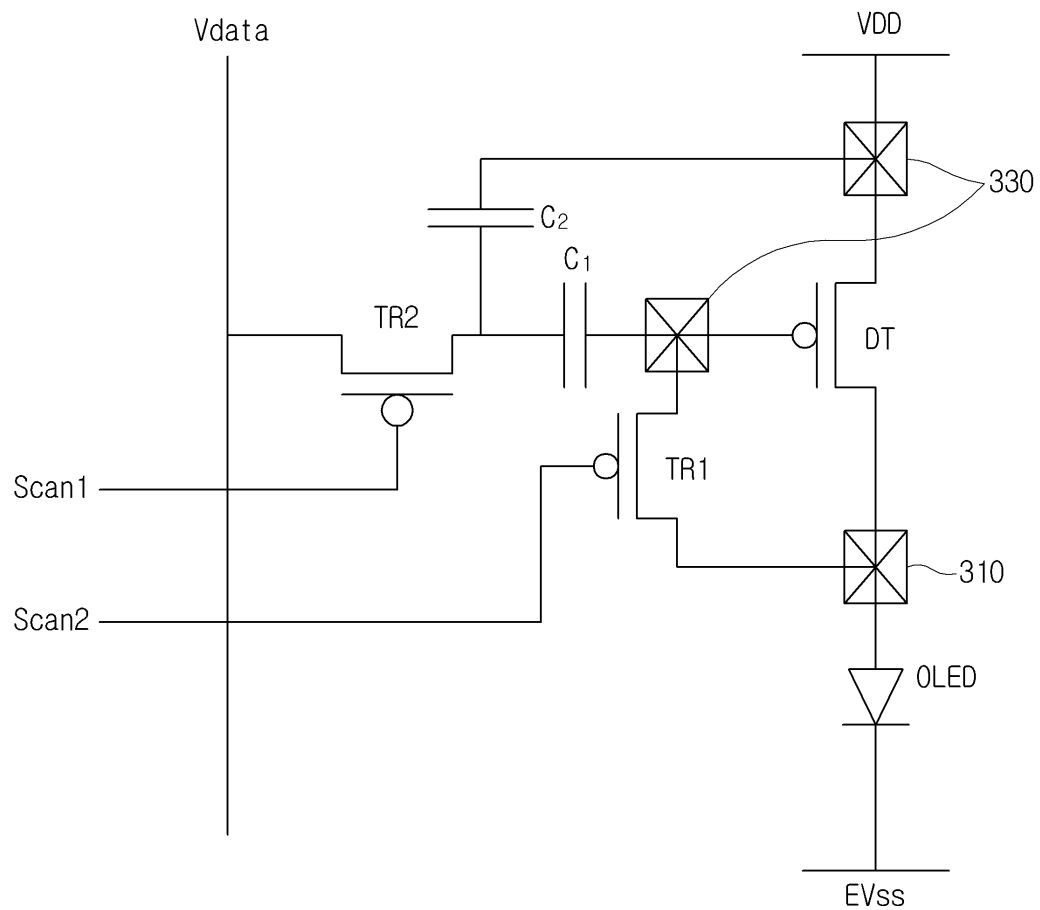
- [0149] 도 5는 본 발명의 다른 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다. 설명의 간략을 위해 도 3과 중복되는 내용의 기재는 생략한다.
- [0150] 도 5를 참조하면, 제2 액티브층(230)과 제2 기판(210) 사이에 메탈층(350)이 제공될 수 있다. 일 예로, 메탈층(350)은 제2 멀티 버퍼층(221) 상에 배치될 수 있다. 메탈층(350)에는 정전압이 인가될 수 있다. 메탈층(350)은 제2 기판(210)으로 인한 제2 액티브층(230)의 특성 변화를 방지할 수 있다. 예를 들어, 메탈층(350)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다. 바람직하게, 메탈층(350)은 몰리브덴(Mo)으로 이루어질 수 있다.
- [0152] 도 6은 본 발명의 또 다른 실시예에 따른 유기발광 표시 장치를 나타내는 도면이다. 설명의 간략을 위해 중복되는 내용의 기재는 생략한다.
- [0153] 도 6을 참조하면, 제2 기판(210)과 제2 액티브층(230) 사이에 제2 게이트 전극(250)이 배치될 수 있다. 일 예로, 제2 게이트 전극(250)은 제2 액티브 버퍼층(223) 상에 배치될 수 있다. 제2 게이트 전극(250)이 Bottom-gate 구조를 가짐에 따라, 제2 기판(210)으로 인한 제2 액티브층(230)의 특성 변화를 방지할 수 있다. 제2 게이트 전극(250)은 제2 액티브층(230)의 결정화 공정을 위해 그 두께가 얇게 형성될 수 있다. 도 6의 제2 게이트 전극(250)은 도 3의 제2 게이트 전극(250)보다 두께가 얇게 형성될 수 있다.
- [0154] 제2 게이트 전극(250) 상에는 제2 게이트 절연막(240)이 제공될 수 있고, 제2 게이트 절연막(240) 상에 제2 액티브층(230) 및 제3 액티브층(237)이 배치될 수 있다. 제2 액티브층(230) 및 제3 액티브층(237) 상에는 제2 층간 절연막(260)이 배치될 수 있다. 제2 층간 절연막(260) 상에는 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)이 배치될 수 있고, 제1 스토리지 전극(270) 및 제2 스토리지 전극(275) 상에는 제3 층간 절연막(280)이 제공될 수 있다. 제2 게이트 절연막(240)은 제2 게이트 전극(250)을 덮을 수 있고, 제2 층간 절연막(260)은 제2 액티브층(230)을 덮을 수 있고, 제3 층간 절연막(280)은 제1 스토리지 전극(270) 및 제2 스토리지 전극(275)을 덮을 수 있다.
- [0155] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

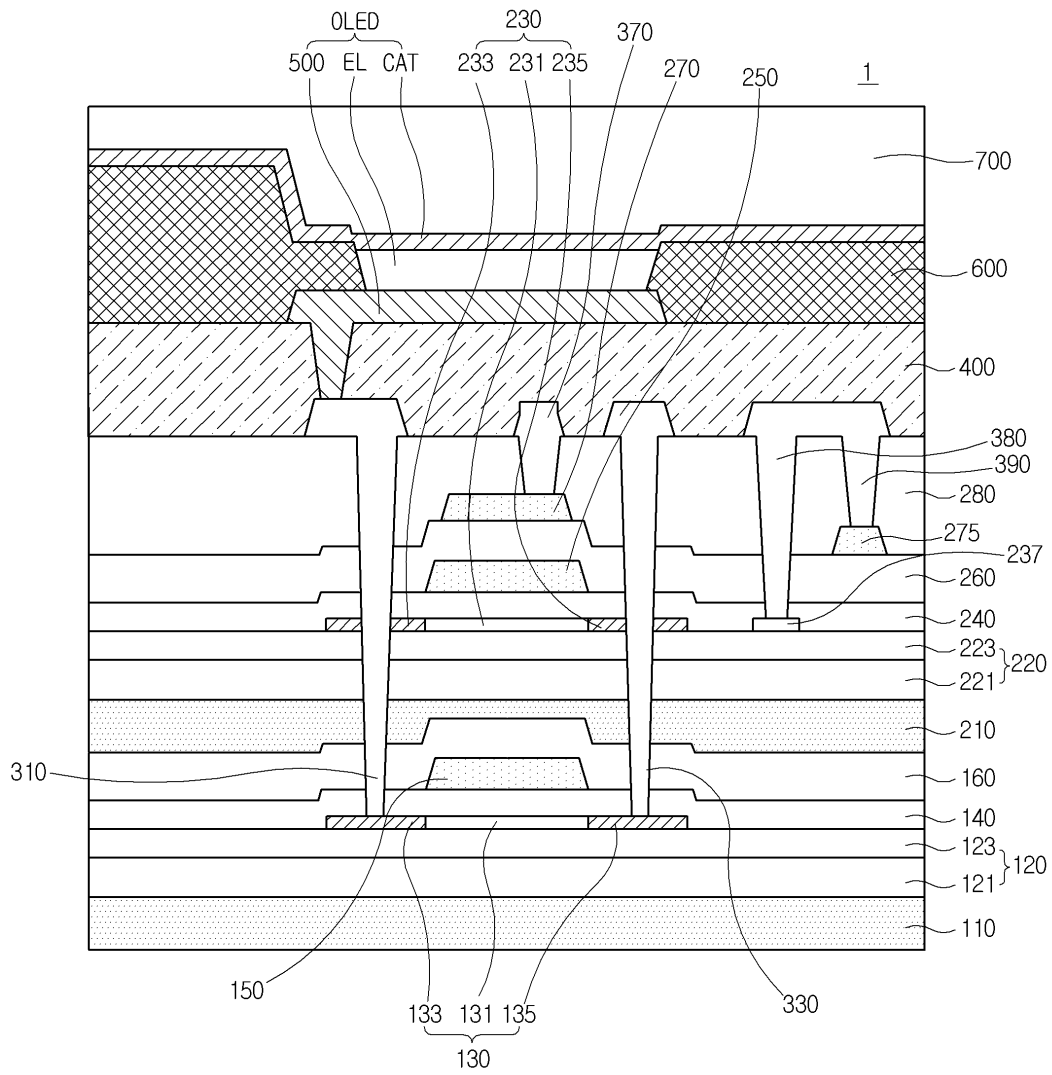
도면1



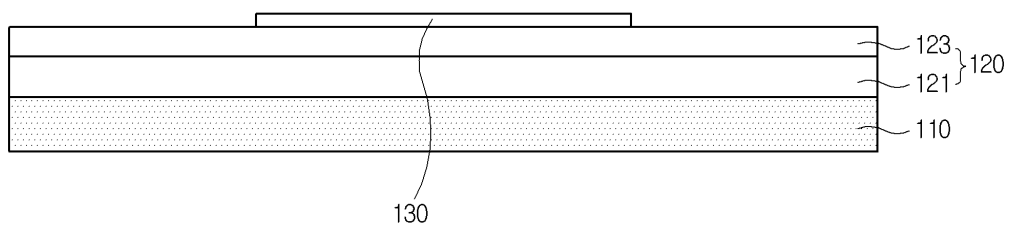
도면2



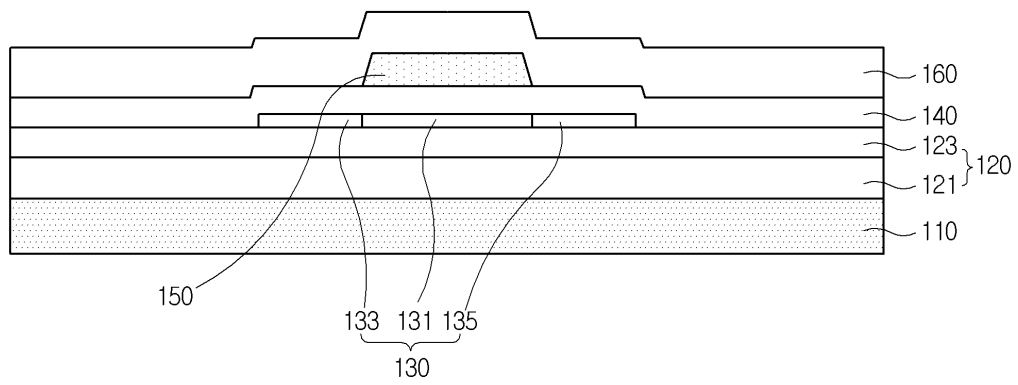
도면3



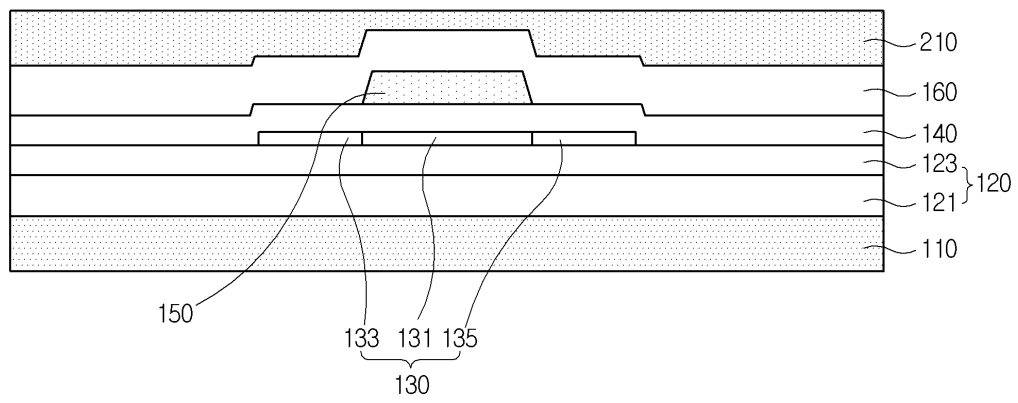
도면4a



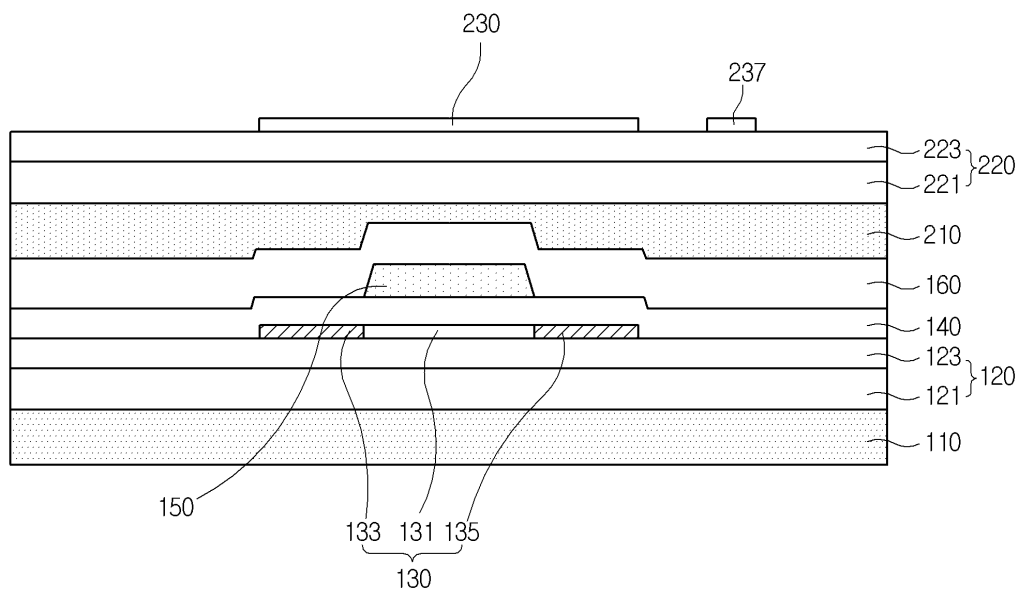
도면4b



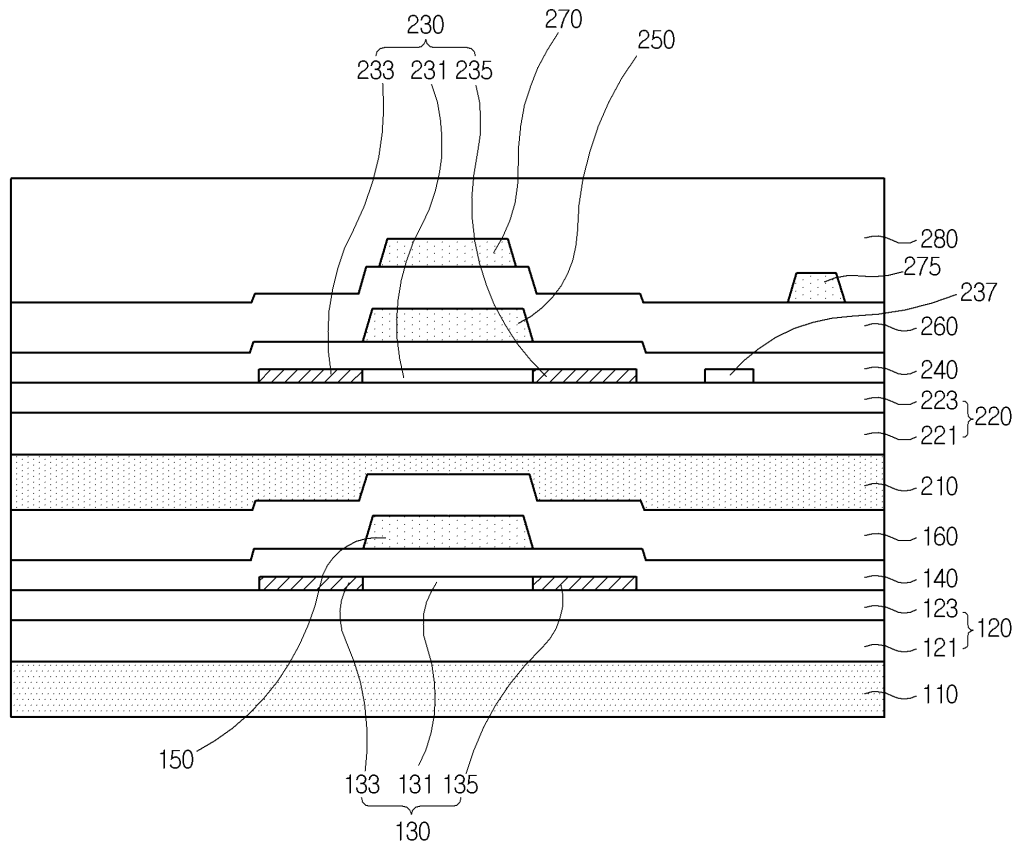
도면4c



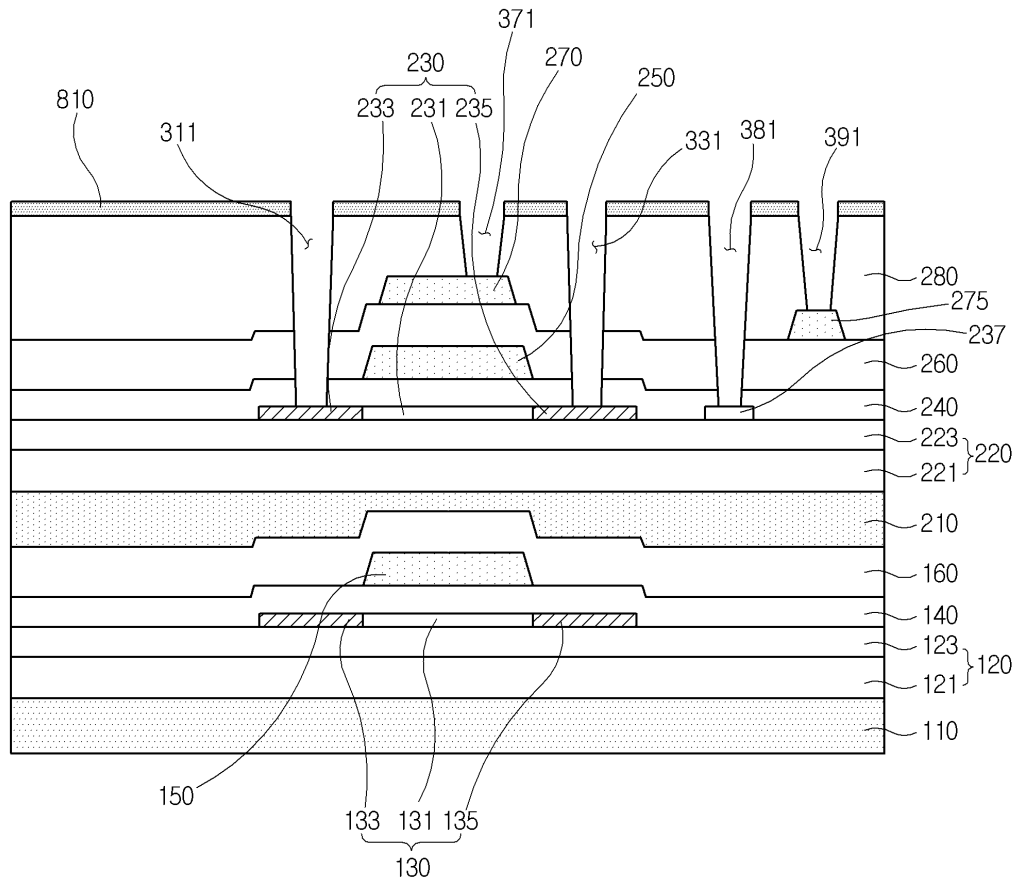
도면4d



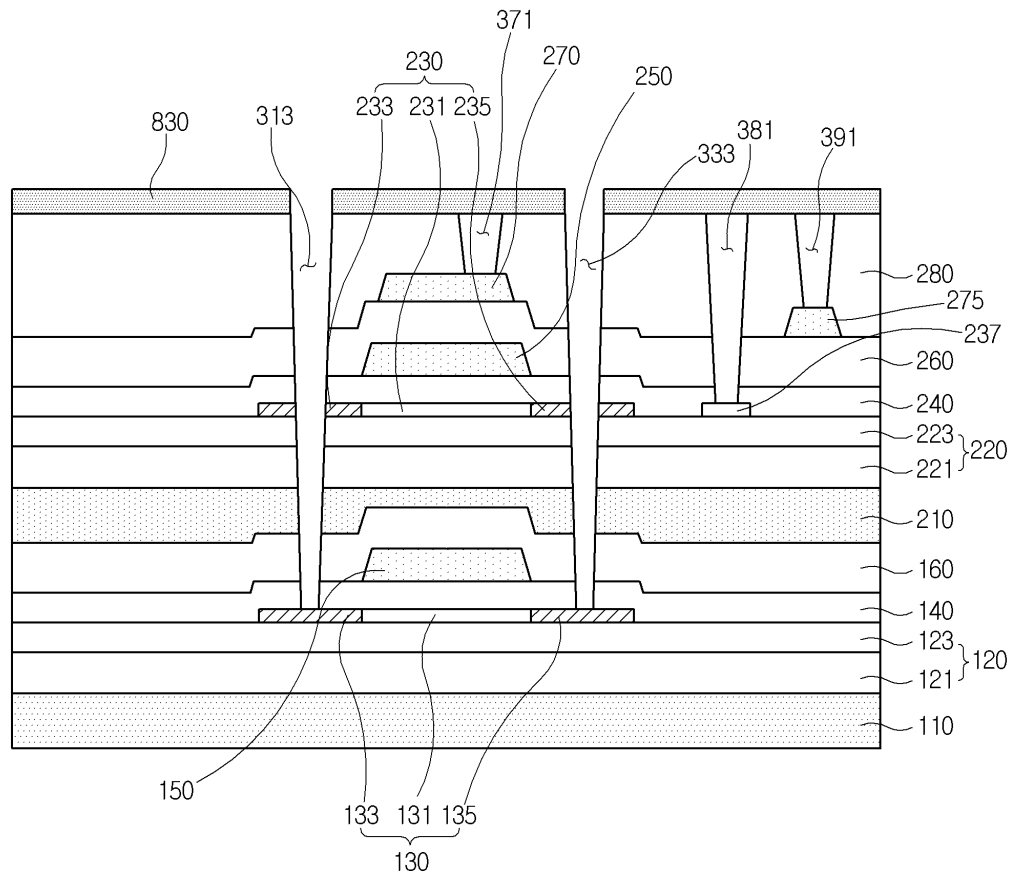
도면4e



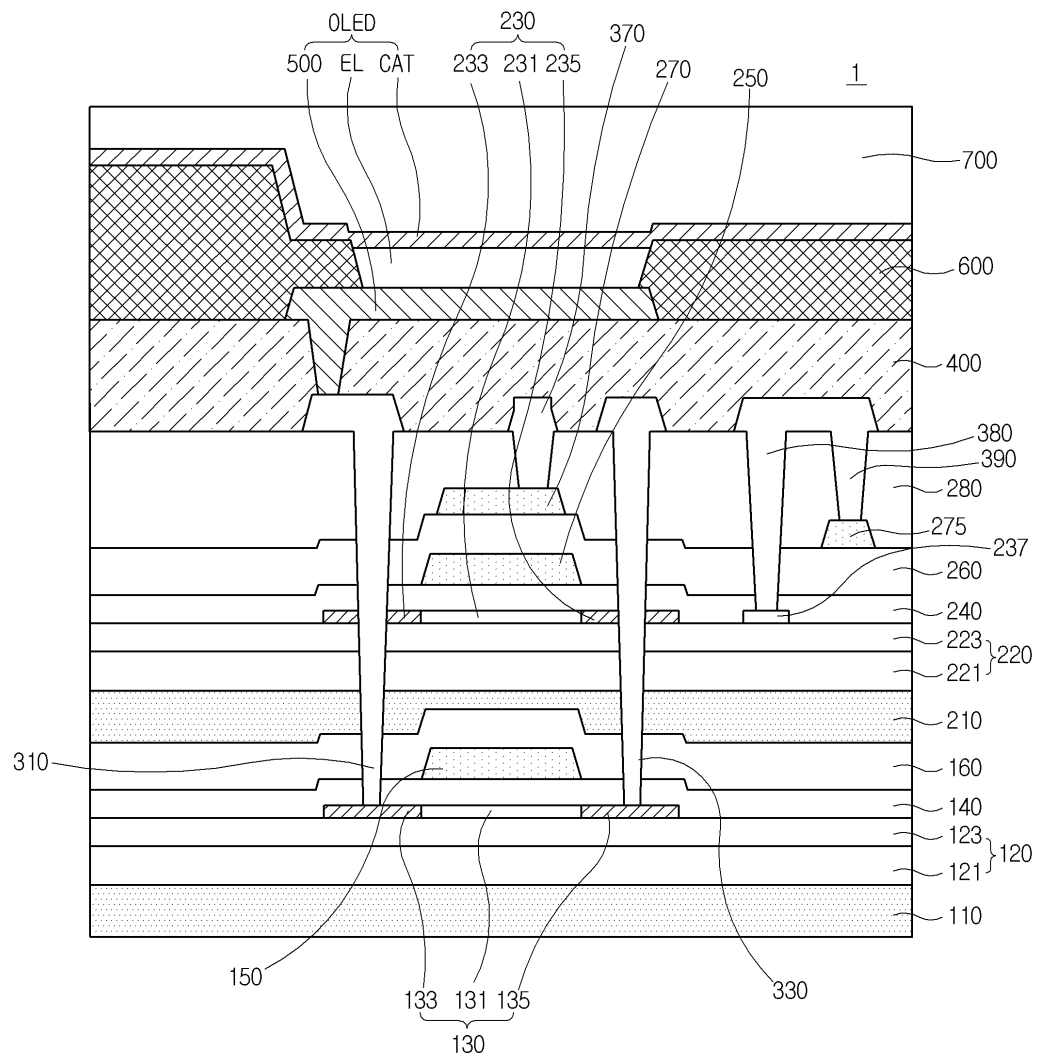
도면4f



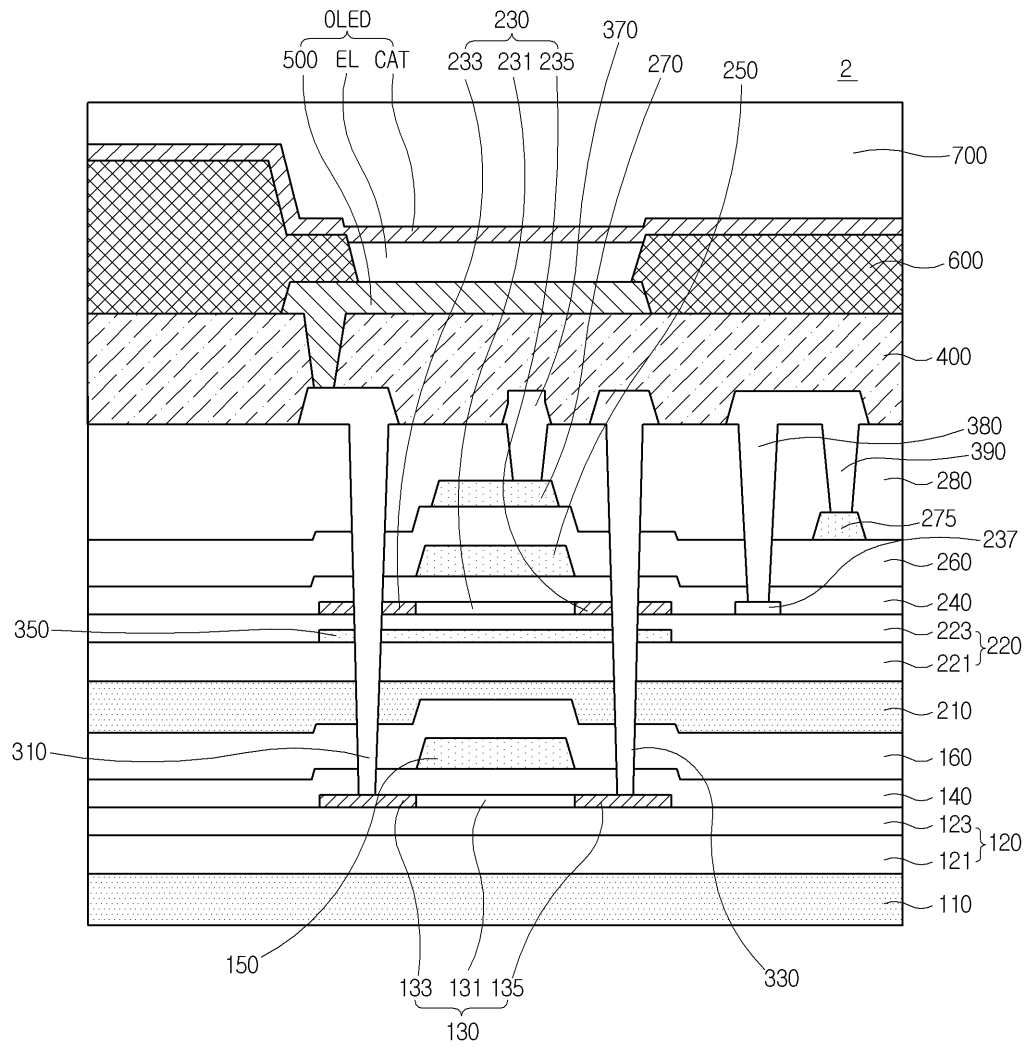
도면4g



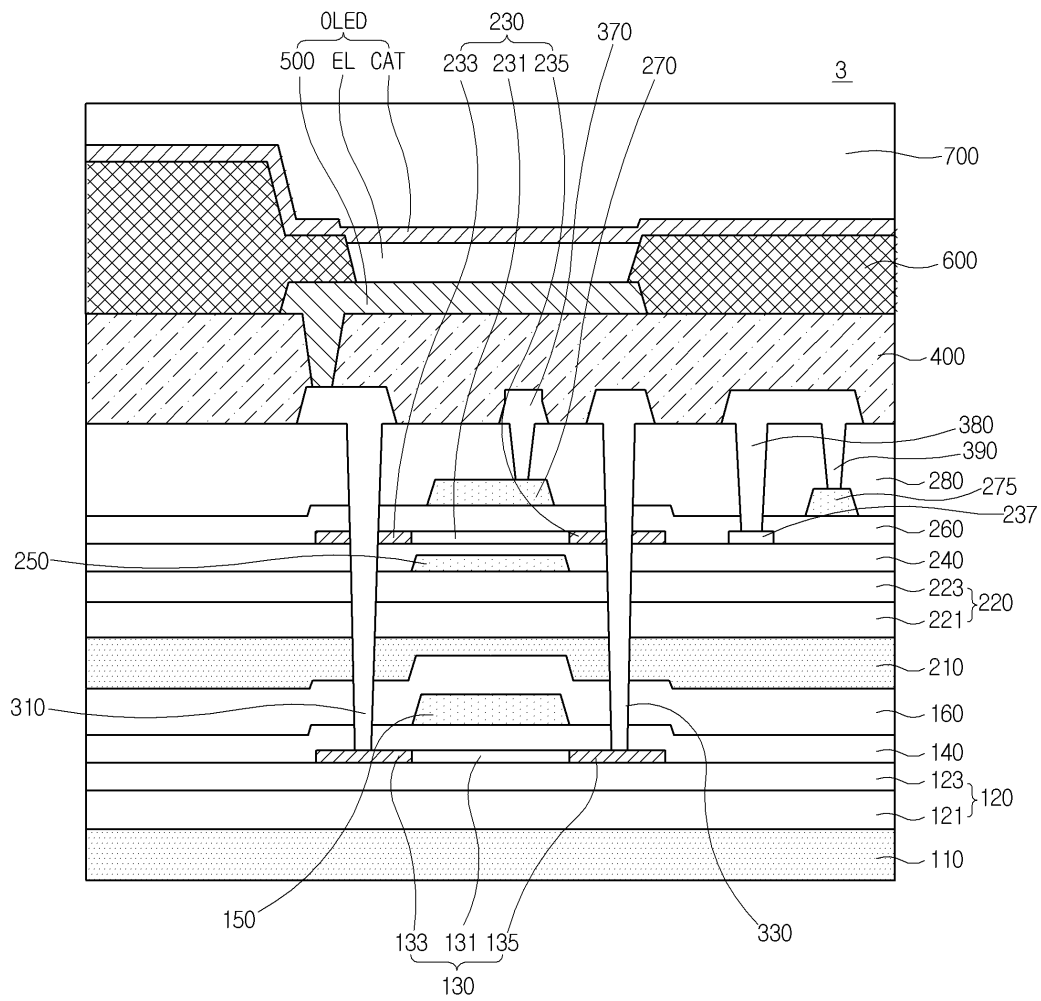
도면4h



도면5



도면6



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020190079828A	公开(公告)日	2019-07-08
申请号	KR1020170181823	申请日	2017-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	신동채 정미진		
发明人	신동채 정미진		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3262 H01L27/3258 H01L51/5237		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，提供了一种有机发光显示装置。有机发光显示装置可以包括第一基板，设置在第一基板上并包括第一有源层，覆盖第一晶体管的第一绝缘层，以及在第一绝缘层上的第二基板和第二晶体管的第一晶体管。设置在第一绝缘层上并包括第二有源层。第二基板是用于执行第二有源层的结晶工艺的平坦化层。可以通过减小像素的面积来实现高分辨率面板。

