

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2310/08 (2013.01)

G09G 2320/0257 (2013.01)

G09G 2370/14 (2013.01)

명세서

청구범위

청구항 1

유기 발광 다이오드들과 상기 유기 발광 다이오드를 구동하는 구동 트랜지스터들이 배치된 표시 패널;

상기 구동 트랜지스터의 문턱 전압과 상기 유기 발광 다이오드들의 열화 정도를 이용하여 센싱 데이터를 생성하는 데이터 구동부;

상기 센싱 데이터를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터를 생성하고, 상기 보상 데이터를 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 상기 보상 데이터를 입력받는 브릿지 회로; 및

상기 브릿지 회로로부터 상기 보상 데이터를 입력받는 메모리를 포함하며,

상기 브릿지 회로 및 상기 메모리는 소스 인쇄회로보드에 실장되고,

상기 브릿지 회로는 상기 타이밍 컨트롤러 내에서 생성한 클럭, 외부의 호스트 시스템에서 입력된 명령, 및 상기 보상 데이터를 차동 신호 방식으로 공급받는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 브릿지 회로는,

상기 메모리로 상기 클럭, 상기 명령, 및 보상 데이터를 단일 종단 신호 방식으로 공급하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서, 상기 타이밍 컨트롤러와 상기 메모리 사이의 거리는 1m 이상 10m 이하인 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 타이밍 컨트롤러는 상기 차동 신호 방식 중 LVDS 방식으로 상기 클럭, 상기 명령, 및 상기 보상 데이터를 출력하는 제 1 입출력부를 포함하는 유기 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 브릿지 회로는 상기 LVDS 방식으로 상기 클럭, 상기 명령, 및 상기 보상 데이터를 입력받는 제 2 입출력부; 및

상기 단일 종단 신호 방식 중 JEDEC 표준 프로토콜 방식으로 상기 클럭, 상기 명령, 및 상기 보상 데이터를 상기 메모리로 출력하는 제 3 입출력부를 포함하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 메모리는 비휘발성 임베디드 멀티미디어 카드이며, 상기 JEDEC 표준 프로토콜 방식으로 상기 클럭, 상기 명령, 및 상기 보상 데이터를 입력받는 제 4 입출력부를 포함하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 메모리는 상기 명령에 대한 응답 신호를 상기 단일 종단 신호 방식으로 상기 브릿지 회로에 출력하고,

상기 브릿지 회로는 상기 응답 신호를 상기 차동 신호 방식으로 상기 타이밍 컨트롤러에 출력하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 메모리는 상기 명령에 대응하여 저장된 보상 데이터를 상기 단일 종단 신호 방식으로 상기 브릿지 회로에 공급하고,

상기 브릿지 회로는 상기 저장된 보상 데이터를 상기 차동 신호 방식으로 상기 타이밍 컨트롤러에 공급하는 유기 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 타이밍 컨트롤러는 상기 응답 신호에 대응하여 새로운 보상 데이터를 상기 차동 신호 방식으로 상기 브릿지 회로에 공급하고,

상기 브릿지 회로는 상기 새로운 보상 데이터를 상기 단일 종단 신호 방식으로 상기 메모리에 공급하는 유기 발광 표시 장치.

청구항 10

유기 발광 다이오드들과 상기 유기 발광 다이오드를 구동하는 구동 트랜지스터들이 배치된 표시 패널;

상기 구동 트랜지스터의 문턱 전압과 상기 유기 발광 다이오드들의 열화 정도를 이용하여 센싱 데이터를 생성하는 데이터 구동부;

상기 센싱 데이터를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터를 생성하고, 상기 보상 데이터를 출력하는 타이밍 컨트롤러;

상기 타이밍 컨트롤러로부터 상기 보상 데이터를 입력받는 메모리를 포함하며,

상기 메모리는 소스 인쇄회로보드에 실장되고,

상기 타이밍 컨트롤러와 상기 메모리 사이는 차동 신호 방식 중 LVDS 방식에 따라 상기 타이밍 컨트롤러 내에서 생성한 클럭, 외부의 호스트 시스템에서 입력된 명령, 및 상기 보상 데이터를 양 방향으로 전달하는 복수의 라인들로 연결되며,

상기 타이밍 컨트롤러 및 상기 메모리는 상기 LVDS 방식으로 상기 클럭, 상기 명령, 및 상기 보상 데이터를 입출력하는 입출력부를 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 출원은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시 장치 분야 기술이 많이 개발되고 있다. 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 화상을 표시한다. 유기 발광 표시 장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력의 극대화가 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 유기 발광 표시 장치는 표시 패널, 게이트 구동부, 데이터 구동부, 및 타이밍 컨트롤러를 구비한다. 표시 패널은 데이터 라인들, 게이트 라인들, 데이터 라인들과 게이트 라인들의 교차부에 형성되어 게이트 라인들에 게이

트 신호들이 공급될 때 데이터 라인들의 데이터 전압들을 공급받는 다수의 화소들을 포함한다. 화소들은 데이터 전압들에 따라 소정의 밝기로 발광한다.

- [0004] 게이트 구동부는 게이트 라인들에 게이트 신호들을 공급한다. 데이터 구동부는 데이터 라인들에 데이터 전압들을 공급하는 소스 드라이버 집적회로(integrated circuit, 이하 "IC"라 칭함)들을 포함한다. 또한, 데이터 구동부는 센싱 라인들을 통해 각각의 화소 내의 구동 트랜지스터와 유기 발광 다이오드 사이의 전압 또는 유기 발광 다이오드를 흐르는 전류를 센싱한다. 유기 발광 표시 장치는 센싱한 정보를 이용하여 보상 데이터를 생성하여, 구동 트랜지스터의 문턱 전압을 보상하는 외부 보상 및 유기 발광 다이오드의 열화를 보상하는 잔상 보상을 수행한다.
- [0005] 타이밍 컨트롤러는 게이트 구동부와 데이터 구동부의 동작 타이밍을 제어한다. 또한, 타이밍 컨트롤러는 데이터 구동부에서 센싱한 유기 발광 다이오드의 전압 또는 전류값을 이용하여 생성한 센싱 데이터를 공급받는다.
- [0006] 또한, 유기 발광 표시 장치는 메모리를 갖는다. 메모리는 비 휘발성이며, 보상 데이터를 저장한다. 타이밍 컨트롤러는 표시 패널의 구동을 위해 메모리에 저장된 보상 데이터를 읽어 사용한다.
- [0007] 기존의 타이밍 컨트롤러와 메모리 사이에서는 단일 중단 신호 방식으로 신호를 공급하였다. 단일 중단 신호 방식은 40 mm 이상 60 mm 이하의 거리에 적용할 수 있는 신호의 전송 방식이다. 단일 중단 신호 방식을 적용하여, 타이밍 컨트롤러와 메모리 사이의 거리는 40 mm 이상 60 mm 이하이다. 이 경우 메모리를 타이밍 컨트롤러가 배치된 제어 인쇄회로보드 상에만 배치할 수 있었다.
- [0008] 메모리를 제어 인쇄회로보드 상에 배치하는 경우, 제어 인쇄회로보드의 교체 시에는 표시 패널의 구동을 위한 보상 데이터를 서버 또는 이전의 제어 인쇄회로보드에서 읽는 리딩(reading)을 수행하고, 리딩한 보상 데이터를 새로운 제어 인쇄회로보드에 쓰는 라이팅(writing) 작업을 수행하여야 한다. 또한, 표시 패널의 교체 시에는 제어 인쇄회로보드에서 이전 표시 패널의 보상 데이터를 지우고, 새로운 표시 패널의 보상 데이터를 라이팅해야 한다. 이와 같이 메모리를 제어 인쇄회로보드 상에 배치하는 경우 표시 패널 또는 제어 인쇄회로보드의 개별적인 교체가 용이하지 않다.

발명의 내용

해결하려는 과제

- [0009] 본 출원은 타이밍 컨트롤러와 메모리 사이의 연결 제약을 완화한 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

- [0010] 본 출원의 일 예에 따른 유기 발광 표시 장치는 유기 발광 다이오드들과 상기 유기 발광 다이오드를 구동하는 구동 트랜지스터들이 배치된 표시 패널, 구동 트랜지스터의 문턱 전압과 유기 발광 다이오드들의 열화 정도를 이용하여 센싱 데이터를 생성하는 데이터 구동부, 센싱 데이터를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터를 생성하고, 보상 데이터를 출력하는 타이밍 컨트롤러, 타이밍 컨트롤러로부터 보상 데이터를 입력받는 브릿지 회로, 및 브릿지 회로로부터 보상 데이터를 입력받는 메모리를 포함한다. 브릿지 회로 및 메모리는 소스 인쇄회로보드에 실장된다. 브릿지 회로는 타이밍 컨트롤러 내에서 생성한 클럭, 외부의 호스트 시스템에서 입력된 명령, 및 보상 데이터를 차동 신호 방식으로 공급받는다.
- [0011] 본 출원의 다른 예에 따른 유기 발광 표시 장치는 유기 발광 다이오드들과 상기 유기 발광 다이오드를 구동하는 구동 트랜지스터들이 배치된 표시 패널, 구동 트랜지스터의 문턱 전압과 유기 발광 다이오드들의 열화 정도를 이용하여 센싱 데이터를 생성하는 데이터 구동부, 센싱 데이터를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터를 생성하고, 보상 데이터를 출력하는 타이밍 컨트롤러, 타이밍 컨트롤러로부터 보상 데이터를 입력받는 메모리를 포함한다. 메모리는 소스 인쇄회로보드에 실장된다. 타이밍 컨트롤러와 메모리 사이는 차동 신호 방식 중 LVDS 방식에 따라 타이밍 컨트롤러 내에서 생성한 클럭, 외부의 호스트 시스템에서 입력된 명령, 및 보상 데이터를 양 방향으로 전달하는 복수의 라인들로 연결된다. 타이밍 컨트롤러 및 메모리는 LVDS 방식으로 클럭, 명령, 및 보상 데이터를 입출력하는 입출력부를 포함한다.

발명의 효과

- [0012] 본 출원에 따른 유기 발광 표시 장치는 브릿지 회로를 이용하여 타이밍 컨트롤러와 메모리 사이의 연결 제약을 완화하였다. 타이밍 컨트롤러와 메모리 사이의 연결 제약이 완화되는 경우 타이밍 컨트롤러와 메모리 사이의 거

리를 가깝게 설계하지 않아도 된다. 타이밍 컨트롤러와 메모리 사이의 거리를 증가시키는 경우, 메모리를 소스 인쇄회로보드 상에 배치할 수 있다. 메모리를 소스 인쇄회로보드 상에 배치하는 경우, 표시 패널 또는 제어 인쇄회로보드의 개별적인 교체 또는 취급이 가능하다. 이에 따라, 본 출원에 따른 유기 발광 표시 장치는 보상 데이터의 라이팅 수행 없이 복수의 표시 패널에 적용이 가능하여 범용성이 우수한 제어 인쇄회로보드를 제공할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 출원에 따른 유기 발광 표시 장치의 사시도이다.
- 도 2는 본 출원에 따른 유기 발광 표시 장치의 블록도이다.
- 도 3은 도 2의 화소를 나타낸 회로도이다.
- 도 4는 본 출원에 따른 유기 발광 표시 장치의 보상 데이터 전송 방법을 나타낸 블록도이다.
- 도 5는 본 출원에 따른 차동 신호 방식을 나타낸 파형도이다.
- 도 6은 본 출원에 따른 단일 종단 신호 방식을 나타낸 파형도이다.
- 도 7은 본 출원의 제 1 실시예에 따른 유기 발광 표시 장치의 타이밍 컨트롤러, 브릿지 회로, 및 메모리를 나타낸 블록도이다.
- 도 8은 본 출원에 따른 유기 발광 표시 장치의 보도 명령을 나타낸 블록도이다.
- 도 9는 본 출원에 따른 유기 발광 표시 장치의 보도응답 명령을 나타낸 블록도이다.
- 도 10은 본 출원에 따른 유기 발광 표시 장치의 읽기 명령을 나타낸 블록도이다.
- 도 11은 본 출원에 따른 유기 발광 표시 장치의 쓰기 명령을 나타낸 블록도이다.
- 도 12는 본 출원에 따른 유기 발광 표시 장치의 읽기 명령에 따른 타이밍 흐름도이다.
- 도 13은 본 출원에 따른 유기 발광 표시 장치의 쓰기 명령에 따른 타이밍 흐름도이다.
- 도 14는 본 출원의 제 2 실시예에 따른 유기 발광 표시 장치의 타이밍 컨트롤러 및 메모리를 나타낸 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.
- [0015] 본 출원의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.
- [0016] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0019] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

- [0020] 제 1, 제 2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성요소는 본 출원의 기술적 사상 내에서 제 2 구성요소일 수도 있다.
- [0021] "X축 방향", "Y축 방향" 및 "Z축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 발명의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0022] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0023] 본 출원의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0024] 이하, 첨부된 도면을 참조하여 본 출원의 실시예를 상세히 설명하기로 한다.
- [0025] 도 1은 본 출원에 따른 유기 발광 표시 장치의 사시도이다. 도 2는 본 출원에 따른 유기 발광 표시 장치의 블록도이다. 도 3은 도 2의 화소(P)를 나타낸 회로도이다.
- [0026] 본 출원에 따른 유기 발광 표시 장치는 표시 패널(110), 게이트 구동부(120), 데이터 구동부(130), 연성필름(140), 소스 인쇄회로보드(Source Printed Circuit Board, S-PCB)(150), 연결부(160), 제어 인쇄회로보드(Control Printed Circuit Board, C-PCB)(170), 타이밍 컨트롤러(Timing Controller, T-con)(200), 브릿지 회로(300), 및 메모리(400)를 포함한다.
- [0027] 표시 패널(110)은 하부 기판(111)과 상부 기판(112)을 포함한다. 하부 기판(111)은 플라스틱 또는 유리로 이루어진 박막 트랜지스터 기판일 수 있다. 상부 기판(112)은 일 수 있다. 제2 기판(112)은 플라스틱 필름, 유리 기판, 또는 보호 필름으로 이루어진 봉지 기판일 수 있다.
- [0028] 하부 기판(111)은 표시 영역과 표시 영역의 주변에 마련된 비표시 영역을 포함한다. 표시 영역은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 하부 기판(111)에는 게이트 라인들(GL1~GLp, p는 2 이상의 양의 정수), 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수) 및 센싱 라인들(SL1~SLq)이 배치된다. 데이터 라인들(DL1~DLq)과 센싱 라인들(SL1~SLq)은 서로 평행하게 배치될 수 있다. 데이터 라인들(DL1~DLq) 및 센싱 라인들(SL1~SLq)은 게이트 라인들(GL1~GLp)과 교차하도록 배치될 수 있다.
- [0029] 화소(P)들 각각은 유기 발광 다이오드(organic light emitting diode, OLED) 및 화소 구동부(PD)를 포함한다. 도 2에서는 설명의 편의를 위해 제 j(j는 $1 \leq j \leq q$ 을 만족하는 양의 정수) 데이터 라인(DLj), 제 j 센싱 라인(SLj), 제 k(k는 $1 \leq k \leq p$ 을 만족하는 양의 정수) 스캔 라인(Sk), 및 제 k 센싱 신호 라인(SSk)에 접속된 화소(P)만을 도시하였다. 제 k 스캔 라인(Sk) 및 제 k 센싱 신호 라인(SSk)은 제 k 게이트 라인(GLk)에 포함된다.
- [0030] 유기 발광 다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기 발광 다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 고전위 전압(ELVDD)보다 낮은 저전위 전압(ELVSS)이 공급되는 저전위 전압 라인(ELVSSL)에 접속될 수 있다.
- [0031] 유기 발광 다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기 발광 다이오드(OLED)는 애노드 전극과 캐소드 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되며, 유기 발광층에서 정공과 전자가 서로 결합하여 발광하게 된다.
- [0032] 화소 구동부(PD)는 유기 발광 다이오드(OLED)와 제j 센싱 라인(SLj)으로 전류를 공급한다. 화소 구동부(PD)는 구동 트랜지스터(Driving Transistor)(DT), 스캔 라인(Sk)의 스캔 신호에 의해 제어되는 제 1 트랜지스터(ST1), 센싱 신호 라인(SSk)의 센싱 신호에 의해 제어되는 제 2 트랜지스터(ST2), 및 커패시터(capacitor)(C)를 포함할 수 있다.

- [0033] 화소 구동부(PD)는 표시 모드에서 화소(P)에 접속된 스캔 라인(Sk)으로부터 스캔 신호가 공급될 때 화소(P)에 접속된 데이터 라인(DLj)의 데이터 전압(VDATA)을 공급받고, 데이터 전압(VDATA)에 따른 구동 트랜지스터(DT)의 전류를 유기 발광 다이오드(OLED)에 공급한다. 화소 구동부(PD)는 센싱 모드에서 화소(P)에 접속된 센싱 신호 라인(SSk)으로부터 센싱 신호가 공급될 때 구동 트랜지스터(DT)의 전류를 화소(P)에 접속된 센싱 라인(SLj)으로 흘린다.
- [0034] 구동 트랜지스터(DT)는 고전위 전압 라인(ELVDDL)과 유기 발광 다이오드(OLED) 사이에 마련된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극의 전압 차에 따라 고전위 전압 라인(ELVDDL)으로부터 유기 발광 다이오드(OLED)로 흐르는 전류를 조정한다. 구동 트랜지스터(DT)의 게이트 전극은 제 1 트랜지스터(ST1)의 제 1 전극에 접속되고, 소스 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 고전위 전압(ELVDD)이 공급되는 고전위 전압 라인(ELVDDL)에 접속될 수 있다.
- [0035] 제 1 트랜지스터(ST1)는 제 k 스캔 라인(Sk)의 제 k 스캔 신호에 의해 턴-온 되어 제 j 데이터 라인(DLj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제 1 트랜지스터(ST1)의 게이트 전극은 제 k 스캔 라인(Sk)에 접속되고, 제 1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제 2 전극은 제 j 데이터 라인(DLj)에 접속될 수 있다. 제 1 트랜지스터(ST1)는 스캔 트랜지스터로 통칭될 수 있다.
- [0036] 제 2 트랜지스터(ST2)는 제 k 센싱 신호 라인(SSk)의 제 k 센싱 신호에 의해 턴-온 되어 제 j 센싱 라인(SLj)을 구동 트랜지스터(DT)의 소스 전극에 접속시킨다. 제 2 트랜지스터(ST2)의 게이트 전극은 제 k 센싱 신호 라인(SSk)에 접속되고, 제 1 전극은 제 j 센싱 라인(SLj)에 접속되며, 제 2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다. 제 2 트랜지스터(ST2)는 센싱 트랜지스터로 통칭될 수 있다.
- [0037] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 마련된다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전압과 소스 전압 간의 차전압을 저장한다.
- [0038] 도 2에서는 구동 트랜지스터(DT)와 제 1 및 제 2 트랜지스터들(ST1, ST2)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제 1 및 제 2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있다. 또한, 제 1 전극은 소스 전극일 수 있고 제 2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않는 것에 주의하여야 한다. 즉, 제 1 전극은 드레인 전극일 수 있고 제 2 전극은 소스 전극일 수 있다.
- [0039] 표시 모드에서, 제 k 스캔 라인(Sk)에 스캔 신호가 공급될 때 제 j 데이터 라인(DLj)의 데이터 전압(VDATA)이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제 k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제 j 센싱 라인(SEj)의 초기화 전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 이로 인해, 표시 모드에서 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 유기 발광 다이오드(OLED)에 공급되며, 유기 발광 다이오드(OLED)는 구동 트랜지스터(DT)의 전류에 따라 발광한다. 이때, 데이터 전압(VDATA)은 구동 트랜지스터(DT)의 문턱 전압과 전자 이동도를 보상한 전압이므로, 구동 트랜지스터(DT)의 전류는 구동 트랜지스터(DT)의 문턱 전압과 전자 이동도에 의존하지 않는다.
- [0040] 센싱 모드에서, 제 k 스캔 라인(Sk)에 스캔 신호가 공급될 때 제 j 데이터 라인의 센싱 전압이 구동 트랜지스터(DT)의 게이트 전극에 공급되고, 제 k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제 j 센싱 라인(SLj)의 초기화 전압이 구동 트랜지스터(DT)의 소스 전극에 공급된다. 또한, 제 k 센싱 신호 라인(SSk)에 센싱 신호가 공급될 때 제 2 트랜지스터(ST2)가 턴-온되어 구동 트랜지스터(DT)의 게이트 전극의 전압과 소스 전극의 전압 간의 전압 차에 따라 흐르는 구동 트랜지스터(DT)의 전류가 제 j 센싱 라인(SLj)으로 흐르도록 한다.
- [0041] 게이트 구동부(120)는 타이밍 컨트롤러(200)로부터 게이트 구동부 제어 신호(GCS)를 입력받는다. 게이트 구동부(120)는 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 게이트 라인들(GL1~GLp)에 공급한다. 게이트 신호들은 스캔 신호 및 센싱 신호를 포함한다. 게이트 구동부(120)는 표시 패널(110)의 표시 영역의 일측 또는 양측 바깥쪽의 비표시 영역에 GIP(gate driver in panel) 방식으로 형성될 수 있다.
- [0042] 데이터 구동부(130)는 타이밍 컨트롤러(200)로부터 보상 디지털 비디오 데이터(CDATA)와 데이터 구동부 제어 신호(DCS)를 입력받는다. 보상 디지털 비디오 데이터(CDATA)는 디지털 비디오 데이터(DATA)에 구동 트랜지스터(DT)의 문턱 전압을 보상하는 외부 보상 및 유기 발광 다이오드(OLED)의 열화 정도를 보상하는 잔상 보상을 수행하여 보정된 디지털 비디오 데이터이다. 데이터 구동부(130)는 데이터 구동부 제어 신호(DCS)에 따라 보상 디지털 비디오 데이터(CDATA)를 아날로그 데이터 전압으로 변환하여 데이터 라인들(DL1~DLq)에 공급한다. 게이트 구동부(120)에서 공급하는 스캔 신호들에 의해 데이터 전압들이 공급될 화소(P)들이 선택된다. 선택된 화소(P)

들은 데이터 전압들을 공급받아 소정의 밝기로 발광한다.

- [0043] 데이터 구동부(130)는 센싱 라인들(SL1~SLq)로부터 센싱 전압 또는 센싱 전류를 공급받는다. 데이터 구동부(130)는 센싱 전압 또는 센싱 전류를 이용하여 각각의 화소(P)들의 구동 트랜지스터(DT)의 문턱 전압 및 유기 발광 다이오드(OLED)의 열화 정도에 관한 정보를 포함하는 센싱 데이터(SEN)를 생성한다. 데이터 구동부(130)는 센싱 데이터(SEN)를 타이밍 컨트롤러(200)로 공급한다.
- [0044] 데이터 구동부(130)는 복수의 소스 드라이버 IC(Source Driver Integrated Circuit, SDIC)(131)들을 포함한다. 소스 드라이버 IC(131)들 각각은 연성필름(140)들 각각에 실장된다. 연성필름(140)들 각각은 이방성 도전 필름(Anisotropic Conductive Flim, ACF)을 이용하여 TAB(Tape Automated Bonding) 방식으로 하부 기판(111) 상에 마련된 패드들 상에 부착될 수 있다. 패드들은 데이터 라인들(DL1~DLq)과 연결되어 있어, 소스 드라이버 IC(131)들은 데이터 라인들(DL1~DLq)에 연결될 수 있다.
- [0045] 연성필름(140)들 각각은 칩 온 필름(Chip On Film, COF) 방식 또는 칩 온 플라스틱(chip on plastic, COP) 방식으로 마련될 수 있다. 칩 온 필름은 폴리이미드(polyimide)와 같은 베이스 필름과 베이스 필름 상에 마련된 복수의 도전성 리드선들을 포함할 수 있다. 연성필름(140)들 각각은 휘어지거나 구부러질 수 있다. 연성필름(140)들 각각은 표시 패널(110)의 하부 기판(111)과 소스 인쇄회로보드(150)에 부착될 수 있다.
- [0046] 소스 인쇄회로보드(150)는 연성필름(140)들에 부착될 수 있다. 소스 인쇄회로보드(150)는 브릿지 회로(300) 및 메모리(400)를 실장할 수 있다. 소스 인쇄회로보드(150)는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다. 소스 인쇄회로보드(150)는 연결부(160)를 통해 제어 인쇄회로보드(170)와 연결된다.
- [0047] 연결부(160)는 소스 인쇄회로보드(150)와 제어 인쇄회로보드(170)를 연결한다. 연결부(160)는 케이블 또는 다수의 핀을 갖는 커넥터 등으로 구현될 수 있다.
- [0048] 제어 인쇄회로보드(170)는 복수의 구동 칩들을 실장할 수 있다. 제어 인쇄회로보드(170)는 타이밍 컨트롤러(200)를 실장할 수 있다. 제어 인쇄회로보드(170)는 연결부(160)에 의해 소스 인쇄회로보드(150)와 연결된다.
- [0049] 타이밍 컨트롤러(200)는 외부의 호스트 시스템으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호(TS)들을 입력받는다. 외부의 호스트 시스템은 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 방송 수신기, 폰 시스템(Phone system) 등으로 구현될 수 있다. 호스트 시스템은 스케일러 scaler)를 내장한 SoC(System on chip)을 포함하여 입력된 영상의 디지털 비디오 데이터(DATA)를 표시 패널(110)에 표시하기에 적합한 포맷으로 변환한다.
- [0050] 타이밍 신호(TS)들은 수직 동기 신호(vertical synchronization signal), 수평 동기 신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함할 수 있다. 수직 동기 신호는 1 프레임 기간을 정의하는 신호이다. 수평 동기 신호는 표시 패널(100)의 1 수평 라인의 화소(P)들에 데이터 전압들을 공급하는 데 필요한 1 수평 기간을 정의하는 신호이다. 데이터 인에이블 신호는 유효한 데이터가 입력되는 기간을 정의하는 신호이다. 도트 클럭은 소정의 짧은 주기로 반복되는 신호이다.
- [0051] 타이밍 컨트롤러(200)는 게이트 구동부(120)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위해, 타이밍 신호(TS)들에 기초하여 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS)를 생성한다. 타이밍 컨트롤러(200)는 게이트 구동부(120)에 게이트 구동부 제어 신호(GCS)를 출력하고, 데이터 구동부(130)에 데이터 구동부 제어 신호(DCS)를 출력한다.
- [0052] 타이밍 컨트롤러(200)는 데이터 구동부(130)로부터 센싱 데이터(SEN)를 입력받는다. 타이밍 컨트롤러(200)는 센싱 데이터(SEN)를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터를 생성한다. 타이밍 컨트롤러는 보상 데이터를 이용하여 외부 보상 및 잔상 보상을 수행한다. 타이밍 컨트롤러(200)는 외부 보상 및 잔상 보상을 완료한 보상 디지털 비디오 데이터(CDATA)를 데이터 구동부(130)로 공급한다. 타이밍 컨트롤러(200)는 보상 데이터를 출력한다. 출력된 보상 데이터는 메모리(400)에 저장된다.
- [0053] 브릿지 회로(300)는 타이밍 컨트롤러(200)로부터 보상 데이터를 입력받는다. 메모리(400)는 브릿지 회로(300)로부터 보상 데이터를 입력받는다. 브릿지 회로(300) 및 메모리(400)는 소스 인쇄회로보드(150)에 실장될 수 있다.
- [0054] 도 4는 본 출원에 따른 유기 발광 표시 장치의 보상 데이터 전송 방법을 나타낸 블록도이다. 도 5는 본 출원에 따른 차동 신호 방식(LVDS)을 나타낸 파형도이다. 도 6은 본 출원에 따른 단일 종단 신호 방식(JEDEC1)을 나타

낸 파형도이다.

- [0055] 본 출원에 따른 유기 발광 표시 장치는 타이밍 컨트롤러(200)가 생성한 보상 데이터를 브릿지 회로(300)로 차동 신호 방식(LVDS)으로 공급한다. 차동 신호 방식(LVDS) 중에서 사용되는 방식 중 하나가 저전위 전압 차동 신호(low voltage differential signal) 방식인 LVDS 방식이다.
- [0056] 차동 신호 방식(LVDS)은 2개의 입력 전압이 동시에 입력된다. 2개의 입력 전압들 간의 전압 차이에 따라 정보가 전달되는 인터페이스이다. 차동 신호 방식(LVDS)은 임의의 시점에 어느 하나의 입력 전압이 제 1 로직 레벨(L1)을 갖고, 나머지 하나의 입력 전압이 제 2 로직 레벨(L2)을 갖는다. 차동 신호 방식(LVDS)을 적용하는 경우 신호를 출력하는 송신부와 신호를 공급받는 수신부 사이는 적어도 2개의 라인으로 연결된다.
- [0057] 타이밍 컨트롤러(200)는 브릿지 회로(300)로 타이밍 컨트롤러(200) 내에서 생성한 클럭과 외부의 호스트 시스템에서 입력된 명령 역시 차동 신호 방식으로 공급한다. 클럭은 외부의 호스트 시스템에서 공급받은 도트 클럭이 될 수도 있고, 도트 클럭과 별도로 타이밍 컨트롤러 내부에서 자체적으로 생성한 VCO 클럭이 될 수도 있다. 명령은 클럭에 의해 일정 시간마다 보상 데이터를 메모리(400)에 업데이트 시키는 명령과 외부의 호스트 시스템에서 필요에 의해 보상 데이터를 메모리(400)에 저장하라고 내리는 명령을 포함한다.
- [0058] 브릿지 회로(300) 역시 타이밍 컨트롤러(200)로 응답 신호 및 메모리(400)에 저장된 보상 데이터를 공급할 수 있다. 차동 신호 방식(LVDS)을 이용하는 경우 송신부와 수신부는 동일한 입출력 구조를 가지게 된다. 이에 따라, 차동 신호 방식(LVDS)을 이용하는 경우 타이밍 컨트롤러(200)와 브릿지 회로(300) 사이의 양 방향 통신이 가능하다.
- [0059] 차동 신호 방식(LVDS)을 사용하여 신호를 전송하고 전송받는 경우, 제 1 및 제 2 단일 종단 신호 방식(JEDEC1, JEDEC2)을 사용하여 신호를 전송하는 경우보다 외부의 노이즈에 의한 방해가 감소한다. 차동 신호 방식(LVDS)을 적용하는 경우 장거리의 신호 전송이 보다 용이하다. 차동 신호 방식(LVDS)을 적용하는 경우 송신부에서 수신부까지의 연결선 또는 케이블의 길이는 1m 이상 10m 이하까지 증가할 수 있다. 이는 제 1 및 제 2 단일 종단 신호 방식(JEDEC1, JEDEC2)을 사용하는 경우의 40 mm 이상 60 mm 이하보다 크게 증가한 길이이다.
- [0060] 타이밍 컨트롤러(200)와 브릿지 회로(300) 사이에 차동 신호 방식(LVDS)을 적용하는 경우, 타이밍 컨트롤러(200)와 브릿지 회로(300) 사이의 노이즈에 의한 문제를 방지할 수 있다. 또한, 타이밍 컨트롤러(200)와 브릿지 회로(300) 사이에 차동 신호 방식(LVDS)을 적용하는 경우, 타이밍 컨트롤러(200)와 브릿지 회로(300) 사이의 거리를 증가시킬 수 있다. 이에 따라, 타이밍 컨트롤러(200)와 브릿지 회로(300)의 배치를 보다 자유롭게 할 수 있다.
- [0061] 브릿지 회로(300)는 메모리(400)로 클럭, 명령, 및 보상 데이터를 제 1 단일 종단 신호 방식(JEDEC1)으로 공급한다. 메모리(400)는 브릿지 회로(300)로 응답 신호 및 저장된 보상 데이터를 제 2 단일 종단 신호 방식(JEDEC2)로 공급한다.
- [0062] 제 1 및 제 2 단일 종단 신호 방식(JEDEC1, JEDEC2)은 신호를 하나의 방향으로만 전달할 수 있는 일방향 통신 방법이다. 제 1 및 제 2 단일 종단 신호 방식(JEDEC1, JEDEC2) 각각은 하나의 라인으로 구현 가능하다. 제 1 및 제 2 단일 종단 신호 방식(JEDEC1, JEDEC2)에서 사용되는 방식 중 하나가 미국 공동전자기기기술위원회(Joint Electron Device Engineering Council)에서 규정한 JEDEC 방식이다.
- [0063] JEDEC 방식에 따라 대부분의 메모리(400)는 설계되어 양산되고 있다. 따라서, 브릿지 회로(300)와 메모리(400) 사이에서 신호를 공급하고 공급받는 인터페이스를 단일 종단 신호 방식 방식으로 하는 경우, 다수의 메모리(400)에 용이하게 적용할 수 있다.
- [0064] 도 7은 본 출원의 제 1 실시예에 따른 유기 발광 표시 장치의 타이밍 컨트롤러(200), 브릿지 회로(300), 및 메모리(400)를 나타낸 블록도이다.
- [0065] 타이밍 컨트롤러(200)는 카운터(210), 호스트 컨트롤러(220), 및 제 1 입출력부(230)를 포함한다.
- [0066] 카운터(210)는 타이밍 컨트롤러(200) 내부에서 자체적으로 생성하는 클럭(CLK)을 생성한다. 클럭(CLK)을 생성하기 위해 카운터(210)는 액정 또는 수정으로 이루어진 발진기(Oscillator)를 내장할 수 있다. 클럭(CLK)의 일 예로 VCO 클럭이 있다. VCO 클럭은 외부의 호스트 시스템의 구동 또는 명령과 관계 없이, 타이밍 컨트롤러(200) 자체적으로 출력 타이밍을 결정하는 기준이 되는 신호이다. 일 예로, VCO 클럭이 소정의 카운팅 횟수를 넘어서는 경우, 카운터(210)는 메모리(400)에 저장된 보상 데이터를 갱신하기 위해 보상 데이터를 출력한다.

- [0067] 호스트 컨트롤러(220)는 클럭(CLK), 외부의 호스트 시스템에서 입력된 명령(CMD), 및 보상 데이터(DATA_COMP)를 차동 신호 방식(LVDS)으로 출력 가능하도록 정렬한다. 호스트 컨트롤러(220)는 차동 신호 방식(LVDS)으로 LVDS 방식을 이용한다.
- [0068] 명령(CMD)은 보도(broadcast, BC), 보도 응답(broadcast-response, BCR), 읽기(read, RD), 및 쓰기(write, WR)의 4가지 종류가 있다. 보도는 메모리(400)의 응답을 요구하지 않고 타이밍 컨트롤러(200)가 메모리(400)에 전달하는 명령이다. 보도응답은 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받는 명령이다. 읽기는 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받고, 메모리(400)에 저장된 보상 데이터(DATA_COMP)를 타이밍 컨트롤러(200)로 전달받는 명령이다. 쓰기는 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받고, 메모리(400)로 새로운 보상 데이터(DATA_COMP)를 갱신하는 명령이다.
- [0069] 또한, 본 출원에 따른 명령(CMD)은 메모리(400)에 저장된 보상 데이터(DATA_COMP)를 초기화하도록 지시하는 신호인 리셋 신호(RESET)를 포함할 수 있다.
- [0070] 제 1 입출력부(230)는 LVDS 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 출력한다.
- [0071] 제 1 입출력부(230)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 출력만 할 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 1 입출력부(230)에서 출력만 되며, 제 1 입출력부(230)로 입력되지는 않는다.
- [0072] 제 1 입출력부(230)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 출력하는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 1 입출력부(230)에서 출력될 수도 있고, 입력될 수도 있다.
- [0073] 제 1 입출력부(230)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여 수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.
- [0074] 선택적으로, 제 1 입출력부(230)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 출력할 수 있다.
- [0075] 브릿지 회로(300)는 제 2 입출력부(310), 브릿지 컨트롤러(320), 및 제 3 입출력부(330)를 포함한다.
- [0076] 제 2 입출력부(310)는 LVDS 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(COMP)를 입력받는다.
- [0077] 제 2 입출력부(310)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 입력만 받을 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 2 입출력부(310)에서 입력만 되며, 제 2 입출력부(310)에서 출력되지는 않는다.
- [0078] 제 2 입출력부(310)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 입력받는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 2 입출력부(310)에서 출력될 수도 있고, 입력될 수도 있다.
- [0079] 제 2 입출력부(310)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여 수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.
- [0080] 선택적으로, 제 2 입출력부(310)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 입력받을 수 있다.
- [0081] 브릿지 컨트롤러(320)는 제 2 입출력부(310)에서 LVDS 방식으로 입력받은 클럭(CLK), 명령(CMD), 및 보상 데이터(COMP)를 단일 종단 신호 방식(JEDEC1, JEDEC2)으로 출력 가능하도록 정렬한다. 브릿지 컨트롤러(320)는 단일 종단 신호 방식(JEDEC1, JEDEC2)으로 JEDEC 표준 프로토콜 방식을 이용한다.
- [0082] 제 3 입출력부(330)는 JEDEC 표준 프로토콜 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 메모리(400)로 출력한다.
- [0083] 제 3 입출력부(330)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 출력만 할 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 3 입출력부(330)에서 출력만 되며, 제 3 입출력부(230)로 입력되지는 않는다.
- [0084] 제 3 입출력부(330)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 출력하는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 3 입출력부(330)에서 출력될 수도 있고, 입력될 수도 있다.

- [0085] 제 3 입출력부(330)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여 수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.
- [0086] 선택적으로, 제 3 입출력부(330)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 출력할 수 있다.
- [0087] 메모리(400)는 제 4 입출력부(410), 분류부(420), 단기 저장부(430), 및 장기 저장부(440)를 포함한다. 메모리(400)는 비휘발성이다. 메모리(400)는 임베디드 멀티미디어 카드(embedded Multimedia Card, eMMC)로 구현될 수 있다.
- [0088] 제 4 입출력부(410)는 JEDEC 표준 프로토콜 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 입력받는다.
- [0089] 제 4 입출력부(410)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 입력만 받을 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 4 입출력부(410)에서 입력만 되며, 제 4 입출력부(410)에서 출력되지는 않는다.
- [0090] 제 4 입출력부(410)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 입력받는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 4 입출력부(410)에서 출력될 수도 있고, 입력될 수도 있다.
- [0091] 제 4 입출력부(410)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여 수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.
- [0092] 선택적으로, 제 4 입출력부(410)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 입력받을 수 있다. 메모리(400)는 리셋 신호(RESET)를 포함한 명령(CMD)을 입력받는 경우 저장된 보상 데이터(DATA_COMP)를 초기화시킨다.
- [0093] 분류부(420)는 제 4 입출력부(410)에서 입력받은 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 종류 별로 분류한다.
- [0094] 분류부(420)는 명령(CMD) 중 타이밍 컨트롤러(200)에 응답이 필요한 명령(CMD)을 분류한다. 분류부(420)는 응답이 필요한 명령(CMD)에 응답하기 위한 응답 신호(RSP)를 생성한다. 분류부(420)는 생성한 응답 신호(420)를 제 4 입출력부(410)로 전달한다.
- [0095] 분류부(420)는 입력받은 보상 데이터(DATA_COMP)를 단기 저장부(430)로 전달할 수 있다. 분류부(430)는 단기 저장부(430)에 저장되어 있는 보상 데이터(DATA_COMP)를 제 4 입출력부(410)로 전달할 수 있다.
- [0096] 단기 저장부(430)는 분류부(420)에서 전달된 보상 데이터(DATA_COMP)를 입력받는다. 단기 저장부(430)는 보상 데이터(DATA_COMP)를 장기 저장부(440)로 전달할 수 있다. 단기 저장부(430)는 저장하고 있는 보상 데이터(DATA_COMP)를 분류부(420)로 전달할 수 있다. 단기 저장부(430)는 필요에 따라 장기 저장부(440)에 저장된 보상 데이터(DATA_COMP)를 로드하여 분류부(420)로 전달할 수 있다.
- [0097] 장기 저장부(440)는 단기 저장부(430)에서 전달된 보상 데이터(DATA_COMP)를 입력받는다. 장기 저장부(440)는 단기 저장부(430)로 저장된 보상 데이터(DATA_COMP)를 전달할 수 있다. 장기 저장부(440)는 비휘발성 메모리로 구현할 수 있다.
- [0098] 본 출원의 제 1 실시예는 타이밍 컨트롤러(200)와 메모리(400) 사이의 연결선 또는 케이블의 길이를 제 1 거리(D1)로 설정할 수 있다. 제 1 거리(D1)는 1m 이상 10m 이하일 수 있다. 이는 기존의 40 mm 이상 60 mm 이하보다 크게 증가한 길이이다. 본 출원의 제 1 실시예는 LVDS 방식으로 신호를 전달하는 브릿지 회로(300)를 타이밍 컨트롤러(200)와 메모리(400) 사이에 부가하여 제 1 길이(D1)의 길이를 크게 증가시킬 수 있다.
- [0099] 도 8은 본 출원에 따른 유기 발광 표시 장치의 보도 명령(CMD_BC)을 나타낸 블록도이다.
- [0100] 타이밍 컨트롤러(200)는 보도 명령(CMD_BC)을 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 보도 명령(CMD_BC)을 메모리(400)로 출력한다.
- [0101] 도 9는 본 출원에 따른 유기 발광 표시 장치의 보도응답 명령(CMD_BCR)을 나타낸 블록도이다.
- [0102] 타이밍 컨트롤러(200)는 보도응답 명령(CMD_BCR)을 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 보도응답

명령(CMD_BCR)을 메모리(400)로 출력한다.

- [0103] 메모리(400)는 보도응답 명령(CMD_BCR)을 입력받았다는 것을 타이밍 컨트롤러(200)에 확인시켜 주는 확인 응답 신호(RSP_AC)를 생성한다. 메모리(400)는 확인 응답 신호(RSP_AC)를 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 확인 응답 신호(RSP_AC)를 타이밍 컨트롤러(200)로 출력한다.
- [0104] 도 10은 본 출원에 따른 유기 발광 표시 장치의 읽기 명령(CMD_RD)을 나타낸 블록도이다.
- [0105] 타이밍 컨트롤러(200)는 읽기 명령(CMD_RD)을 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 읽기 명령(CMD_RD)을 메모리(400)로 출력한다.
- [0106] 메모리(400)는 읽기 명령(CMD_RD)을 입력받았다는 것을 타이밍 컨트롤러(200)에 알려 주는 읽기 응답 신호(RSP_RD)를 생성한다. 메모리(400)는 읽기 응답 신호(RSP_RD)를 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 읽기 응답 신호(RSP_RD)를 타이밍 컨트롤러(200)로 출력한다.
- [0107] 메모리(400)는 타이밍 컨트롤러(200)가 이전에 저장된 보상 데이터(DATA_COMP)를 읽을 수 있도록 한다. 메모리(400)는 이전에 저장된 보상 데이터(DATA_COMP)인 리딩 데이터(DATA_RD)를 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 리딩 데이터(DATA_RD)를 타이밍 컨트롤러(200)로 출력한다.
- [0108] 도 11은 본 출원에 따른 유기 발광 표시 장치의 쓰기 명령(CMD_WR)을 나타낸 블록도이다.
- [0109] 타이밍 컨트롤러(200)는 쓰기 명령(CMD_WR)을 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 쓰기 명령(CMD_WR)을 메모리(400)로 출력한다.
- [0110] 메모리(400)는 쓰기 명령(CMD_WR)을 입력받았다는 것을 타이밍 컨트롤러(200)에 알려 주는 쓰기 응답 신호(RSP_WR)를 생성한다. 메모리(400)는 쓰기 응답 신호(RSP_WR)를 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 쓰기 응답 신호(RSP_WR)를 타이밍 컨트롤러(200)로 출력한다.
- [0111] 타이밍 컨트롤러(200)는 쓰기 응답 신호(RSP_WR)를 입력받고, 새로운 보상 데이터인 쓰기 데이터(DATA_WR)를 브릿지 회로(300)로 출력한다. 브릿지 회로(300)는 메모리(300)에 쓰기 데이터(DATA_WR)를 출력한다.
- [0112] 선택적으로, 메모리(400)는 타이밍 컨트롤러(200)가 쓰기 작업을 수행한 보상 데이터가 올바른지 확인하기 위하여 쓰기 데이터(DATA_WR)를 다시 브릿지 회로(300)로 출력할 수 있다. 브릿지 회로(300)는 쓰기 데이터(DATA_WR)를 타이밍 컨트롤러(200)로 출력할 수 있다.
- [0113] 도 12는 본 출원에 따른 유기 발광 표시 장치의 읽기 명령(CMD_RD)에 따른 타이밍 흐름도이다.
- [0114] 첫 번째로, 타이밍 컨트롤러(200)로부터 브릿지 회로(300)로 명령(CMD)이 전달된다. 명령(CMD)은 메모리(400) 내에 저장된 보상 데이터(DATA_COMP) 중 읽기 작업을 수행하려는 리딩 데이터(DATA_RD)를 로드하겠다는 내용을 포함한다.
- [0115] 두 번째로, 브릿지 회로(300)로부터 메모리(400)로 명령(CMD)이 전달된다.
- [0116] 세 번째로, 메모리(400)로부터 브릿지 회로(300)로 응답 신호(RSP)가 전달된다. 응답 신호(RSP)는 타이밍 컨트롤러(200)의 명령(CMD)을 받았음을 확인하고, 저장된 보상 데이터(DATA_COMP) 중 리딩 데이터(DATA_RD)를 출력하겠다는 알림을 포함한다.
- [0117] 네 번째로, 브릿지 회로(300)로부터 타이밍 컨트롤러(200)로 응답 신호(RSP)가 전달된다.
- [0118] 다섯 번째로, 메모리(400)로부터 브릿지 회로(300)로 리딩 데이터(DATA_RD)가 전달된다.
- [0119] 여섯 번째로, 브릿지 회로(300)로부터 타이밍 컨트롤러(200)로 리딩 데이터(DATA_RD)가 전달된다.
- [0120] 도 13은 본 출원에 따른 유기 발광 표시 장치의 쓰기 명령(CMD_WR)에 따른 타이밍 흐름도이다.
- [0121] 첫 번째로, 타이밍 컨트롤러(200)로부터 브릿지 회로(300)로 명령(CMD)이 전달된다. 명령(CMD)은 메모리(400)에 새로운 보상 데이터(DATA_COMP)인 쓰기 데이터(DATA_WR)를 라이팅하겠다는 내용을 포함한다.
- [0122] 두 번째로, 브릿지 회로(300)로부터 메모리(400)로 명령(CMD)이 전달된다.
- [0123] 세 번째로, 메모리(400)로부터 브릿지 회로(300)로 응답 신호(RSP)가 전달된다. 응답 신호(RSP)는 타이밍 컨트롤러(200)의 명령(CMD)을 받았음을 확인하고, 쓰기 데이터(DATA_WR)를 라이팅 할 준비가 되었다는 알림을 포함한다.

- [0124] 네 번째로, 브릿지 회로(300)로부터 타이밍 컨트롤러(200)로 응답 신호(RSP)가 전달된다.
- [0125] 다섯 번째로, 타이밍 컨트롤러(200)로부터 브릿지 회로(300)로 쓰기 데이터(DATA_WR)가 전달된다.
- [0126] 여섯 번째로, 브릿지 회로(300)로부터 메모리(400)로 쓰기 데이터(DATA_WR)가 전달된다.
- [0127] 선택적으로, 쓰기 작업을 수행한 보상 데이터가 올바른지 확인하기 위하여 메모리(400)로부터 브릿지 회로(300)로 쓰기 데이터(DATA_WR)가 전달될 수 있다. 브릿지 회로(300)로부터 타이밍 컨트롤러(200)로 쓰기 데이터(DATA_WR)가 전달될 수 있다.
- [0128] 도 14는 본 출원의 제 2 실시예에 따른 유기 발광 표시 장치의 타이밍 컨트롤러(200) 및 메모리(400)를 나타낸 블록도이다.
- [0129] 본 출원의 제 2 실시예에 따른 타이밍 컨트롤러(200)는 센싱 데이터(SEN)를 이용하여 외부 보상 및 잔상 보상을 수행할 수 있는 보상 데이터(DATA_COMP)를 생성한다. 타이밍 컨트롤러(200)는 생성한 보상 데이터(DATA_COMP)를 출력한다.
- [0130] 메모리(400)는 타이밍 컨트롤러(200)로부터 보상 데이터(DATA_COMP)를 입력받는다. 메모리(400)는 소스 인쇄회로기판(150)에 실장된다.
- [0131] 타이밍 컨트롤러(200)와 메모리(400) 사이는 차동 신호 방식(LVDS) 중 LVDS 방식에 따라 타이밍 컨트롤러(200) 내에서 생성한 클럭(CLK), 외부의 호스트 시스템에서 입력된 명령(CMD), 및 보상 데이터(DATA_COMP)를 양 방향으로 전달하는 복수의 라인들로 연결된다.
- [0132] 타이밍 컨트롤러(200) 및 메모리(400)는 LVDS 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 입출력하는 입출력부를 포함한다.
- [0133] 타이밍 컨트롤러(200)는 카운터(210), 호스트 컨트롤러(220), 및 제 1 입출력부(230)를 포함한다.
- [0134] 카운터(210)는 타이밍 컨트롤러(200) 내부에서 자체적으로 생성하는 클럭(CLK)을 생성한다. 클럭(CLK)을 생성하기 위해 카운터(210)는 액정 또는 수정으로 이루어진 발진기(Oscillator)를 내장할 수 있다. 클럭(CLK)의 일 예로 VCO 클럭이 있다. VCO 클럭은 외부의 호스트 시스템의 구동 또는 명령과 관계 없이, 타이밍 컨트롤러(200) 자체적으로 출력 타이밍을 결정하는 기준이 되는 신호이다. 일 예로, VCO 클럭이 소정의 카운팅 횟수를 넘어가는 경우, 카운터(210)는 메모리(400)에 저장된 보상 데이터를 갱신하기 위해 보상 데이터를 출력한다.
- [0135] 호스트 컨트롤러(220)는 클럭(CLK), 외부의 호스트 시스템에서 입력된 명령(CMD), 리셋 신호(RESET), 및 보상 데이터(DATA_COMP)를 차동 신호 방식(LVDS)으로 출력 가능하도록 정렬한다. 호스트 컨트롤러(220)는 차동 신호 방식(LVDS)으로 LVDS 방식을 이용한다.
- [0136] 명령(CMD)은 보도(broadcast, BC), 보도 응답(broadcast-response, BCR), 읽기(read, RD), 및 쓰기(write, WR)의 4가지 종류가 있다. 보도는 메모리(400)의 응답을 요구하지 않고 타이밍 컨트롤러(200)가 메모리(400)에 전달하는 명령이다. 보도응답은 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받는 명령이다. 읽기는 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받고, 메모리(400)에 저장된 보상 데이터(DATA_COMP)를 타이밍 컨트롤러(200)로 전달받는 명령이다. 쓰기는 타이밍 컨트롤러(200)가 메모리(400)에 명령을 전달한 후, 메모리(400)로부터 그에 대한 응답을 받고, 메모리(400)로 새로운 보상 데이터(DATA_COMP)를 갱신하는 명령이다.
- [0137] 또한, 본 출원에 따른 명령(CMD)은 메모리(400)에 저장된 보상 데이터(DATA_COMP)를 초기화하도록 지시하는 신호인 리셋 신호(RESET)를 포함할 수 있다.
- [0138] 제 1 입출력부(230)는 LVDS 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 출력한다.
- [0139] 제 1 입출력부(230)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 출력만 할 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 1 입출력부(230)에서 출력만 되며, 제 1 입출력부(230)로 입력되지는 않는다.
- [0140] 제 1 입출력부(230)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 출력하는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 1 입출력부(230)에서 출력될 수도 있고, 입력될 수도 있다.
- [0141] 제 1 입출력부(230)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여

수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.

- [0142] 선택적으로, 제 1 입출력부(230)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 출력할 수 있다.
- [0143] 메모리(400)는 제 4 입출력부(410), 분류부(420), 단기 저장부(430), 및 장기 저장부(440)를 포함한다.
- [0144] 제 4 입출력부(410)는 LVDS 방식으로 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 입력받는다.
- [0145] 제 4 입출력부(410)에서 클럭(CLK)을 출력하는 논리 회로는 신호를 입력만 받을 수 있도록 구현된다. 이에 따라, 클럭(CLK)은 제 4 입출력부(410)에서 입력만 되며, 제 4 입출력부(410)에서 출력되지는 않는다.
- [0146] 제 4 입출력부(410)에서 명령(CMD) 및 보상 데이터(DATA_COMP)를 입력받는 논리 회로는 신호의 입력 및 출력이 모두 가능하도록 구현된다. 이에 따라, 명령(CMD) 및 보상 데이터(DATA_COMP)는 제 4 입출력부(410)에서 출력될 수도 있고, 입력될 수도 있다.
- [0147] 제 4 입출력부(410)에서 보상 데이터(DATA_COMP)의 입력 및 출력은 복수의 논리 회로 쌍들을 이용하여 수행된다. 보상 데이터(DATA_COMP)의 용량이 큰 경우, 복수의 논리 회로 쌍들을 이용하여 동시에 보상 데이터(DATA_COMP)를 입력 및 출력할 수 있다.
- [0148] 선택적으로, 제 4 입출력부(410)는 필요할 때 리셋 신호(RESET)를 포함한 명령(CMD)을 입력받을 수 있다. 메모리(400)는 리셋 신호(RESET)를 포함한 명령(CMD)을 입력받는 경우 저장된 보상 데이터(DATA_COMP)를 초기화시킨다.
- [0149] 분류부(420)는 제 4 입출력부(410)에서 입력받은 클럭(CLK), 명령(CMD), 및 보상 데이터(DATA_COMP)를 종류 별로 분류한다.
- [0150] 분류부(420)는 명령(CMD) 중 타이밍 컨트롤러(200)에 응답이 필요한 명령(CMD)을 분류한다. 분류부(420)는 응답이 필요한 명령(CMD)에 응답하기 위한 응답 신호(RSP)를 생성한다. 분류부(420)는 생성한 응답 신호(420)를 제 4 입출력부(410)로 전달한다.
- [0151] 분류부(420)는 입력받은 보상 데이터(DATA_COMP)를 단기 저장부(430)로 전달할 수 있다. 분류부(430)는 단기 저장부(430)에 저장되어 있는 보상 데이터(DATA_COMP)를 제 4 입출력부(410)로 전달할 수 있다.
- [0152] 단기 저장부(430)는 분류부(420)에서 전달된 보상 데이터(DATA_COMP)를 입력받는다. 단기 저장부(430)는 보상 데이터(DATA_COMP)를 장기 저장부(440)로 전달할 수 있다. 단기 저장부(430)는 저장하고 있는 보상 데이터(DATA_COMP)를 분류부(420)로 전달할 수 있다. 단기 저장부(430)는 필요에 따라 장기 저장부(440)에 저장된 보상 데이터(DATA_COMP)를 로드하여 분류부(420)로 전달할 수 있다.
- [0153] 장기 저장부(440)는 단기 저장부(430)에서 전달된 보상 데이터(DATA_COMP)를 입력받는다. 장기 저장부(440)는 단기 저장부(430)로 저장된 보상 데이터(DATA_COMP)를 전달할 수 있다. 장기 저장부(440)는 비휘발성 메모리로 구현할 수 있다.
- [0154] 본 출원의 제 2 실시예는 타이밍 컨트롤러(200)와 메모리(400) 사이의 연결선 또는 케이블의 길이를 제 2 거리(D2)로 설정할 수 있다. 제 2 거리(D2)는 1m 이상 10m 이하일 수 있다. 이는 기존의 40 mm 이상 60 mm 이하보다 크게 증가한 길이이다. 본 출원의 제 2 실시예는 타이밍 컨트롤러(200)와 메모리(400) 사이의 신호 전달 방식 자체를 LVDS 방식으로 설정하였다. 이에 따라, 기존의 단일 종단 신호 방식을 이용하는 경우 대비 제 2 길이(D2)의 길이를 크게 증가시킬 수 있다.
- [0155] 본 출원에 따른 유기 발광 표시 장치는 브릿지 회로를 이용하여 타이밍 컨트롤러와 메모리 사이의 연결 제약을 완화하였다. 타이밍 컨트롤러와 메모리 사이의 연결 제약이 완화되는 경우 타이밍 컨트롤러와 메모리 사이의 거리를 가깝게 설계하지 않아도 된다. 타이밍 컨트롤러와 메모리 사이의 거리를 증가시키는 경우, 메모리를 소스 인쇄회로보드 상에 배치할 수 있다. 메모리를 소스 인쇄회로보드 상에 배치하는 경우, 표시 패널 또는 제어 인쇄회로보드의 개별적인 교체 또는 취급이 가능하다. 이에 따라, 본 출원에 따른 유기 발광 표시 장치는 보상 데이터의 라이팅 수행 없이 복수의 표시 패널에 적용이 가능하여 범용성이 우수한 제어 인쇄회로보드를 제공할 수 있다.
- [0156] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된

내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

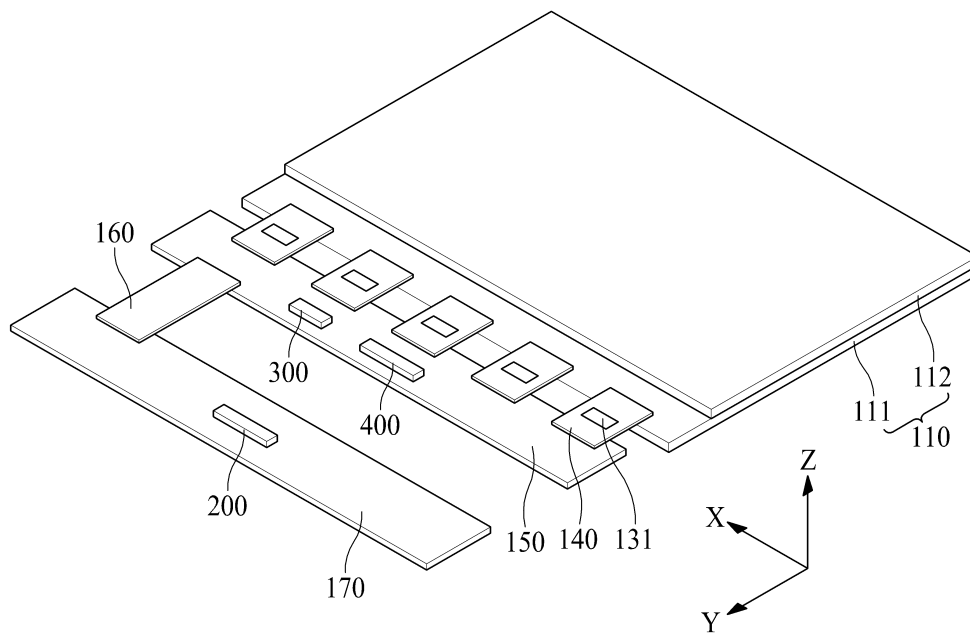
부호의 설명

[0157]

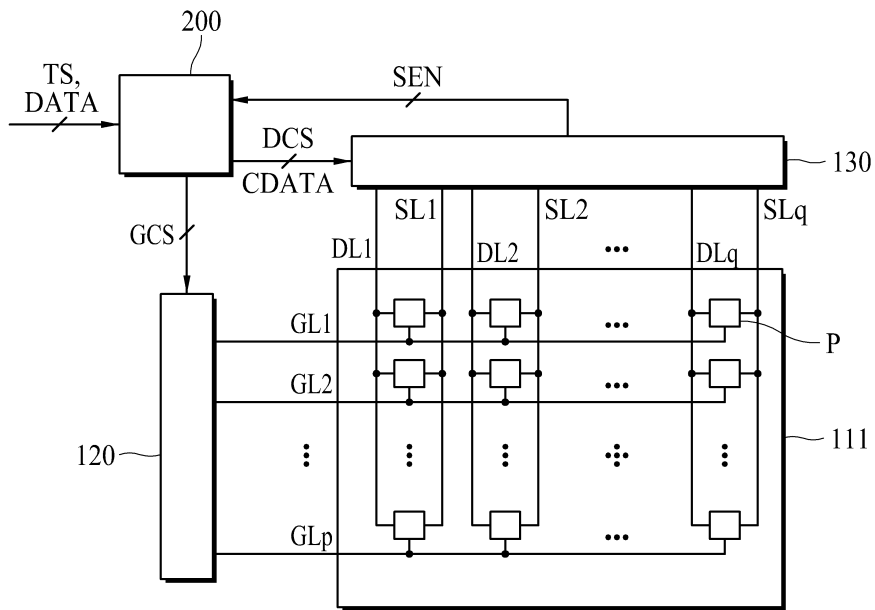
- 110: 표시 패널 111: 하부 기판
- 112: 상부 기판 120: 게이트 구동부
- 130: 데이터 구동부 131: 소스 드라이버 IC
- 140: 연성필름 150: 소스 인쇄회로보드
- 160: 연결부 170: 제어 인쇄회로보드
- 200: 타이밍 컨트롤러 210: 카운터
- 220: 호스트 컨트롤러 230: 제 1 입출력부
- 300: 브릿지 회로 310: 제 2 입출력부
- 320: 브릿지 컨트롤러 330: 제 3 입출력부
- 400: 메모리 410: 제 4 입출력부
- 420: 분류부 430: 단기 저장부
- 440: 장기 저장부

도면

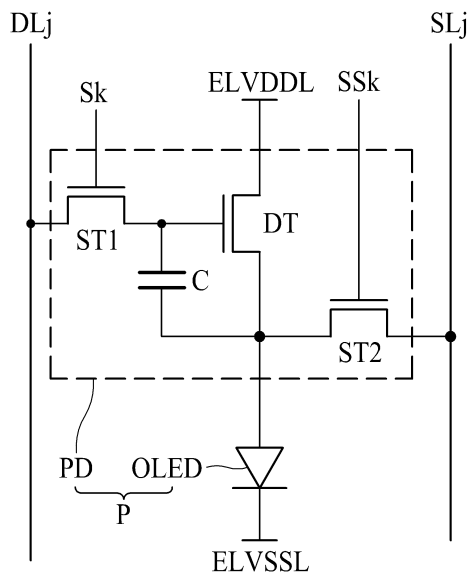
도면1



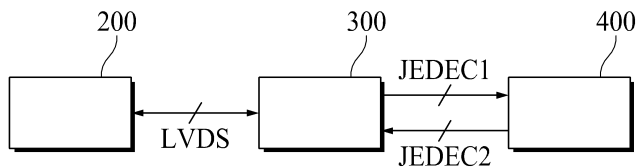
도면2



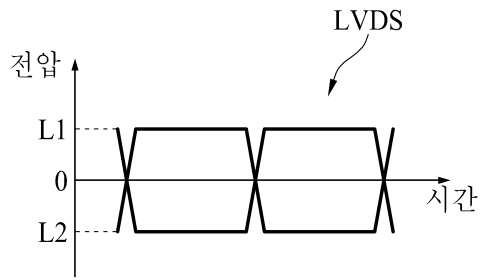
도면3



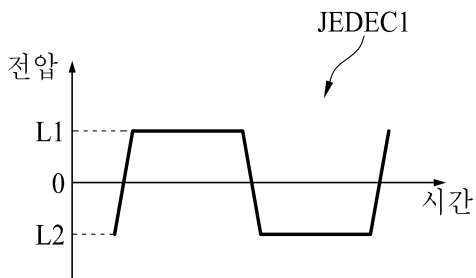
도면4



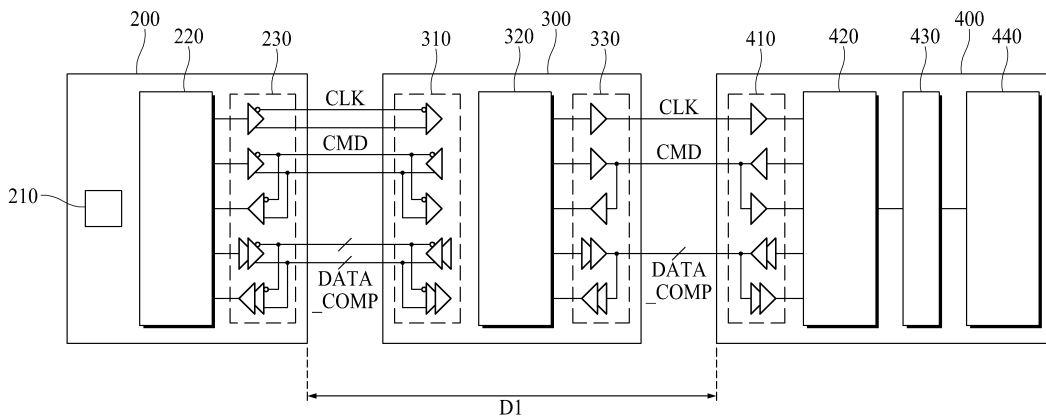
도면5



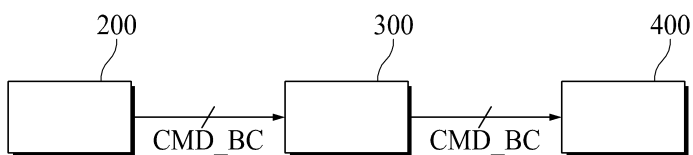
도면6



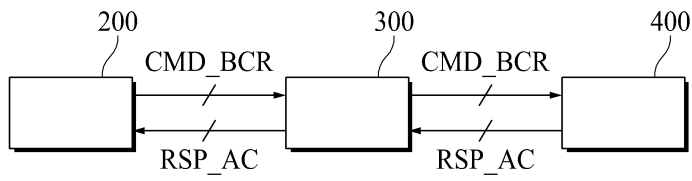
도면7



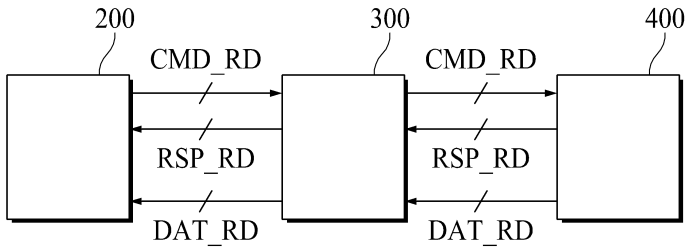
도면8



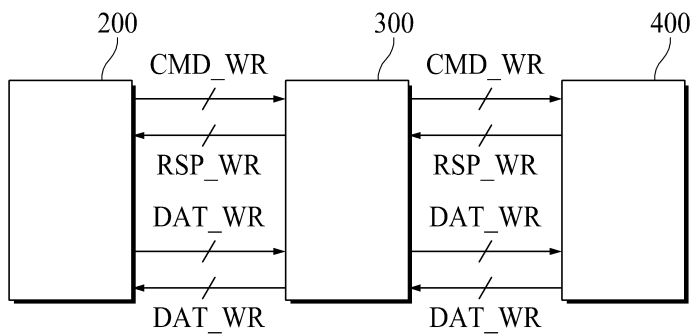
도면9



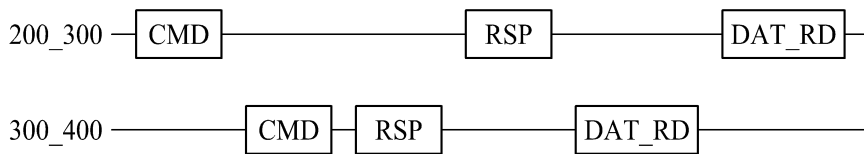
도면10



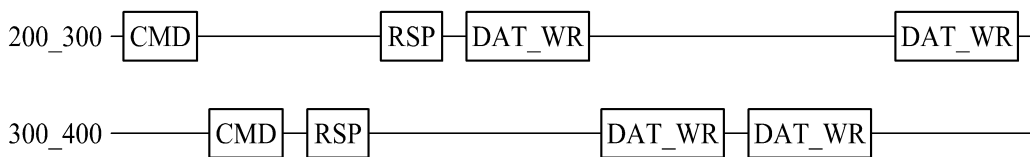
도면11



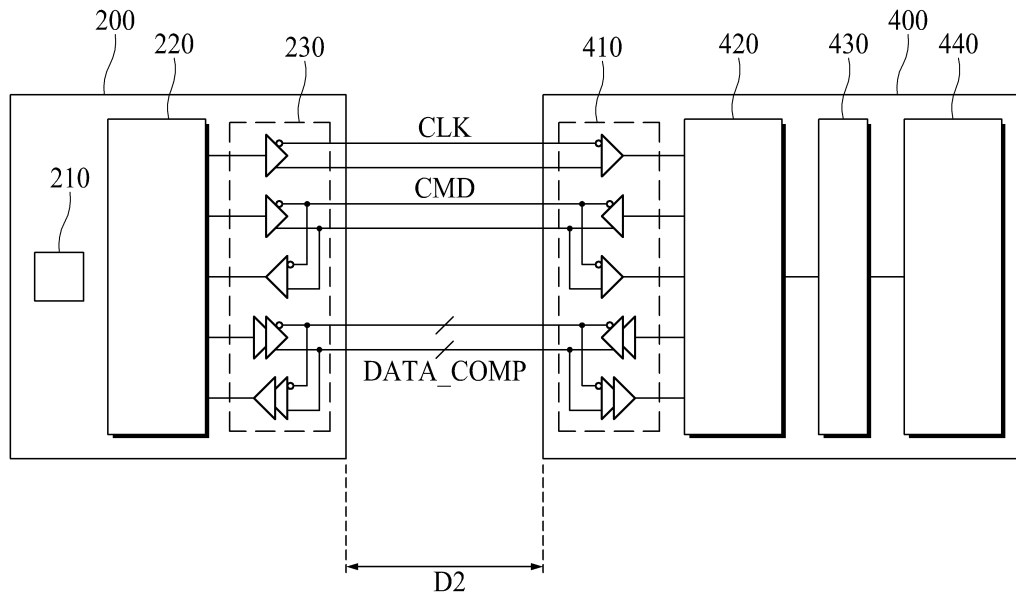
도면12



도면13



도면14



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190017329A	公开(公告)日	2019-02-20
申请号	KR1020170102006	申请日	2017-08-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	변보언		
发明人	변보언		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/043 G09G2300/0842 G09G2310/08 G09G2320/0257 G09G2370/14 G09G3/3225 G09G3/3266 G09G3/3275 G09G2300/0426 G09G2320/0295 G09G2320/043 G09G2320/045		
外部链接	Espacenet		

摘要(译)

本申请涉及一种减轻时序控制器和存储器之间的连接约束的有机发光显示装置。根据本申请的示例性实施方式的有机发光二极管显示器使用其中布置有有机发光二极管和驱动有机发光二极管的驱动晶体管的显示面板，通过使用驱动晶体管的阈值电压和有机发光二极管的劣化程度来感测数据。数据驱动器生成用于使用感测数据执行外部补偿和残留图像补偿的补偿数据，输出补偿数据，电桥电路从时序控制器接收补偿数据，以及电桥电路进行补偿它包括一个用于接收数据的存储器。桥接电路和存储器安装在源印刷电路板上。桥接电路以差分信号方式接收在时序控制器中生成的时钟，从外部主机系统输入的命令以及补偿数据。

