



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0064128  
(43) 공개일자 2017년06월09일

(51) 국제특허분류(Int. Cl.)  
H01L 51/56 (2006.01) G09G 3/32 (2016.01)  
(52) CPC특허분류  
H01L 51/56 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2015-0169248  
(22) 출원일자 2015년11월30일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
박해진  
경상북도 고령군 성산면 기산길 65 (기산리)  
심종식  
경기도 파주시 한빛로 70 (야당동, 한빛마을5단지  
캐슬엔칸타빌아파트) 511동 1405호  
(74) 대리인  
특허법인로알

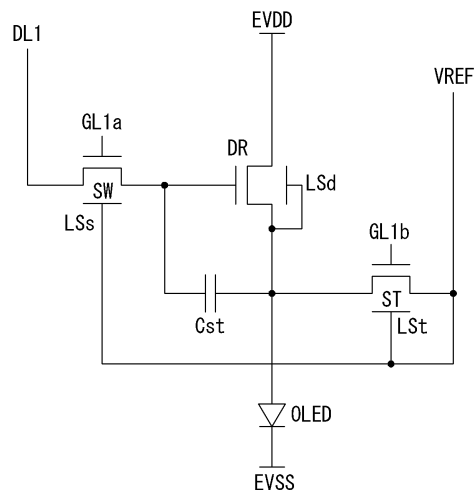
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치 및 이의 제조방법

### (57) 요약

본 발명은 트랜지스터의 보디 이펙트를 감소시키고 턴오프 동작을 안정화하여 표시품질이 저하되거나 장치의 신뢰성이 저하되는 문제를 방지하는 것이다. 이를 위해, 본 발명은 기판 상에 제1셀드 금속층, 제2셀드 금속층 및 제3셀드 금속층을 형성하고 제1 및 제3셀드 금속층과 제2셀드 금속층에 서로 다른 전압을 인가한다.

대표도 - 도6



(52) CPC특허분류

*G09G 2300/0842* (2013.01)

*H01L 2227/32* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상의 스위칭 트랜지스터의 반도체 영역에 대응하여 위치하는 제1셀드 금속층;

상기 기관 상의 구동 트랜지스터의 반도체 영역에 대응하여 위치하고 상기 제1셀드 금속층과 분리된 제2셀드 금속층; 및

상기 기관 상의 센싱 트랜지스터의 반도체 영역에 대응하여 위치하고 상기 제1셀드 금속층과 연결된 제3셀드 금속층을 포함하고,

상기 제1 및 상기 제3셀드 금속층과 상기 제2셀드 금속층에는 서로 다른 전압이 인가되는 유기전계발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 제1 및 상기 제3셀드 금속층은 상기 센싱 트랜지스터의 제1전극에 연결된 레퍼런스라인에 공통으로 연결되고,

상기 제2셀드 금속층은 상기 구동 트랜지스터의 소오스전극 노드에 연결된 유기전계발광표시장치.

#### 청구항 3

제1항에 있어서,

상기 제1 및 상기 제3셀드 금속층의 형상과 상기 제2셀드 금속층의 형상은 다른 유기전계발광표시장치.

#### 청구항 4

기관 상에 위치하고 발광영역과 회로영역을 갖는 제1 내지 제4서브 픽셀;

상기 제1서브 픽셀과 상기 제2서브 픽셀 사이에 배치된 제1 및 제2데이터라인;

상기 제2서브 픽셀과 상기 제3서브 픽셀 사이에 배치된 레퍼런스라인; 및

상기 제3서브 픽셀과 상기 제4서브 픽셀 사이에 배치된 제3 및 제4데이터라인을 포함하고,

상기 제1 내지 상기 제4서브 픽셀은

상기 기관 상의 회로영역에 위치하는 제1셀드 금속층, 상기 제1셀드 금속층과 분리된 제2셀드 금속층, 및 상기 제1셀드 금속층과 연결된 제3셀드 금속층을 각각 포함하고,

상기 제1 및 상기 제3셀드 금속층과 상기 제2셀드 금속층에는 서로 다른 전압이 인가되는 유기전계발광표시장치.

#### 청구항 5

제4항에 있어서,

상기 제1셀드 금속층은 상기 회로영역에 위치하는 스위칭 트랜지스터의 반도체 영역에 대응하여 위치하고,

상기 제2셀드 금속층은 상기 회로영역에 위치하는 구동 트랜지스터의 반도체 영역에 대응하여 위치하고,

상기 제3셀드 금속층은 상기 회로영역에 위치하는 센싱 트랜지스터의 반도체 영역에 대응하여 위치하는 유기전계

발광표시장치.

## 청구항 6

제5항에 있어서,

상기 제1 및 상기 제3셀드 금속층은 상기 센싱 트랜지스터의 제1전극에 연결된 상기 레퍼런스라인에 공통으로 연결되고,

상기 제2셀드 금속층은 상기 구동 트랜지스터의 소오스전극 노드에 연결된 유기전계발광표시장치.

## 청구항 7

제5항에 있어서,

상기 제1서브 픽셀의 제1 내지 제3셀드 금속층과 상기 제2서브 픽셀의 제1 내지 제3셀드 금속층은 서로 대칭하는 형상을 갖고,

상기 제3서브 픽셀의 제1 내지 제3셀드 금속층과 상기 제4서브 픽셀의 제1 내지 제3셀드 금속층은 서로 대칭하는 형상을 갖는 유기전계발광표시장치.

## 청구항 8

제7항에 있어서,

상기 제1 내지 상기 제4서브 픽셀의 제1 및 제3셀드 금속층은

영문자 에프(F)를 180° 회전시킨 형상을 각각 갖는 유기전계발광표시장치.

## 청구항 9

기판 상에 정의된 회로영역에 제1셀드 금속층을 형성하는 단계;

상기 기판 상에 정의된 상기 회로영역에 상기 제1셀드 금속층과 분리된 제2셀드 금속층을 형성하는 단계; 및

상기 기판 상에 정의된 상기 회로영역에 상기 제1셀드 금속층과 연결된 제3셀드 금속층을 형성하는 단계를 포함하고,

상기 제1 및 상기 제3셀드 금속층은 상기 회로영역의 센싱 트랜지스터의 제1전극에 연결된 레퍼런스라인에 공통으로 연결하고,

상기 제2셀드 금속층은 상기 회로영역의 구동 트랜지스터의 소오스전극 노드에 연결하는 유기전계발광표시장치의 제조방법.

## 청구항 10

제9항에 있어서,

상기 제1셀드 금속층은 상기 회로영역의 스위칭 트랜지스터의 반도체 영역에 대응하여 형성하고,

상기 제2셀드 금속층은 상기 회로영역의 구동 트랜지스터의 반도체 영역에 대응하여 형성하고,

상기 제3셀드 금속층은 상기 회로영역의 센싱 트랜지스터의 반도체 영역에 대응하여 형성하는 유기전계발광표시장치의 제조방법.

## 발명의 설명

## 기술 분야

[0001] 본 발명은 유기전계발광표시장치 및 그의 제조방법에 관한 것이다.

## 배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기

전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라스마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔 구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 장시간 사용시 서브 픽셀 내에 포함된 소자의 특성(문턱전압, 전류 이동도 등)이 변하는 문제가 있다. 이를 보상하고자 서브 픽셀 내에 보상회로를 추가하는 방식이 제안된 바 있다. 또한, 유기전계발광표시장치는 서브 픽셀 내에 포함된 소자(예: 박막 트랜지스터)를 외광으로부터 보호 및 안정화하기 위해 외광을 차단하는 역할을 하는 층을 추가하는 방식이 제안된 바 있다.

[0005] 그런데 보상회로를 갖는 서브 픽셀에 외광을 차단하는 층을 추가할 경우, 서브 픽셀 내에 포함된 특정 트랜지스터의 문턱전압이 이동하는 등 보디 이펙트(Body Effect)가 야기되고 있는바 이의 개선이 요구된다.

## 발명의 내용

### 해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 트랜지스터의 보디 이펙트를 감소시키고 턴오프 동작을 안정화하여 표시품질이 저하되거나 장치의 신뢰성이 저하되는 문제를 방지하는 것이다.

### 과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 제1셀드 금속층, 제2셀드 금속층 및 제3셀드 금속층을 갖는 유기전계발광표시장치를 제공한다. 제1셀드 금속층은 기판 상의 스위칭 트랜지스터의 반도체 영역에 대응하여 위치한다. 제2셀드 금속층은 기판 상의 구동 트랜지스터의 반도체 영역에 대응하여 위치하고 제1셀드 금속층과 분리된다. 제3셀드 금속층은 기판 상의 센싱 트랜지스터의 반도체 영역에 대응하여 위치하고 제1셀드 금속층과 연결된다. 제1 및 제3셀드 금속층과 제2셀드 금속층에는 서로 다른 전압이 인가된다.

[0008] 제1 및 제3셀드 금속층은 센싱 트랜지스터의 제1전극에 연결된 레퍼런스라인에 공통으로 연결되고, 제2셀드 금속층은 구동 트랜지스터의 소오스전극 노드에 연결될 수 있다.

[0009] 제1 및 제3셀드 금속층의 형상과 제2셀드 금속층의 형상은 다를 수 있다.

[0010] 다른 측면에서 본 발명은 제1 내지 제4서브 픽셀, 제1 및 제2데이터라인, 레퍼런스라인 및 제3 및 제4데이터라인을 포함하는 유기전계발광표시장치를 제공한다. 제1 내지 제4서브 픽셀은 기판 상에 위치하고 발광영역과 회로영역을 갖는다. 제1 및 제2데이터라인은 제1서브 픽셀과 제2서브 픽셀 사이에 배치된다. 레퍼런스라인은 제2서브 픽셀과 제3서브 픽셀 사이에 배치된다. 제3 및 제4데이터라인은 제3서브 픽셀과 제4서브 픽셀 사이에 배치된다. 제1 내지 제4서브 픽셀은 기판 상의 회로영역에 위치하는 제1셀드 금속층, 제1셀드 금속층과 분리된 제2셀드 금속층, 및 제1셀드 금속층과 연결된 제3셀드 금속층을 각각 포함하고, 제1 및 제3셀드 금속층과 제2셀드 금속층에는 서로 다른 전압이 인가된다.

[0011] 제1셀드 금속층은 회로영역에 위치하는 스위칭 트랜지스터의 반도체 영역에 대응하여 위치하고, 제2셀드 금속층은 회로영역에 위치하는 구동 트랜지스터의 반도체 영역에 대응하여 위치하고, 제3셀드 금속층 회로영역에 위치하는 센싱 트랜지스터의 반도체 영역에 대응하여 위치할 수 있다.

[0012] 제1 및 제3셀드 금속층은 센싱 트랜지스터의 제1전극에 연결된 레퍼런스라인에 공통으로 연결되고, 제2셀드 금속층은 구동 트랜지스터의 소오스전극 노드에 연결될 수 있다.

[0013] 제1서브 픽셀의 제1 내지 제3셀드 금속층과 제2서브 픽셀의 제1 내지 제3셀드 금속층은 서로 대칭하는 형상을 갖고, 제3서브 픽셀의 제1 내지 제3셀드 금속층과 제4서브 픽셀의 제1 내지 제3셀드 금속층은 서로 대칭하는 형상을 가질 수 있다.

[0014] 제1 내지 제4서브 픽셀의 제1 및 제3셀드 금속층은 영문자 에프(F)를 180° 회전시킨 형상을 가질 수 있다.

[0015] 다른 측면에서 본 발명은 유기전계발광표시장치의 제조방법을 제공한다. 유기전계발광표시장치의 제조방법은 기판 상에 정의된 회로영역에 제1셀드 금속층을 형성하는 단계, 기판 상에 정의된 회로영역에 제1셀드 금속층과 분리된 제2셀드 금속층을 형성하는 단계, 및 기판 상에 정의된 회로영역에 제1셀드 금속층과 연결된 제3셀드 금속층을 형성하는 단계를 포함한다.

속층을 형성하는 단계를 포함하고, 제1 및 제3섀드 금속층은 회로영역의 센싱 트랜지스터의 제1전극에 연결된 레퍼런스라인에 공통으로 연결하고, 제2섀드 금속층은 회로영역의 구동 트랜지스터의 소오스전극 노드에 연결한다.

[0016] 제1섀드 금속층은 회로영역의 스위칭 트랜지스터의 반도체 영역에 대응하여 형성하고, 제2섀드 금속층은 회로영역의 구동 트랜지스터의 반도체 영역에 대응하여 형성하고, 제3섀드 금속층 회로영역의 센싱 트랜지스터의 반도체 영역에 대응하여 형성할 수 있다.

### 발명의 효과

[0017] 본 발명은 구동 트랜지스터의 섀드 금속층과 스위칭 및 센싱 트랜지스터의 섀드 금속층을 분리하여 보디 이펙트를 감소시키고 더불어 장치의 신뢰성을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 보디 이펙트를 감소시키기 위해 분리된 섀드 금속층에 서로 다른 전압을 인가하고 유기 발광다이오드의 발광 동작 중 스위칭 트랜지스터 또는 센싱 트랜지스터가 턴온되지 않도록 하여 표시품질이 저하되는 문제를 방지한다. 또한, 본 발명은 게이트로우전압의 변동(하향)이나 적층 구조의 변경 없이 트랜지스터의 턴오프 동작을 안정화할 수 있는 효과가 있다.

### 도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.  
 도 2는 서브 픽셀의 개략적인 회로 구성도.  
 도 3은 실험예에 따른 서브 픽셀의 회로 구성 예시도.  
 도 4는 실험예에 따른 서브 픽셀의 문제점을 전기적인 측면에서 설명하기 위한 도면.  
 도 5는 실험예에 따른 서브 픽셀의 문제점을 화질적인 측면에서 설명하기 위한 도면.  
 도 6은 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성 예시도.  
 도 7은 일 실시예에 따른 서브 픽셀의 개선점을 전기적인 측면에서 설명하기 위한 도면.  
 도 8은 본 발명의 일 실시예에 따른 표시패널의 단면 예시도.  
 도 9는 도 8에 포함된 서브 픽셀의 평면 예시도.  
 도 10은 도 9의 서브 픽셀을 더욱 구체화한 평면 예시도.  
 도 11은 본 발명의 일 실시예에 따라 섀드 금속층의 배치 구조를 설명하기 위한 회로영역의 확대도.  
 도 12는 본 발명의 다른 실시예에 따라 섀드 금속층의 배치 구조를 설명하기 위한 회로영역의 확대도.

### 발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 유기전계발광표시장치는 빛의 출사 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현될 수 있다. 그러나 이하에서는 설명의 편의를 위해 배면발광 방식인 것을 일례로 설명한다.

[0021] 유기전계발광표시장치는 트랜지스터의 채널 구조에 따라 백채널 에치드(Back Channel Etched, BCE) 또는 에치 스톱퍼(Etch Stopper, ES)를 포함하는 인버티드 스테거드형(Inverted Staggered), 스테거드형(Staggered) 또는 코플라나형(coplanar) 구조로 구현될 수 있다. 그러나 이하에서는 설명의 편의를 위해 코플라나형인 것을 일례로 설명한다.

[0022] 유기전계발광표시장치는 트랜지스터의 반도체 물질에 따라 산화물(Oxide), 저온폴리 실리콘(LTPS), 아몰포스 실리콘(a-Si) 또는 폴리 실리콘(p-Si)을 기반으로 구현될 수 있다. 그러나 이하에서는 설명의 편의를 위해 산화물 반도체를 기반으로 하는 것을 일례로 설명한다.

[0023] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이다.

- [0024] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0025] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0026] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0027] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 디지털 형태의 데이터신호를 아날로그 형태의 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0028] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호(또는 게이트신호)를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0029] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0030] 서브 픽셀은 배면발광(Bottom-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0031] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0032] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0033] 유기전계발광표시장치는 장시간 사용시 서브 픽셀 내에 포함된 소자의 특성(문턱전압, 전류 이동도 등)이 변하는 문제가 있다. 이를 보상하고자 서브 픽셀 내에 보상회로(CC)를 추가한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하다.
- [0034] 또한, 유기전계발광표시장치는 서브 픽셀 내에 포함된 소자(예: 박막 트랜지스터)를 외광으로부터 보호(외광을 차단, Light Shielding) 및 구동 성능을 안정화하는 역할을 하는 쉴드 금속층을 추가한다. 쉴드 금속층은 금속 재료로 선택된다.
- [0035] 쉴드 금속층은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 보상회로(CC)에 포함된 트랜지스터를 외광으로부터 보호 및 구동 성능을 안정화하기 위해 반도체 영역(또는 반도체층의 채널영역)의 상부나 하부에 배치된다.
- [0036] 그런데 보상회로(CC)를 갖는 서브 픽셀에 쉴드 금속층을 배치할 경우, 서브 픽셀 내에 포함된 특정 트랜지스터의 문턱전압이 이동하는 등 보디 이펙트(Body Effect)가 야기되고 있는바 이의 개선이 요구된다.
- [0037] 이하, 실험예의 문제점에 대해 설명한다.
- [0038] 도 3은 실험예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 4는 실험예에 따른 서브 픽셀의 문제점을 전기적인 측면에서 설명하기 위한 도면이며, 도 5는 실험예에 따른 서브 픽셀의 문제점을 화질적인 측면에서 설명하기 위한 도면이다.

- [0039] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 레퍼런스라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)을 통해 전달되는 레퍼런스 전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0040] 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)의 채널영역과 대응하는 하부층 또는 상부층에는 쉘드 금속층(LSs, LSd, LSt)이 형성된다. 쉘드 금속층(LSs, LSd, LSt)은 외광으로부터 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)를 보호 및 안정화하기 위해 존재한다.
- [0041] 스위칭 트랜지스터(SW)는 제1쉘드 금속층(LSs)에 의해 채널영역이 보호된다. 제1쉘드 금속층(LSs)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 구동 트랜지스터(DR)는 제2쉘드 금속층(LSd)에 의해 채널영역이 보호된다. 제2쉘드 금속층(LSd)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 센싱 트랜지스터(ST)는 제3쉘드 금속층(LSt)에 의해 채널영역이 보호된다. 제3쉘드 금속층(LSt)은 구동 트랜지스터(DR)의 제2전극에 연결된다.
- [0042] 제1 내지 제3쉘드 금속층(LSs, LSd, LSt)은 전기적으로 플로팅(floating)된 상태가 되도록 할 수 있다. 그러나 제1 내지 제3쉘드 금속층(LSs, LSd, LSt)이 전기적으로 플로팅된 상태에 놓일 경우 원치 않는 차지(charge) 등의 영향을 받게 된다.
- [0043] 실험에는 이를 방지하기 위해, 제1 내지 제3쉘드 금속층(LSs, LSd, LSt)을 구동 트랜지스터(DR)의 제2전극에 공통으로 연결하고, 실험을 한 결과 다음과 같은 문제가 나타났다.
- [0044] 제1 내지 제3쉘드 금속층(LSs, LSd, LSt)은 구동 트랜지스터(DR)의 소오스전극 노드에 연결되어 있으므로, 이는 각 트랜지스터(SW, DR, ST)의 보디(Body) 역할을 하게 된다. 각 트랜지스터(SW, DR, ST)의 보디 전압이 증가하면  $V_{bs}$ 에 따라 특정 트랜지스터의 문턱전압( $V_{th}$ )의 시프트(shift)가 발생한다.
- [0045] 예컨대, 구동 트랜지스터(DR)의 경우,  $V_{bs} = V_{BODY} - V_{SOURCE} = 0V$ 로 보디 전압에 의한 문턱전압 이동( $V_{th}$  shift)은 발생하지 않았다. 스위칭 트랜지스터(SW)의 경우  $V_{bs} \approx 13.5V$ 이고, 센싱 트랜지스터(ST)의 경우  $V_{bs} \approx 11.5V$ 로 높은 전압차가 발생하였다. 그 결과, 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 문턱전압이 네거티브 방향으로 이동( $V_{th} (-)$  Shift)하는 문제가 발생하는 것으로 나타났다.
- [0046] 도 4의 그래프는 도 3의 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)에 설치된 쉘드 금속층(LSs, LSt)의 바이어스(L/S Bias)에 따른 문턱전압( $V_{th}$ )을 측정한 결과이다.
- [0047] 도 4에 도시된 바와 같이, 쉘드 금속층(LSs, LSt)의 바이어스(L/S Bias)가 증가할수록 문턱전압은 네거티브 방향으로 이동( $V_{th}$ 가  $(-)$  Shift)한다. 통상, 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)를 턴오프 구동하는 게이트로우전압은 통상적으로  $-9V \sim -6V$  범위로 사용된다.
- [0048] 이점을 감안하면, 보디 전압에 의해 문턱전압이 네거티브 방향으로 지속적으로 이동( $V_{th} (-)$  Shift)할 경우, 게이트로우전압을 인가했을 때 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)를 턴오프 구동하기 위한 마진이 부족해지는 지점에 도달하게 된다.
- [0049] 그리고 문턱전압이 네거티브 방향으로 이동( $V_{th} (-)$  Shift)하는 NBTiS (negative bias temperature illumination stress)의 영향이 더 심해지면 마진 부족현상 또한 심해진다.
- [0050] 그리고 이 영향으로 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)를 턴오프 구동하기 위한 게이트로우전압이 인가되었음에도 턴온되는 현상(또는 턴오프되지 않고 턴온이 유지되는 현상)이 발생할 수 있다.
- [0051] 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)는 반드시 턴오프 상태를 유지해야 한다. 하지만, 특정 조건 하에서는 턴오프 신호를 인가하였음에도 불구하고 이들 중 하나 이상이 턴온되는 현상이 발생할 수 있다. 그 결과 다음의 도 5와 같이 화질 문제가 발생한다.
- [0052] 도 5의 (a)는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)에 보디 이펙트가 없는 경우에 해당하고, 도 5의 (b)는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)에 보디 이펙트가 존재하는 경우에 해당한다.
- [0053] 표시패널 상에서 크로스토크를 유발하는 크로스토크 패턴(C/T PTN)을 표시하고 이를 장시간 구동하면, 도 5의 (a)와 같이, 화이트(W)의 배경 내에 블랙(B)이 박스 형태로 표현되어야 하나 도 5의 (b)와 같이 블랙(B)이 회색(Gr) 형태로 섞이는 불량이 발생한다. 즉, 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)가 정상적으로 동작하지 못하게 됨에 따라 데이터신호가 섞이게 되고 그 결과, 화이트(W)가 정상적으로 표현되지 못하고 얼룩 형태로

나타나게 된다.

- [0054] 그러나 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 보디 이펙트 문제를 나타낸 도 5는 하나의 예시일 뿐, 트랜지스터가 받는 영향에 따라 이와 다른 형태로 나타날 수 있는바, 표시패널의 화질 저하 문제는 이에 한정되지 않는다.
- [0055] 이하, 실험예의 문제점을 개선 및 해결할 수 있는 실시예에 대해 설명한다.
- [0056] 도 6은 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 7은 일 실시예에 따른 서브 픽셀의 개선점을 전기적인 측면에서 설명하기 위한 도면이다.
- [0057] 도 6에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 레퍼런스라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)을 통해 전달되는 레퍼런스 전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0058] 보상회로(CC)와 더불어 서브 픽셀 내에 포함된 소자의 구성 및 접속 관계를 설명하면 다음과 같다.
- [0059] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0060] 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다.
- [0061] 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제1전극 또는 제2전극은 트랜지스터의 소오스전극(트랜지스터의 타입에 따라 드레인전극이 될 수도 있음) 또는 드레인전극(트랜지스터의 타입에 따라 소오스전극이 될 수도 있음)을 의미한다.
- [0062] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0063] 레퍼런스라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성(또는 센싱노드를 통해 레퍼런스 전압을 공급)할 수 있게 된다.
- [0064] 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 레퍼런스라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분)된다.
- [0065] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0066] 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)의 채널영역과 대응하는 하부층 또는 상부층에는 쉘드 금속층(LSs, LSd, LSt)이 형성된다. 쉘드 금속층(LSs, LSd, LSt)은 외광으로부터 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)를 보호 및 안정화하기 위해 존재한다.
- [0067] 스위칭 트랜지스터(SW)는 제1쉘드 금속층(LSs)에 의해 채널영역이 보호된다. 제1쉘드 금속층(LSs)은 센싱 트랜지스터(ST)의 제1전극에 연결된다. 구동 트랜지스터(DR)는 제2쉘드 금속층(LSd)에 의해 채널영역이 보호된다. 제2쉘드 금속층(LSd)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 센싱 트랜지스터(ST)는 제3쉘드 금속층(LSt)에 의해 채널영역이 보호된다. 제3쉘드 금속층(LSt)은 센싱 트랜지스터(ST)의 제1전극에 연결된다.
- [0068] 제1 및 제3쉘드 금속층(LSs, LSt)은 제2쉘드 금속층(LSd)과 전기적 및 구조적으로 분리되고 레퍼런스라인(VREF)에 공통으로 연결된다. 본 발명의 일 실시예는 실험예에서 발생한 문제를 해결하기 위해 위와 같이 쉘드 금속

층을 구성하고 실험을 한 결과 다음과 같은 결과를 얻었다.

- [0069] 제2셀드 금속층(LSd)과 제1 및 제3셀드 금속층(LSs, LSt)은 전기적 및 구조적으로 분리된다. 구동 트랜지스터(DR)의 보디와 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 보디는 구분(나누어진다)되어 있다. 그러므로 구동 트랜지스터(DR)의 소오스 노드의 전압이 증가하더라도 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 문턱전압( $V_{th}$ )의 시프트(shift)가 발생하지 않았다.
- [0070] 예컨대, 구동 트랜지스터(DR)의 경우,  $V_{bs} = V_{BODY} - V_{SOURCE} = 0V$ 로 보디 전압에 의한 문턱전압 이동( $V_{th}$  shift)은 발생하지 않았다. 스위칭 트랜지스터(SW)의 경우  $V_{bs} \approx 2V$  (데이터전압 의존도 존재 가능)로 보디 이펙트가 완전 제거되지 않았다.
- [0071] 하지만, 실험에 대비 스위칭 트랜지스터(SW)의  $V_{bs}$  전압을 크게 낮추어 문턱전압( $V_{th}$ ) 변동을 크게 낮출 수 있다. 센싱 트랜지스터(ST)의 경우  $V_{bs} \approx 0V$ 로 구동 트랜지스터(DR)와 마찬가지로  $V_{bs}$ 가  $0V$ 에 가까우므로, 보디 이펙트를 완전히 제거할 수 있다.
- [0072] 그러므로 본 발명의 일 실시예는 구동 트랜지스터(DR)의 보디와 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 보디 역할을 하는 셀드 금속층을 분리함에 따라, 구동 트랜지스터(DR)는 물론이고 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 문턱전압이 네거티브 방향으로 이동( $V_{th}(-)$  Shift)하는 문제를 방지할 수 있는 것으로 나타났다.
- [0073] 이하, 실시예의 성능을 뒷받침할 수 있는 시뮬레이션 결과를 덧붙인다.
- [0074] 도 7의 그래프는 트랜지스터를 턴오프 구동하는 게이트로우전압이  $-9V$  일 때, 실험예와 실시예의 데이터전압에 따른 구동전류(또는 화소 전류)를 예측한 결과이다.
- [0075] 실험예의 경우 데이터전압( $V_{data}$ )이 높을 때 구동 전류가 포화(Saturation)되어 더 상승하지 않는다. 실험예의 경우, NBTi를 가정하여  $-3V$ 의 문턱전압( $V_{th}$ )이 추가로 이동했을 때의 결과이다. 실험예의 경우, 블랙 데이터전압의 섞임 때문에 데이터전압( $V_{data}$ )을 높이더라도 구동 전류가 증가하지 않는다.
- [0076] 반면, 실시예는 화이트(White)를 표현하기 위해 데이터전압( $V_{data}$ )을 높이더라도 구동 전류가 포화되는 현상이 없다. 실시예의 경우 NBTi를 고려하여 문턱전압( $V_{th}$ )을  $-3V$  이동 시동시켰지만 구동 전류가 포화되는 현상이 없다.
- [0077] 위의 시뮬레이션 결과는, 게이트로우전압이  $-9V$  일 때 실시예의 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)가 턴오프 될 수 있는 마진이 실험에 대비 충분하다는 것을 의미한다.
- [0078] 물론, 게이트로우전압을  $-9V$  이하로 더 낮게 인가하면 트랜지스터의 턴오프를 위한 마진을 추가로 형성할 수 있다. 그러나 이를 위해 회로부의 하드웨어 부품의 변경이 필요하며 단가의 상승을 피할 수 없다. 또한, 게이트하이전압과 게이트로우전압 간의 전압 차이가 커질수록 킥백(Kickback)의 영향 또한 커지므로 추가적인 불량이 발생할 수 있다는 점을 감안해야 한다.
- [0079] 도 8은 본 발명의 일 실시예에 따른 표시패널의 단면 예시도이고, 도 9는 도 8에 포함된 서브 픽셀의 평면 예시도이며, 도 10은 도 9의 서브 픽셀을 더욱 구체화한 평면 예시도이고, 도 11은 본 발명의 일 실시예에 따라 셀드 금속층의 배치 구조를 설명하기 위한 회로영역의 확대도이며, 도 12는 본 발명의 다른 실시예에 따라 셀드 금속층의 배치 구조를 설명하기 위한 회로영역의 확대도이다.
- [0080] 도 8에 도시된 바와 같이, 표시 패널(150)은 기관(150a)과 보호기관(또는 필름)(150b) 사이에 위치하는 픽셀(P)을 포함한다. 픽셀(P)이 배치된 영역은 표시영역(AA)으로 정의되고, 픽셀(P)이 배치되지 않은 표시영역(AA)의 외곽은 비표시영역(NA)으로 정의된다.
- [0081] 픽셀(P)은 적색(R), 백색(W), 청색(B) 및 녹색(G) 이상 4개의 서브 픽셀로 이루어진 것을 일례로 하나 이는 적색(R), 청색(B) 및 녹색(G) 이상 3개의 서브 픽셀로 이루어질 수도 있다. 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀은 수평 또는 수직 방향으로 배치된다. 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 따라서, 이하에서는 제1서브 픽셀 내지 제3서브 픽셀 또는 제1서브 픽셀 내지 제4서브 픽셀로 명명한다.
- [0082] 도 9(a) 및 9(b)에 도시된 바와 같이, 제1서브 픽셀 내지 제3서브 픽셀(SP1 ~ SP3) 및 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)에는 발광영역(EMA)과 회로영역(DRA)이 포함된다.

- [0083] 발광영역(EMA)은 빛을 발광하는 영역에 해당하고 이 영역에 유기 발광다이오드가 위치한다. 회로영역(DRA)은 빛을 발광하지 않는 영역에 해당하고 이 영역에 유기 발광다이오드를 구동하는 구동 트랜지스터 등이 위치한다.
- [0084] 발광영역(EMA)과 회로영역(DRA)을 나누는 비율 그리고 이의 형상은 발광재료, 발광면적, 트랜지스터의 특성, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0085] 도 10에 도시된 바와 같이, 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)은 예컨대, 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀 순으로 배치될 수 있다. 그러나 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0086] 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 가로방향에는 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)이 배치된다. 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 세로방향에는 제1전원라인(EVDD), 레퍼런스라인(VREF) 및 데이터라인들(DL1 ~ DL4)이 배치된다.
- [0087] 제1서브 픽셀(SP1)의 좌측에는 제1전원라인(EVDD)이 배치될 수 있고, 우측에는 제1데이터라인(DL1)이 배치될 수 있다. 제2서브 픽셀(SP2)의 좌측에는 제2데이터라인(DL2)이 배치될 수 있고, 우측에는 레퍼런스라인(VREF)이 배치될 수 있다. 제3서브 픽셀(SP3)의 좌측에는 레퍼런스라인(VREF)이 배치될 수 있고, 우측에는 제3데이터라인(DL3)이 배치될 수 있다. 제4서브 픽셀(SP4)의 좌측에는 제4데이터라인(DL4)이 배치될 수 있고, 우측에는 제1전원라인(미도시)이 배치될 수 있다.
- [0088] 도 11에 도시된 바와 같이, 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)의 회로영역(DRA)에 포함된 트랜지스터들(SW, DR, ST)은 데이터라인들(DL1, DL2)을 기준으로 좌측과 우측이 같거나 유사한 미러 형태(또는 대칭 형태)로 설계될 수 있으나 이에 한정되지 않는다.
- [0089] 제1서브 픽셀(SP1)의 구동 트랜지스터(DR)의 하부에는 제2샐드 금속층(LSd)이 배치된다. 제1서브 픽셀(SP1)의 제2샐드 금속층(LSd)은 구동 트랜지스터(DR)의 반도체 영역을 커버하도록 형성된다. 제1서브 픽셀(SP1)의 제2샐드 금속층(LSd)은 예컨대 사각형 형상에 가깝게 섬 형태로 형성된다. 제1서브 픽셀(SP1)의 제2샐드 금속층(LSd)은 제1A콘택홀(CH1a)을 통해 자신의 서브 픽셀의 구동 트랜지스터(DR)의 제2전극에 연결된다.
- [0090] 제2서브 픽셀(SP2)의 구동 트랜지스터(DR)에 배치된 제2샐드 금속층(LSd)은 제1B콘택홀(CH1b)을 통해 자신의 서브 픽셀의 구동 트랜지스터(DR)의 제2전극에 연결된다. 제2서브 픽셀(SP2)의 구동 트랜지스터(DR)에 배치된 제2샐드 금속층(LSd) 또한 제1서브 픽셀(SP1)의 구동 트랜지스터(DR)의 하부에 배치된 제2샐드 금속층(LSd)과 유사하므로 구체적인 설명은 생략한다.
- [0091] 제1서브 픽셀(SP1)의 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 하부에는 제1 및 제3샐드 금속층(LSs, LSt)이 배치된다. 제1서브 픽셀(SP1)의 제1 및 제3샐드 금속층(LSs, LSt)은 자신의 서브 픽셀의 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 반도체 영역을 공통으로 커버하도록 형성된다. 제1서브 픽셀(SP1)의 제1 및 제3샐드 금속층(LSs, LSt)은 예컨대 영문자 에프(F)를 180° 회전시킨 형상에 가깝게 형성된다.
- [0092] 제2서브 픽셀(SP2)의 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)에 배치된 제1 및 제3샐드 금속층(LSs, LSt)은 제1서브 픽셀(SP1)의 제1 및 제3샐드 금속층(LSs, LSt)과 유사하므로 구체적인 설명은 생략한다.
- [0093] 제1서브 픽셀(SP1)의 제1 및 제3샐드 금속층(LSs, LSt)과 제2서브 픽셀(SP2)의 제1 및 제3샐드 금속층(LSs, LSt)은 제2콘택홀(CH2)을 통해 상호 전기적으로 연결된다. 제2콘택홀(CH2)은 제1서브 픽셀(SP1) 내에 위치하는 것을 일례로 하였다. 그러나 제2콘택홀(CH2)은 제2서브 픽셀(SP2) 내에 위치할 수도 있다.
- [0094] 그리고 제1서브 픽셀(SP1)의 제1 및 제3샐드 금속층(LSs, LSt)과 제2서브 픽셀(SP2)의 제1 및 제3샐드 금속층(LSs, LSt)은 제3콘택홀(CH3)을 통해 레퍼런스라인(VREF)에 전기적으로 연결된다. 제3콘택홀(CH3)은 세로방향으로 배치된 레퍼런스라인(VREF) 상에 위치하는 것을 일례로 하였다. 그러나 제3콘택홀(CH3)은 레퍼런스라인(VREF)과 인접하는 서브 픽셀 내에 위치할 수도 있다.
- [0095] 도 12에 도시된 바와 같이, 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 제1 및 제3샐드 금속층(LSs, LSt)은 제2서브 픽셀(SP2)과 제3서브 픽셀(SP3) 사이에 배치된 레퍼런스라인(VREF)에 공통으로 연결된다.
- [0096] 제1서브 픽셀 내지 제4서브 픽셀(SP1 ~ SP4)의 제1 및 제3샐드 금속층(LSs, LSt)은 레퍼런스라인(VREF)을 기준으로 일측(또는 좌측)에 배치된 제1 및 제2서브 픽셀(SP1, SP2)과 타측(또는 우측)에 배치된 제3 및 제4서브 픽셀(SP3, SP4)의 형상이 같거나 유사한 미러 형태(또는 대칭 형태)로 설계될 수 있으나 이에 한정되지 않는다.
- [0097] 이상 본 발명은 구동 트랜지스터의 샐드 금속층과 스위칭 및 센싱 트랜지스터의 샐드 금속층을 분리하고 이들에

서로 다른 전압이 인가되도록 전압 차이를 두어 보디 이펙트 문제를 해소할 수 있다.

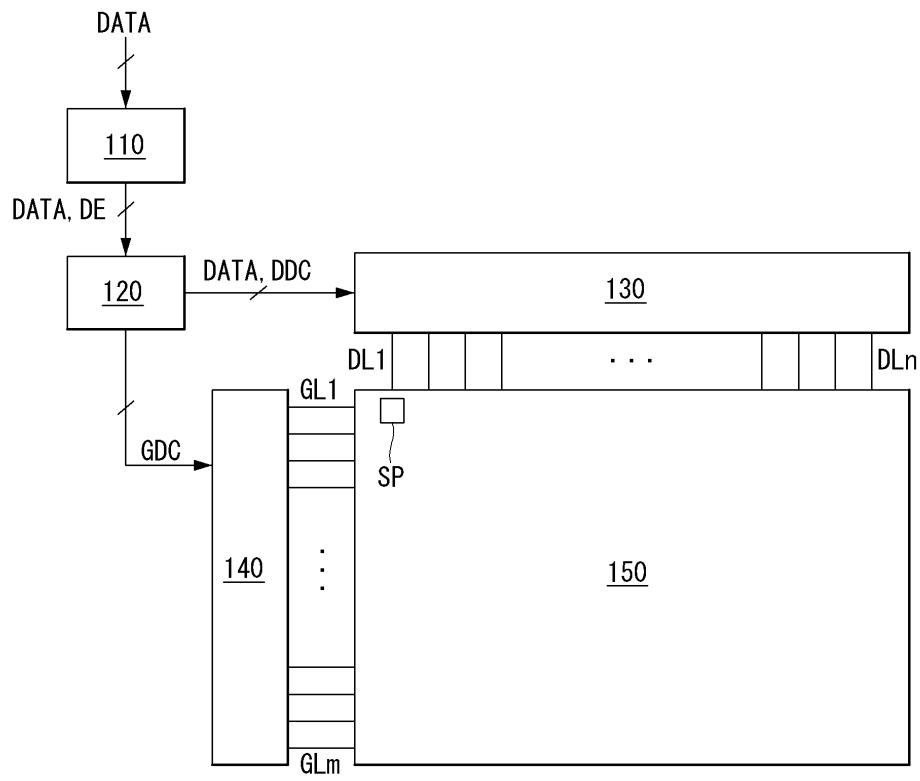
- [0098] 구체적으로, 구동 트랜지스터의 쉘드 금속층에는 구동 트랜지스터의 소오스전극 노드 전압(Driving TFT Source node)과 항상 동일한 전압이 인가되도록 한다. 그리고 스위칭 및 센싱 트랜지스터의 쉘드 금속층에는 레퍼런스 라인과 동일한 전압이 인가되도록 한다.
- [0099] 한편, 본 발명의 일 실시예에서는 도 6과 같이 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였다. 하지만, 이는 하나의 예시일 뿐 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수 있고 이들에 포함된 쉘드 금속층 또한 본원 발명과 같이 구성할 수 있다. 본 발명의 일 실시예에 따르면, 쉘드 금속층은 표시패널의 모든 트랜지스터의 하부에 배치될 수 있다.
- [0100] 기타, 다른 산화물 트랜지스터 구조 및 다른 종류의 트랜지스터의 쉘드 금속층에 전원이 인가되는 경우에도 본원 발명을 적용할 수 있다. 또한, 저온폴리 실리콘 트랜지스터 등에서 전류변동을 개선하기 위해 개재하는 하부 쉘드금속층(Bottom Shield Metal, BSM)에도 본원 발명을 적용할 수 있다.
- [0101] 이상 본 발명은 구동 트랜지스터의 쉘드 금속층과 스위칭 및 센싱 트랜지스터의 쉘드 금속층을 분리하여 보디 이펙트를 감소시킴과 더불어 장치의 신뢰성을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 보디 이펙트를 감소시키기 위해 분리된 쉘드 금속층에 서로 다른 전압을 인가하고 유기 발광다이오드의 발광 동작 중 스위칭 트랜지스터 또는 센싱 트랜지스터가 턴온되지 않도록 하여 표시품질이 저하되는 문제를 방지한다. 또한, 본 발명은 게이트로우전압의 변동(하향)이나 적층 구조의 변경 없이 트랜지스터의 턴오프 동작을 안정화할 수 있는 효과가 있다.
- [0102] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

## 부호의 설명

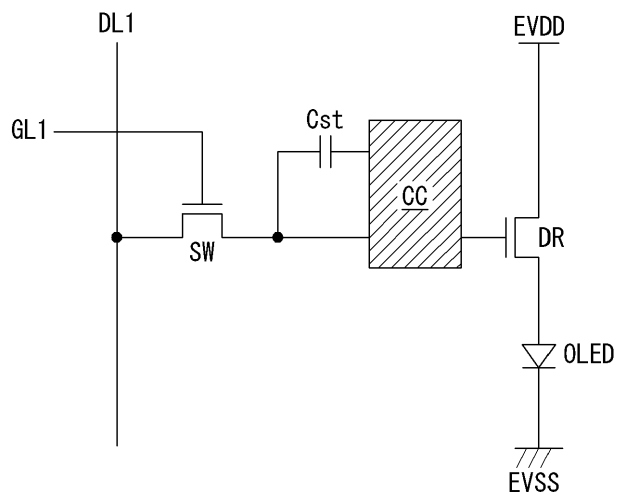
- [0103] 110: 영상 처리부 120: 타이밍 제어부  
130: 데이터 구동부 140: 스캔 구동부  
150: 표시 패널 Ls, LSd, LSt: 쉘드 금속층  
ST: 센싱 트랜지스터 DR: 구동 트랜지스터  
SW: 스위칭 트랜지스터 VREF: 레퍼런스라인

도면

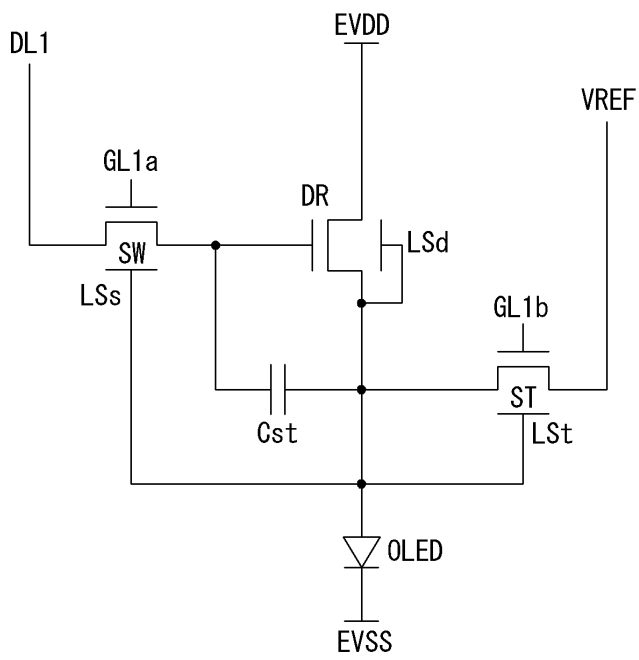
도면1



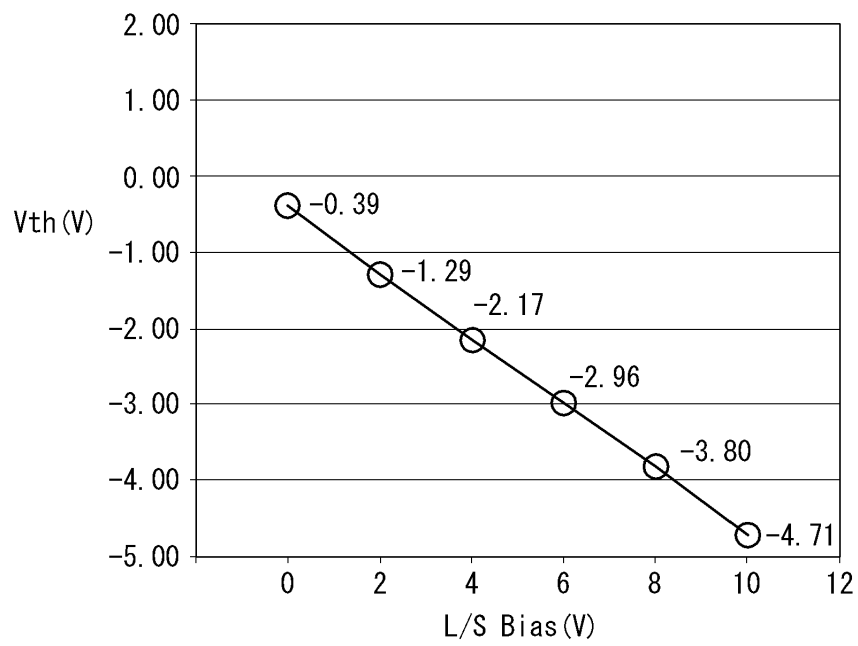
도면2



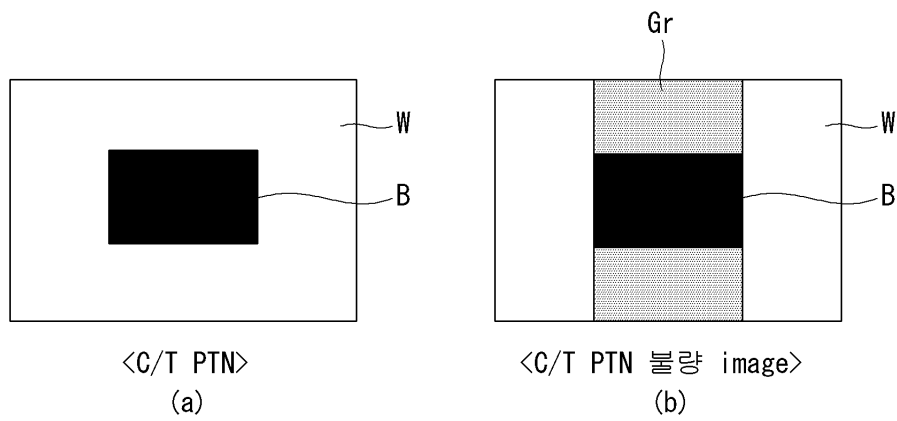
도면3



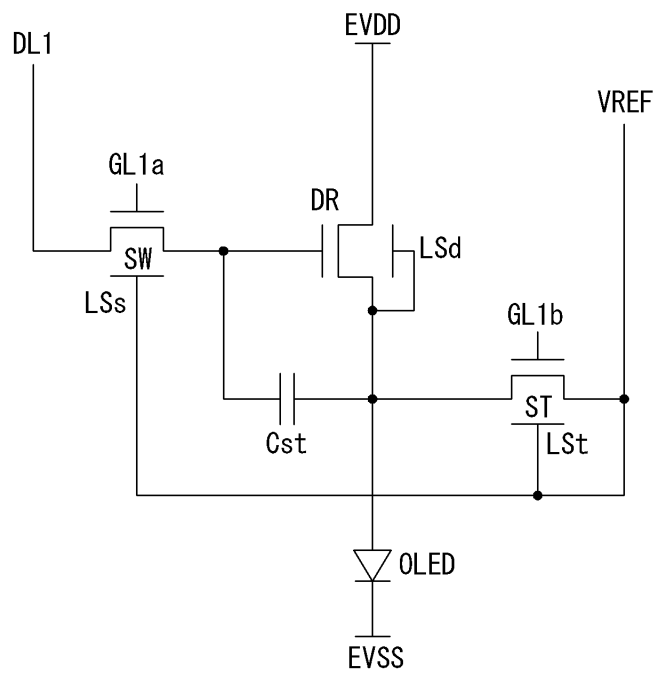
도면4



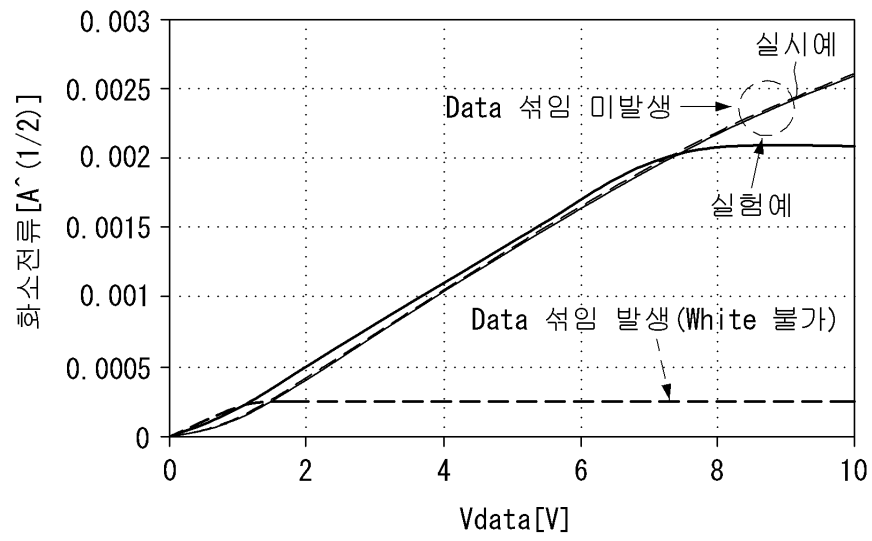
도면5



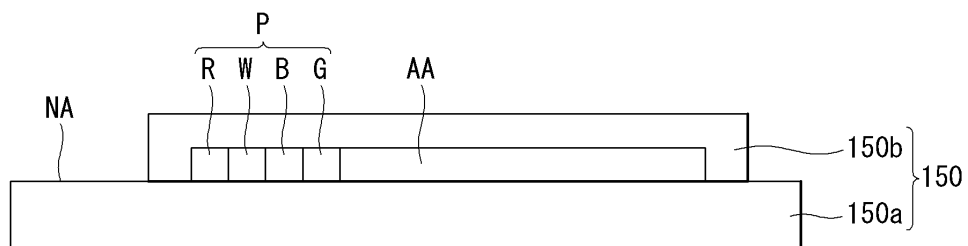
도면6



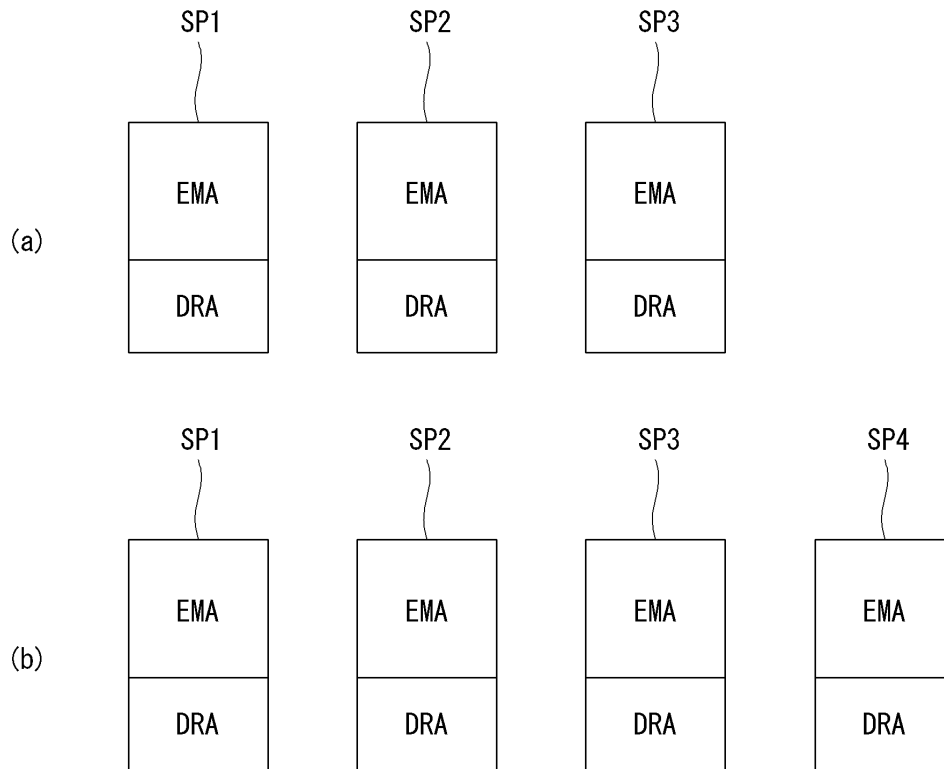
도면7



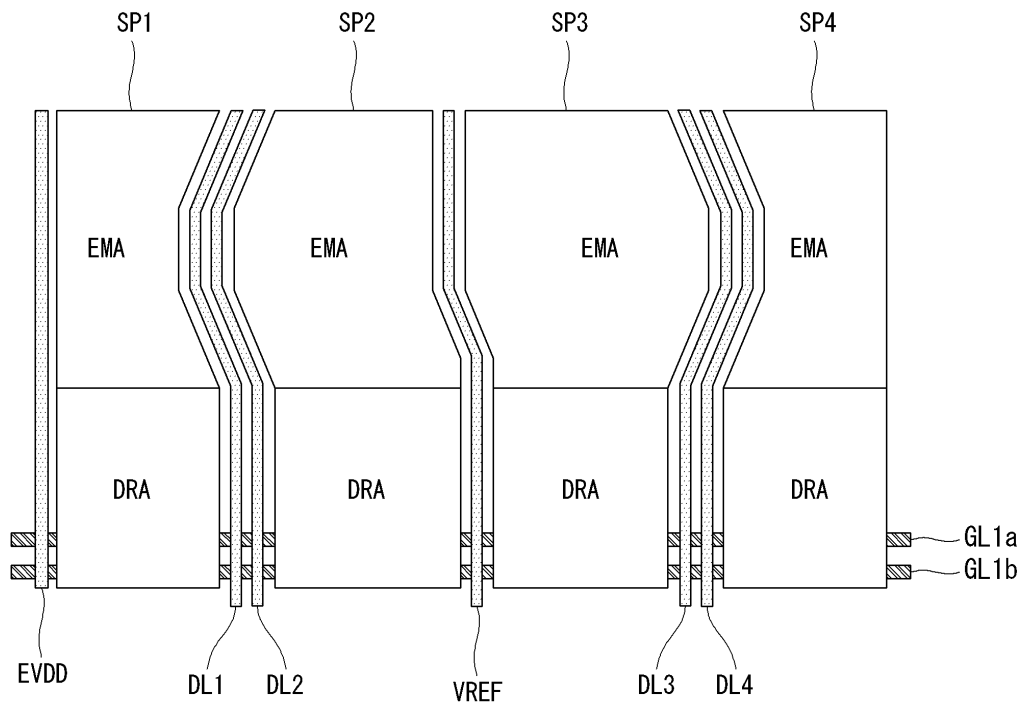
도면8



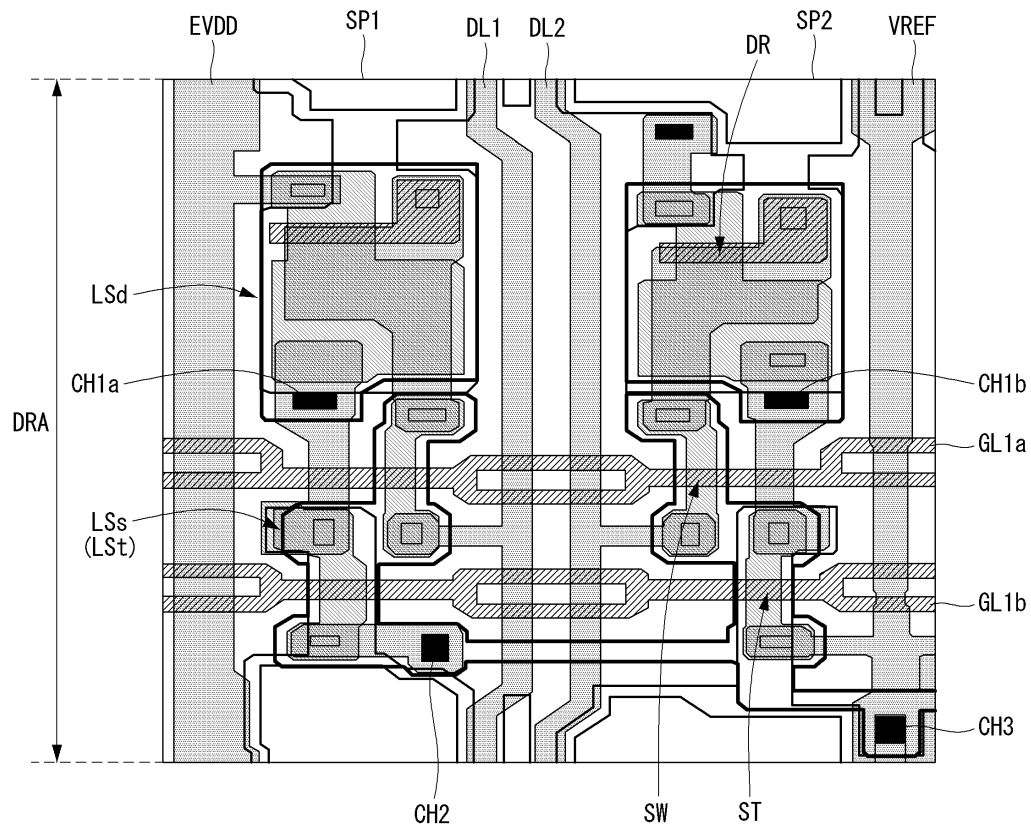
도면9



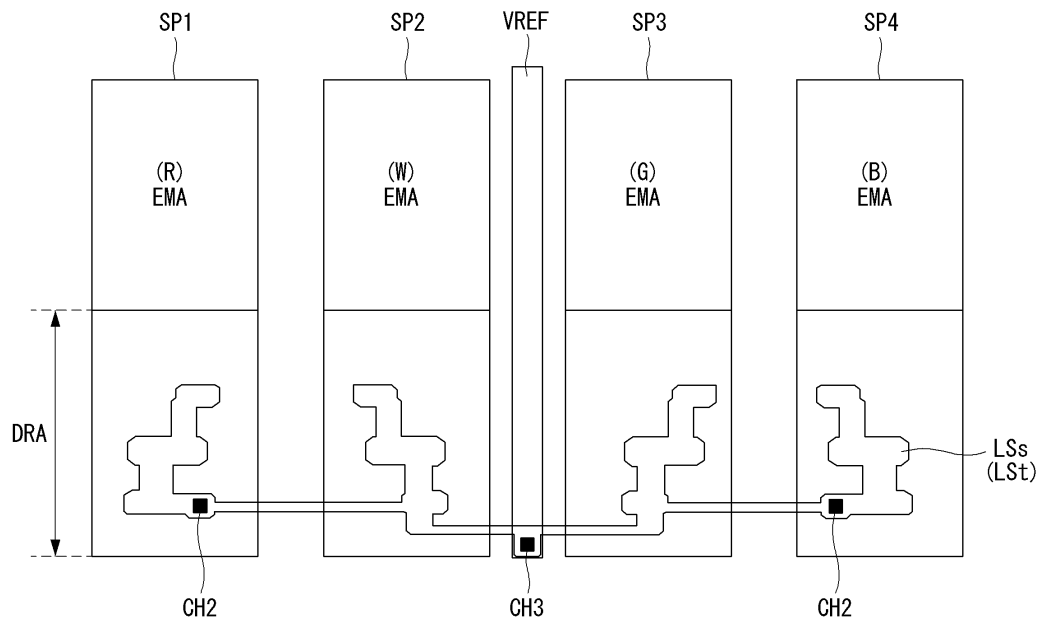
도면10



도면11



도면12



|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：有机电致发光显示装置及其制造方法                            |         |            |
| 公开(公告)号        | <a href="#">KR1020170064128A</a>               | 公开(公告)日 | 2017-06-09 |
| 申请号            | KR1020150169248                                | 申请日     | 2015-11-30 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                       |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                      |         |            |
| [标]发明人         | PARK HAE JIN<br>박해진<br>SHIM JONG SIK<br>심종식    |         |            |
| 发明人            | 박해진<br>심종식                                     |         |            |
| IPC分类号         | H01L51/56 G09G3/32                             |         |            |
| CPC分类号         | H01L51/56 H01L2227/32 G09G3/3233 G09G2300/0842 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                      |         |            |

#### 摘要(译)

本发明降低了晶体管的体效应并稳定了关断操作，从而防止了显示质量的下降或器件的可靠性。为此，本发明在基板上形成第一屏蔽金属层，第二屏蔽金属层和第三屏蔽金属层，并向第一和第三屏蔽金属层和第二屏蔽金属层施加不同的电压。

