



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(11) 공개번호 10-2016-0062317
 (43) 공개일자 2016년06월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
 (21) 출원번호 10-2014-0164624
 (22) 출원일자 2014년11월24일
 심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
신상일
 경기 고양시 일산서구 송포로 11, 803동 1603호
 (대화동, 대화마을8단지아파트)
김도형
 경기도 파주시 한빛로 67 (야당동, 한빛마을2단지
 휴먼빌레이크팰리스) 207-803
 (뒷면에 계속)
 (74) 대리인
특허법인로얄

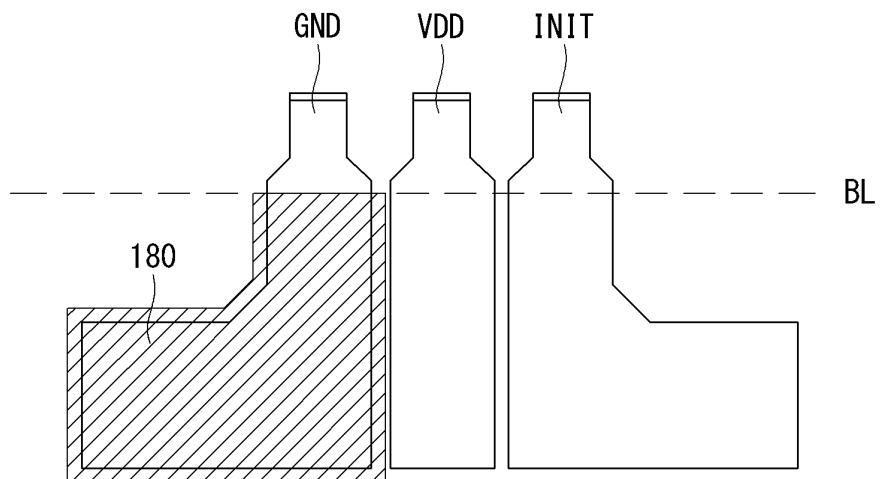
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요 약

본 발명은 기판, 패드부, 표시영역, 전원라인 및 균열방지막을 포함하는 유기전계발광표시장치에 관한 것이다. 패드부는 기판 상에 위치한다. 표시영역은 기판 상에 위치한다. 전원라인은 기판 상에 위치한다. 균열방지막은 전원라인을 덮는다.

대 표 도 - 도7



(72) 발명자
정경준
경기 포천시 소흘읍 봉솔로 9, 104동 1201호 (연봉
마을영화아이닉스아파트)

여동현
경기 수원시 장안구 서부로2105번길 16-9, 203호
(율전동)

명세서

청구범위

청구항 1

기판;

상기 기판 상에 위치하는 패드부;

상기 기판 상에 위치하는 표시영역;

상기 기판 상에 위치하는 전원라인; 및

상기 전원라인을 덮는 균열방지막을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 균열방지막은

상기 전원라인의 단차영역에 대응하여 선 형태로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 균열방지막의 선폭은

상기 전원라인의 선폭보다 더 좁은 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 균열방지막은

상기 전원라인이 차지하는 영역을 덮는 형태로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 균열방지막의 선폭은

상기 전원라인의 선폭보다 더 넓은 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 전원라인은

저전위전원을 전달하는 라인인 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 균열방지막은

상기 기판 상에 형성된 평탄화막 또는 뱅크층과 동일한 재료인 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 기판 상에 위치하는 게이트금속층과,

상기 게이트금속층 상에 위치하고 상기 게이트금속층을 덮는 제1절연막과,

상기 제1절연막 상에 위치하며 상기 제1절연막의 콘택홀을 통해 상기 게이트금속층과 전기적으로 연결된 데이터
금속층과,

상기 제1절연막 상에 위치하고 상기 데이터금속층을 덮는 제2절연막과,

상기 제2절연막 상에 위치하고 상기 제2절연막의 콘택홀을 통해 상기 데이터금속층과 전기적으로 연결된 하부전
극층을 더 포함하고,

상기 균열방지막은 상기 게이트금속층, 상기 데이터금속층 및 상기 하부전극층으로 이루어진 상기 전원라인을
덮는 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002]

유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다.
유기전계발광소자는 전자(election) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정
공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태로부터 기저상태로 떨
어질 때 발광하는 소자이다.

[0003]

유기전계발광표시장치는 유기전계발광소자를 이용하여 표시 패널을 형성한다. 표시 패널은 빛이 방출되는 방향
에 따라 상부발광(Top-Emission) 방식, 하부발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등으로
구현될 수 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 구
현될 수 있다. 유기전계발광표시장치는 연성을 부여하여 곡면을 갖게 하거나 인위적으로 또는 기계적으로 구부
러지게 하는 등 다양한 형태로 구현되고 있다.

[0004]

그런데, 종래에 제안된 표시 패널은 특정 전원라인에서 발생하는 균열로 인하여 외부로부터 침투된 수분(습기)
이나 산소 등이 표시영역으로 전파됨에 따라 신뢰성 불량이 발생하고 있다. 그러므로, 유기전계발광표시장치는
제품화 시 표시 패널의 신뢰성 불량으로 인한 이슈가 보고되고 있는바 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0005]

상술한 배경기술의 문제점을 해결하기 위한 본 발명은 장치의 신뢰성 및 수명을 향상하고, 후공정 진행 시 공정
마진을 확보할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0006]

상술한 과제 해결 수단으로 본 발명은 기판, 패드부, 표시영역, 전원라인 및 균열방지막을 포함하는 유기전계발
광표시장치에 관한 것이다. 패드부는 기판 상에 위치한다. 표시영역은 기판 상에 위치한다. 전원라인은 기판 상
에 위치한다. 균열방지막은 전원라인을 덮는다.

[0007]

균열방지막은 전원라인의 단자영역에 대응하여 선 형태로 위치할 수 있다.

[0008]

균열방지막의 선폭은 전원라인의 선폭보다 더 좁을 수 있다.

[0009]

균열방지막은 전원라인이 차지하는 영역을 덮는 형태로 위치할 수 있다.

- [0010] 균열방지막의 선폭은 전원라인의 선폭보다 더 넓을 수 있다.
- [0011] 전원라인은 저전위전원을 전달하는 라인일 수 있다.
- [0012] 균열방지막은 기판 상에 형성된 평탄화막 또는 뱅크층과 동일한 재료일 수 있다.
- [0013] 기판 상에 위치하는 게이트금속층과, 게이트금속층 상에 위치하고 게이트금속층을 덮는 제1절연막과, 제1절연막 상에 위치하며 제1절연막의 콘택홀을 통해 게이트금속층과 전기적으로 연결된 데이터금속층과, 제1절연막 상에 위치하고 데이터금속층을 덮는 제2절연막과, 제2절연막 상에 위치하고 제2절연막의 콘택홀을 통해 데이터금속층과 전기적으로 연결된 하부전극층을 더 포함하고, 균열방지막은 게이트금속층, 데이터금속층 및 하부전극층으로 이루어진 전원라인을 덮을 수 있다.

발명의 효과

- [0014] 본 발명은 표시 패널의 특정 전원라인에서 발생된 균열을 방지하고 장치의 신뢰성 및 수명을 향상할 수 있는 효과가 있다. 또한, 본 발명은 표시 패널의 제조공정에 사용되는 재료를 이용하여 균열을 방지할 수 있는 막을 형성하므로 후공정 진행 시 공정 마진을 확보할 수 있는 효과가 있다.

도면의 간단한 설명

- [0015] 도 1은 유기전계발광표시장치의 개략적인 블록도.
 도 2는 서브 픽셀의 회로 구성을 나타낸 제1예시도.
 도 3은 서브 픽셀의 회로 구성을 나타낸 제2예시도.
 도 4는 표시 패널의 단면 예시도.
 도 5는 도 4에 도시된 표시 패널의 기구적 특성을 보여주는 예시도.
 도 6은 본 발명의 일 실시예에 따른 표시 패널의 평면 예시도.
 도 7은 본 발명의 일 실시예에 따라 도 6에 도시된 표시 패널의 일부를 나타낸 예시도.
 도 8은 본 발명의 다른 실시예에 따라 도 6에 도시된 표시 패널의 일부를 나타낸 예시도.
 도 9는 도 8의 A1-A2 영역의 단면도.
 도 10은 실험예와 실시예의 단면도를 비교한 도면.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0017] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 회로 구성을 나타낸 제1예시도이고, 도 3은 서브 픽셀의 회로 구성을 나타낸 제2예시도이다.
- [0018] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시 패널(150)이 포함된다.
- [0019] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(110)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.
- [0020] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0021] 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(120)는 제어 회로기판에 IC 형태로 형성된다.
- [0022] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어

부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 데이터 회로기판에 IC 형태로 형성된다.

[0023] 게이트 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL1 ~ GLm)을 통해 게이트 신호를 출력한다. 게이트 구동부(140)는 게이트 회로기판에 IC 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0024] 표시 패널(150)은 데이터 구동부(130) 및 게이트 구동부(140)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.

[0025] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0026] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0027] 스위칭 트랜지스터(SW)는 제1게이트라인(GL1)을 통해 공급된 게이트신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(VDD)과 제2전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다.

[0028] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 구체적인 예시 및 설명은 생략한다. 박막 트랜지스터는 저온 폴리실리콘(LTPS), 아몰 포스 실리콘(a-Si), 산화물(Oxide) 또는 유기물(Organic) 반도체층을 기반으로 구현된다.

[0029] 도 3에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다.

[0030] 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2게이트라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 제3전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

[0031] 한편, 도 2 및 도 3에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터구동부(130) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C 등으로 구성될 수도 있다.

[0032] 도 4는 표시 패널의 단면 예시도이고, 도 5는 도 4에 도시된 표시 패널의 기구적 특성을 보여주는 예시도이다.

[0033] 도 4에 도시된 바와 같이, 표시 패널(150)에는 제1기판(150a), 표시영역(AA), 접착부재(165) 및 제2기판(150b)이 포함된다. 제1기판(150a)과 제2기판(150b)은 폴리이미드 (polyimide; PI), 폴리에테르술폰(polyethersulfone; PES), 폴리에틸렌 테레프탈레이트 (Polyethylene terephthalate; PET), 폴리카보네이트(Polycarbonates; PC), 폴리에틸렌 나프탈레이트 (Polyethylene Naphthalate; PEN), 아크릴로니트릴 부타디엔스티렌 (Acrylonitrile butadiene styrene; ABS) 등의 플라스틱으로 선택된다.

[0034] 표시영역(AA)은 제1기판(150a)과 제2기판(150b) 사이에 형성된다. 표시영역(AA)에는 서브 픽셀들, 각종 신호라인 및 전원라인들이 형성된다.

[0035] 제1기판(150a)과 제2기판(150b)은 이들 사이에 위치하는 접착부재(165)에 의해 합착 밀봉된다. 접착부재(165)는 PSA (Pressure Sensitive Adhesive Film)이나 OCA (Optical Clear Adhesive Film) 등으로 선택된다.

[0036] 표시영역(AA)에 형성된 서브 픽셀들, 각종 신호라인 및 전원라인들과 같은 구조물은 수분(습기)이나 산소에 취약하다. 이 때문에, 표시영역(AA)은 제1기판(150a), 제2기판(150b) 및 접착부재(165)에 의해 밀봉된다. 다만,

접착부재(165)의 특성 및 구성에 따라 제2기판(150b)은 생략될 수도 있다.

[0037] 위와 같은 표시 패널을 기반으로 제작된 유기전계발광표시장치는 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다.

[0038] 도 5에 도시된 바와 같이, 표시 패널(150)은 연성을 가지므로 이를 기반으로 제작된 유기전계발광표시장치는 인위적으로 또는 기계적으로 구부러지게 하거나 곡면을 갖게 하는 등 다양한 형태로 구현된다.

[0039] 이러한 표시 패널은 특정 전원라인에서 발생하는 균열로 인하여 외부로부터 침투된 수분(습기)이나 산소 등이 표시영역으로 전파됨에 따라 신뢰성 불량이 발생하고 있어 본 발명은 다음과 같은 구조를 이용하여 이를 개선한다.

[0040] 도 6은 본 발명의 일 실시예에 따른 표시 패널의 평면 예시도이고, 도 7은 본 발명의 일 실시예에 따라 도 6에 도시된 표시 패널의 일부를 나타낸 예시도이며, 도 8은 본 발명의 다른 실시예에 따라 도 6에 도시된 표시 패널의 일부를 나타낸 예시도이고, 도 9는 도 8의 A1-A2 영역의 단면도이며, 도 10은 실험예와 실시예의 단면도를 비교한 도면이다.

[0041] 도 6에 도시된 바와 같이, 본 발명의 일 실시예에 따른 표시 패널에는 제1기판(150a), 표시영역(AA), 패드부(160), 제1 및 제2케이트 구동부(140a, 140b), 제1전원라인(VDD), 제2전원라인(GND) 및 제3전원라인(INIT)이 포함된다.

[0042] 패드부(160)는 제1기판(150a)의 상부 외곽에 형성된다. 패드부(160)는 외부 회로기판과 전기적으로 연결되는 패드영역이다. 패드부(160)는 예컨대, 데이터 구동부가 실장된 데이터 회로기판 또는 타이밍 제어부가 실장된 제어 회로기판 등에 연결된다.

[0043] 제1 및 제2케이트 구동부(140a, 140b)는 표시영역(AA)에 형성된 서브 픽셀들(SP)에 케이트신호를 출력하는 회로이다. 제1케이트 구동부(140a)는 표시영역(AA)의 좌측에서 케이트신호를 공급하고, 제2케이트 구동부(140b)는 표시영역(AA)의 우측에서 케이트신호를 공급한다.

[0044] 제1전원라인(VDD)은 패드부(160)를 통해 외부로부터 공급된 고전위전원을 표시영역(AA)에 형성된 서브 픽셀들(SP)에 전달하는 라인이다. 제2전원라인(GND)은 패드부(160)를 통해 외부로부터 공급된 저전위전원(또는 그라운드전원)을 표시영역(AA)에 형성된 서브 픽셀들(SP)에 전달하는 라인이다. 제3전원라인(INIT)은 패드부(160)를 통해 외부로부터 공급된 초기화전원을 표시영역(AA)에 형성된 서브 픽셀들(SP)에 전달하는 라인이다.

[0045] 제1 및 제3전원라인(VDD, INIT)은 패드부(160)와 표시영역(AA) 사이에 배선된다. 제2전원라인(GND)은 패드부(160)와 표시영역(AA) 사이에 배선된 영역과 표시영역(AA)을 둘러싸는 영역을 갖는다. 제1 내지 제3전원라인(VDD, GND, INIT)은 한 쌍이 배선될 수 있고, 이들은 도 6과 같이 패드부(160)의 좌측과 우측으로 이격 분리되도록 배치될 수 있다.

[0046] 앞서 설명한 바와 같이, 표시 패널은 연성을 가지므로 이를 기반으로 제작된 유기전계발광표시장치는 인위적으로 또는 기계적으로 구부러지게 하거나 곡면을 갖게 하는 등 다양한 형태로 구현된다.

[0047] 실험예의 표시 패널을 제작하고 이를 신뢰성 가혹조건 하에서 테스트한 결과 제1기판(150a) 상에서 배선의 라우팅 길이가 길고 두꺼운 제2전원라인(GND)에 균열이 발생하는 현상이 가장 두드러지게 나타남을 발견하였다. 그리고 이때 발생된 균열로 인하여 외부로부터 침투된 수분(습기)이나 산소 등이 표시영역으로 전파되어 신뢰성 불량이 발생하게 됨을 발견하였다. 앞서 설명된 문제를 해결하기 위해 실험을 한 결과, 위의 문제는 하기에서 설명되는 실시예들로 개선할 수 있었다.

[0048] 도 6 및 도 7에 도시된 바와 같이, 본 발명의 일 실시예는 제1기판(150a) 상에 배선된 전원라인의 영역에 대응하여 위치하는 균열방지막(180)을 포함한다. 균열방지막(180)은 제1 내지 제3전원라인 중 제2전원라인(GND)이 차지하는 영역을 모두 덮도록 위치한다.

[0049] 균열방지막(180)은 제2전원라인(GND)이 차지하는 영역을 모두 덮도록 형성되므로 제2전원라인(GND)의 선폭보다 더 넓게 형성된다. 제2전원라인(GND)은 표시영역(AA)을 둘러싸도록 형성된다. 그러므로, 균열방지막(180) 또한 제2전원라인(GND)을 따라 표시영역(AA)을 둘러싸도록 형성된다.

[0050] 도 6 및 도 8에 도시된 바와 같이, 본 발명의 다른 실시예는 제1기판(150a) 상에 배선된 전원라인의 단차영역에 대응하여 위치하는 균열방지막(180)을 포함한다. 균열방지막(180)은 제1 내지 제3전원라인 중 제2전원라인(GND)의 단차영역에 대응하여 위치하는 실선(또는 점선) 형태로 위치한다.

- [0051] 균열방지막(180)은 제2전원라인(GND)의 단차영역만 덮도록 형성되므로 제2전원라인(GND)의 선폭보다 더 좁게 형성된다. 제2전원라인(GND)은 표시영역(AA)을 둘러싸도록 형성된다. 그러므로, 균열방지막(180)은 제2전원라인(GND)을 따라 표시영역(AA)을 둘러싸도록 형성된다. 그러나, 제2전원라인(GND)을 따라 표시영역(AA)을 둘러싸도록 형성하기 어려운 경우 특정 영역은 생략할 수도 있다. 아울러, 도면에서는 균열방지막(180)이 제2전원라인(GND)의 양쪽 끝 단차영역에 모두 위치하는 것을 일례로 하였지만 이는 어느 한쪽 끝 단차영역에만 위치할 수도 있다.
- [0052] 앞서 설명된 균열방지막(180)은 제2전원라인(GND)에 의해 발생된 균열이 표시영역(AA)의 내부로 전파되는 것을 방지하는 균열 전파 방지막 역할을 한다. 균열 전파 방지막 역할을 수행하는 균열방지막(180)은 표시 패널의 박막 제조공정에서 사용되는 재료 중 하나 이상으로 선택될 수 있다. 특히, 균열방지막(180)은 제2전원라인(GND)의 스텝 커버리지(step coverage)를 개선(보완)할 수 있도록 무기재료보다 유기재료로 선택된다.
- [0053] 다만, 균열방지막(180)은 패드부(160)와 인접한 경계영역(BL)부터 표시영역(AA)을 둘러싸고 있는 부분까지만 형성될 수 있다. 그 이유는 패드부(160)와 경계영역(BL) 사이는 외부로 노출되는 부분(보호막이나 접착부재가 미형성됨)이기 때문이다.
- [0054] 이하, 균열방지막(180)이 형성되는 부분의 단면도를 참조하여 설명을 부가한다.
- [0055] 도 9에 도시된 바와 같이, 제1기판(150a) 상에는 베퍼층(BUF)이 형성된다. 베퍼층(BUF)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다. 베퍼층(BUF)은 제1기판(150a)으로부터 유출되는 유해 성분을 차단함과 동시에 이후에 형성되는 막과의 접착력을 향상하는 역할 등을 하는데, 이는 생략될 수도 있다.
- [0056] 베퍼층(BUF) 상에는 게이트금속층(151)이 형성된다. 게이트금속층(151)은 제2전원라인의 제1층라인이 된다. 게이트금속층(151)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0057] 게이트금속층(151) 상에는 제1절연막(152)이 형성된다. 제1절연막(152)은 게이트금속층(151)을 덮고 그 일부를 노출하는 콘택홀을 갖는다. 제1절연막(152)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.
- [0058] 제1절연막(152) 상에는 데이터금속층(153)이 형성된다. 데이터금속층(153)은 제2전원라인의 제2층라인이 된다. 데이터금속층(153)은 제1절연막(152)의 콘택홀을 통해 게이트금속층(151)과 전기적으로 연결된다. 데이터금속층(153)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다.
- [0059] 제1절연막(152) 상에는 제2절연막(154)이 형성된다. 제2절연막(154)은 데이터금속층(153)을 덮고 그 일부를 노출하는 콘택홀을 갖는다. 제2절연막(154)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiNx)의 단일층 또는 다중층으로 이루어질 수 있다.
- [0060] 제2절연막(154) 상에는 하부전극층(156)이 형성된다. 하부전극층(156)은 제2전원라인의 제3층라인이 된다. 하부전극층(156)은 제2절연막(154)의 콘택홀을 통해 데이터금속층(153)과 전기적으로 연결된다. 하부전극층(156)은 표시영역에 위치하는 유기 발광다이오드의 하부전극과 동일한 재료 및 동일한 층에 위치하는 전극층으로서 유기 발광다이오드의 하부전극의 특성에 따라 투명전극재료나 불투명전극재료로 이루어질 수 있다.
- [0061] 제2절연막(154) 상에는 균열방지막(180)이 형성된다. 균열방지막(180)은 표시영역에 위치하는 평탄화막 또는 뱅크층과 유사 또는 동일한 폴리이미드(polyimide), 벤조사이클로부텐 series resin, 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있다.
- [0062] 도 9에 도시된 영역은 제2전원라인을 구성하는 이종의 금속층들 상호 전기적으로 접촉하며 연결되는 콘택영역(CA)에 해당한다. 제2전원라인이 이종의 금속층들에 의해 전기적으로 연결되는 콘택영역(CA)은 도 9를 통해 알 수 있듯이 급경사(steept taper)가 존재한다.
- [0063] 도 10 (a)에 도시된 바와 같이, 실험예는 구조적인 급경사(steept taper)로 인하여 하부전극층의 단차영역(AND Edge), 제2절연막의 단차영역(PAS Edge) 및 데이터금속층의 단차영역(S/D Edge)이 존재한다. 이러한 단차영역(또는 엣지영역)을 갖는 콘택영역(CA)은 스텝 커버리지가 좋지 않다.
- [0064] 때문에, 실험예를 신뢰성 가혹조건 하에서 테스트시 제1기판(150a) 상에서 배선의 라우팅 길이가 길고 두꺼운

제2전원라인(151, 153, 156)에 균열이 발생하는 현상이 가장 두드러지게 나타나게 된다. 그리고 이때 발생된 균열(Micro Crack)로 인하여 외부로부터 수분(습기)이나 산소 등이 침투할 수 있는 투습 경로가 생성된다.

[0065] 그 결과, 수분이나 산소 등은 투습 경로를 따라 표시영역으로 전파되어 신뢰성 불량이 발생하게 된다. 또한, 실험예를 기반으로 형성된 표시패널은 연성을 가질 수 있는데, 이를 구부러지게 하거나 곡면을 갖게 할 경우 투습 경로가 더 많은 영역으로 확산되므로 신뢰성 불량은 더욱 악화 될 것이다.

[0066] 도 10 (b)에 도시된 바와 같이, 실시예는 구조적인 급경사(stEEP taper)로 인하여 하부전극층의 단차영역(AND Edge), 제2절연막의 단차영역(PAS Edge) 및 데이터금속층의 단차영역(S/D Edge)이 존재한다. 이러한 단차영역(또는 엣지영역)을 갖는 콘택영역(CA)은 스텝 커버리지가 좋지 않다. 하지만, 실시예는 스텝 커버리지를 개선(보완)할 수 있는 균열방지막(180)이 콘택영역(CA)에 형성된다.

[0067] 때문에, 실시예는 신뢰성 가혹조건 하에서 테스트시 제1기판(150a) 상에서 배선의 라우팅 길이가 길고 두꺼운 제2전원라인(151, 153, 156)에 균열이 발생하더라도 균열방지막(180)이 단차영역(또는 엣지영역)을 갖는 콘택영역(CA)을 덮고 있기 때문에 투습 경로는 차단된다.

[0068] 그 결과, 수분이나 산소 등은 표시영역으로 전파되지 않기 때문에 신뢰성 불량이 미발생하게 되므로 장치의 신뢰성 및 수명을 향상할 수 있게 된다. 또한, 실험예를 기반으로 형성된 표시패널은 연성을 가질 수 있는데, 이를 구부러지게 하거나 곡면을 갖게 할 경우 투습 경로가 더 많은 영역으로 확산되는 문제는 방지되므로 신뢰성 향상 효과는 더욱 증가할 것이다.

[0069] 한편, 본 발명에서는 저전위전원을 전달하는 전원라인(제2전원라인)에서 발생된 균열을 방지하기 위해 균열방지막을 형성한 것을 일례로 하였다. 그러나, 고전위전원이나 초기화전원을 전달하는 전원라인(제1전원라인, 제3전원라인) 또한 저전위전원을 전달하는 전원라인(제2전원라인)과 유사 또는 동일하게 형성되므로 기 설명된 바와 같은 문제가 나타날 수 있다. 따라서, 위의 구조는 고전위전원이나 초기화전원을 전달하는 전원라인(제1전원라인, 제3전원라인) 또한 저전위전원을 전달하는 전원라인(제2전원라인)은 물론 다른 전원라인에도 유사 또는 동일하게 적용할 수 있다.

[0070] 이상 본 발명은 표시 패널의 특정 전원라인에서 발생된 균열을 방지하고 장치의 신뢰성 및 수명을 향상할 수 있는 효과가 있다. 또한, 본 발명은 표시 패널의 제조공정에 사용되는 재료를 이용하여 균열을 방지할 수 있는 막을 형성하므로 후공정 진행 시 공정 마진을 확보할 수 있는 효과가 있다.

[0071] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0072] 110: 영상 처리부 120: 타이밍 제어부

130: 데이터 구동부 140: 게이트 구동부

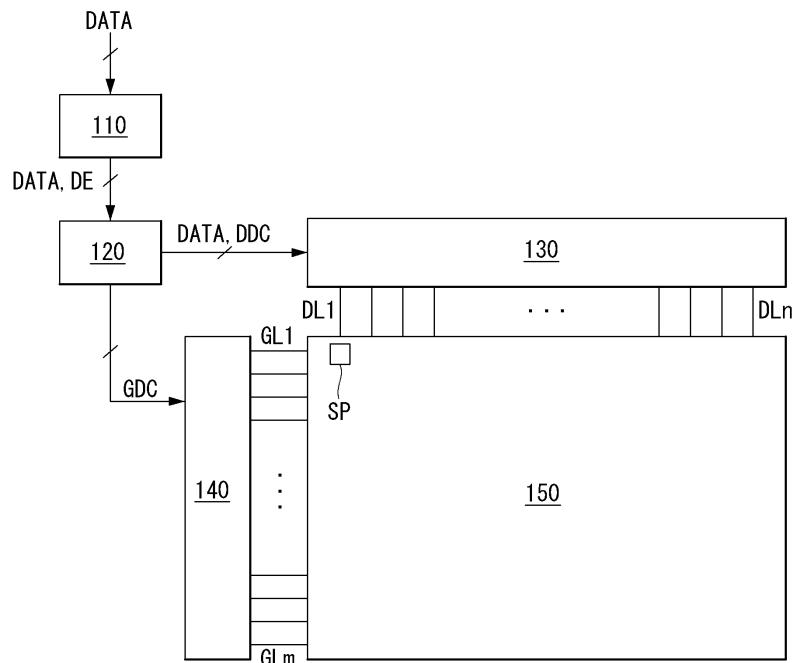
150: 표시 패널 150a: 제1기판

AA: 표시영역 160: 패드부

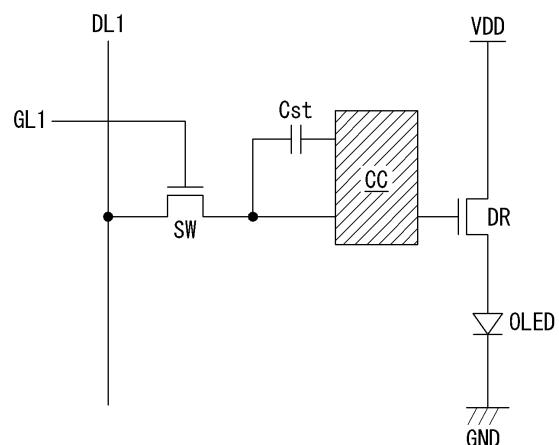
GND: 제2전원라인 180: 균열방지막

도면

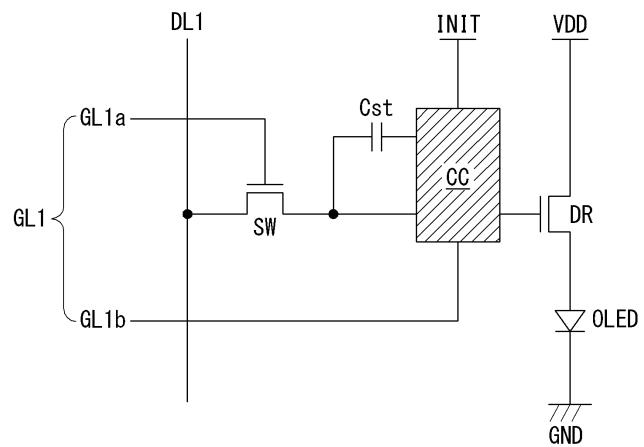
도면1



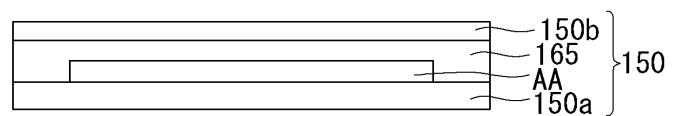
도면2



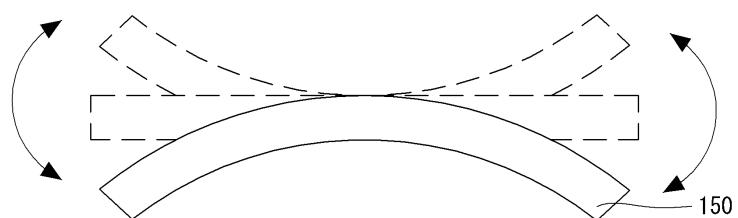
도면3



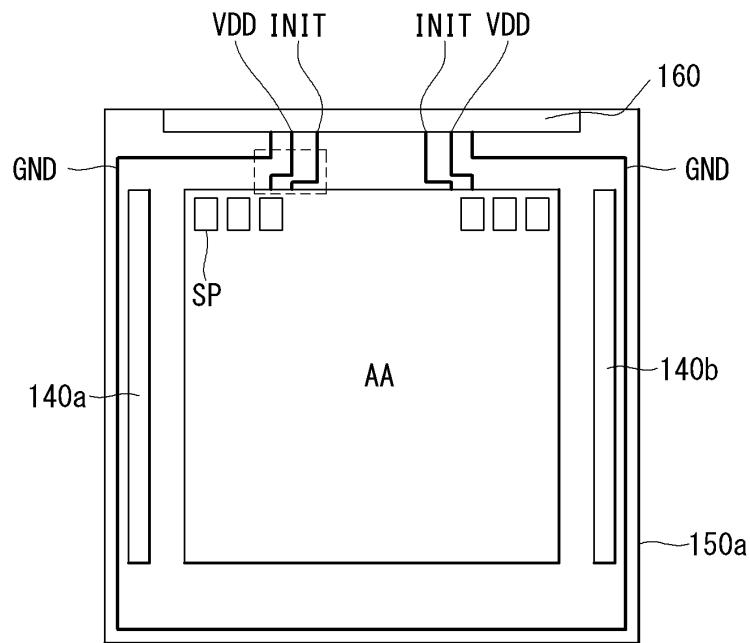
도면4



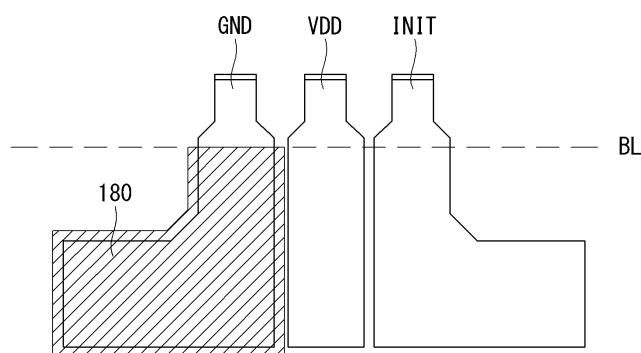
도면5



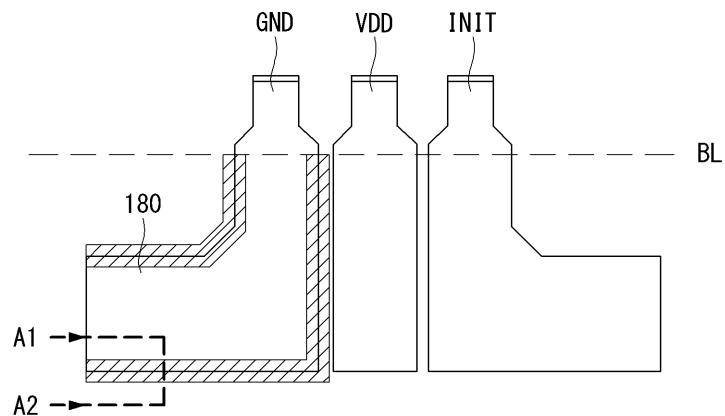
도면6



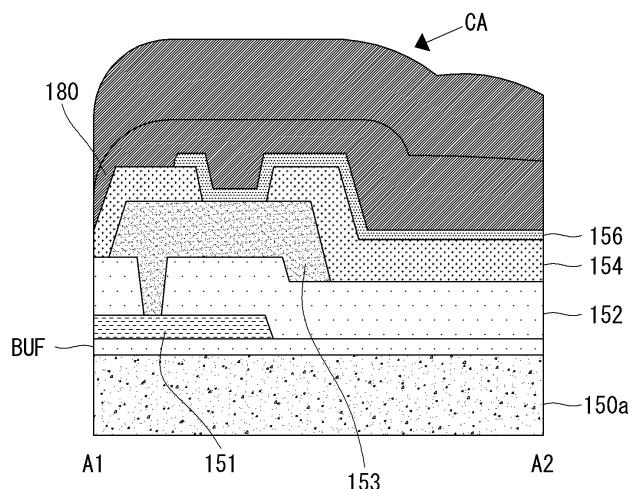
도면7



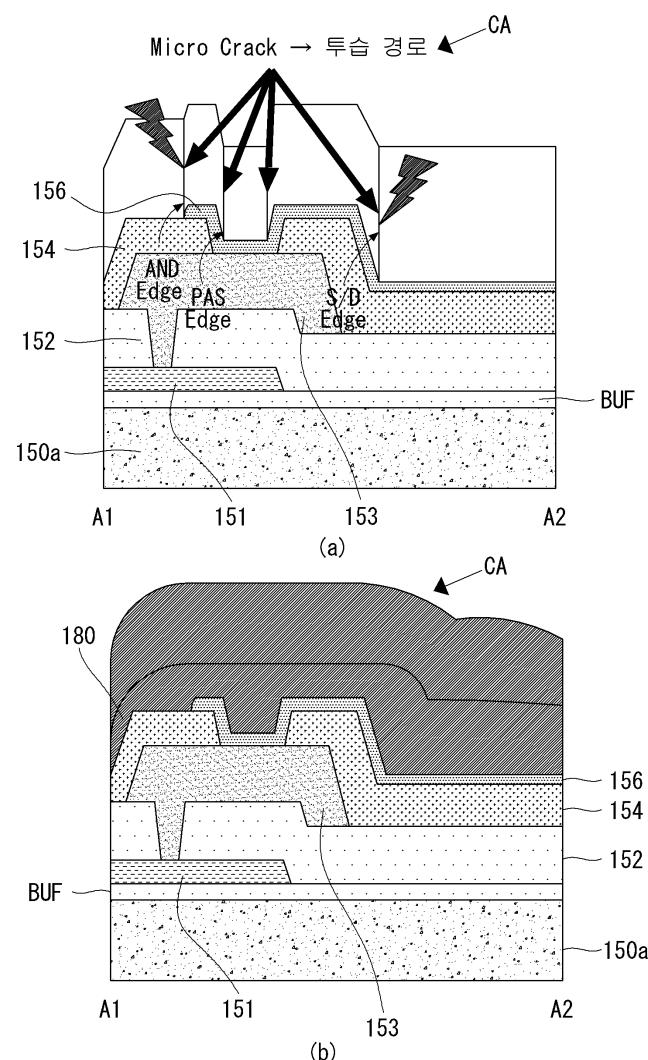
도면8



도면9



도면10



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020160062317A	公开(公告)日	2016-06-02
申请号	KR1020140164624	申请日	2014-11-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SANG IL 신상일 KIM DO HYUNG 김도형 JUNG KYOUNG JUNE 정경준 YEO DONG HYUN 여동현		
发明人	신상일 김도형 정경준 여동현		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5237 H01L27/3276 H01L51/56 H01L51/0097 H01L51/5253 Y02E10/549		
代理人(译)	이승찬		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，其包括基板，焊盘部分，显示区域，电源线和防裂膜。焊盘部分位于基板上。显示区域位于基板上。电源线位于基板上。防裂膜覆盖电源线。京畿道水原市长安区西武路2105滨街16-9号203号16-1，京畿道抱川市兴寿邑丰索路1201、9、104号(延凤(玉田洞)乡村电影院离子公寓)

