



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0051340
(43) 공개일자 2013년05월20일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G11C 19/00 (2006.01)
(21) 출원번호 10-2011-0116632
(22) 출원일자 2011년11월09일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한호범
경기도 군포시 광정동 주몽아파트 1030동 502호
한성익
전라북도 김제시 봉남면 내광2길 127-12
(74) 대리인
박장원

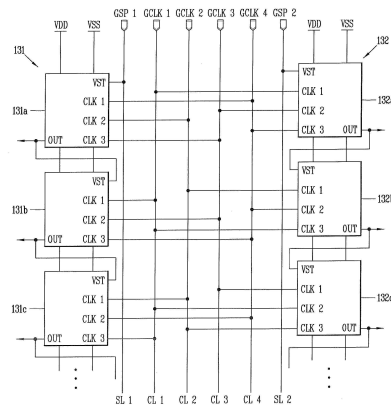
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 복수의 클럭라인을 공유하는 쉬프트레지스터가 포함된 유기발광표시장치

(57) 요약

본 발명의 일 실시예에 따르는 유기발광표시장치는 다수의 쉬프트레지스터가 복수의 클럭라인을 공유하여 게이트 구동부의 폭을 줄임으로써 베젤의 폭을 줄이는 데에 목적이 있다. 상기 유기발광표시장치는 복수의 클럭신호 및 게이트 제어신호를 발생하는 타이밍컨트롤러; 다수의 게이트라인 및 다수의 데이터라인에 의해 구획되는 복수의 화소에 발광다이오드를 포함하는 표시영역과 비표시영역으로 구분되는 표시패널; 및 상기 복수의 클럭신호를 전달하는 복수의 클럭라인; 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 1 게이트신호를 출력하는 제 1 쉬프트레지스터 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 2 게이트신호를 출력하는 제 2 쉬프트레지스터;를 포함하는 게이트 구동부;를 포함하며, 상기 제 1 및 제 2 쉬프트레지스터는 상기 복수의 클럭라인을 중심으로 양측에 형성되어, 상기 복수의 클럭라인을 공유하는 것을 특징으로 한다.

대표도 - 도6a



특허청구의 범위

청구항 1

복수의 클럭신호 및 게이트 제어신호를 발생하는 타이밍컨트롤러;

다수의 게이트라인 및 다수의 데이터라인에 의해 구획되는 복수의 화소에 발광다이오드를 포함하는 표시영역과 비표시영역으로 구분되는 표시패널; 및

상기 복수의 클럭신호를 전달하는 복수의 클럭라인; 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 1 게이트신호를 출력하는 제 1 쉬프트레지스터 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 2 게이트신호를 출력하는 제 2 쉬프트레지스터;를 포함하는 게이트 구동부;를 포함하며,

상기 제 1 및 제 2 쉬프트레지스터는 상기 복수의 클럭라인을 중심으로 양측에 형성되어, 상기 복수의 클럭라인을 공유하는 것을 특징으로 하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동부는 상기 표시패널의 비표시영역에 형성되는 GIP(Gate In Panel) 방식인 것을 특징으로 하는 유기발광표시장치.

청구항 3

제 1 항에 있어서,

상기 제 1 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수가 상기 제 2 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수보다 많은 경우, 상기 제 1 쉬프트레지스터 및 제 2 쉬프트레지스터가 공유하는 상기 복수의 클럭라인의 개수는 상기 제 1 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수와 동일한 것을 특징으로 하는 유기발광표시장치.

청구항 4

제 1 항에 있어서,

상기 복수의 클럭라인의 일측 또는 타측에 상기 복수의 클럭라인을 공유하여 제 3 게이트신호를 출력하는 제 3 쉬프트레지스터, 제 4 게이트신호를 출력하는 제 4 쉬프트레지스터와 제 5 게이트신호를 출력하는 제 5 쉬프트레지스터 및 제 6 게이트신호를 출력하는 제 6 쉬프트레지스터 중 적어도 하나를 추가로 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트라인은 제 1 게이트라인, 제 2 게이트라인, 제 3 게이트라인, 제 4 게이트라인, 제 5 게이트라인, 제 6 게이트라인을 포함하며,

상기 제 1 내지 제 6 쉬프트레지스터는 각각 제 1 내지 제 6 게이트라인의 개수에 대응하는 복수의 스테이지로 구성되는 것을 특징으로 하는 유기발광표시장치.

청구항 6

제 5 항에 있어서,

상기 제 3 내지 제 6 쉬프트레지스터의 복수의 스테이지는 상기 제 1 쉬프트레지스터 또는 제 2 쉬프트레지스터의 복수의 스테이지와 교번하며 배치되는 것을 특징으로 하는 유기발광표시장치.

청구항 7

제 1 항 및 제 4 항 중 어느 한 항에 있어서,

상기 복수의 클럭라인의 일측에 게이트스타트펄스를 전달하는 게이트스타트펄스 라인을 추가로 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 8

제 7 항에 있어서,

상기 각 쉬프트레지스터에서 사용되는 상기 게이트스타트펄스의 위상이 다를 경우, 상기 위상이 다르게 쓰이는 경우의 수만큼 상기 게이트스타트펄스 라인을 추가로 포함하는 것을 특징으로 하는 유기발광표시장치.

청구항 9

제 7 항에 있어서,

상기 각 쉬프트레지스터에서 첫번째 스테이지를 제외한 나머지 스테이지들은 전 단계 스테이지의 게이트신호를 상기 게이트스타트펄스로 하는 것을 특징으로 하는 유기발광표시장치.

청구항 10

제 4 항에 있어서,

상기 제 1 게이트신호는 데이터신호를 입력시키는 스캔신호이며, 상기 제 2 게이트신호는 제 2 노드 전압을 기준전압으로 초기화시키는 초기화신호이며, 상기 제 3 게이트신호는 상기 발광다이오드에 흐르는 전류를 제어하는 트랜지스터의 임계전압을 감지하기 위한 감지신호이며, 상기 제 4 게이트신호는 제 1 노드를 초기화시키기 위한 신호이며, 상기 제 5 게이트신호는 상기 발광다이오드의 발광을 위해 제 1 노드를 기준전압으로 홀딩(holding)하는 제어신호이고, 상기 제 6 게이트신호는 상기 발광다이오드를 발광시키기 위한 에미션신호인 것을 특징으로 하는 유기발광표시장치.

청구항 11

제 4 항에 있어서,

상기 제 1 내지 제 6 쉬프트레지스터는 두 개의 쉬프트레지스터가 한 그룹의 복수의 클럭라인을 공유하여 3 그룹의 복수의 클럭라인을 6개의 쉬프트레지스터가 공유하도록 배치되거나,

상기 제 1 내지 제 6 쉬프트레지스터는 네 개의 쉬프트레지스터가 한 그룹의 복수의 클럭라인을 공유하고 나머지 두 개의 쉬프트레지스터가 다른 한 그룹의 복수의 클럭라인을 공유하도록 배치되는 것을 특징으로 하는 유기발광표시장치.

명세서

기술분야

[0001] 본 발명의 실시예들은 유기발광표시장치에 관한 것으로서, 보다 상세하게는 GIP 방식의 유기발광표시장치에서 좁은 베젤(narrow bezel)을 구현하기 위한 유기발광표시장치에 관한 것이다.

배경기술

[0002] 21세기는 정보화 사회가 될 것으로 예상되는데, 이에 따라 어디에서나 손쉽게 정보를 얻을 필요가 있기 때문에 멀티미디어용 고성능 평판표시장치의 개발이 중요시되고 있다. 특히, 통신 및 컴퓨터에 관련하여 반도체와 표시장치의 소자개발에 관련한 기술개발이 중요시되고 있고 있다. 그 중 천연색표시장치로써 주목받는 한 것이 유기발광표시장치(Organic Light Emitting Display: OLED)이다.

[0003] 유기발광표시장치를 구성하는 다수의 화소들 각각은 양극 및 음극 사이의 유기 발광층으로 구성된 화소와 각 화소를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 주로 스위칭 트랜지스터 및 커패시터와 구동 트랜지스터를 포함한다. 스위칭 트랜지스터는 스캔 펄스에 응답하여 데이터 신호를 커패시터에 충전하고, 구동 트랜지스터는 커패시터에 충전된 데이터 전압의 크기에 따라 화소로 공급되는 전류의 크기를 조절함으로써 화소의 계조를 조절한다.

- [0004] 여기서 도면을 통해 상기 유기발광표시장치에 대해 상세히 알아본다.
- [0005] 도 1은 종래기술에 따르는 유기발광표시장치의 블록도이다.
- [0006] 상기 유기발광표시장치는 복수의 화소가 형성되는 표시패널(10)과, 디지털 비디오 데이터를 아날로그 전압으로 변환하여 데이터라인(DL)들에 공급하기 위한 데이터 구동부(20)와, 게이트라인에 복수의 게이트신호를 순차적으로 공급하기 위한 게이트 구동부(30)와, 상기 게이트 구동부(30) 및 데이터 구동부(20)를 제어하기 위한 타이밍 컨트롤러(40)를 구비한다.
- [0007] 타이밍 컨트롤러(40)는 디지털 비디오 데이터와 데이터 제어신호(CONT2)를 데이터 구동부(20)에 공급하고, 수직/수평 동기신호와 클럭신호 등을 이용하여 게이트 구동부(30)와 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 제어신호(CONT2) 및 게이트 제어신호(CONT1)를 발생시키고 각각 데이터 구동부(20)와 게이트 구동부(30)에 공급한다.
- [0008] 데이터 구동부(20)는 데이터 제어신호(CONT2)에 응답하여 디지털 비디오 데이터를 아날로그 데이터전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0009] 그리고 게이트 구동부(30)는 게이트 제어신호(CONT1)에 응답하여 제 1 게이트신호 및 제 2 게이트신호를 게이트라인에 순차적으로 공급한다. 상기 제 1 게이트신호는 데이터전압을 인가시키기 위한 신호일 수 있으며, 상기 제 2 게이트신호는 발광다이오드를 발광하기 위한 신호일 수 있다.
- [0010] 또한, 표시패널(10)에서는 게이트라인들과 데이터라인(DL)들의 교차로 정의된 복수의 화소가 정의된다. 그리고 게이트라인들은 한 화소행을 구동하기 위하여 쌍을 이루며, 한 화소에는 2개의 게이트신호가 입력될 수 있으므로, 한 화소행에는 2개의 게이트라인이 배치된다. 이때, 상기 한 화소에 배치되는 게이트라인의 개수는 화소 구동방식에 따라 2개 이상 또는 이하가 될 수 있다. 또한, 데이터라인(DL)들은 한 화소열을 구동하기 위하여 쌍을 이룬다.
- [0011] 이때, 상기 제 1 및 제 2 게이트신호를 출력하기 위해 상기 게이트 구동부(30)에는 복수의 제 1 게이트라인(GL1)과 복수의 제 2 게이트라인(GL2) 각각에 게이트신호를 순차적으로 공급하기 위한 다수의 쉬프트레지스터들이 구비된다.
- [0012] 도 2는 종래기술에 따른 게이트 구동부의 내부블록도이다.
- [0013] 게이트 구동부는 쉬프트레지스터와 출력버퍼부(미도시)를 포함할 수 있다. 상기 쉬프트레지스터는 타이밍컨트롤러로부터 복수의 클럭신호(GCLK1~GCLK5) 및 게이트스타트펄스(GSP)를 입력받아, 모든 게이트라인에 입력되는 게이트신호를 순차적으로 위상 지연시켜 출력하며, 상기 출력버퍼부(미도시)는 상기 출력된 게이트신호를 완충하여 게이트라인(GL1, GL2)으로 전달한다.
- [0014] 여기서 상기 표시패널의 한 화소에서는 2개의 게이트신호를 필요로 한다. 따라서, 2개의 게이트신호 각각을 출력하기 위한 2개의 쉬프트레지스터(31, 36)가 필요하다. 도면에 표시된 제 1 쉬프트레지스터(31)는 제 1 게이트신호를 출력하기 위한 것이며, 제 2 쉬프트레지스터(36)는 제 2 게이트신호를 출력하기 위한 것이다. 그리고 도면에 도시되지는 않았으나, 상기 제 1 및 제 2 쉬프트레지스터(31, 36)는 복수의 스테이지로 구성되어, 스테이지의 단계가 넘어갈 때 마다 위상이 지연된 신호가 출력된다.
- [0015] 이때, 상기 제 1 쉬프트레지스터(31)는 고전위전압(VDD) 및 저전위전압(VSS), 4개의 클럭라인(CL)과 1개의 게이트스타트펄스 라인(SL)을 이용하여 제 1 게이트신호를 출력할 수 있으며, 상기 제 2 쉬프트레지스터(36)는 고전위전압(VDD) 및 저전위전압(VSS), 5개의 클럭라인(CL)과 1개의 게이트스타트펄스 라인(SL)을 이용하여 제 2 게이트신호를 출력할 수 있다.
- [0016] 상기 쉬프트레지스터들(31, 36)이 이용하는 클럭라인(CL)의 개수는 표시패널의 설계방식에 따라 달라질 수 있으나 한 개의 레지스터는 한 그룹의 클럭라인(CL)들을 이용하도록 설계되어 있다.
- [0017] 그런데 최근 들어, 제조단가를 낮추기 위해 상기 게이트 구동부 및/또는 상기 데이터 구동부를 상기 표시패널 상에 내장된 내장형 표시장치가 개발되고 있으며, 상기 게이트 구동부 및 데이터 구동부가 내장된 영역은 비표시영역으로서 표시장치의 상부케이스의 테두리에 의하여 가려지게 된다.
- [0018] 이때, 상부케이스에서 표시화면의 테두리 영역을 베젤이라하며, 상기 게이트 구동부의 면적만큼 상기 베젤의 폭이 두꺼워지거나 좁아진다.

[0019] 따라서, 베젤의 폭은 표시장치의 화면표시영역 및 비율을 결정하는 중요한 요소가 되며, 전체 표시장치의 면적에 비하여 화면표시영역을 넓히려는 현 추세에 따라 상기 베젤의 폭은 제품의 경쟁력을 결정하는 중요한 요소이다.

[0020] 그러나, 종래기술의 경우 각 쉬프트레지스터마다 한 그룹의 클럭라인(CL)을 이용하여 넓은 폭의 게이트 구동부를 형성할 수 밖에 없어 베젤의 폭을 줄이는 데에 한계가 있었다.

발명의 내용

해결하려는 과제

[0021] 따라서 위와 같은 문제를 해결하기 위하여 본 발명의 실시예들은 복수의 클럭라인을 공유함으로써 게이트 구동부의 폭을 좁히고, 베젤의 폭을 좁히는 데에 목적이 있다.

[0022] 또한, 본 발명의 다른 목적 및 특징들은 후술되는 발명을 실시하기 위한 구체적 내용 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0023] 이와 같은 본 발명의 해결 과제를 달성하기 위하여, 본 발명의 일 실시예에 따르는 유기발광표시장치는 복수의 클럭신호 및 게이트 제어신호를 발생하는 타이밍컨트롤러; 다수의 게이트라인 및 다수의 데이터라인에 의해 구획되는 복수의 화소에 발광다이오드를 포함하는 표시영역과 비표시영역으로 구분되는 표시패널; 및 상기 복수의 클럭신호를 전달하는 복수의 클럭라인; 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 1 게이트신호를 출력하는 제 1 쉬프트레지스터 및 상기 전달된 복수의 클럭신호를 입력받고 복수의 제 2 게이트신호를 출력하는 제 2 쉬프트레지스터;를 포함하는 게이트 구동부;를 포함하며, 상기 제 1 및 제 2 쉬프트레지스터는 상기 복수의 클럭라인을 중심으로 양측에 형성되어, 상기 복수의 클럭라인을 공유하는 것을 특징으로 한다.

[0024] 바람직하게는, 상기 게이트 구동부는 상기 표시패널의 비표시영역에 형성되는 GIP(Gate In Panel) 방식인 것을 특징으로 한다.

[0025] 또한, 상기 제 1 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수가 상기 제 2 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수보다 많은 경우, 상기 제 1 쉬프트레지스터 및 제 2 쉬프트레지스터가 공유하는 상기 복수의 클럭라인의 개수는 상기 제 1 쉬프트레지스터에 필요한 상기 복수의 클럭신호의 개수와 동일한 것을 특징으로 한다.

[0026] 또한, 상기 복수의 클럭라인의 일측 또는 타측에 상기 복수의 클럭라인을 공유하여 제 3 게이트신호를 출력하는 제 3 쉬프트레지스터, 제 4 게이트신호를 출력하는 제 4 쉬프트레지스터와 제 5 게이트신호를 출력하는 제 5 쉬프트레지스터 및 제 6 게이트신호를 출력하는 제 6 쉬프트레지스터 중 적어도 하나를 추가로 포함하는 것을 특징으로 한다.

[0027] 또한, 상기 게이트라인은 제 1 게이트라인, 제 2 게이트라인, 제 3 게이트라인, 제 4 게이트라인, 제 5 게이트라인, 제 6 게이트라인을 포함하며, 상기 제 1 내지 제 6 쉬프트레지스터는 각각 제 1 내지 제 6 게이트라인의 개수에 대응하는 복수의 스테이지로 구성되는 것을 특징으로 한다.

[0028] 또한, 상기 제 3 내지 제 6 쉬프트레지스터의 복수의 스테이지는 상기 제 1 쉬프트레지스터 또는 제 2 쉬프트레지스터의 복수의 스테이지와 교번하며 배치되는 것을 특징으로 한다.

[0029] 또한, 상기 복수의 클럭라인의 일측에 게이트스타트펄스를 전달하는 게이트스타트펄스 라인을 추가로 포함하는 것을 특징으로 한다.

[0030] 또한, 상기 각 쉬프트레지스터에서 사용되는 상기 게이트스타트펄스의 위상이 다를 경우, 상기 위상이 다르게 쓰이는 경우의 수만큼 상기 게이트스타트펄스 라인을 추가로 포함하는 것을 특징으로 한다.

[0031] 또한, 상기 각 쉬프트레지스터에서 첫번째 스테이지를 제외한 나머지 스테이지들은 전 단계 스테이지의 게이트신호를 상기 게이트스타트펄스로 하는 것을 특징으로 한다.

[0032] 또한, 상기 제 1 게이트신호는 데이터신호를 입력시키는 스캔신호이며, 상기 제 2 게이트신호는 제 2 노드 전압을 기준전압으로 초기화시키는 초기화신호이며, 상기 제 3 게이트신호는 상기 발광다이오드에 흐르는 전류를 제어하는 트랜지스터의 임계전압을 감지하기 위한 감지신호이며, 상기 제 4 게이트신호는 제 1 노드를 초기화시키

기 위한 신호이며, 상기 제 5 게이트신호는 상기 발광다이오드의 발광을 위해 제 1 노드를 기준전압으로 홀딩(holding)하는 제어신호이고, 상기 제 6 게이트신호는 상기 발광다이오드를 발광시키기 위한 에미션신호인 것을 특징으로 한다.

[0033] 또한, 상기 제 1 내지 제 6 쉬프트레지스터는 두 개의 쉬프트레지스터가 한 그룹의 복수의 클럭라인을 공유하여 3 그룹의 복수의 클럭라인을 6개의 쉬프트레지스터가 공유하도록 배치되거나, 상기 제 1 내지 제 6 쉬프트레지스터는 네 개의 쉬프트레지스터가 한 그룹의 복수의 클럭라인을 공유하고 나머지 두 개의 쉬프트레지스터가 다른 한 그룹의 복수의 클럭라인을 공유하도록 배치되는 것을 특징으로 한다.

발명의 효과

[0034] 상기와 같이 구성되는 본 발명의 적어도 하나의 실시예에 관련된 유기발광표시장치는,

[0035] GIP 방식의 유기발광표시장치에서 복수의 클럭라인을 두개 이상의 쉬프트레지스터가 공유하게 함으로써, 게이트 구동부의 폭을 줄이고, 베젤의 폭을 좁히는 효과가 있다.

[0036] 동일한 복수의 클럭라인을 이용하여, 서로 다른 복수의 클럭라인을 사용함으로써 발생하는 로드(load) 편차에 의한 게이트신호 간의 오차를 없애고 패널 동작의 단일성(Panel Uniformity)을 이룰 수 있다.

도면의 간단한 설명

[0037] 도 1은 종래기술에 따르는 유기발광표시장치의 블록도이다.

도 2는 종래기술에 따른 게이트 구동부의 내부블록도이다.

도 3은 본 발명의 일 실시예에 따르는 유기발광표시장치의 블록도이다.

도 4a는 본 발명의 일 실시예에 따르는 화소의 회로도이다.

도 4b는 본 발명의 일 실시예에 따르는 화소에 인가되는 6개의 게이트신호이다.

도 5a는 본 발명의 제 1 실시예에 따르는 쉬프트레지스터의 블록구조도이다.

도 5b는 본 발명의 제 2 실시예에 따르는 쉬프트레지스터의 블록구조도이다.

도 5c는 본 발명의 제 3 실시예에 따르는 쉬프트레지스터의 블록구조도이다.

도 6a는 제 1 실시예에 따르는 제 1 및 제 2 쉬프트레지스터의 구조도이다.

도 6b는 제 1 실시예에 따르는 제 1 및 제 2 쉬프트레지스터의 입력신호와 출력신호를 나타낸 것이다.

도 6c는 제 1 및 제 2 쉬프트레지스터의 각 스테이지의 회로도이다.

도 7a는 제 2 실시예에 따르는 제 2 및 제 6 쉬프트레지스터의 구조도이다.

도 7b는 제 2 실시예에 따르는 제 2 및 제 6 쉬프트레지스터의 입력신호와 출력신호이다.

도 7c는 제 6 쉬프트레지스터의 내부 블록도이며, 도 7d는 제 6 쉬프트레지스터의 버퍼부 회로도이다.

도 8a는 제 3 실시예에 따르는 쉬프트레지스터들의 구조도이다.

도 8b는 제 3 실시예에 따르는 제 1, 제 2 및 제 5, 제 6 쉬프트레지스터의 입력신호와 출력신호이다.

발명을 실시하기 위한 구체적인 내용

[0038] 이하, 본 발명의 실시예에 따르는 유기발광표시장치에 대하여 도면을 참조하여 보다 상세하게 설명한다.

[0039] 본 명세서에서는 서로 다른 실시예라도 동일, 유사한 구성에 대해서는 동일, 유사한 참조번호를 부여하고, 그 설명은 처음 설명으로 갈음한다.

[0040] 본 명세서에서 사용되는 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0041] 또한, 본 명세서에 첨부된 도면의 구성요소들은 설명의 편의를 위해 확대 또는 축소되어 도시되어 있을수 있음

이 고려되어야 한다.

[0042] 도 3은 본 발명의 일 실시예에 따르는 유기발광표시장치의 블록도이다.

[0043] 도 3에 도시된 유기발광표시장치는 표시영역(113)과 비표시영역(115)으로 구분되는 표시패널(110), 비표시영역(115)에 실장되는 게이트 구동부(130); 비표시영역(115)에 실장되는 데이터 구동부(120); 및 상기 게이트 및 데이터 구동부(120)를 제어하는 타이밍 컨트롤러(140)를 구비한다.

[0044] 한편, 전술한 바와 같이 게이트 구동부(130)와 데이터 구동부(120)는 COG(Chip on Glass)방식으로 모두 한 표시패널(110) 내에 실장될 수 있으며, 또는 상기 게이트 구동부(130)는 GIP(Gate In Panel) 방식으로 표시패널(110)의 내부에 실장되되, 상기 데이터 구동부(120)는 표시패널(110)의 외부에 연성회로필름을 통하여 실장될 수도 있다.

[0045] 상기 타이밍 컨트롤러(140)는 외부로부터 입력되는 RGB 데이터를 표시패널(110)의 크기 및 해상도 등에 알맞게 정렬하고 정렬된 디지털 영상 데이터를 데이터 구동부(120)에 공급한다. 그리고, 타이밍 컨트롤러(140)는 외부로부터 입력되는 동기신호들 예를 들어, 도트클럭(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기 신호(Vsync) 등을 이용하여 게이트 제어신호 및 데이터 제어신호를 생성하고 이를 게이트 구동부(130)와 데이터 구동부(120)에 각각 공급한다.

[0046] 상기 데이터 구동부(120)는 상기 데이터 제어신호 중 소스 스타트 펄스(SSP; Source Start Pulse)와 소스 쉬프트 클럭(SSC; Source Shift Clock) 등을 이용하여 타이밍 컨트롤러(140)로부터 입력되는 디지털 영상 데이터를 아날로그의 데이터 전압으로 변환한다. 그리고, 소스 출력 인에이블(SOE; Source Output Enable) 신호에 응답하여 데이터 전압을 각 데이터라인(DL)에 공급한다.

[0047] 상기 게이트 구동부(130)는 상기 게이트 제어신호를 이용하여 제 1 내지 제 6 게이트신호를 제 1 내지 제 6 게이트라인(GL1~GL6)으로 출력한다. 상기 게이트 제어신호는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 게이트라인을 지시하는 게이트 스타트 펄스(GSP; Gate Start Pulse)와 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 화소(P) 내 트랜지스터의 온(ON) 기간에 대응하는 펄스폭으로 발생하는 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 구동부(130)의 출력을 지시하는 게이트 출력 인에이블(GOE; Gate Output Enable) 신호를 포함한다.

[0048] 그리고 상기 게이트 구동부(130)는 복수의 쉬프트레지스터, 출력버퍼부를 포함하며, 상기 복수의 쉬프트레지스터는 제 1 게이트신호를 출력하는 제 1 쉬프트레지스터, 제 2 게이트신호를 출력하는 제 2 쉬프트레지스터, 제 3 게이트신호를 출력하는 제 3 쉬프트레지스터, 제 4 게이트신호를 출력하는 제 4 쉬프트레지스터, 제 5 게이트신호를 출력하는 제 5 쉬프트레지스터, 제 6 게이트신호를 출력하는 제 6 쉬프트레지스터로 구성될 수 있다.

[0049] 그러나, 상기 게이트신호와 쉬프트레지스터의 개수는 일 예에 한한 것이며, 상기 게이트신호와 상기 쉬프트레지스터의 개수는 화소(P)를 구동하는 설계방식에 따라 달라질 수 있다.

[0050] 상기 제 1 내지 제 6 쉬프트레지스터는 게이트 스타트 펄스 및 복수의 클럭신호로 구성되는 게이트 쉬프트 클럭에 응답하여 제 1 내지 제 6 게이트신호를 생성한다. 그리고, 출력버퍼부는 게이트 출력 인에이블(GOE; Gate Output Enable) 신호에 따라 상기 제 1 내지 제 6 게이트신호를 제 1 내지 제 6 게이트라인(GL1~GL6)에 출력한다.

[0051] 상기 표시영역(113)은 제 1 내지 제 6 게이트라인(GL1~GL6)과 데이터라인(DL)이 교차하여 복수의 화소(P)들이 각 화소(P)영역에 매트릭스 형태로 정의되며, 복수의 화소(P)의 동작에 의해 영상을 표시한다. 그리고 상기 화소(P)는 복수의 트랜지스터(미도시)와 커패시터 및 발광다이오드로 구성된다. 그리고 상기 화소(P)는 저전위전압(미도시), 고전위전압(미도시), 기준전압(미도시)을 제공받으며, 제 1 내지 제 6 게이트라인(GL1~GL6), 데이터라인(DL)에 접속하여 제 1 내지 제 6 게이트신호와 데이터신호를 제공받아 발광다이오드를 발광시킬 수 있다.

[0052] 상기 화소의 회로는 도 4와 같이 구성될 수 있다. 도 4a는 본 발명의 일 실시예에 따르는 화소의 회로도이고 도 4b는 본 발명의 일 실시예에 따르는 화소에 인가되는 6개의 게이트신호이다.

[0053] 먼저 도 4a를 참조하면, 상기 화소는 제 1 트랜지스터(M1) 내지 제 7 트랜지스터(M7)와 제 1 및 제 2 커패시터(C1, C2) 및 발광다이오드(OLED)로 구성된다.

[0054] 제 1 트랜지스터(M1)의 게이트는 제 1 게이트라인에 연결되며, 소스는 데이터라인에 연결되고, 드레인은 제 1 노드(N1)에 연결되어, 제 1 게이트신호에 따라 데이터신호를 제 1 노드(N1)로 출력한다.

- [0055] 제 2 트랜지스터(M2)의 게이트는 제 2 게이트라인에 연결되며, 소스는 기준전압(Vref)에 연결되고, 드레인은 제 2 노드(N2)에 연결되어, 제 2 게이트신호에 따라 상기 기준전압(Vref)을 제 2 노드(N2)로 출력하여 제 2 노드(N2)의 전압을 초기화한다. 이때, 상기 기준전압(Vref)은 예를 들면, 접지전압이 될 수 있다.
- [0056] 제 3 트랜지스터(M3)의 게이트는 제 3 게이트라인에 연결되며, 소스는 제 2 노드(N2)에 연결되고, 드레인은 제 3 노드(N3)에 연결되어, 제 3 게이트신호에 따라 제 2 노드(N2)의 전압을 제 3 노드(N3)로 출력한다.
- [0057] 제 4 트랜지스터(M4)의 게이트는 제 4 게이트라인에 연결되며, 소스는 제 1 게이트라인에 연결되고, 드레인은 제 1 노드(N1)에 연결되어, 제 4 게이트신호에 따라 제 1 노드(N1)를 초기화한다.
- [0058] 제 5 트랜지스터(M5)의 게이트는 제 5 게이트라인에 연결되며, 소스는 기준전압(Vref)에 연결되며, 드레인은 제 1 노드(N1)에 연결되어, 제 5 게이트신호에 따라 발광다이오드(OLED)의 발광시 제 1 노드(N1)에 기준전압(Vref)을 출력한다.
- [0059] 제 6 트랜지스터(M6)의 게이트는 제 6 게이트라인에 연결되며, 소스는 제 3 노드(N3)에 연결되며, 드레인은 발광다이오드(OLED)와 연결되어, 제 6 게이트신호에 따라 발광다이오드(OLED)의 발광을 스위치한다.
- [0060] 제 7 트랜지스터(M7)의 게이트는 제 2 노드(N2)에 연결되며, 소스는 고전위전압(VDD)과 연결되고, 드레인은 제 3 노드(N3)와 연결되어, 발광다이오드(OLED)에 흐르는 전류를 제어한다.
- [0061] 발광다이오드(OLED)의 애노드는 제 3 노드(N3)에 연결되고, 캐소드는 저전위전압(VSS)에 연결되며, 고전위전압(VDD)단자와 저전위전압(VSS)단자 사이에 흐르는 전류량에 따라 발광한다.
- [0062] 한편, 상기 트랜지스터들(M1~M7)은 PMOS로 구성되나, NMOS로 구성될 수도 있으며 이 경우 상기 트랜지스터들(M1~M7)에 입력되는 파형은 도 4b의 파형 위상이 반전된 형태가 된다.
- [0063] 그리고 도 4b를 참조하면 상기 제 1 게이트신호는 데이터신호를 제 1 노드(N1)로 전달하는 스캔신호이며, 상기 제 2 게이트신호는 기준전압(Vref)을 제 2 노드(N2)로 전달하여 제 2 노드(N2)를 초기화시키는 초기화신호이고, 상기 제 3 게이트신호는 제 7 트랜지스터(M7)의 임계전압을 감지하는 감지신호이고, 상기 제 4 게이트신호는 제 1 노드(N1)를 초기화시키는 신호이며, 상기 제 5 게이트신호는 발광다이오드(OLED)의 발광시 제 1 노드(N1)를 기준전압(Vref)으로 홀딩(holding)하는 제어신호이며, 상기 제 6 게이트신호는 발광다이오드(OLED)를 발광시키는 에미션신호이다.
- [0064] 여기서 상기 제 1 내지 제 6 게이트신호를 출력하는 게이트 구동부의 쉬프트레지스터에 대하여 도 5a 내지 도 5c를 참조하여 설명한다.
- [0065] 도 5a는 본 발명의 제 1 실시예에 따르는 쉬프트레지스터의 블록구조도이며, 도 5b는 본 발명의 제 2 실시예에 따르는 쉬프트레지스터의 블록구조도이고, 도 5c는 본 발명의 제 3 실시예에 따르는 쉬프트레지스터의 블록구조도이다.
- [0066] 제 1 내지 제 6 쉬프트레지스터(131, 132, 133, 134, 135, 136)는 제 1 내지 제 6 게이트신호 출력을 위한 것으로 각각 복수의 스테이지(미도시)로 구성되어 있다. 상기 제 1 내지 제 6 쉬프트레지스터(131, 132, 133, 134, 135, 136)의 각 복수의 스테이지(미도시) 개수는 각각 제 1 내지 제 6 게이트라인의 개수에 대응한다. 그리고 한 쉬프트레지스터 내에서 각 스테이지(미도시)마다 순차적으로 위상이 지연된 게이트신호를 출력한다.
- [0067] 한편, 도 4b를 참조하면, 상기 제 1 및 제 2 게이트신호는 게이트 온 구간의 폭이 1 수평기간(1H)이 되며, 제 3 내지 제 6 게이트신호는 게이트 온 구간의 폭이 2 수평기간 이상(2H, 4H)이 될 수 있다.
- [0068] 이때, 모든 쉬프트레지스터들의 각 스테이지는 게이트 온 구간을 1 수평기간만큼 위상을 지연시켜 출력할 수 있다. 따라서, 제 3 내지 제 6 쉬프트레지스터(133, 134, 135, 136)의 각 스테이지에서 출력되는 게이트신호들은 게이트 온 구간이 중첩(overlap)될 수 있다. 이에 따라 제 1 및 제 2 쉬프트레지스터(131, 132)가 4가지 위상(4 phase)의 클럭신호들을 필요로할 때, 제 3 내지 제 6 쉬프트레지스터(133, 134, 135, 136)들은 5가지 위상(5 phase)의 클럭신호들을 요구한다.
- [0069] 그리고, 상기 제 1 및 제 2 및 제 5 및 제 6 게이트신호의 경우 1 수평기간의 클럭신호들을 이용할 수 있으며, 상기 제 3 및 제 4 게이트신호의 경우 2 수평기간의 클럭신호들을 이용할 수 있다.
- [0070] 이하, 도 5a를 통해 제 1 실시예를 살펴본다. 세 그룹의 복수의 클럭라인(CL)이 배치될 때, 한 그룹의 복수의 클럭라인(CL)마다 2개의 쉬프트레지스터가 짝을 이루어 배치될 수 있다. 여기서 배치구조는 동 위상의 클럭신호

를 사용하는 쉬프트레지스터들끼리 짝을 이루도록 되어 있다. 따라서, 제 1 및 제 2 쉬프트레지스터(131, 132)가 4가지 위상의 클럭신호들을 공유하며, 제 3 및 제 4 쉬프트레지스터(133, 134)와 제 5 및 제 6 쉬프트레지스터(135, 136)가 각각 5가지 위상의 클럭신호들을 공유한다.

[0071] 다음으로 도 5b를 통해 제 2 실시예를 살펴보면, 제 2 실시예는 3 그룹의 복수의 클럭라인(CL)이 배치될 때, 1 그룹의 복수의 클럭라인(CL)마다 2개의 쉬프트레지스터가 짝을 이루는 것은 1 실시예와 같으나 다른 개수의 위상을 갖는 쉬프트레지스터들끼리 같은 클럭라인(CL)들을 공유하는 것이 특징이다.

[0072] 구체적으로 말하면, 제 1 및 제 2 쉬프트레지스터(131, 132)는 4가지 위상의 클럭신호가 필요하지만 각각 제 5 및 제 6 쉬프트레지스터(135, 136)와 5가지 위상의 클럭신호를 공유하고 있다. 이때, 제 1 및 제 2 쉬프트레지스터(131, 132)가 5가지 위상의 클럭신호를 이용하더라도 4가지 위상의 클럭신호들을 이용할때와 동일한 출력신호를 출력할 수 있다.

[0073] 이때, 상기 클럭신호의 종류는 4가지 또는 5 가지가 아닌 다른 개수가 될 수도 있으며 이것은 화소의 구동방식에 따라 다양한 개수가 될 수 있다.

[0074] 한편, 제 3 및 제 4 쉬프트레지스터(133, 134)는 이용하는 클럭신호들의 수평기간(2H)이 다른 쉬프트레지스터들(131, 132, 135, 136)과 다르기 때문에 다른 쉬프트레지스터들(131, 132, 135, 136)과 클럭라인(CL)을 공유할 수 없다.

[0075] 마지막으로 도 5c를 통해 본 발명의 제 3 실시예를 살펴본다. 이용하는 클럭신호가 다른 제 3 및 제 4 쉬프트레지스터(133, 134)를 제외하고 4 개의 쉬프트레지스터(131, 132, 135, 136)가 한 그룹의 복수의 클럭라인(CL)들을 공유하고 있다. 이때, 상기 제 2 및 제 6 쉬프트레지스터(132, 136)가 제 1 쌍이 되고, 제 1 및 제 5 쉬프트레지스터(131, 135)가 제 2 쌍이 될 때, 제 1 쌍과 제 2 쌍의 스테이지들은 상기 복수의 클럭라인(CL)을 중심으로 서로 교번하며 배치되어 있다.

[0076] 이때, 상기 한 그룹의 복수의 클럭라인(CL)을 공유하는 쉬프트레지스터의 개수는 4개 뿐만 아니라 동일한 형태의 클럭신호를 공유하기만 한다면 2개 이상의 복수개가 될 수도 있다.

[0077] 그리고 클럭신호의 수평주기가 모두 동일한 경우 모든 쉬프트레지스터들(131, 132, 133, 134, 135, 136)을 한 그룹의 클럭라인(CL)들을 통해 공유할 수 있으며, 상기 쉬프트레지스터가 배치되는 형태는 복수의 클럭라인(CL)을 공유하기 위해 동일 기술분야의 통상의 지식을 가진자가 유용하게 변경이 가능한 범위 내를 모두 포함한다.

[0078] 이상으로 설명한 바와 같이 상기 복수의 클럭라인(CL)을 2 개 이상의 쉬프트레지스터가 공유하는 경우 회로도의 폭이 좁아지게되어 게이트 구동부의 폭을 줄일 수 있다. 그리고 이에 따라 베젤의 폭을 줄일 수 있다. 패널의 소형화 및 경량화의 추세에 따라 게이트 구동부를 표시패널 내부에 실장하는 유기발광표시장치가 다수 제작되는 시점에서, 상기 베젤 폭의 축소는 유기발광표시장치 전면에서 화면표시영역을 확대시킬 수 있게 되므로, 제품 경쟁력 향상에 큰 효과를 기대할 수 있다.

[0079] 베젤 폭 축소효과는 아래의 표를 통하여 상세히 검토해 본다. 표 1은 클럭라인의 phase 수에 대한 클럭라인의 두께를 나타낸 표이다.

표 1

[0080]

클럭라인의 개수	클럭라인의 두께
4개	110um
5개	138um
6개	168um

[0081] 상기 클럭라인의 두께는 31인치 FHD(Full High Definition)의 유기발광표시장치에 형성된 클럭라인을 기준으로 측정한 것이다.

[0082] 위 표를 참조하면, 도 5a에서 4 개의 클럭라인을 필요로 하는 제 1 및 제 2 쉬프트레지스터가 4개 클럭라인들을 공유할 때 베젤 폭을 110um 줄일 수 있으며, 5개의 클럭라인을 필요로하는 제 3 및 제 4 쉬프트레지스터가 5개 클럭라인들을 공유할 때 베젤 폭을 138um 줄일 수 있으며, 도 5c의 제 1, 제 2, 제 5, 제 6 쉬프트레지스터(4 개 클럭라인을 필요로하는 쉬프트레지스터 2개, 5 개의 클럭라인을 필요로하는 쉬프트레지스터 2개)가 5개 클럭라인

인들을 공유할 때 베젤 폭을 358um 줄일 수 있음을 알 수 있다.

- [0083] 또한, 종래기술에서 각 쉬프트레지스터가 별개의 클럭라인(CL)들을 이용해 신호를 출력하는 경우, 각 신호마다 이용하는 클럭라인(CL)들 간의 길이가 달라져 로드(load) 편차가 발생하므로 게이트신호 간의 오차가 발생할 수 있었다. 그러나 본 발명의 일 실시예에 따라 동일한 클럭라인(CL)들을 이용함으로써 패널 동작의 단일성(Panel Uniformity)을 달성할 수 있다.
- [0084] 이하, 본 발명의 제 1 실시예의 구체적인 구성 및 동작에 대하여 설명한다.
- [0085] 도 6a는 제 1 실시예에 따르는 제 1 및 제 2 쉬프트레지스터의 구조도이며, 도 6b는 제 1 실시예에 따르는 제 1 및 제 2 쉬프트레지스터의 입력신호와 출력신호를 나타낸 것이며, 도 6c는 제 1 및 제 2 쉬프트레지스터의 각 스테이지의 회로도이다.
- [0086] 제 1 실시예의 구성은 모두 동일한 위상의 클럭신호를 필요로 하는 쉬프트레지스터들끼리 짝지어 구성되므로, 제 1 및 제 2 쉬프트레지스터(131, 132)의 경우를 대표적으로 설명한다.
- [0087] 먼저 도 6a를 참조하면, 제 1 및 제 2 쉬프트레지스터(131, 132)는 각각 복수의 스테이지(131a~131c, 132a~132c)를 포함하며, 4개의 클럭라인(CL1~CL4)과 2개의 게이트스타트펄스 라인(SL1, SL2)(이하 GSP 라인이라 한다.)을 공유한다. 그리고 각 스테이지(131a~131c, 132a~132c)는 고전위전압(VDD)과 저전위전압(VSS)을 인가받 으며, 3개의 입력단자, 1개의 게이트스타트펄스 입력단자(VST), 출력단자(OUT)를 포함한다.
- [0088] 한편, 도 6b와 같이 쉬프트레지스터에 입력되는 신호들은 제 1 클럭신호(GCLK1)부터 제 4 클럭신호(GCLK4)까지 위상이 1 수평기간(1H)만큼 지연된 제 1 내지 제 4 클럭신호(GCLK1~GCLK4)와, 제 3 클럭신호(GCLK3)의 첫번째 펄스와 위상이 같은 제 1 게이트스타트펄스(GSP1)와 제 1 클럭신호(GCLK1)의 첫번째 펄스와 위상이 같은 제 2 게이트스타트펄스(GSP2)로 구성된다. 상기 제 1 내지 제 4 클럭신호(GCLK1~GCLK4)들은 제 1 내지 제 4 클럭라인 (CL1~CL4)에 의해, 상기 제 1 및 제 2 게이트스타트펄스(GSP1, GSP2)는 제 1 및 제 2 GSP 라인(SL1, SL2)에 의 해 전달된다. 이때, 제 1 및 제 2 쉬프트레지스터(132)는 동기화되는 게이트스타트펄스의 위상이 다르기 때문에 각각 제 1 및 제 2 GSP 라인(SL1, SL2)을 이용한다.
- [0089] 여기서 각 스테이지들은 도 6a에 도시된 바와 같은 구조로 연결되어 클럭신호를 입력받는다.
- [0090] 예를 들면, 제 1 쉬프트레지스터(131)의 제 1 스테이지(131a)는 제 1 게이트스타트펄스(GSP1)를 입력받고, 제 1 입력단자(CLK1)에 제 4 클럭신호(GCLK4)를, 제 2 입력단자(CLK2)에 제 2 클럭신호(GCLK2)를, 제 3 입력단자 (CLK3)에 제 3 클럭신호(GCLK3)를 입력받아 첫번째 제 1 게이트신호를 출력한다. 이것은 출력단자(OUT)를 통하 여 제 1 게이트라인 중 첫번째 라인에 입력될 수 있다.
- [0091] 여기서 상기 첫번째 제 1 게이트신호는 제 1 게이트스타트펄스(GSP1)의 위상보다 1 수평기간(1H)이 늦은 제 4 클럭신호(GCLK4)의 펄스를 게이트 온 신호로 하는 파형이 출력된다. 그리고 제 2 쉬프트레지스터(132)의 제 1 스테이지(132a)에서 출력되는 첫번째 제 2 게이트신호 역시 제 2 게이트스타트펄스(GSP2)의 위상보다 1 수평기 간 늦은 제 1 클럭신호(GCLK1)의 펄스를 게이트 온 신호로 하는 파형이 출력될 수 있다.
- [0092] 따라서, 제 1 스테이지들(131a, 132a)을 제외한 각 스테이지들은 전 단계의 출력신호를 게이트스타트펄스(GSP1, GSP2)로 하여 다음 단계의 스테이지로 넘어갈수록 출력되는 신호의 위상을 1 수평기간씩 지연시킬 수 있다.
- [0093] 이하, 도 6c를 참조하여 각 스테이지의 구성 및 동작원리를 설명한다.
- [0094] 도 6c에는 제 1 쉬프트레지스터(131)의 제 1 스테이지(131a) 회로도를 대표적으로 도시하였지만, 제 2 쉬프트레 지스터(132)의 스테이지들(132a~132c)은 모두 제 1 쉬프트레지스터(131)의 스테이지들의 단순한 변형에 불과하 므로, 이하의 설명으로부터 충분히 이해될 수 있을 것이다.
- [0095] 상기 제 1 스테이지(131a)는 제 1 내지 제 10 트랜지스터(T1~T10), 제 1 내지 제 3 커패시터(C11~C13)를 포함 하며, 제 1 내지 제 3 입력단자(CLK1~CLK3), 게이트스타트펄스 입력단자(VST), 고전위전압(VDD), 저전위전압 (VSS)와 연결되어 있다. 그리고 상기 제 4 및 제 5 트랜지스터(T4, T5)와 상기 제 2 및 제 3 트랜지스터(T2, T3)와 제 6 및 제 7 트랜지스터(T6, T7)가 듀얼로 구성되는 이유는 제 1 및 제 2 노드(N11, N12)에 흐르는 누설 전류를 줄이기 위함이다.
- [0096] 이때, 고전위전압(VDD)과 저전위전압(VSS)은 항상 일정한 직류값을 가지며, 고전위전압(VDD)은 정극성 전압을, 저전위전압(VSS)은 부극성 전압을 가지므로, 고전위전압(VDD)은 하이 레벨, 저전위전압(VSS)은 로우레벨이라 할 수 있다.

- [0097] 그리고 상기 트랜지스터들(T1~T10)은 모두 PMOS로 구성되므로 로우레벨의 게이트 전압을 인가받을 때 턴 온 된다. 그러나 상기 트랜지스터들(T1~T10)을 NMOS로 구성될 수도 있으며 이때는 인가되는 전압의 위상이 반전된다.
- [0098] 이러한 구성과 구동 파형을 참조하여 상기 제 1 쉬프트레지스터(131)의 제 1 스테이지(131a)의 동작을 살펴보면 다음과 같다.
- [0099] S1 기간에서 제 1 게이트스타트펄스(GSP1)와 제 3 클럭신호(GCLK3)가 동시에 로우가 되면, 제 1 및 제 8 트랜지스터(T1, T8)가 턴-온되어 제 1 노드(N11)는 제 1 커패시터(C11)를 통해 로우 레벨 전압이 충전된다. 이에 따라, 제 1 노드(N11)에 게이트단자가 접속된 제 10 트랜지스터(T10)가 서서히 턴-온된다. 아울러, 로우 레벨의 스타트 펄스에 의해 제 6 및 제 7 트랜지스터(T6, T7)가 턴-온되어 고전위전압(VDD)이 제 2 커패시터(C12)를 통하여 제 2 노드(N12)에 충전된다. 이에 따라, 제 2 노드(N12)에 게이트단자가 접속된 제 2 및 제 3 및 제 9 트랜지스터(T2, T3, T9)가 턴-오프된다. 이 결과, 턴-온된 제 10 트랜지스터(T10)를 통해 제 2 클럭신호(GCLK2)의 하이 레벨 전압이 제 1 게이트라인에 공급된다.
- [0100] S2 기간에서 제 1 게이트스타트펄스(GSP1) 및 제 3 클럭신호(GCLK3)가 하이 레벨이 되고 제 4 클럭신호(GCLK4)가 로우레벨이 되면, 제 10 트랜지스터(T10)의 게이트단자와 소스단자 사이에 형성된 제 3 커패시터(C13)에 의해 부트스트래핑(Bootstrapping) 현상이 발생하여 제 1 노드(N11)는 제 4 클럭신호(GCLK4)의 로우 레벨보다 낮은 로우 레벨이 된다. 이에 따라, 제 10 트랜지스터(T10)가 확실하게 턴-온되어 제 4 클럭신호(GCLK4)의 로우 레벨 전압이 제 1 게이트라인으로 공급된다.
- [0101] S3 기간에서 제 4 클럭신호(GCLK4)가 하이 레벨이 되고 제 1 클럭신호(GCLK1)가 로우 레벨이 되면, 제 1 노드(N11)의 전압은 로우 레벨이 되고 턴-온된 제 10 트랜지스터(T10)를 경유하여 제 4 클럭신호(GCLK4)의 하이 레벨 전압이 제 1 게이트라인에 공급된다.
- [0102] S4 기간에서 제 2 클럭신호가 로우 레벨이 되면, 제 4 및 제 5 트랜지스터(T4, T5)가 턴-온되어 저전위전압(VSS)이 제 2 노드(N12)에 충전됨으로써 제 2, 제 3 및 제 9 트랜지스터(T2, T3, T9)가 턴-온된다. 이에 따라, 턴-온된 제 2 트랜지스터(T2)를 경유하여 제 1 노드(N11)에 충전된 로우 레벨 전압은 하이 레벨로 바뀌게 되고, 턴-온된 제 9 트랜지스터(T9)를 경유하여 고전위전압(VDD)이 제 1 게이트라인에 공급된다. 이러한 상태는 다음 프레임에서 다시 제 1 게이트스타트펄스(GSP1)와 제 3 클럭신호(GCLK3)가 공급될 때까지 유지된다.
- [0103] 이하, 본 발명의 제 2 실시예의 구성 및 동작원리에 대하여 보다 상세하게 살펴본다.
- [0104] 도 7a는 제 2 실시예에 따르는 제 2 및 제 6 쉬프트레지스터의 구조도이며, 도 7b는 제 2 실시예에 따르는 제 2 및 제 6 쉬프트레지스터의 입력신호와 출력신호를 나타낸 것이며, 도 7c는 제 6 쉬프트레지스터의 내부 블록도이며, 도 7d는 제 6 쉬프트레지스터의 버퍼부 회로도이다.
- [0105] 제 2 실시예의 구성 중 제 3 및 제 4 쉬프트레지스터는 동일한 위상의 클럭신호를 이용하는 구성들이므로 제 1 실시예의 설명으로 그 구성 및 동작원리가 유추가능하다. 그러나 제 1, 제 2, 제 5, 제 6 쉬프트레지스터는 서로 다른 위상의 클럭신호를 필요로하는 쉬프트레지스터들끼리 짝지어 구성된다. 따라서, 이하, 제 2 및 제 6 쉬프트레지스터(132, 136)의 경우를 대표적으로 설명한다.
- [0106] 먼저 도 7a를 참조하면, 제 2 및 제 6 쉬프트레지스터(132, 136)는 각각 복수의 스테이지를 포함하며, 전술한 바와 같이 제 2 쉬프트레지스터(132)는 4가지 위상의 클럭신호를, 제 6 쉬프트레지스터(136)는 5가지 위상의 클럭신호를 필요로 하지만, 두 쉬프트레지스터는 4개의 클럭라인(CL11~CL15)과 1개의 GSP 라인(SL10)을 공유한다. 그리고 각 스테이지(132a~132c, 136a~136c)는 고전위전압(VDD)과 저전위전압(VSS)을 인가받으며, 3개의 입력단자(CLK1~CLK3), 1개의 게이트스타트펄스 입력단자(VST), 출력단자(OUT)를 포함한다. 이때, 제 2 및 제 6 쉬프트레지스터(132, 136)는 동기화되는 게이트스타트펄스(GSP)의 위상이 같기 때문에 동일한 GSP 라인(SL10)을 이용한다.
- [0107] 한편, 도 7b와 같이 쉬프트레지스터들(132, 136)에 입력되는 신호들은 제 1 클럭신호(GCLK1)부터 제 5 클럭신호(GCLK5)까지 위상이 1 수평기간만큼 지연된 제 1 내지 제 5 클럭신호(GCLK1~GCLK5)와, 제 5 클럭신호(GCLK5)의 첫번째 펄스와 위상이 같은 게이트스타트펄스(GSP)로 구성된다. 상기 제 1 내지 제 5 클럭신호(GCLK1~GCLK5)들은 제 1 내지 제 5 클럭라인(CL11~CL15)에 의해, 상기 게이트스타트펄스(GSP)는 GSP 라인(SL10)에 의해 전달된다. 여기서 각 스테이지들은 도 7a에 도시된 바와 같은 클럭라인(CL11~CL15)의 위치에 연결되어 클럭신호를 입력받는다.
- [0108] 예를 들면, 상기 두 쉬프트레지스터(133, 136)의 제 1 스테이지들(132a, 136a)은 게이트스타트펄스(GSP)를 입력

받고, 제 1 입력단자(CLK1)에 제 1 클럭신호(GCLK1)를, 제 2 입력단자(CLK2)에 제 3 클럭신호(GCLK3)를, 제 3 입력단자(CLK3)에 제 5 클럭신호(GCLK5)를 입력받아 제 2 및 6 게이트신호들을 출력한다. 이것은 출력단자(OUT)를 통하여 제 2 및 제 6 게이트라인들 중 첫번째 라인에 입력될 수 있다.

[0109] 이때, 제 2 쉬프트레지스터(132)의 제 2 게이트신호는 제 1 클럭신호(GCLK1)의 첫번째 펄스를 게이트 온 신호로 하는 파형이 출력될 수 있으며, 제 6 쉬프트레지스터(136)의 제 6 게이트신호는 제 5 클럭신호(GCLK5)의 첫번째 펄스의 라이징 에지(rising edge)와 두번째 펄스의 폴링 에지(falling edge)에 동기하여 4 수평기간을 게이트 온 신호로 하는 파형이 출력될 수 있다.

[0110] 결과적으로 보면, 제 2 쉬프트레지스터(132)는 상기 제 2 쉬프트레지스터(132)와 연결되는 클럭라인(CL11~CL15)들이 제 1 실시예와 다르지만 입력되는 클럭신호의 파형이 제 1 실시예와 동일하게 되므로, 제 1 실시예와 동일한 신호를 출력할 수 있다. 따라서, 각 쉬프트레지스터가 이용하는 클럭신호의 개수가 서로 다르더라도 더 많은 개수의 클럭신호를 사용하는 쉬프트레지스터를 기준으로하여 복수의 클럭라인을 배치하는 경우 다수의 쉬프트레지스터가 복수의 클럭라인을 공유하는 것이 가능하다.

[0111] 여기서, 상기 제 2 쉬프트레지스터(132) 내 각 스테이지(132a~132c)의 회로도도 제 1 실시예를 통하여 유추가능하므로, 상기 제 6 쉬프트레지스터(136)의 각 스테이지(136a~136c)의 회로 구성 및 동작원리를 설명해본다.

[0112] 도 7c를 참조하면, 제 6 쉬프트레지스터(136)의 각 스테이지는 레벨쉬프트부(150)와 버퍼부(155)로 구성된다. 상기 레벨쉬프트부(150)는 도 6c에서 검토한 회로도도 동일한 구성이다. 그리고 상기 버퍼부(155)는 1 수평기간의 파형을 4 수평기간의 파형으로 확대시키기 위해 필요한 구성으로서, 상기 레벨쉬프트부(150)의 출력파형을 입력받아 제 6 게이트신호를 생성한다.

[0113] 이하 도 7d를 통하여 버퍼부(155)의 동작에 대하여 설명한다.

[0114] 상기 버퍼부(155)는 제 1 내지 제 9 트랜지스터(E1~E9), 제 1 및 제 2 커패시터(C21, C22)를 포함하며, 레벨쉬프트부(150)의 출력단자(OUT), 제 3 입력단자(CLK3), 고전위전압(VDD)단자, 저전위전압(VSS)단자와 연결되어 있다. 이때, 상기 버퍼부(155)는 제 1 스테이지(136a) 내부 구성으로 가정하므로 제 3 입력단자(CLK3)로 제 5 클럭신호(GCLK5)가 입력된다. 한편, 상기 제 4 및 제 5 트랜지스터(E4, E5)가 듀얼로 구성되는 이유는 제 1 노드(N21)에 흐르는 누설전류를 줄이기 위함이다.

[0115] 그리고, 고전위전압(VDD)과 저전위전압(VSS)은 항상 일정한 직류값을 가지며, 고전위전압(VDD)은 정극성 전압을, 저전위전압(VSS)은 부극성 전압을 가지므로, 고전위전압(VDD)은 하이 레벨, 저전위전압(VSS)은 로우레벨이라 할 수 있다.

[0116] 한편, 상기 트랜지스터들(E1~E9)은 모두 PMOS로 구성되므로 로우레벨의 게이트 전압을 인가받을 때 턴 온 된다. 그러나 상기 트랜지스터들(E1~E9)을 NMOS로 구성될 수도 있으며 이때는 인가되는 전압의 위상이 반전된다.

[0117] 먼저, S11구간에서 동작을 살펴보면, 제 3 입력단자(CLK3)로 입력된 제 5 클럭신호(GCLK5)는 로우 레벨이므로 제 1 및 제 2 트랜지스터(E1, E2)는 턴 온된다. 따라서, 저전위전압(VSS)이 제 1 노드(N21)에 출력되며, 상기 제 1 노드(N21)에 연결된 제 7 트랜지스터(E7)가 턴 온 되어 출력단자(OUT)에 로우 레벨 전압이 공급된다. 반면, 제 3 내지 5 트랜지스터(E3~E5)는 레벨쉬프트부(150)의 출력신호(제 2 게이트신호와 동일)가 하이레벨이므로 턴 오프 되어 출력단자(6_OUT)에 고전위전압(VDD)이 인가되지 않는다.

[0118] S12구간에서는, 레벨쉬프트부(150)의 출력신호가 로우 레벨이 되고 제 5 클럭신호(GCLK5)가 하이 레벨이 된다. 따라서, 제 3 내지 5 트랜지스터(T3~T5)가 온 되어 제 1 노드(N21)에 고전위전압(VDD)이 전달되어 출력단자(6_OUT)에 하이 레벨 전압이 공급된다.

[0119] S13 구간에서는, 레벨쉬프트부(150)의 출력신호와 제 5 클럭신호(GCLK5)가 모두 하이 레벨이 되어 제 1 내지 제 5 트랜지스터(E1~E5)들의 동작이 턴 오프가 된다. 따라서 상기 출력단자(6_OUT)에 전달되는 전압은 하이 레벨 전압로 유지된다.

[0120] S14 구간은 S11구간과 동일한 신호가 인가되어 동일한 동작을 하므로 출력단자(6_OUT)에 로우 레벨 전압을 공급하게 된다. 이러한 상태는 다음 프레임에서 다시 게이트스타트펄스(GSP)와 제 5 클럭신호(GCLK5)가 공급될 때까지 유지된다.

[0121] 따라서, 이러한 일련의 과정을 거쳐서 제 6 게이트신호를 출력할 수 있다.

[0122] 이하, 본 발명의 제 3 실시예의 구성에 대하여 상세히 설명한다.

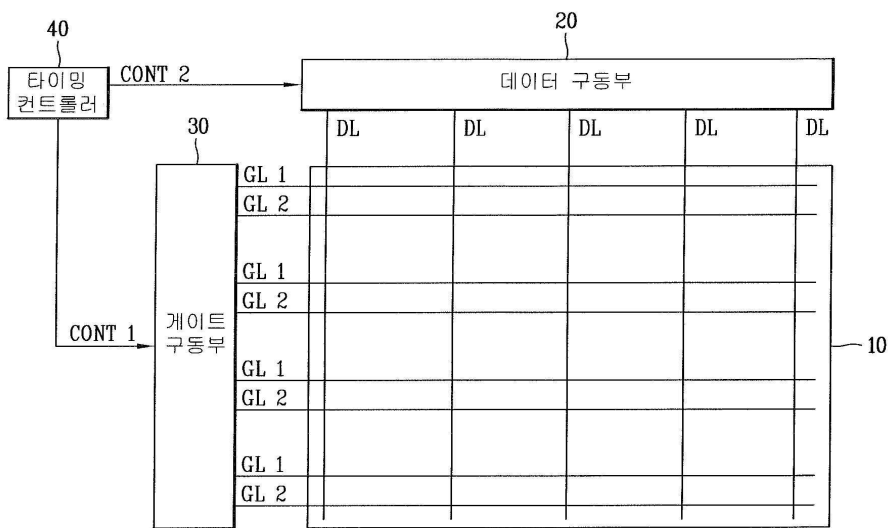
- [0123] 도 8a는 제 3 실시예에 따르는 쉬프트레지스터들의 구조도이며, 도 8b는 제 3 실시예에 따르는 제 1, 제 2 및 제 5, 제 6 쉬프트레지스터의 입력신호와 출력신호를 나타낸 것이다.
- [0124] 제 3 실시예의 구성 중 제 3 및 제 4 쉬프트레지스터는 동일한 위상의 클럭신호를 이용하는 구성들이므로 제 1 실시예의 설명으로 그 구성 및 동작원리가 유추가능하다. 그러나 전술된 실시예들과 달리 제 1, 제 2, 제 5, 제 6 쉬프트레지스터(131, 132, 135, 136)는 한 그룹의 복수의 클럭라인들을 공유하며 구성되므로 상기 제 1, 제 2, 제 5, 제 6 쉬프트레지스터(131, 132, 135, 136)에 대하여 상세히 설명한다.
- [0125] 먼저 도 8a를 참조하면, 제 1, 제 2 및 제 5, 제 6 쉬프트레지스터(131, 132, 135, 136)는 각각 복수의 스테이지를 포함하며, 5개의 클럭라인(CL21~CL25)과 2개의 GSP 라인(SL21~SL22)을 공유한다. 그리고 각 스테이지는 고전위전압(VDD)과 저전위전압(VSS)을 인가 받으며, 3개의 입력단자, 1개의 게이트스타트펄스 입력단자(VST), 출력단자(OUT)를 포함한다.
- [0126] 구체적으로 설명하면, 제 5 및 제 6 쉬프트레지스터(135, 136)는 5가지 위상의 클럭신호를 필요로 하며 제 1 및 제 2 쉬프트레지스터(131, 132)보다 많은 개수의 클럭라인(CL21~CL25)개수를 필요로하므로, 5 개의 클럭라인(CL21~CL25)을 공유하며, 쉬프트레지스터들(131, 132, 135, 136)은 게이트스타트펄스 위상을 2가지로 하므로 2 개의 GSP 라인(SL21~SL22)을 공유한다.
- [0127] 한편, 도 8b와 같이 쉬프트레지스터에 입력되는 신호들은 제 1 클럭신호(GCLK1)부터 제 5 클럭신호(GCLK5)까지 위상이 1 수평기간만큼 지연된 제 1 내지 제 5 클럭신호(GCLK1~GCLK5)와, 제 1 게이트스타트펄스(GSP1)와 제 2 게이트스타트펄스(GSP2)로 구성된다. 상기 제 1 내지 제 5 클럭신호(GCLK1~GCLK5)는 제 1 내지 제 5 클럭라인(CL21~CL25)에 의해, 제 1 및 제 2 게이트스타트펄스(GSP1, GSP2)는 제 1 및 제 2 GSP라인(SL1, SL2)에 의해 전달된다.
- [0128] 여기서 제 2 쉬프트레지스터(132)와 제 6 쉬프트레지스터(136)는 서로 마주보는 위치에 배치되어 제 1 쌍을 이루고, 제 1 쉬프트레지스터(131)와 제 5 쉬프트레지스터(135)가 제 2 쌍을 이룬다.
- [0129] 이때, 상기 제 1 쌍의 스테이지들과 제 2 쌍의 스테이지들은 서로 교번하며 배치되는 구조를 가질 수 있다.
- [0130] GSP 라인(SL21~SL22)은 제 1 및 제 2 쌍에서 첫번째 스테이지들과 연결되며, 나머지 스테이지에서는 전 단계의 스테이지의 출력신호를 게이트스타트펄스로 하도록 스테이지와 스테이지 사이에 라인이 연결된다.
- [0131] 그리고 제 1 쌍이 공유하는 클럭라인(CL21~CL25)은 제 2 실시예의 배치와 동일하다.
- [0132] 제 2 쌍이 공유하는 클럭라인(CL21~CL25)의 경우, 제 5 쉬프트레지스터(135)는 제 6 쉬프트레지스터(136)와 동일한 신호를 출력하므로, 제 1 쌍이 공유하는 클럭라인(CL21~CL25)과 동일하다. 그러나 제 1 쉬프트레지스터(131)는 예를 들면, 제 1 스테이지(131a)에서 제 1 입력단자(CLK1)에 제 1 게이트스타트펄스(GSP1)보다 위상이 1 수평기간만큼 늦은 제 4 클럭신호(GCLK4)가 입력되고, 제 2 입력단자(CLK2)에 제 1 게이트스타트펄스(GSP1)보다 위상이 3 수평기간만큼 늦은 제 1 클럭신호(GCLK1)가 입력되고, 제 3 입력단자(CLK3)에 제 1 게이트스타트펄스(GSP1)와 동일한 위상의 제 3 클럭신호(GCLK3)가 입력되는 구조를 가지고 있다. 이때, 상기 제 1 쉬프트레지스터(131)가 연결되는 클럭라인(CL21~CL25)은 제 1 실시예와 다르지만, 제 1 쉬프트레지스터(131)에 입력되는 클럭신호의 형태는 제 1 실시예와 동일하므로 다른 실시예들과 동일한 제 1 게이트신호를 출력한다.
- [0133] 그리고 상기 쉬프트레지스터들이 출력하는 제 1, 제 2, 제 5, 제 6 게이트신호는 도 8b의 1_OUT, 2_OUT, 5_OUT, 6_OUT과 같다.
- [0134] 이상으로 검토한 본 발명의 실시예들은 6개의 게이트신호를 이용하는 것으로 하였으나, 이것은 화소의 설계방식에 따라 6개보다 적거나 클 수도 있다. 그리고, 그에 따라 복수의 클럭라인을 공유하는 배치구조도 통상의 지식을 가진자가 유용하게 변경할 수 있는 범위 내에서 본 발명의 실시예들로 포함한다. 또한, 본 명세서에서 설명된 각 스테이지의 입력단자 개수와 복수의 클럭라인의 개수는 일 예일뿐 이에 한하지 않으며 다른 개수가 될 수도 있다.
- [0135] 이상에서 본 발명의 바람직한 실시 예들에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 수 있을 것이다.
- [0136] 따라서, 본 발명의 권리범위는 이에 한정되는 것이 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

[0137]

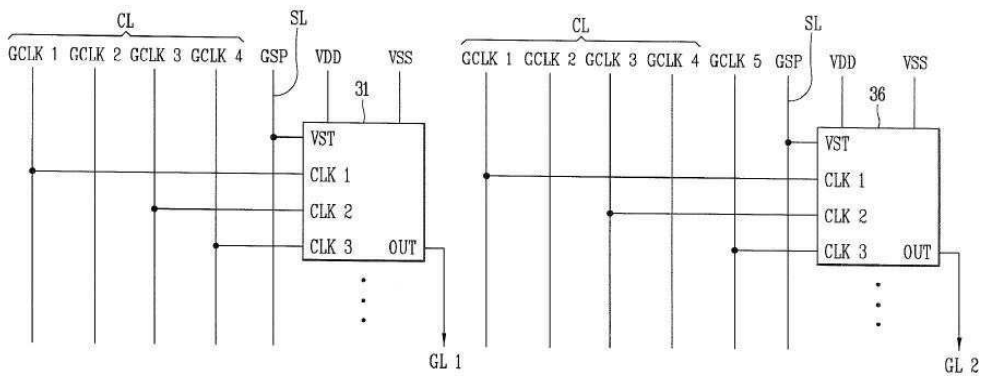
110 : 표시패널	120 : 데이터 구동부
130 : 게이트 구동부	
131~136 : 제 1 쉬프트레지스터 ~ 제 6 쉬프트레지스터	
140 : 타이밍 컨트롤러	
CL : 클럭라인	

도면

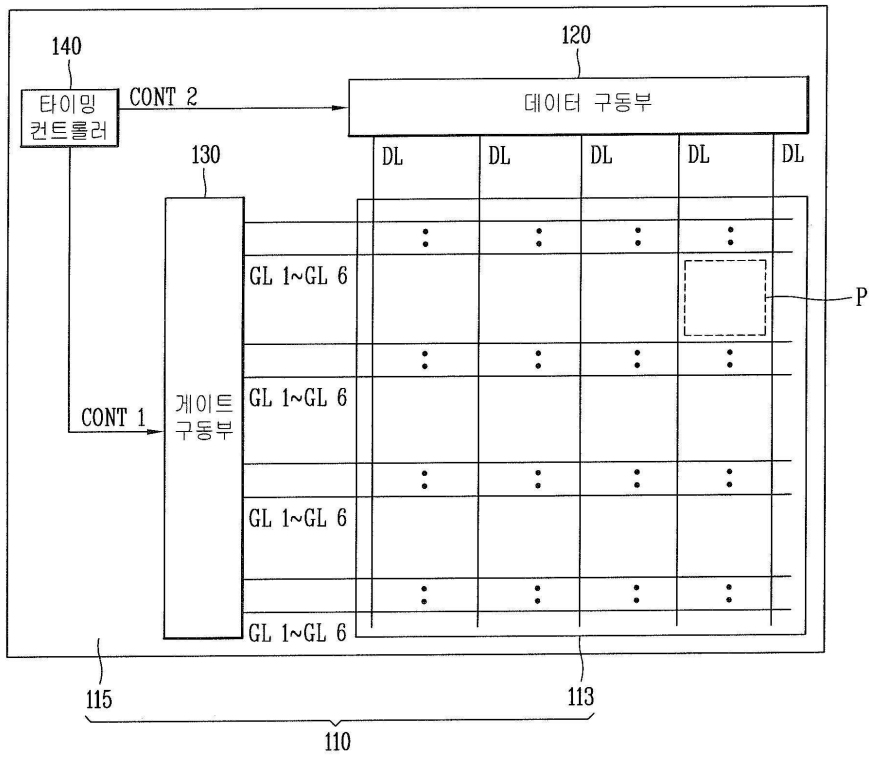
도면1



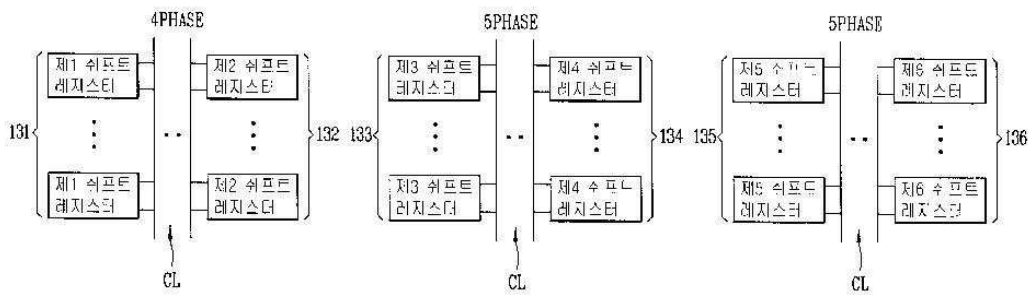
도면2



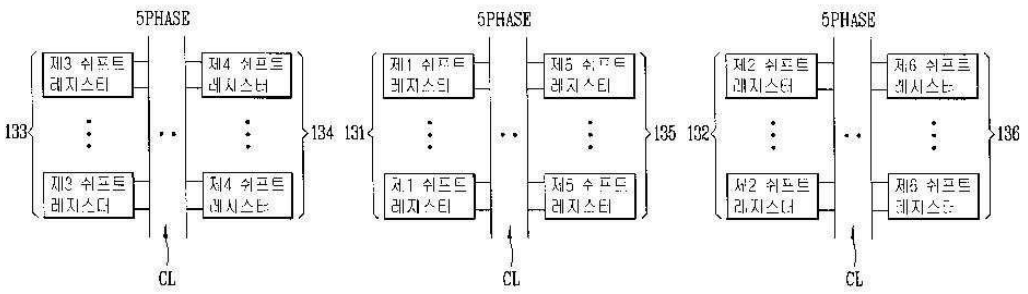
도면3



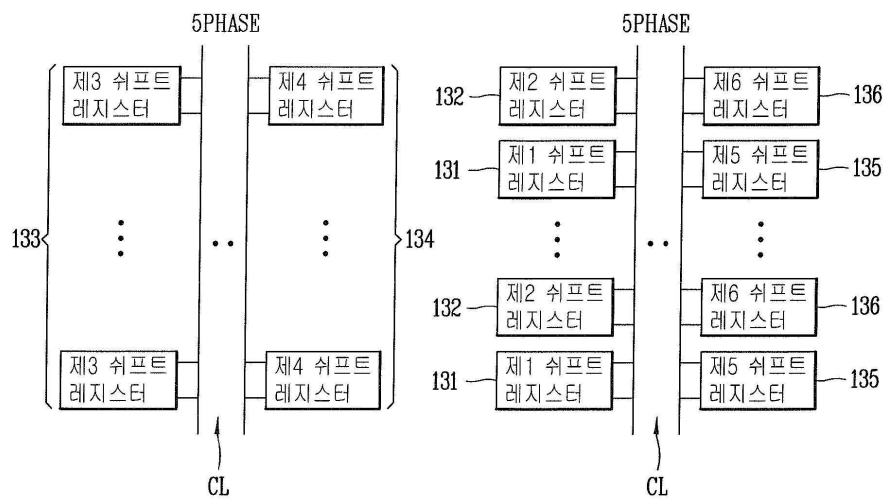
도면5a



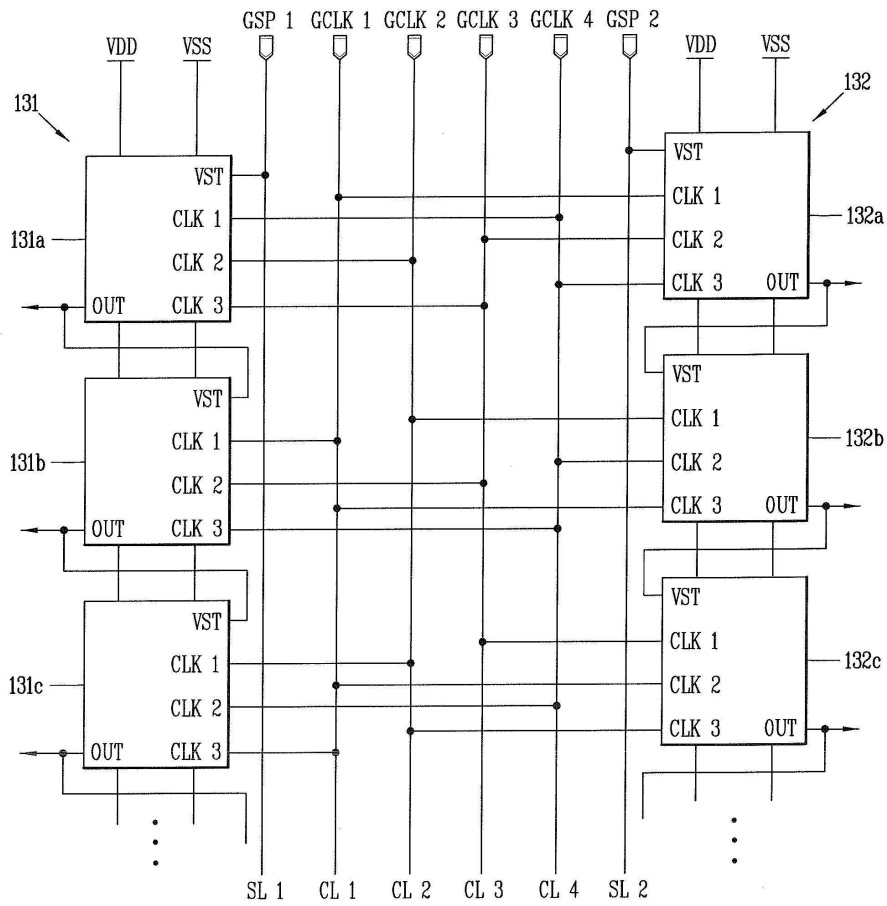
도면5b



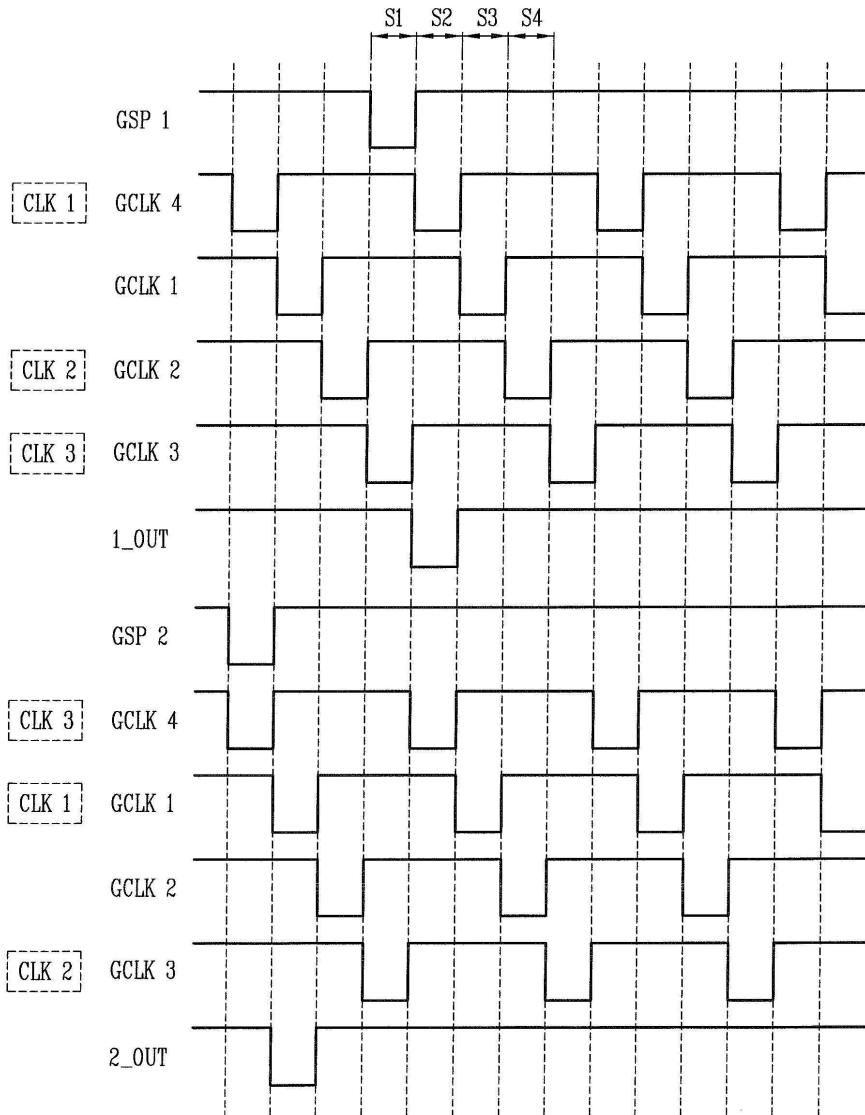
도면5c



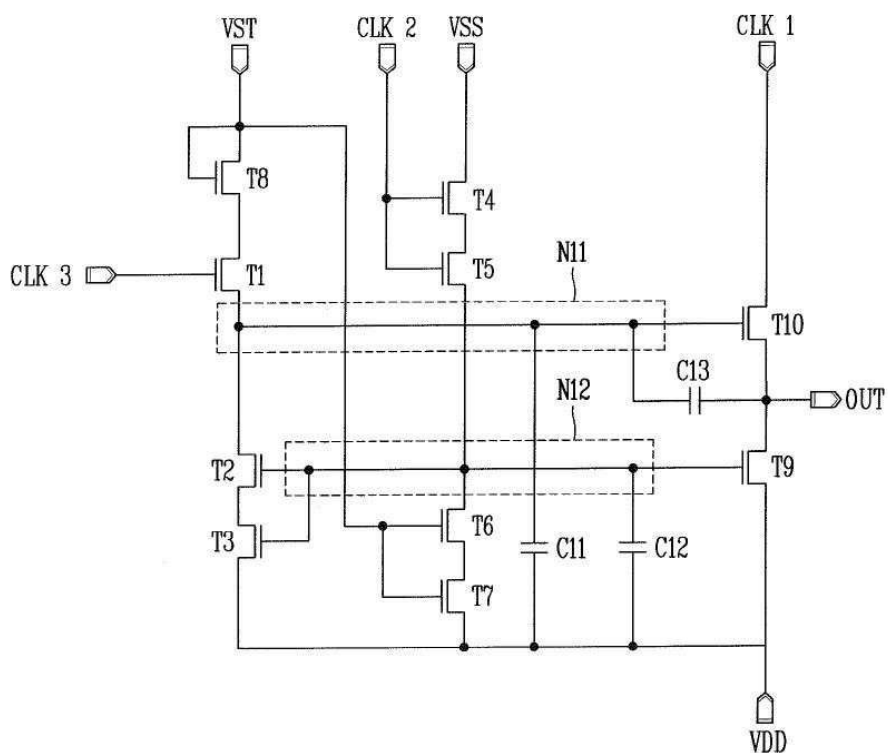
도면6a



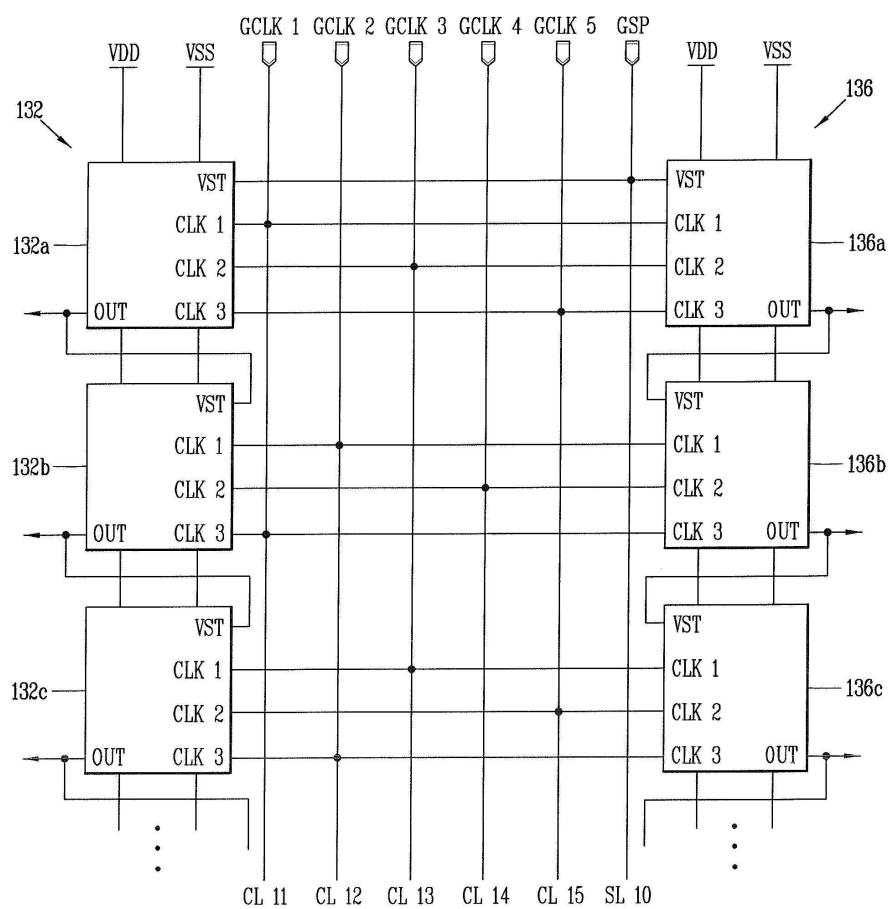
도면6b



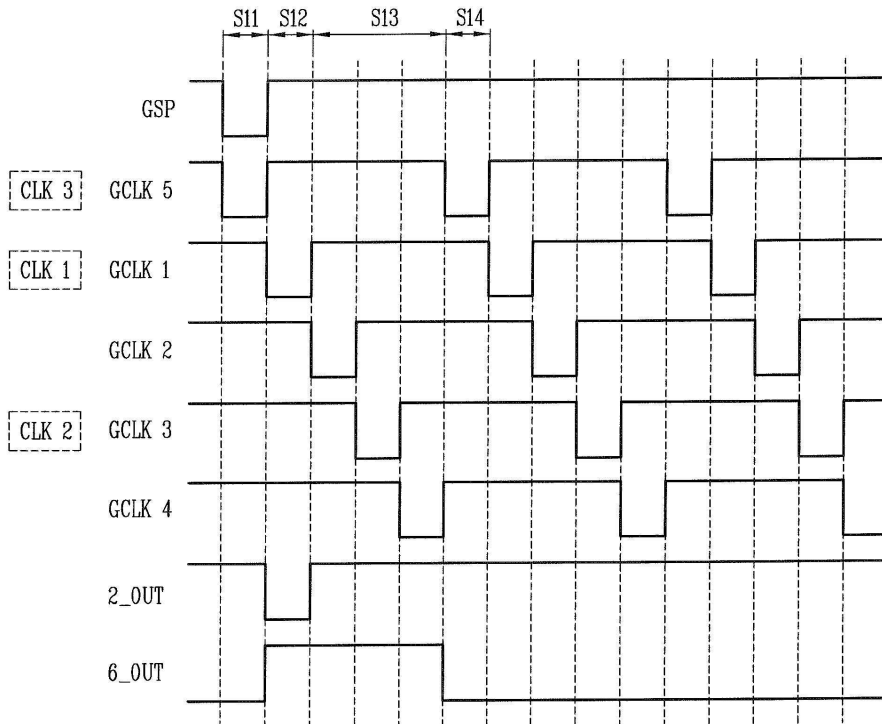
도면6c



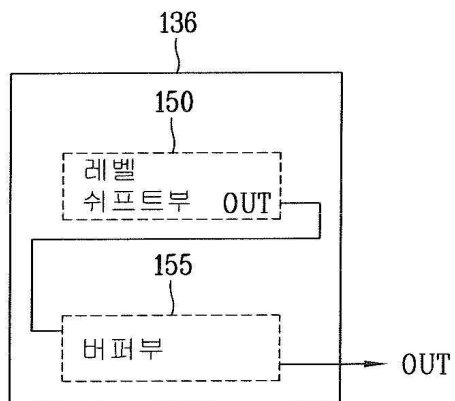
도면7a



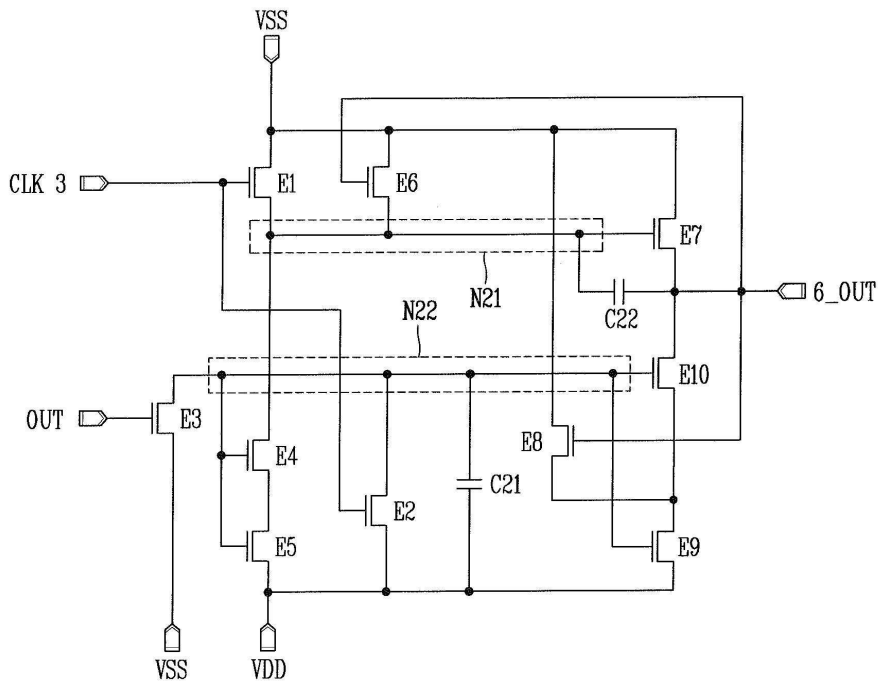
도면7b



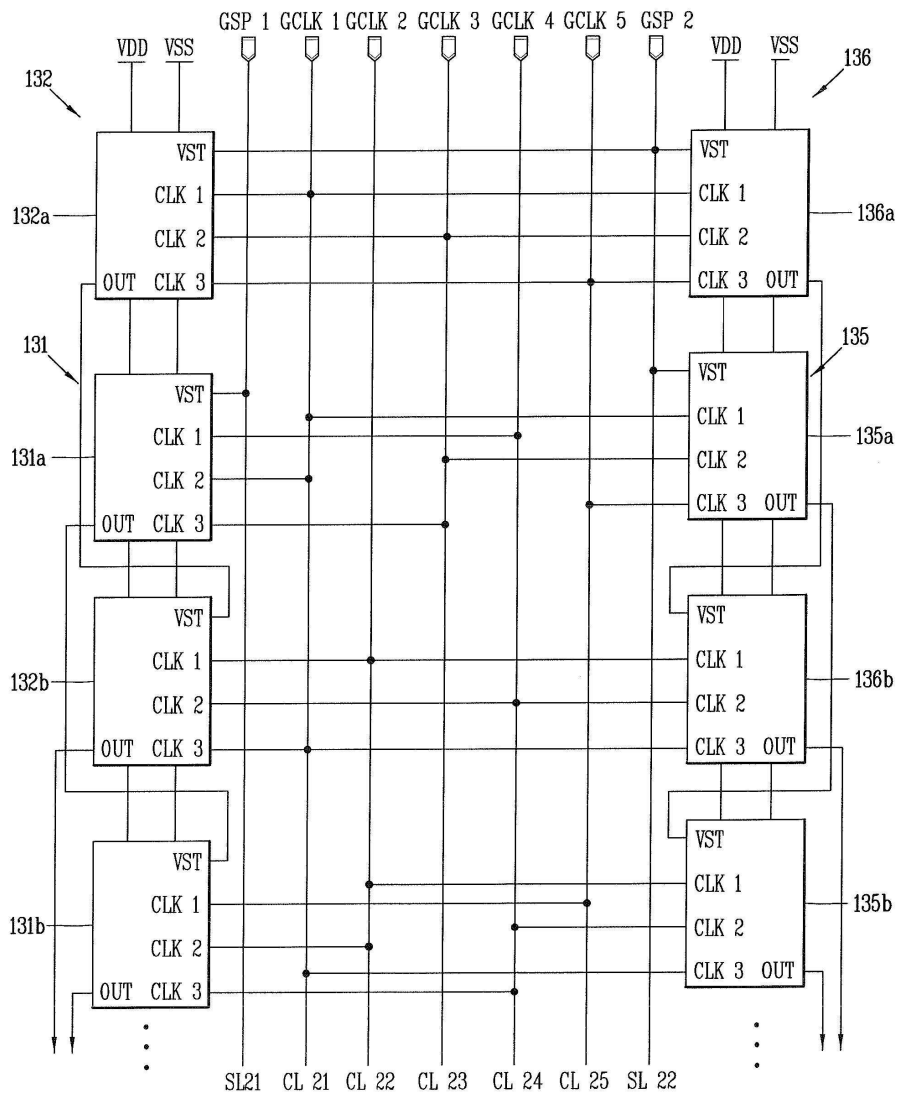
도면7c



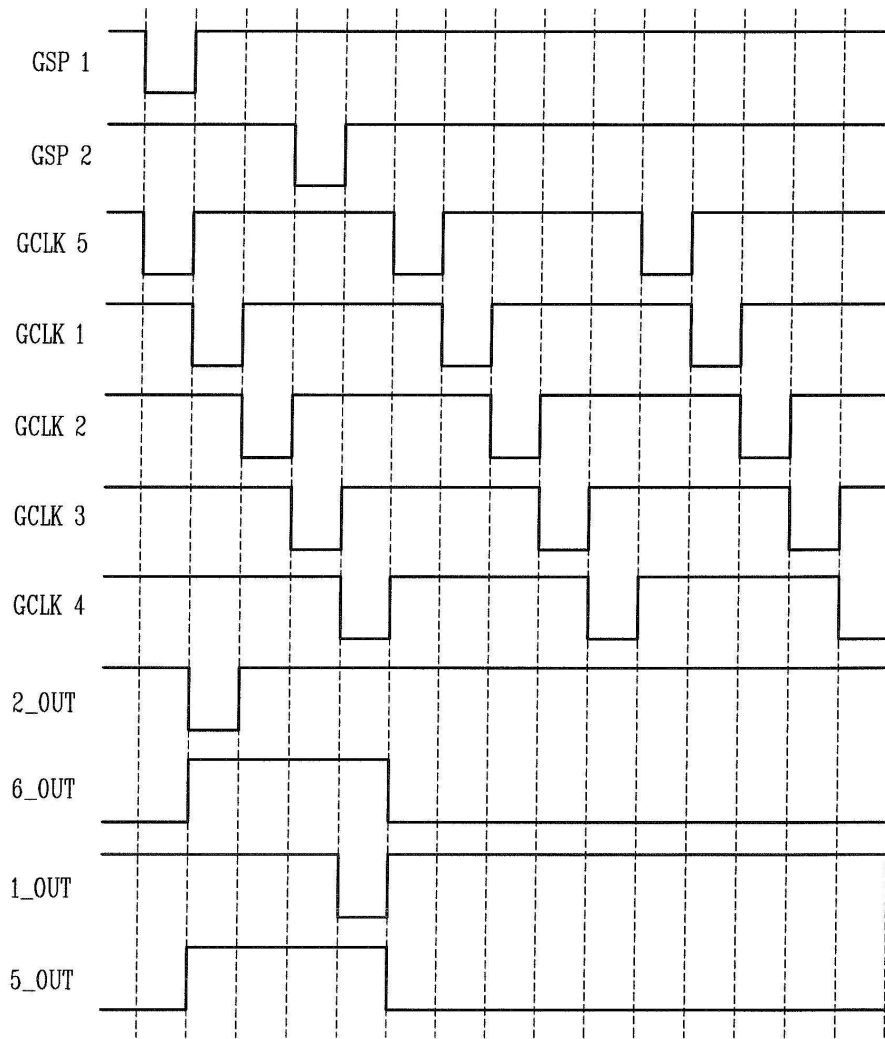
도면7d



도면8a



도면8b



专利名称(译)	一种有机发光显示器，包括共享多个时钟线的移位寄存器		
公开(公告)号	KR1020130051340A	公开(公告)日	2013-05-20
申请号	KR1020110116632	申请日	2011-11-09
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN HO BUM 한호범 HAN SEONG EOK 한성억		
发明人	한호범 한성억		
IPC分类号	G09G3/30 G11C19/00 G09G3/3233 G09G3/3266		
CPC分类号	G09G3/3233 G09G3/3266 G11C19/00 G09G2310/0286 G09G2310/0289 G09G2310/0291		
其他公开文献	KR101924427B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光二极管显示器具有共用多个时钟线的多个移位寄存器，以减小栅极驱动器的宽度，从而减小边框的宽度。有机发光显示器包括用于产生多个时钟信号的定时控制器和栅极控制信号；一种显示面板，被划分为包括发光二极管的显示区域和由多条栅极线和多条数据线划分的多个像素中的非显示区域；并且，多个时钟线用于传输多个时钟信号；第一移位寄存器，用于接收发送的时钟信号并输出多个第一栅极信号；第二移位寄存器，用于接收发送的多个时钟信号并输出多个第二栅极信号，第一和第二移位寄存器形成在多条时钟线的两侧，并共享多条时钟线。

