



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월09일
(11) 등록번호 10-1936678
(24) 등록일자 2019년01월03일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0078464

(22) 출원일자 2011년08월08일

심사청구일자 2016년08월02일

(65) 공개번호 10-2013-0016495

(43) 공개일자 2013년02월18일

(56) 선행기술조사문헌

KR1020070000984 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이현행

경상북도 칠곡군 석적읍 동중리9길 13, LG디스플레이기숙사 B동 108호

김현진

경기도 파주시 월롱면 엘씨대로 201, 엘지디스플레이 정다운마을 105동 1126호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

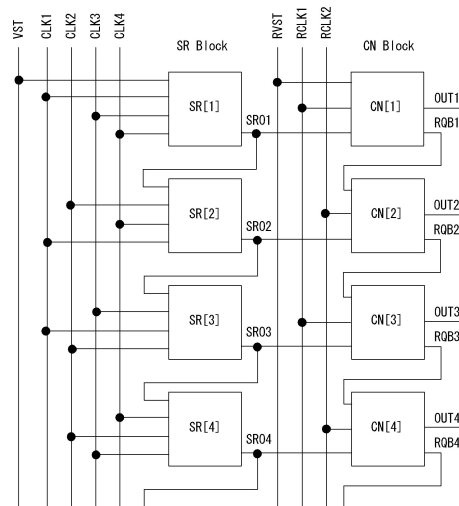
심사관 : 배경환

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명의 실시예는, 표시패널; 표시패널에 데이터신호를 공급하는 데이터구동부; 및 표시패널에 스캔신호를 공급하며, 제1스타트전압 및 다수의 게이트 쉬프트 클록들 중 적어도 3개의 게이트 쉬프트 클록들을 입력받고 순차적으로 제1펄스신호를 출력하도록 종속적으로 접속된 쉬프트 레지스터 블록들과, 쉬프트 레지스터 블록들의 출력단자에 1:1로 연결되고 제2스타트전압 및 다수의 게이트 콘트롤 클록들 중 적어도 1개의 게이트 콘트롤 클록을 입력받고 제1펄스신호를 지연하여 제2펄스신호로 출력하도록 종속적으로 접속된 콘트롤 블록들을 포함하는 스캔구동부를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

표시패널;

상기 표시패널에 데이터신호를 공급하는 데이터구동부; 및

상기 표시패널에 스캔신호를 공급하는 스캔구동부를 포함하고,

상기 스캔구동부는,

제1스타트전압 및 다수의 게이트 쉬프트 클록들 중 적어도 3개의 게이트 쉬프트 클록들을 입력받고 순차적으로 제1펄스신호를 출력하도록 종속적으로 접속된 쉬프트 레지스터 블록들과,

상기 쉬프트 레지스터 블록들의 출력단자에 1:1로 연결되어 상기 제1펄스신호를 입력받고 제2스타트전압 및 다수의 게이트 콘트롤 클록들 중 적어도 1개의 게이트 콘트롤 클록을 입력받고 상기 제1펄스신호에 따라 동작이 활성화되어 제2펄스신호를 생성하고 상기 제2펄스신호가 상기 스캔신호로 출력될 수 있도록 종속적으로 접속된 콘트롤 블록들을 포함하고,

상기 제2펄스신호는 일정 구간 이격된 상기 제1스타트전압과 상기 제2스타트전압 간의 이격 간격만큼 로직로우로 출력되되, 상기 제1스타트전압이 로직로우에서 로직하이로 라이징되는 타임부터 상기 제2스타트전압이 로직하이에서 로직로우로 폴딩되는 타임까지 로직로우로 출력되는 유기전계발광표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 스캔구동부는

외부로부터 순차적으로 로직하이에서 로직로우로 변경되는 4개의 게이트 쉬프트 클록을 포함하는 상기 다수의 게이트 쉬프트 클록들과, 상호 상반된 로직하이와 로직로우의 극성을 갖는 2개의 게이트 콘트롤 클록을 포함하는 상기 다수의 게이트 콘트롤 클록들을 클록신호로 공급받는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 쉬프트 레지스터 블록들은

상기 제1펄스신호가 출력되는 제1출력노드와,

Q노드의 전압에 따라 턴온되어 제1게이트 쉬프트 클록을 상기 제1출력노드에 공급하여 상기 제1출력노드를 방전시키는 제1풀다운 트랜지스터와,

QB 노드의 전압에 따라 턴온되어 고전위전압을 상기 제1출력노드에 공급하여 상기 제1출력노드를 충전시키는 제1풀업 트랜지스터와,

상기 Q 노드를 충전 및 방전시키고, 상기 QB 노드를 충전 및 방전시키는 제1스위치회로를 각각 포함하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제1스위치회로는,

상기 제1스타트전압 또는 이전 쉬프트 레지스터 블록의 제1펄스신호에 응답하여 상기 Q 노드를 방전시키는 Q 노드 방전회로와,

상기 QB 노드의 방전전압에 응답하여 상기 Q 노드를 충전시키는 Q 노드 충전회로와,

제3게이트 쉬프트 클록에 응답하여 상기 QB 노드를 방전시키는 QB 노드 방전회로와,

상기 제1스타트전압 또는 이전 쉬프트 레지스터 블록의 제1펄스신호에 응답하여 상기 QB 노드를 충전시키는 QB 노드 충전회로를 포함하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 Q 노드 방전회로의 게이트전극과 제1전극은 공통으로 연결되어 상기 제1스타트전압이 입력되는 단자에 연결되고 제2전극은 상기 Q 노드에 연결되고,

상기 Q 노드 충전회로의 게이트전극은 상기 QB 노드에 연결되고 제1전극은 상기 Q 노드에 연결되며 제2전극은 고전위전압이 입력되는 단자에 연결되며,

상기 QB 노드 방전회로의 게이트전극은 상기 제3게이트 쉬프트 클록이 입력되는 단자에 연결되고 제1전극은 저전위전압이 입력되는 단자에 연결되며 제2전극은 상기 QB 노드에 연결되고,

상기 QB 노드 충전회로의 게이트전극은 상기 제1스타트전압이 입력되는 단자에 연결되고 제1전극은 상기 QB 노드에 연결되며 제2전극은 상기 고전위전압이 입력되는 단자에 연결되며,

상기 제1풀다운 트랜지스터의 게이트전극은 상기 Q 노드에 연결되고 제1전극은 상기 제1게이트 쉬프트 클록이 입력되는 단자에 연결되며 제2전극은 상기 제1출력노드에 연결되고,

상기 제1풀업 트랜지스터의 게이트전극은 상기 QB 노드에 연결되며 제1전극은 상기 제1출력노드에 연결되며 제2전극은 상기 고전위전압이 입력되는 단자에 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 게이트 콘트롤 클록들은

상기 제2펄스신호를 출력하는 제2출력노드와,

RQQ 노드의 전압에 따라 턴온되어 저전위전압을 상기 제2출력노드에 공급하여 상기 제2출력노드를 방전시키는 제2풀다운 트랜지스터와,

RBB 노드의 전압에 따라 턴온되어 고전위전압을 상기 제2출력노드에 공급하여 상기 제2출력노드를 충전시키는 제2풀업 트랜지스터와,

상기 RQQ 노드를 충전 및 방전시키고, 상기 RBB 노드를 충전 및 방전시키는 제2스위치회로를 포함하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 제2스위치회로는,

상기 제2스타트전압 또는 이전 쉬프트 레지스터 블록의 제3펄스신호에 응답하여 RSQ 노드를 방전시키는 RSQ 노드 방전회로와,

상기 제1펄스신호에 응답하여 상기 RSQ 노드를 충전시키는 RSQ 노드 충전회로와,

상기 제1펄스신호에 응답하여 상기 RQQ 노드를 방전시키는 RQQ 노드 방전회로와,

상기 RSQ 노드의 방전전압에 응답하여 상기 RQQ 노드를 충전시키는 RQQ 노드 충전회로와,

상기 RSQ 노드의 방전전압에 응답하여 상기 RBB 노드를 방전시키는 RBB 노드 방전회로와,

상기 제1펄스신호에 응답하여 상기 RBB 노드를 충전시키는 RBB 노드 충전회로와,

상기 제2출력노드를 통해 출력되는 상기 제2펄스신호와 반대되는 상기 제3펄스신호를 제3출력노드로 출력하는 RQB 노드 출력회로를 포함하는 유기전계발광표시장치.

청구항 9

제8항에 있어서,

상기 RSQ 노드 방전회로의 게이트전극은 상기 제2스타트전압이 입력되는 단자에 연결되고 제1전극은 제1게이트 콘트롤 클록이 입력되는 단자에 연결되며 제2전극은 상기 RSQ 노드에 연결되고,

상기 RSQ 노드 충전회로의 게이트전극은 제1출력단자에 연결되고 제1전극은 상기 고전위전압이 입력되는 단자에 연결되며 제2전극은 상기 RSQ 노드에 연결되며,

상기 RQQ 노드 방전회로의 게이트전극은 상기 제1출력단자에 연결되고 제1전극은 상기 저전위전압이 입력되는 단자에 연결되며 제2전극은 상기 RQQ 노드에 연결되고,

상기 RQQ 노드 충전회로의 게이트전극은 상기 RSQ 노드에 연결되며 제1전극은 상기 고전위전압이 입력되는 단자에 연결되며 제2전극은 상기 RQQ 노드에 연결되며,

상기 RBB 노드 방전회로의 게이트전극은 상기 RSQ 노드에 연결되고 제1전극은 상기 저전위전압이 입력되는 단자에 연결되며 제2전극은 상기 RBB 노드에 연결되고,

상기 RBB 노드 충전회로의 게이트전극은 상기 제1출력단자에 연결되고 제1전극은 상기 고전위전압이 입력되는 단자에 연결되며 제2전극은 상기 RBB 노드에 연결되며,

상기 RQB 노드 출력회로의 게이트전극은 상기 RBB 노드에 연결되고 제1전극은 상기 고전위전압이 입력되는 단자에 연결되며 제2전극은 상기 제3출력노드에 연결되고,

상기 제2풀다운 트랜지스터의 게이트전극은 상기 RQQ 노드에 연결되고 제1전극은 상기 저전위전압이 입력되는 단자에 연결되며 제2전극은 상기 제2출력노드에 연결되며,

상기 제2풀업 트랜지스터의 게이트전극은 상기 RBB 노드에 연결되며 제1전극은 상기 고전위전압이 입력되는 단자에 연결되며 제2전극은 상기 제2출력노드에 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제9항에 있어서,

상기 RQB 노드 출력회로는 다음 스테이지에 상기 제2스타트전압에 대응되는 전압을 전달하도록 상기 RBB 노드의 전압에 응답하여 상기 제2출력노드를 통해 출력되는 상기 제2펄스신호와 반대되는 상기 제3펄스신호를 출력시키는 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호, 데이터신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

- [0004] 서브 픽셀들에 스캔신호를 공급하는 스캔구동부는 IC(Integrated Circuit) 형태로 기판에 실장되거나 서브 픽셀들에 포함된 박막 트랜지스터를 형성하는 공정과 함께 GIP(Gate In Panel) 형태로 기판의 외곽에 형성된다.
- [0005] 종래 GIP형 스캔구동부는 기판에 형성하면 스캔신호를 출력하는 수평시간(Horizontal Time; 이하 HT로 약기)을 줄일 수는 있지만 이를 증가시킬 수는 없다. 즉, 종래 GIP형 스캔구동부는 1HT 구동으로 결정되면 1HT 안에서만 HT의 변경이 가능하고, 그 이상으로 HT를 증가시킬 수는 없었다.
- [0006] 따라서, 종래 GIP형 스캔구동부는 HT의 조절이 필요한 경우 패널 리비전(Panel Revision)을 해야하는 단점이 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 패널의 레이아웃(Layout)이 확정되더라도 수평시간을 증가하거나 감소하도록 가변할 수 있는 GIP형 스캔구동부를 형성하는 것이다. 또한, 본 발명의 실시예는 클록 부스팅 방식이 아닌 전압 방식으로 스캔신호를 생성하므로 클록 라인 지연(CLK Line Delay)의 영향(CLK 로드)이 최소화하고, 수평시간의 가변이 가능한 GIP형 스캔구동부를 제공하므로 수평시간의 조절이 필요하더라도 패널 리비전(Panel Revision)이 미요구되고 다양한 구조의 서브 픽셀에 대응하여 스캔신호의 주기를 변경할 수 있어 패널 설계시 비용을 절감할 수 있는 GIP형 스캔구동부를 형성하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 표시패널; 표시패널에 데이터신호를 공급하는 데이터구동부; 및 표시패널에 스캔신호를 공급하며, 제1스타트전압 및 다수의 게이트 쉬프트 클록들 중 적어도 3개의 게이트 쉬프트 클록들을 입력받고 순차적으로 제1펄스신호를 출력하도록 종속적으로 접속된 쉬프트 레지스터 블록들과, 쉬프트 레지스터 블록들의 출력단자에 1:1로 연결되고 제2스타트전압 및 다수의 게이트 콘트롤 클록들 중 적어도 1개의 게이트 콘트롤 클록을 입력받고 제1펄스신호를 지연하여 제2펄스신호로 출력하도록 종속적으로 접속된 콘트롤 블록들을 포함하는 스캔구동부를 포함하는 유기전계발광표시장치를 제공한다.
- [0009] 스캔구동부는 제1스타트전압과 일정 구간 이격된 제2스타트전압에 의해 제1펄스신호를 지연하여 제2펄스신호로 출력하고, 제2펄스신호는 제2스타트전압이 로직하이에서 로직로우로 떨어지는 구간까지 지연될 수 있다.
- [0010] 스캔구동부는 외부로부터 순차적으로 로직하이에서 로직로우로 변경되는 4개의 게이트 쉬프트 클록을 포함하는 다수의 게이트 쉬프트 클록들과, 상호 상반된 로직하이와 로직로우의 극성을 갖는 2개의 게이트 콘트롤 클록을 포함하는 다수의 게이트 콘트롤 클록들을 클록신호로 공급받을 수 있다.
- [0011] 쉬프트 레지스터 블록들은 제1펄스신호가 출력되는 제1출력노드와, Q노드의 전압에 따라 턴온되어 제1게이트 쉬프트 클록을 제1출력노드에 공급하여 제1출력노드를 방전시키는 제1풀다운 트랜지스터와, QB 노드의 전압에 따라 턴온되어 고전위전압을 제1출력노드에 공급하여 제1출력노드를 충전시키는 제1풀업 트랜지스터와, Q 노드를 충전 및 방전시키고, QB 노드를 충전 및 방전시키는 제1스위치회로를 각각 포함할 수 있다.
- [0012] 제1스위치회로는, 제1스타트전압 또는 이전 쉬프트 레지스터 블록의 제1펄스신호에 응답하여 Q 노드를 방전시키는 Q 노드 방전회로와, QB 노드의 방전전압에 응답하여 Q 노드를 충전시키는 Q 노드 충전회로와, 제3게이트 쉬프트 클록에 응답하여 QB 노드를 방전시키는 QB 노드 방전회로와, 제1스타트전압 또는 이전 쉬프트 레지스터 블록의 제1펄스신호에 응답하여 QB 노드를 충전시키는 QB 노드 충전회로를 포함할 수 있다.
- [0013] Q 노드 방전회로의 게이트전극과 제1전극은 공통으로 연결되어 제1스타트전압이 입력되는 단자에 연결되고 제2전극은 Q 노드에 연결되고, Q 노드 충전회로의 게이트전극은 QB 노드에 연결되고 제1전극은 Q 노드에 연결되며 제2전극은 고전위전압이 입력되는 단자에 연결되며, QB 노드 방전회로의 게이트전극은 제3게이트 쉬프트 클록이 입력되는 단자에 연결되고 제1전극은 저전위전압이 입력되는 단자에 연결되며 제2전극은 QB 노드에 연결되고, QB 노드 충전회로의 게이트전극은 제1스타트전압이 입력되는 단자에 연결되고 제1전극은 QB 노드에 연결되며 제2전극은 고전위전압이 입력되는 단자에 연결되며, 제1풀다운 트랜지스터의 게이트전극은 Q 노드에 연결되고 제1전극은 제1게이트 쉬프트 클록이 입력되는 단자에 연결되며 제2전극은 제1출력노드에 연결되고, 제1풀업 트랜지스터의 게이트전극은 QB 노드에 연결되며 제1전극은 제1출력노드에 연결되며 제2전극은 고전위전압이 입력되는 단자에 연결될 수 있다.

- [0014] 게이트 콘트롤 클록들은 제2펄스신호를 출력하는 제2출력노드와, RQQ 노드의 전압에 따라 턴온되어 저전위전압을 제2출력노드에 공급하여 제2출력노드를 방전시키는 제2풀다운 트랜지스터와, RBB 노드의 전압에 따라 턴온되어 고전위전압을 제2출력노드에 공급하여 제2출력노드를 충전시키는 제2풀업 트랜지스터와, RQQ 노드를 충전 및 방전시키고, RBB 노드를 충전 및 방전시키는 제2스위치회로를 포함할 수 있다.
- [0015] 제2스위치회로는, 제2스타트전압 또는 이전 쉬프트 레지스터 블록의 제3펄스신호에 응답하여 RSQ 노드를 방전시키는 RSQ 노드 방전회로와, 제1펄스신호에 응답하여 RSQ 노드를 충전시키는 RSQ 노드 충전회로와, 제1펄스신호에 응답하여 RQQ 노드를 방전시키는 RQQ 노드 방전회로와, RSQ 노드의 방전전압에 응답하여 RQQ 노드를 충전시키는 RQQ 노드 충전회로와, RSQ 노드의 방전전압에 응답하여 RBB 노드를 방전시키는 RBB 노드 방전회로와, 제1펄스신호에 응답하여 RBB 노드를 충전시키는 RBB 노드 충전회로와, 제2출력노드를 통해 출력되는 제2펄스신호와 반대되는 제3펄스신호를 제3출력노드로 출력하는 RQB 노드 출력회로를 포함할 수 있다.
- [0016] RSQ 노드 방전회로의 게이트전극은 제2스타트전압이 입력되는 단자에 연결되고 제1전극은 제1게이트 콘트롤 클록이 입력되는 단자에 연결되며 제2전극은 RSQ 노드에 연결되고, RSQ 노드 충전회로의 게이트전극은 제1출력단자에 연결되고 제1전극은 고전위전압이 입력되는 단자에 연결되며 제2전극은 RSQ 노드에 연결되며, RQQ 노드 방전회로의 게이트전극은 제1출력단자에 연결되고 제1전극은 저전위전압이 입력되는 단자에 연결되며 제2전극은 RQQ 노드에 연결되고, RQQ 노드 충전회로의 게이트전극은 RSQ 노드에 연결되며 제1전극은 고전위전압이 입력되는 단자에 연결되며 제2전극은 RQQ 노드에 연결되며, RBB 노드 방전회로의 게이트전극은 RSQ 노드에 연결되고 제1전극은 저전위전압이 입력되는 단자에 연결되며 제2전극은 RBB 노드에 연결되고, RBB 노드 충전회로의 게이트전극은 제1출력단자에 연결되고 제1전극은 고전위전압이 입력되는 단자에 연결되며 제2전극은 RBB 노드에 연결되며, RQB 노드 출력회로의 게이트전극은 RBB 노드에 연결되고 제1전극은 고전위전압이 입력되는 단자에 연결되며 제2전극은 제3출력노드에 연결되고, 제2풀다운 트랜지스터의 게이트전극은 RQQ 노드에 연결되고 제1전극은 저전위전압이 입력되는 단자에 연결되며 제2전극은 제2출력노드에 연결되며, 제2풀업 트랜지스터의 게이트전극은 RBB 노드에 연결되며 제1전극은 고전위전압이 입력되는 단자에 연결되며 제2전극은 제2출력노드에 연결될 수 있다.
- [0017] RQB 노드 출력회로는 다음 스테이지에 제2스타트전압에 대응되는 전압을 전달하도록 RBB 노드의 전압에 응답하여 제2출력노드를 통해 출력되는 제2펄스신호와 반대되는 제3펄스신호를 출력시킬 수 있다.

발명의 효과

- [0018] 본 발명의 실시예는, 패널의 레이아웃(Layout)이 확정되더라도 수평시간을 증가하거나 감소하도록 가변할 수 있는 GIP형 스캔구동부를 형성할 수 있는 효과가 있다. 또한, 클록 부스팅 방식이 아닌 전압 방식으로 스캔신호를 생성하므로 클록 라인 지연(CLK Line Delay)의 영향(CLK 로드)이 최소화할 수 있는 효과가 있다. 또한, 수평시간의 가변이 가능한 GIP형 스캔구동부를 제공하므로 수평시간의 조절이 필요하더라도 패널 리비전(Panel Revision)이 미요구되고 다양한 구조의 서브 픽셀에 대응하여 스캔신호의 주기를 변경할 수 있어 패널 설계시 비용을 절감할 수 있는 효과가 있다.

도면의 간단한 설명

- [0019] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 본 발명의 일 실시예에 따른 스캔구동부에 포함된 블록들의 구성을 나타낸 도면.
- 도 3은 본 발명의 일 실시예에 따른 스캔구동부에 포함된 제1쉬프트 레지스터 블록과 제1콘트롤 블록의 회로 구성도.
- 도 4는 본 발명의 일 실시예에 따른 스캔구동부의 개략적인 블록도.
- 도 5는 본 발명의 일 실시예에 따라 제1스테이지가 게이트로우전압의 제2펄스신호를 출력하는 동작 특성을 설명하기 위한 도면.
- 도 6은 도 5의 동작 특성에 따른 타이밍도.
- 도 7은 본 발명의 일 실시예에 따라 제1스테이지가 게이트하이전압의 제2펄스신호를 출력하는 동작 특성을 설명하기 위한 도면.

도 8은 도 7의 동작 특성에 따른 타이밍도.

도 9는 본 발명의 일 실시예에 따라 스캔구동부가 1HT로 구동하는 것을 설명하기 위한 타이밍도.

도 10은 본 발명의 다른 실시예에 따라 스캔구동부가 2HT로 구동하는 것을 설명하기 위한 타이밍.

도 11은 스캔구동부가 2HT로 구동할 때 각 출력노드를 통해 출력되는 스캔신호의 파형도.

도 12는 본 발명의 또 다른 실시예에 따라 스캔구동부가 5HT로 구동하는 것을 설명하기 위한 타이밍.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이다.
- [0022] 도 1에 도시된 바와 같이 유기전계발광표시장치에는 타이밍구동부(TCN), 표시패널(PNL), 스캔구동부(SDRV) 및 데이터구동부(DDRV)가 포함된다.
- [0023] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터 구동부(DDRV)와 스캔구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 스캔구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.
- [0024] 표시패널(PNL)은 매트릭스형태로 배치된 서브 픽셀(SP)을 갖는 표시부를 포함한다. 서브 픽셀들(SP)은 수동매트릭스형(Passive Matrix) 또는 능동매트릭스형(Active Matrix)으로 형성될 수 있다. 서브 픽셀들(SP)이 능동매트릭스형으로 형성된 경우, 이는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되거나 3T1C, 4T1C, 5T2C 등과 같이 트랜지스터 및 커패시터가 더 추가된 구조로 구성될 수도 있다. 위와 같은 구성을 갖는 서브 픽셀들(SP)은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성될 수 있다.
- [0025] 스캔구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔라인들(SL1~SLm)을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0026] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터라인들(DL1~DLn)을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀들(SP)에 공급한다.
- [0027] 이하, 본 발명의 일 실시예에 따른 스캔구동부(SDRV)의 구성에 대해 더욱 자세히 설명한다.
- [0028] 도 2는 본 발명의 일 실시예에 따른 스캔구동부에 포함된 블록들의 구성을 나타낸 도면이고, 도 3은 본 발명의 일 실시예에 따른 스캔구동부에 포함된 제1쉬프트 레지스터 블록과 제1콘트롤 블록의 회로 구성도이며, 도 4는 본 발명의 일 실시예에 따른 스캔구동부의 개략적인 블록도이다.
- [0029] 도 2에 도시된 바와 같이, 스캔구동부에는 제1스타트전압(VST) 및 다수의 게이트 쉬프트 클록들(CLK1 ~ CLK4) 중 적어도 3개의 게이트 쉬프트 클록들을 입력받고 순차적으로 제1펄스신호를 출력하도록 종속적으로 접속된 쉬프트 레지스터 블록들(SR Block)이 포함된다. 또한, 스캔구동부에는 쉬프트 레지스터 블록들(SR Block)의 출력 단자(SR01 ~ SR04)에 1:1로 연결되고 제2스타트전압(RVST) 및 다수의 게이트 콘트롤 클록들(RCLK1 ~ RCLK2) 중 적어도 1개의 게이트 콘트롤 클록을 입력받고 제1펄스신호를 지연하여 제2펄스신호로 출력하도록 종속적으로 접속된 콘트롤 블록들(CN Block)이 포함된다.
- [0030] 예컨대, 제1쉬프트 레지스터 블록(SR[1])은 제1스타트전압(VST) 및 제1, 제3 및 제4게이트 쉬프트 클록들(CLK1,

CLK3, CLK4)을 입력받음으로써 제1출력노드(SR01)를 통해 제1펄스신호를 출력한다. 제1콘트롤 블록(CN[1])은 제1출력노드(SR01)를 통해 출력된 제1펄스신호 그리고 제2스타트전압(RVST) 및 제1게이트 콘트롤 클록(RCLK1)을 입력받음으로써 제2출력노드(OUT1)를 통해 제2펄스신호를 출력한다.

- [0031] 제1쉬프트 레지스터 블록(SR[1])과 제1콘트롤 블록(CN[1])은 이와 같은 연결관계를 가지게 되고, 이들과 종속적으로 접속된 제2쉬프트 레지스터 블록(SR[2])과 제2콘트롤 블록(CN[2])은 다음과 같이 연결된다.
- [0032] 제2쉬프트 레지스터 블록(SR[2])은 제1쉬프트 레지스터 블록(SR[1])의 제1출력노드(SR01)로부터 출력된 제1펄스신호를 제1스타트전압(VST)에 대응되는 전압으로 공급받도록 연결된다. 그리고 제2콘트롤 블록(CN[2])은 제1콘트롤 블록(CN[1])의 제3출력노드(RQB1)로부터 출력된 제3펄스신호를 제2스타트전압(RVST)에 대응되는 전압으로 공급받도록 연결된다.
- [0033] 이와 같은 형태로 제3쉬프트 레지스터 블록(SR[3])과 제3콘트롤 블록(CN[3])은 물론 제4쉬프트 레지스터 블록(SR[4])과 제4콘트롤 블록(CN[4]) 이후의 미도시된 제N쉬프트 레지스터 블록과 제N콘트롤 블록까지 종속적인 접속 관계가 형성된다.
- [0034] 도 3에 도시된 바와 같이, 제1쉬프트 레지스터 블록(SR[1])에는 제1스타트전압(VST), 제1게이트 쉬프트 클록(CLK1), 제3게이트 쉬프트 클록(CLK3), 저전위전압(GVSS) 및 고전위전압(GVDD)이 공급된다.
- [0035] 제1쉬프트 레지스터 블록(SR[1])에는 제1스위치회로(T1 ~ T4), 제1풀다운 트랜지스터(T5), 제1풀업 트랜지스터(T6) 및 제1 내지 제3커패시터(C1 ~ C3)가 포함된다.
- [0036] 제1스위치회로(T1 ~ T4)에는 Q 노드 방전회로(T1), Q 노드 충전회로(T2), QB 노드 방전회로(T3) 및 QB 노드 충전회로(T4)가 포함된다. Q 노드 방전회로(T1)는 제1스타트전압(VST)에 응답하여 QB 노드 충전회로(T4)를 턴온하고, Q 노드(Q)를 방전시키는 역할을 한다. Q 노드 충전회로(T2)는 QB 노드의 방전전압에 응답하여 Q 노드(Q)를 충전시키는 역할을 한다. QB 노드 방전회로(T3)는 제3게이트 쉬프트 클록(CLK3)에 응답하여 QB 노드(QB)를 방전시키는 역할을 한다. QB 노드 충전회로(T4)는 제1스타트전압(VST)에 응답하여 QB 노드(QB)를 충전시키는 역할을 한다.
- [0037] 제1풀다운 트랜지스터(T5)는 Q 노드(Q)의 전압에 응답하여 제1출력노드(SR01)를 통해 로직로우(제1게이트 쉬프트 클록에 대응되는 전압)의 제1펄스신호를 출력하는 역할을 한다. 제1풀업 트랜지스터(T6)는 QB 노드(QB)의 전압에 응답하여 제1출력노드(SR01)를 통해 로직하이(고전위전압에 대응되는 전압)의 제1펄스신호를 출력하는 역할을 한다.
- [0038] 제1 및 제2커패시터(C1, C2)는 Q 노드(Q) 및 QB 노드(QB)가 전기적으로 플로팅(floating)될 시, 노드의 전압을 로직로우 또는 로직하이의 전압으로 홀딩하는 역할을 한다. 제3커패시터(C3)는 Q 노드(Q)를 부트스트랩(bootstrap) 방전을 하는 역할을 한다.
- [0039] 제1쉬프트 레지스터 블록(SR[1])에 포함된 회로들의 연결관계를 설명하면 다음과 같다.
- [0040] Q 노드 방전회로(T1)의 게이트전극과 제1전극은 공통으로 연결되어 제1스타트전압(VST)이 입력되는 단자에 연결되고 제2전극은 Q 노드(Q)에 연결된다. Q 노드 충전회로(T2)의 게이트전극은 QB 노드(QB)에 연결되고 제1전극은 Q 노드(Q)에 연결되며 제2전극은 고전위전압(GVDD)이 입력되는 단자에 연결된다.
- [0041] QB 노드 방전회로(T3)의 게이트전극은 제3게이트 쉬프트 클록(CLK3)이 입력되는 단자에 연결되고 제1전극은 저전위전압(GVSS)이 입력되는 단자에 연결되며 제2전극은 QB 노드(QB)에 연결된다. QB 노드 충전회로(T4)의 게이트전극은 제1스타트전압(VST)이 입력되는 단자에 연결되고 제1전극은 QB 노드(QB)에 연결되며 제2전극은 고전위전압(GVDD)이 입력되는 단자에 연결된다.
- [0042] 제1풀다운 트랜지스터(T5)의 게이트전극은 Q 노드(Q)에 연결되고 제1전극은 제1게이트 쉬프트 클록(CLK1)이 입력되는 단자에 연결되며 제2전극은 제1출력노드(SR01)에 연결된다. 제1풀업 트랜지스터(T6)의 게이트전극은 QB 노드(QB)에 연결되며 제1전극은 제1출력노드(SR01)에 연결되며 제2전극은 고전위전압(GVDD)이 입력되는 단자에 연결된다.
- [0043] 제1커패시터(C1)의 일단은 Q 노드(Q)에 연결되고 타단은 고전위전압(GVDD)이 입력되는 단자에 연결된다. 제2커패시터(C2)의 일단은 QB 노드(QB)에 연결되고 타단은 고전위전압(GVDD)이 입력되는 단자에 연결된다. 제3커패시터(C3)의 일단은 제1풀다운 트랜지스터(T5)의 게이트전극에 연결되고 타단은 제1출력노드(SR01)에 연결된다.
- [0044] 도 3에 도시된 바와 같이, 제1콘트롤 블록(CN[1])에는 제2스타트전압(RVST), 제1게이트 콘트롤 클록(RCLK1), 저

전위전압(GVSS) 및 고전위전압(GVDD)이 공급된다.

- [0045] 제1컨트롤 블록(CN[1])에는 제2스위치회로(T7 ~ T13), 제2풀다운 트랜지스터(T14), 제2풀업 트랜지스터(T15) 및 제4 내지 제6커패시터(C4 ~ C6)가 포함된다.
- [0046] 제2스위치회로(T7 ~ T13)에는 RSQ 노드 방전회로(T7), RSQ 노드 충전회로(T8), RQQ 노드 방전회로(T9), RQQ 노드 충전회로(T10), RBB 노드 방전회로(T11), RBB 노드 충전회로(T12) 및 RQB 노드 출력회로(T13)가 포함된다.
- [0047] RSQ 노드 방전회로(T7)는 제2스타트전압(RVST)에 응답하여 제1펄스신호를 리셋하도록 RSQ 노드(RSQ)를 방전시키는 역할을 한다. RSQ 노드 충전회로(T8)는 제1출력노드(SR01)의 제1펄스신호에 응답하여 RSQ 노드(RSQ)를 충전시키는 역할을 한다. RQQ 노드 방전회로(T9)는 제1출력노드(SR01)의 제1펄스신호에 응답하여 RQQ 노드(RQQ)를 방전시키는 역할을 한다. RQQ 노드 충전회로(T10)는 RSQ 노드의 전압에 응답하여 RQQ 노드(RQQ)를 충전시키는 역할을 한다. RBB 노드 방전회로(T11)는 제2풀업 트랜지스터(T15)를 턴온하도록 RSQ 노드의 전압에 응답하여 RBB 노드(RBB)를 방전시키는 역할을 한다. RBB 노드 충전회로(T12)는 제2풀업 트랜지스터(T15)를 턴오프하도록 제1출력노드(SR01)의 제1펄스신호에 응답하여 RBB 노드(RBB)를 충전시키는 역할을 한다. RQB 노드 출력회로(T13)는 다음 스테이지에 제2스타트전압(RVST)을 전달하도록 RBB 노드(RBB)의 전압에 응답하여 제2출력노드(OUT1)를 통해 출력되는 제2펄스신호와 반대되는 제3펄스신호를 출력시키는 역할을 한다.
- [0048] 제2풀다운 트랜지스터(T14)는 RQQ 노드(RQQ)의 전압에 응답하여 제2출력노드(OUT1)를 통해 게이트로우전압에 해당하는 제2펄스신호를 출력하는 역할을 한다. 제2풀업 트랜지스터(T15)는 RBB 노드(RBB)의 전압에 응답하여 제2출력노드(OUT1)를 통해 게이트하이전압에 해당하는 제2펄스신호를 출력하는 역할을 한다.
- [0049] 제4 및 제5커패시터(C4, C5)는 RSQ 노드(RSQ) 및 RQQ 노드(RQQ)가 전기적으로 플로팅될 시, 노드의 전압을 로직로우 또는 로직하이의 전압으로 홀딩하는 역할을 한다. 제6커패시터(C6)는 RQQ 노드(RQQ)를 부트스트랩(bootstrap) 방전을 하는 역할을 한다.
- [0050] 제1컨트롤 블록(CN[1])에 포함된 회로들의 연결관계를 설명하면 다음과 같다.
- [0051] RSQ 노드 방전회로(T7)의 게이트전극은 제2스타트전압(RVST)이 입력되는 단자에 연결되고 제1전극은 제1게이트컨트롤 클록(RCLK1)이 입력되는 단자에 연결되며 제2전극은 RSQ 노드(RSQ)에 연결된다. RSQ 노드 충전회로(T8)의 게이트전극은 제1출력단자(SR01)에 연결되고 제1전극은 고전위전압(GVDD)이 입력되는 단자에 연결되며 제2전극은 RSQ 노드(RSQ)에 연결된다. RQQ 노드 방전회로(T9)의 게이트전극은 제1출력단자(SR01)에 연결되고 제1전극은 저전위전압(GVSS)이 입력되는 단자에 연결되며 제2전극은 RQQ 노드(RQQ)에 연결된다. RQQ 노드 충전회로(T10)의 게이트전극은 RSQ 노드(RSQ)에 연결되며 제1전극은 고전위전압(GVDD)이 입력되는 단자에 연결되며 제2전극은 RQQ 노드(RQQ)에 연결된다. RBB 노드 방전회로(T11)의 게이트전극은 RSQ 노드(RSQ)에 연결되고 제1전극은 저전위전압(GVSS)이 입력되는 단자에 연결되며 제2전극은 RBB 노드(RBB)에 연결된다. RBB 노드 충전회로(T12)의 게이트전극은 제1출력단자(SR01)에 연결되고 제1전극은 고전위전압(GVDD)이 입력되는 단자에 연결되며 제2전극은 RBB 노드(RBB)에 연결된다. RQB 노드 출력회로(T13)의 게이트전극은 RBB 노드(RBB)에 연결되고 제1전극은 고전위전압(GVDD)이 입력되는 단자에 연결되며 제2전극은 제3출력노드(RQB1)에 연결된다.
- [0052] 제2풀다운 트랜지스터(T14)의 게이트전극은 RQQ 노드(RQQ)에 연결되고 제1전극은 저전위전압(GVSS)이 입력되는 단자에 연결되며 제2전극은 제2출력노드(OUT1)에 연결된다. 제2풀업 트랜지스터(T15)의 게이트전극은 RBB 노드(RBB)에 연결되며 제1전극은 고전위전압(GVDD)이 입력되는 단자에 연결되며 제2전극은 제2출력노드(OUT1)에 연결된다.
- [0053] 제4커패시터(C4)의 일단은 RSQ 노드(RSQ)에 연결되고 타단은 고전위전압(GVDD)이 입력되는 단자에 연결된다. 제5커패시터(C5)의 일단은 RQQ 노드(RQQ)에 연결되고 타단은 고전위전압(GVDD)이 입력되는 단자에 연결된다. 제6커패시터(C6)의 일단은 RQQ 노드(RQQ)에 연결되고 타단은 제2출력노드(OUT1)에 연결된다.
- [0054] 위의 설명에서는 제1쉬프트 레지스터 블록(SR[1])과 제1컨트롤 블록(CN[1])에 대한 구성 및 연결관계를 중심으로 설명하였다. 하지만, 제1쉬프트 레지스터 블록(SR[1])과 제1컨트롤 블록(CN[1])뿐만 아니라 다른 블록들의 구성 및 연결관계 또한 도 3과 같은 형태로 이루어진다. 그리고 이들은 도 4와 같은 형태로 종속적인 접속관계를 이루며 제1 내지 제4스테이지들(STG[1] ~ STG[4])로 구성되며 각각의 제2출력노드들(OUT1 ~ OUT4)을 통해 순차적으로 제2펄스신호를 출력하게 된다. 여기서, 도면에는 제1 내지 제4스테이지들(STG[1] ~ STG[4])만 도시하였으나 이는 제N(N은 4 이상 정수)스테이지까지 구성된다.
- [0055] 또한, 이들은 앞단에 위치하는 각각의 제1출력노드들(SR01 ~ SR04)을 통해 출력된 제1펄스신호를 제1스타트전압

으로 입력받게 된다. 또한, 이들은 앞단에 위치하는 각각의 제3출력노드들(RQB1 ~ RQB4)을 통해 출력된 제3펄스 신호를 제2스타트전압으로 입력받게 된다.

[0056] 또한, 위의 설명에서는 제1쉬프트 레지스터 블록(SR[1])과 제1컨트롤 블록(CN[1])에 포함된 트랜지스터가 N타입 트랜지스터인 것을 일례로 하였으나, 이들 중 하나 이상은 P타입 트랜지스터로 구성될 수 있다. 그리고 제1전극 및 제2전극은 소오스전극 및 드레인전극 또는 드레인전극 및 소오스전극으로 정의될 수 있다.

[0057] 이하, 본 발명의 일 실시예에 따른 스캔구동부의 동작 특성에 대해 설명한다.

[0058] 도 5는 본 발명의 일 실시예에 따라 제1스테이지가 게이트로우전압의 제2펄스신호를 출력하는 동작 특성을 설명하기 위한 도면이고, 도 6은 도 5의 동작 특성에 따른 타이밍도이며, 도 7은 본 발명의 일 실시예에 따라 제1스테이지가 게이트하이전압의 제2펄스신호를 출력하는 동작 특성을 설명하기 위한 도면이고, 도 8은 도 7의 동작 특성에 따른 타이밍도이다.

[0059] 먼저, 도 5 내지 도 8에 도시된 바와 같이 제1쉬프트 레지스터 블록(SR[1])에 제1스타트전압(VST)이 입력된 후 제1게이트 쉬프트 클록(CLK1)이 입력되면, 이와 동기 되어 제1출력노드(SR01)에는 로직로우의 제1펄스신호가 출력된다.

[0060] 제1컨트롤 블록(CN[1])에 입력된 로직로우의 제1펄스신호에 따라 RQQ 노드 방전회로(T9) 및 RBB 노드 충전회로(T12)가 턴온된다. 이에 따라, RQQ 노드 방전회로(T9)를 통해 RQQ 노드(RQQ)는 로직로우(Low)로 방전되어 제2풀다운 트랜지스터(T14)가 턴온되고 제2출력노드(OUT1)에는 저전위전압(GVSS)에 대응되는 게이트로우전압이 출력된다. 이와 달리, RBB 노드 충전회로(T12)를 통해 RBB 노드(RBB)는 로직하이(High)로 충전되어 제2풀업 트랜지스터(T15)는 턴오프된다.

[0061] 이후, 제1컨트롤 블록(CN[1])에 제2스타트전압(RVST)과 제1게이트 콘트롤 클록이 동기 되어 입력되면, RQQ 노드 충전회로(T10) 및 RBB 노드 방전회로(T11)가 턴온된다. 이에 따라, RBB 노드(RBB)는 로직로우(Low)로 방전되어 제2풀업 트랜지스터(T15)가 턴온되고 제2출력노드(OUT1)에는 고전위전압(GVDD)에 대응되는 게이트하이전압이 출력된다. 이와 달리, RQQ 노드 충전회로(T10)를 통해 RQQ 노드(RQQ)는 로직하이(High)로 충전되어 제2풀다운 트랜지스터(T14)는 턴오프된다.

[0062] 위의 설명을 통해 알 수 있듯이, 본 발명의 실시예에 따른 스캔구동부는 제2풀다운 트랜지스터(T14)와 제2풀업 트랜지스터(T15)의 게이트노드에 걸리는 전압의 타이밍이 제2스타트전압(RVST)에 의해 조절된다.

[0063] 따라서, 제1스타트전압(VST) 대비 제2스타트전압(RVST)의 입력 구간을 일정하게 이격하여 입력하면 제2출력노드(OUT1)로 출력되는 제2펄스신호 즉, 스캔신호의 수평시간(Horizontal Time; 이하 HT로 약기)은 얼마든지 변경이 가능하다. 달리 설명하면, 스캔신호의 HT는 제1스타트전압(VST)과 일정 구간 이격된 제2스타트전압(RVST)에 의해 제1펄스신호가 지연되므로, 그 지연된 구간만큼 HT가 변경된 제2펄스신호가 출력된다. 이때, 제2펄스신호는 제2스타트전압(RVST)이 로직하이에서 로직로우로 떨어지는 구간까지 지연된다.

[0064] 한편, 위의 설명에서 제4게이트 쉬프트 클록(CLK4)은 제1스타트전압(VST)과 동기 되며 입력 우선 순위가 가장 높고, 이후 제1게이트 쉬프트 클록(CLK1), 제2게이트 쉬프트 클록(CLK2) 및 제3게이트 쉬프트 클록(CLK3)의 순으로 1HT의 시간차를 두고 입력되는 것을 일례로 하였다. 그러나, 각 게이트 쉬프트 클록들의 입력 우선 순위는 스테이지들별로 다를 수 있다. 그리고 제1게이트 콘트롤 클록(RCLK1)의 경우, 일정 구간에서 제4게이트 쉬프트 클록(CLK4)과 동기를 이룰 수 있고, 제2게이트 콘트롤 클록(RCLK2)의 경우, 일정 구간에서 제1게이트 쉬프트 클록(CLK1)과 동기를 이룰 수 있다. 다만, 제1게이트 콘트롤 클록(RCLK1)과 제2게이트 콘트롤 클록(RCLK2)은 항상 상반된 극성을 가지고 입력된다. 그리고 위의 설명에서는 4상의 게이트 쉬프트 클록과 2상의 게이트 콘트롤 클록을 이용하여 스캔구동부를 구동하는 것을 설명하였으나 이에 한정되지 않는다.

[0065] 이하, 본 발명의 일 실시예들에 따라 스캔구동부가 다양한 HT로 구동하는 것에 대해 설명한다.

[0066] 도 9는 본 발명의 일 실시예에 따라 스캔구동부가 1HT로 구동하는 것을 설명하기 위한 타이밍도이고, 도 10은 본 발명의 다른 실시예에 따라 스캔구동부가 2HT로 구동하는 것을 설명하기 위한 타이밍도이며, 도 11은 스캔구동부가 2HT로 구동할 때 각 출력노드를 통해 출력되는 스캔신호의 파형도이고, 도 12는 본 발명의 또 다른 실시예에 따라 스캔구동부가 5HT로 구동하는 것을 설명하기 위한 타이밍도이다.

[0067] 도 9에 도시된 바와 같이, 본 발명의 일 실시예에 따른 스캔구동부는 제1스타트전압(VST)이 입력되고 난 후, 제1게이트 쉬프트 클록이 입력되면 이와 동기하여 제1펄스신호(SR01)가 출력된다. 이때, RQQ 노드(RQQ)는 제1펄스신호(SR01)와 같은 전압으로 방전되고, RQB 노드(RQB)는 제1펄스신호(SR01)와 반대되는 전압으로 충전된다. 제1

펄스신호(SR01)가 출력되고 1HT 지연된 이후, 입력된 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)이 동기되면 제2펄스신호(OUT1)가 리셋(reset) 되므로 제2펄스신호(OUT1)는 1HT의 주기를 갖도록 출력된다.

[0068] 위의 설명은 N번째 출력 타이밍(N out Timing)에 의해 제1스테이지로부터 출력되는 제2펄스신호(OUT1)의 구동 상태를 설명한 것이다. 이후, N+1번째 출력 타이밍(N+1 out Timing)에 의해 제2스테이지로부터 출력되는 제2펄스신호(OUT1)의 구동 상태 또한 위와 같은 방식이 될 것이며, 이 또한 1HT의 주기를 갖는 제2펄스신호(OUT1)가 출력된다.

[0069] 위의 설명에 따르면, 제1스타트전압(VST)이 입력되고난 직후, 1HT의 이격 시간을 두고 제2스타트전압(RVST)이 입력되므로 제2펄스신호(OUT1)의 출력 타이밍은 1HT를 갖도록 결정이 되고 모든 스테이지들 또한 1HT의 주기를 갖도록 제2펄스신호(OUT1)를 출력하게 된다.

[0070] 도 10에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 스캔구동부는 제1스타트전압(VST)이 입력되고 난 후, 제1게이트 쉬프트 클록이 입력되면 이와 동기하여 제1펄스신호(SR01)가 출력된다. 이때, RQQ 노드(RQQ)는 제1펄스신호(SR01)와 같은 전압으로 방전되고, RQB 노드(RQB)는 제1펄스신호(SR01)와 반대되는 전압으로 충전된다. 제1펄스신호(SR01)가 출력되고 2HT 지연된 이후, 입력된 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)이 동기 되면 제2펄스신호(OUT1)가 리셋(reset) 되므로 제2펄스신호(OUT1)는 2HT의 주기를 갖도록 출력된다.

[0071] 위의 설명은 N번째 출력 타이밍(N out Timing)에 의해 제1스테이지로부터 출력되는 제2펄스신호(OUT1)의 구동 상태를 설명한 것이다. 이후, N+1번째 출력 타이밍(N out Timing)에 의해 제2스테이지로부터 출력되는 제2펄스신호(OUT2)의 구동 상태 또한 위와 같은 방식이 될 것이며, 이 또한 2HT의 주기를 갖는 제2펄스신호(OUT2)가 출력된다.

[0072] 따라서, 제2스타트전압(RVST)이 제1스타트전압(VST)에 대해 2HT의 이격 시간을 두고 입력되면 도 11과 같이 각 출력노드들(OUT1 ~ OUT4)을 통해 출력되는 스캔신호의 파형은 순차적으로 2HT를 갖도록 나타난다.

[0073] 위의 설명에 따르면, 제1스타트전압(VST)이 입력되고난 직후, 2HT의 이격 시간을 두고 제2스타트전압(RVST)이 입력되므로 제2펄스신호(OUT1)의 출력 타이밍은 2HT를 갖도록 결정이 되고 모든 스테이지들 또한 2HT의 주기를 갖는 제2펄스신호(OUT1)를 출력하게 된다.

[0074] 도 12에 도시된 바와 같이, 본 발명의 또 다른 실시예에 따른 스캔구동부는 제1스타트전압(VST)이 입력되고 난 후, 제1게이트 쉬프트 클록이 입력되면 이와 동기하여 제1펄스신호(SR01)가 출력된다. 제1펄스신호(SR01)가 출력되고 5HT 지연된 이후, 입력된 제2스타트전압(RVST)과 제1게이트 콘트롤 클록(RCLK1)이 동기 되면 제2펄스신호(OUT1)가 리셋(reset) 되므로 제2펄스신호(OUT1)는 5HT의 주기를 갖도록 출력된다.

[0075] 위의 설명은 N번째 출력 타이밍(N out Timing)에 의해 제1스테이지로부터 출력되는 제2펄스신호(OUT1)의 구동 상태를 설명한 것이다. 이후, N+1번째 출력 타이밍에 의해 제2스테이지로부터 출력되는 제2펄스신호의 구동 상태 또한 위와 같은 방식이 될 것이며, 이 또한 5HT의 주기를 갖는 제2펄스신호가 출력된다.

[0076] 위의 설명에 따르면, 제1스타트전압(VST)이 입력되고난 직후, 5HT의 이격 시간을 두고 제2스타트전압(RVST)이 입력되므로 제2펄스신호(OUT1)의 출력 타이밍은 5HT를 갖도록 결정이 되고 모든 스테이지들 또한 5HT의 주기를 갖는 제2펄스신호(OUT1)를 출력하게 된다.

[0077] 이상 본 발명에 따른 유기전계발광표시장치는 패널의 레이아웃(Layout)이 확정되더라도 수평시간을 증가하거나 감소하도록 가변할 수 있는 GIP형 스캔구동부를 형성할 수 있는 효과가 있다. 또한, 본 발명에 따른 유기전계발광표시장치는 클록 부스팅 방식이 아닌 전압 방식으로 스캔신호를 생성하므로 클록 라인 지연(CLK Line Delay)의 영향(CLK 로드)이 최소화할 수 있는 효과가 있다. 또한, 본 발명에 따른 유기전계발광표시장치는 수평시간의 가변이 가능한 GIP형 스캔구동부를 제공하므로 수평시간의 조절이 필요하더라도 패널 리비전(Panel Revision)이 미요구되고 다양한 구조의 서브 픽셀에 대응하여 스캔신호의 주기를 변경할 수 있어 패널 설계시 비용을 절감할 수 있는 효과가 있다.

[0078] 한편, 본 발명의 실시예에서는 유기전계발광표시장치를 구동하는 스캔구동부를 일례로 설명하나, 이는 다른 표시장치 예컨대 액정표시장치에도 적용할 수 있는 효과가 있다.

[0079] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는

후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0080]
- TCN: 타이밍구동부

PNL: 표시패널

SDRV: 스캔구동부

DDRV: 데이터구동부

SR[1]: 제1쉬프트 레지스터 블록

CN[1]: 제1콘트롤 블록

T1 ~ T4: 제1스위치회로

T5: 제1풀다운 트랜지스터

T6: 제1풀업 트랜지스터

C1 ~ C6: 제1 내지 제6커패시터

GVSS: 저전위전압

GVDD: 고전위전압

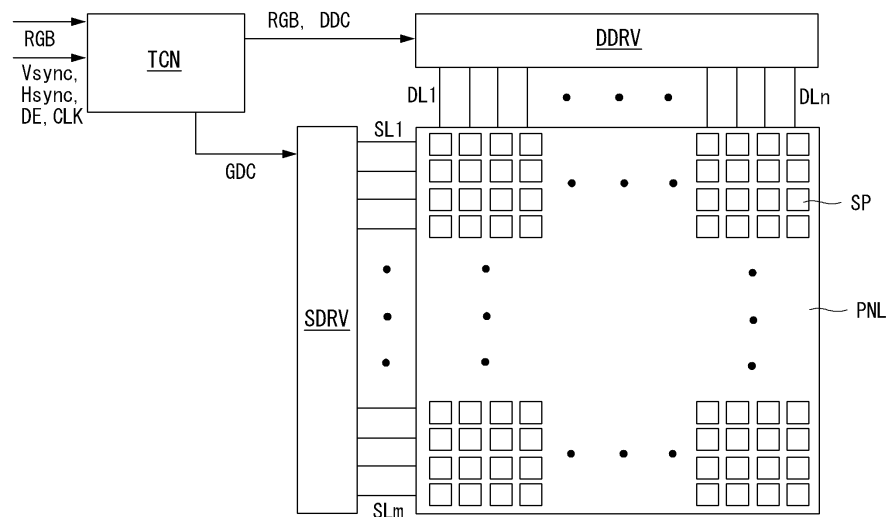
T14: 제2풀다운 트랜지스터

T15: 제2풀업 트랜지스터

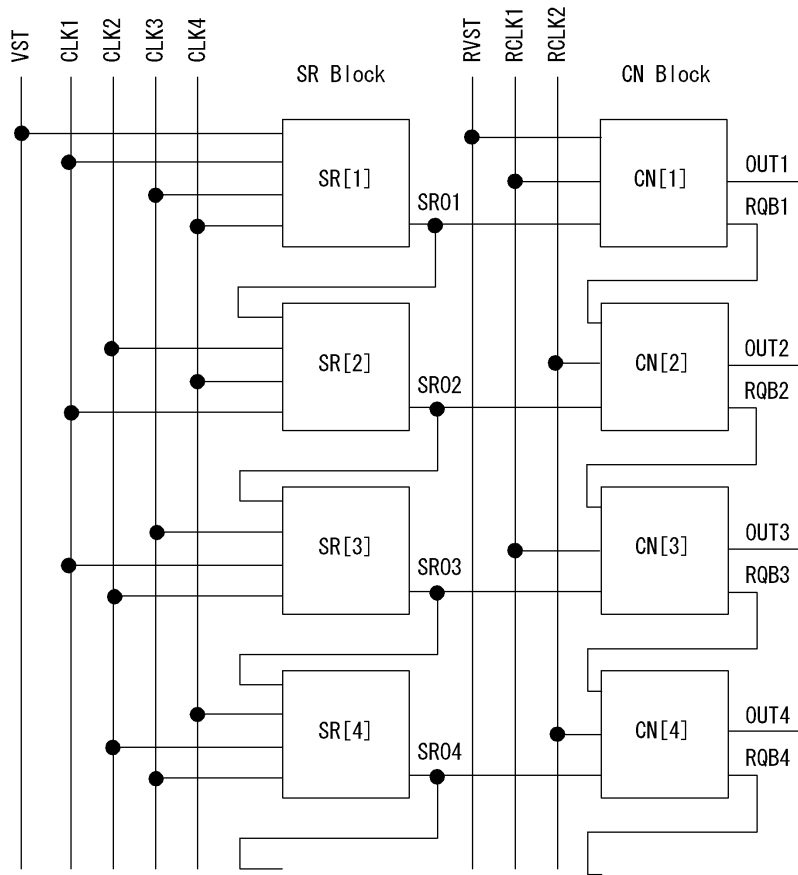
STG[1] ~ STG[4]: 제1 내지 제4스태이지

도면

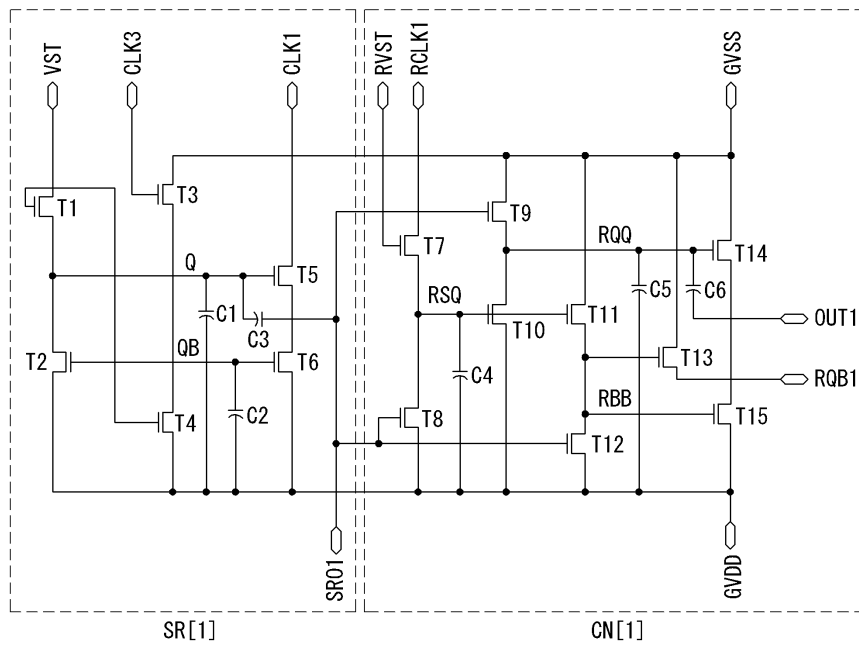
도면1



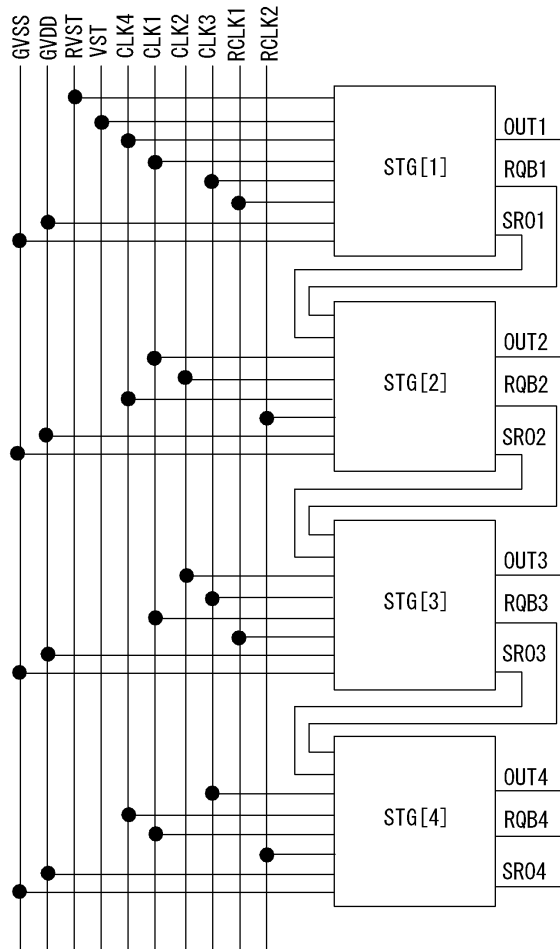
도면2



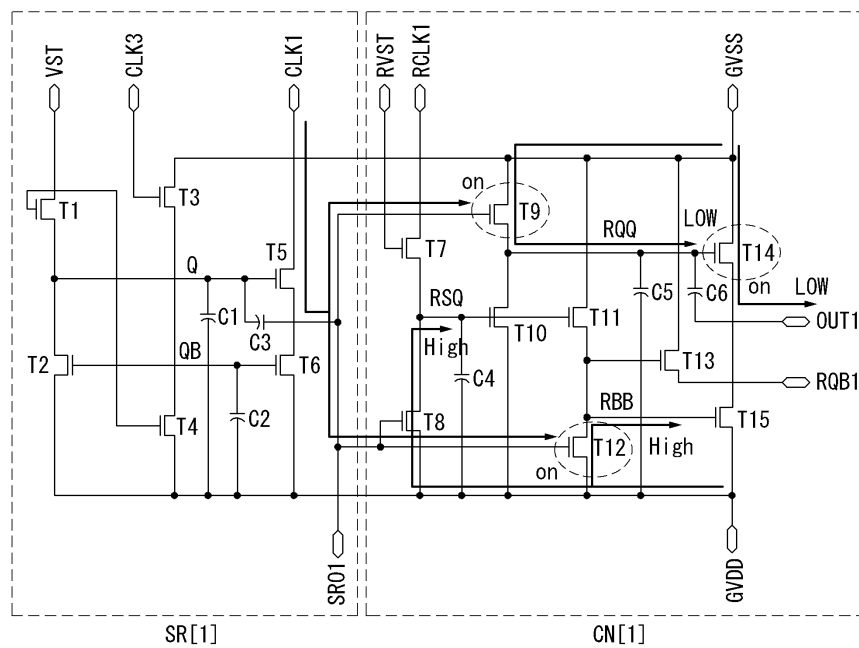
도면3



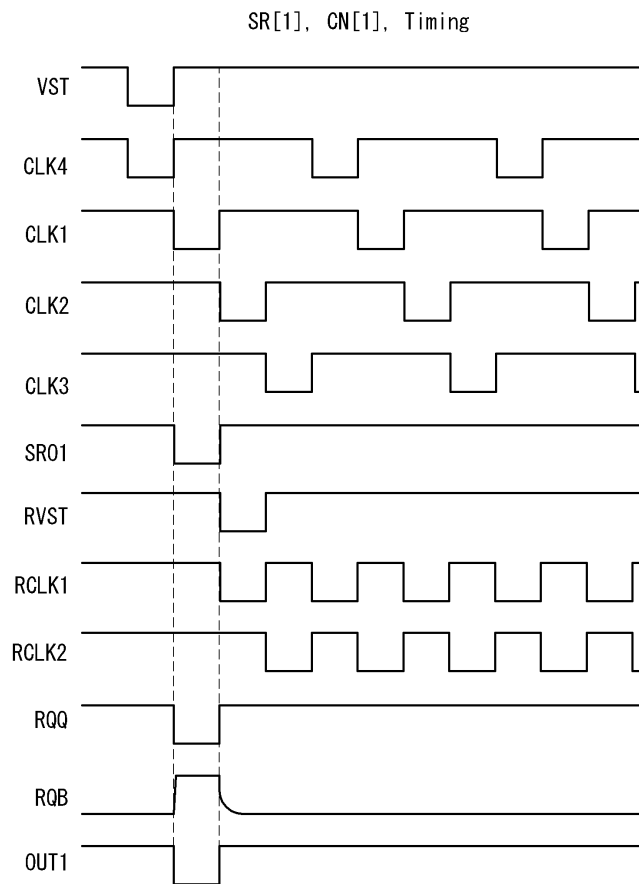
도면4



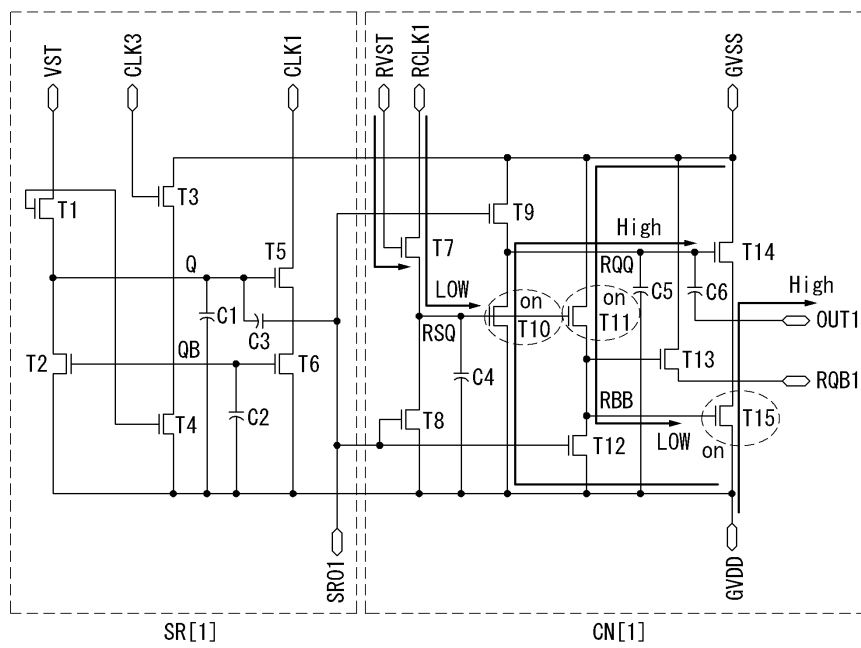
도면5



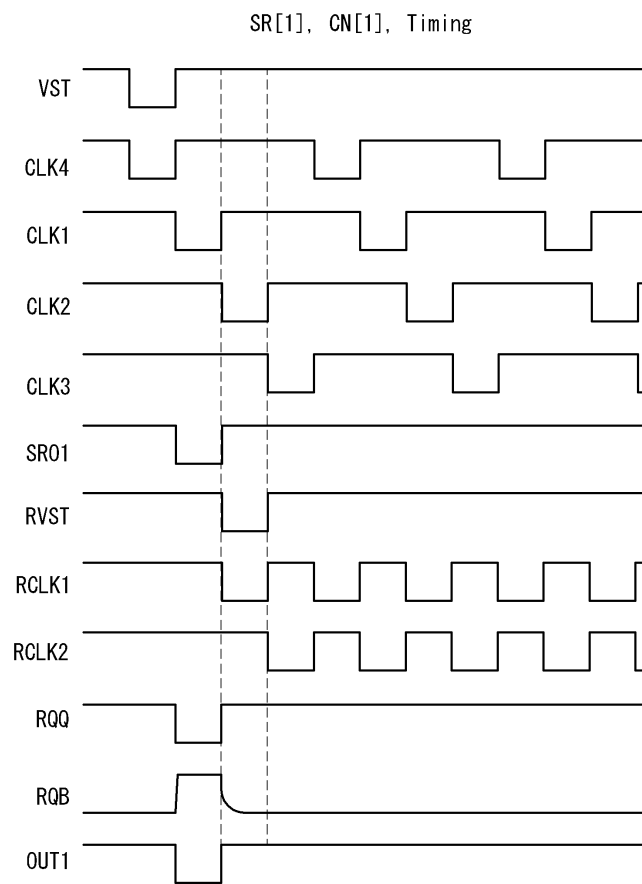
도면6



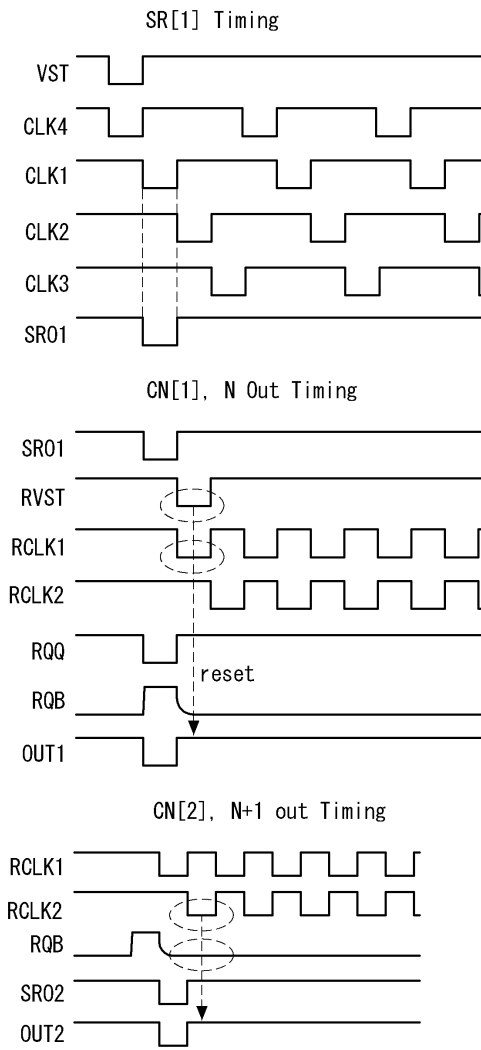
도면7



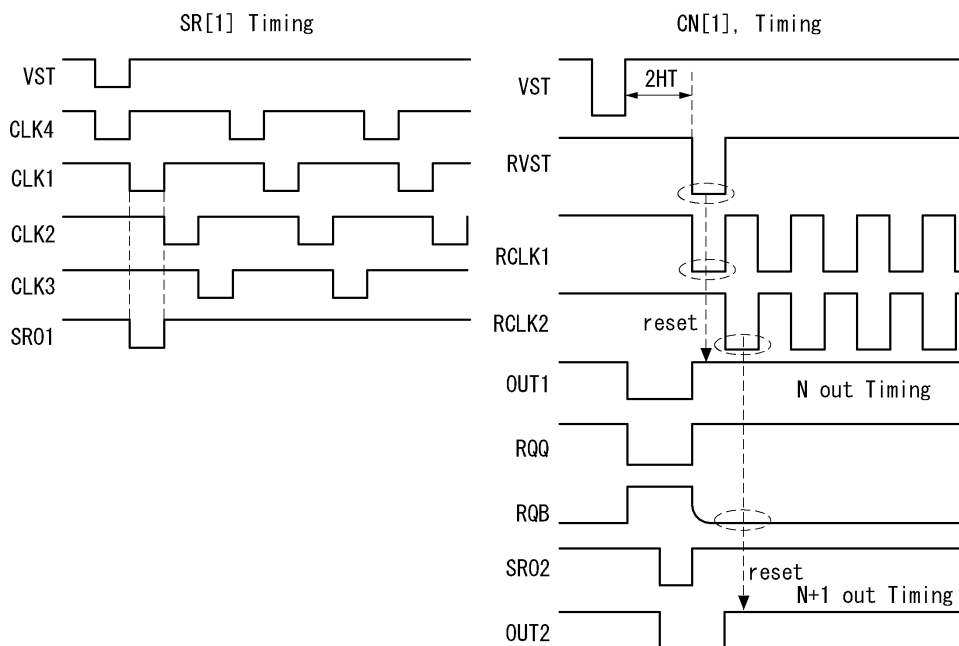
도면8



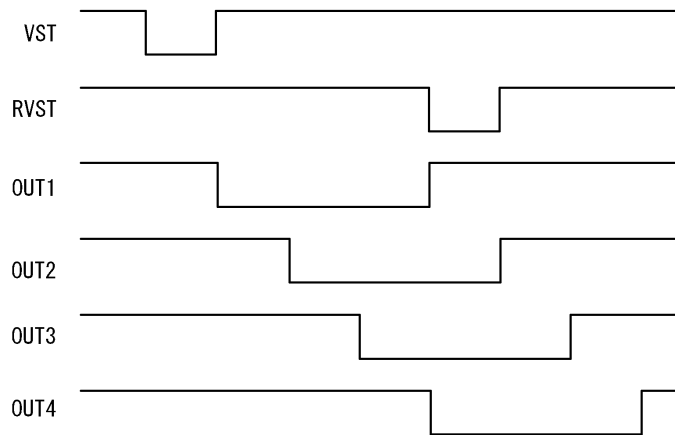
도면9



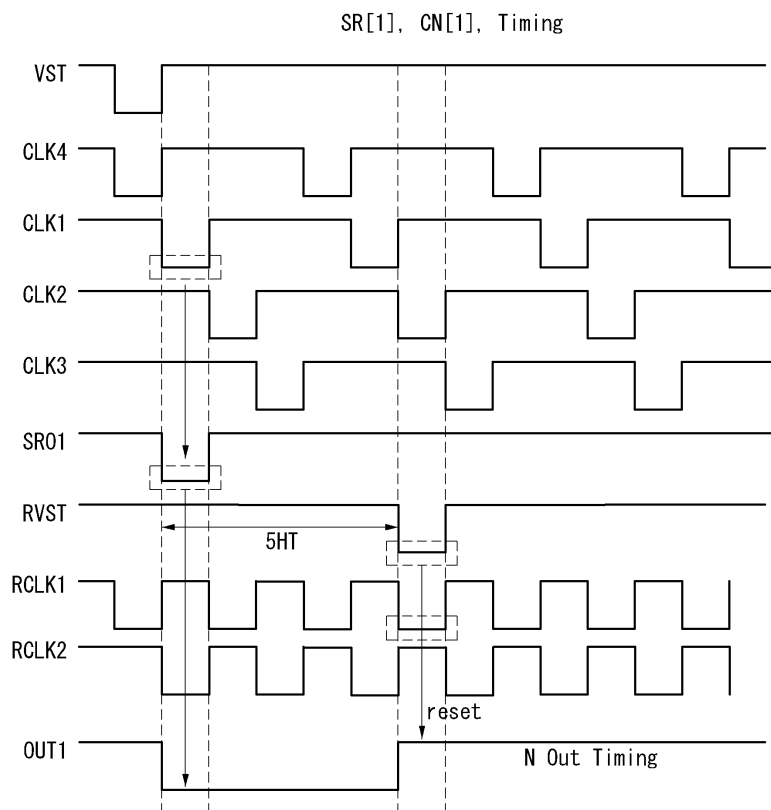
도면10



도면11



도면12



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR101936678B1	公开(公告)日	2019-01-09
申请号	KR1020110078464	申请日	2011-08-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이현행 김현진		
发明人	이현행 김현진		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3266 G09G2310/0286 G09G2310/08 H05B45/60		
审查员(译)	Baegyeonghwan		
其他公开文献	KR1020130016495A		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光显示装置，以通过利用电压方法产生扫描信号来最小化时钟线延迟的影响。组成：数据驱动单元将数据信号提供给显示面板。扫描驱动单元向显示面板提供扫描信号，并且包括移位寄存器块（SR块）和控制块（CN块）。移位寄存器块依次输出第一脉冲信号。控制块一对一地连接到移位寄存器块的输出端子。控制块通过延迟第一脉冲信号来延迟第二脉冲信号。

