



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월24일
(11) 등록번호 10-2126535
(24) 등록일자 2020년06월18일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0132114
(22) 출원일자 2013년11월01일
심사청구일자 2018년07월10일
(65) 공개번호 10-2015-0050895
(43) 공개일자 2015년05월11일
(56) 선행기술조사문헌
JP08213632 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
오충완
경기 오산시 은여울로17번길 8, 205호 (궐동, 신
흥연립)
이정규
서울 성동구 고산자로4길 34, 304동 1001호 (응봉
동, 동아리버그린아파트)
(74) 대리인
이승찬

전체 청구항 수 : 총 9 항

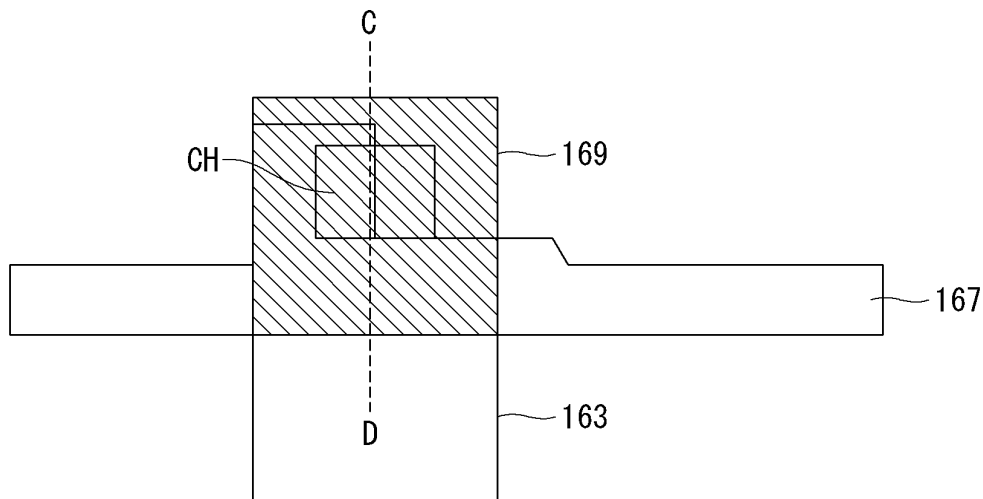
심사관 : 윤성주

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명은 표시패널; 표시패널에 형성된 서브 픽셀들; 및 서브 픽셀들의 영역 내에 위치하는 적어도 하나의 신호 라인을 연결하는 콘택부를 포함하되, 콘택부는 하부기관 상에 형성된 반도체층과, 반도체층 상에 형성된 제1절연막과, 제1절연막 상에 형성된 제2절연막과, 제2절연막 상에 형성된 게이트금속과, 게이트금속 상에 형성된 제3절연막과, 제3절연막 상에 형성된 소오스 드레인금속을 포함하고, 반도체층과 게이트금속은 제1 내지 제3절연막에 형성된 콘택홀에 의해 노출되고, 소오스 드레인금속에 의해 전기적으로 연결된 것을 특징으로 하는 유기전계발광 표시장치를 제공한다.

대표도 - 도7



(56) 선행기술조사문헌

JP2002203970 A*

JP2005353772 A*

JP2010019951 A*

KR1020050104603 A*

KR1020100076603 A*

KR1020130073827 A*

KR1020130063015 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

표시패널;

상기 표시패널에 형성된 서브 픽셀들; 및

상기 서브 픽셀들의 영역 내에 위치하고 적어도 하나의 전극을 다른 전극에 연결하는 콘택부를 포함하되,

상기 콘택부는 하부기판 상에 형성된 반도체층과, 상기 반도체층 상에 형성된 제1절연막과, 상기 제1절연막 상에 형성된 제2절연막과, 상기 제2절연막 상에 형성된 게이트금속과, 상기 게이트금속 상에 형성된 제3절연막과, 상기 제3절연막 상에 형성된 소오스 드레인금속을 포함하고,

상기 반도체층과 상기 게이트금속은 상기 제1 내지 제3절연막에 형성된 콘택홀에 의해 노출되고, 상기 소오스 드레인금속에 의해 전기적으로 연결되고,

상기 콘택홀은

상기 게이트금속의 일부 표면, 상기 반도체층의 일부 측면 및 상기 하부기판의 일부 표면을 노출하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 콘택홀은

상기 게이트금속을 기준으로 상하 영역보다 좌우 영역이 긴 구조를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 콘택홀은

상기 게이트금속을 기준으로 상하 영역보다 좌우 영역이 긴 직사각형, 다각형 또는 타원형 구조를 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 게이트금속은

가로방향으로 길게 패턴된 가로영역과,

상기 가로영역에서 세로방향으로 돌출된 세로영역과,

상기 콘택홀의 좌측 영역을 차지하도록 상기 세로영역의 좌측에서 상기 세로영역보다 더 돌출된 더미영역을 포함하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 게이트금속은

가로방향으로 길게 패턴된 가로영역과,

상기 가로영역에서 세로방향으로 돌출된 세로영역과,

상기 콘택홀의 우측 영역을 차지하도록 상기 세로영역의 우측에서 상기 세로영역보다 더 돌출된 더미영역을 포함하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 게이트금속은

가로방향으로 길게 패턴된 가로영역과,

상기 가로영역에서 세로방향으로 돌출된 세로영역과,

상기 콘택홀의 좌측 영역을 차지하도록 상기 세로영역의 좌측에서 상기 세로영역보다 더 돌출된 제1더미영역과,

상기 콘택홀의 우측 영역을 차지하도록 상기 세로영역의 우측에서 상기 세로영역보다 더 돌출된 제2더미영역을 포함하되,

상기 제1더미영역과 상기 제2더미영역은 서로 이격된 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,

상기 게이트금속은

가로방향으로 길게 패턴된 가로영역과,

상기 가로영역의 상부방향과 하부방향을 포함하는 세로방향으로 돌출된 세로영역과,

상기 콘택홀의 일측 영역을 차지하도록 상기 세로영역의 일측에서 상기 세로영역보다 더 돌출된 더미영역을 포함하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 게이트금속은

가로방향으로 길게 패턴된 가로영역과, 상기 가로영역에서 세로방향으로 돌출된 세로영역을 포함하고,

상기 콘택홀은 상기 세로영역과 중첩하고 상기 가로영역과 비중첩하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 게이트금속은

상기 제1절연막 상에 위치하는 제1게이트금속과,

상기 제2절연막 상에 위치하는 제2게이트금속을 포함하고,

상기 제1게이트금속과 상기 제2게이트금속 중 적어도 하나는 상기 소오스 드레인금속에 의해 상기 반도체층과 전기적으로 연결되는 유기전계발광표시장치.

발명의 설명

기술 분야

본 발명은 유기전계발광표시장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서부터 기저상태로 떨어질 때 발광하는 소자이다.
- [0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있다.
- [0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀로 구성된 표시패널에 스캔신호, 데이터 신호 및 전원 등이 공급되면 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.
- [0005] 통상 서브 픽셀 내에 포함된 구동트랜지스터는 시간이 지남에 따라 문턱전압이 이동하기 때문에 구동전류가 낮아지는 등의 문제로 소자의 수명이 감소한다. 이에 따라, 서브 픽셀 내에는 구동트랜지스터의 문턱전압 이동 특성에 대한 보상을 수행하기 위한 보상회로가 적용된다.
- [0006] 그러나 표시패널이 고 해상도로 구현되어감에 따라 서브 픽셀의 크기가 작아지고 그에 따라 구동에 필요한 회로들이나 보상회로를 서브 픽셀 내에 집적하기가 어려워지는 문제가 대두하고 있다. 이로 인하여, 종래에는 서브 픽셀 영역 내에 위치하는 신호라인의 콘택부를 변경하는 등 다양한 구조를 제안하고 있지만 공정 방법 및 접촉 구조상의 문제로 최상부에 위치하는 게이트금속의 두께가 얇아져 선평이 감소하는 것과 같이 신호라인의 저항을 증가시키는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 콘택부 형성시 신호라인이나 전극의 저항이 증가하는 문제를 방지하여 고 해상도 표시패널 구현시 용이한 이점을 줄 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

- [0008] 상술한 과제 해결 수단으로 본 발명은 표시패널; 표시패널에 형성된 서브 픽셀들; 및 서브 픽셀들의 영역 내에 위치하는 적어도 하나의 신호라인을 연결하는 콘택부를 포함하되, 콘택부는 하부기판 상에 형성된 반도체층과, 반도체층 상에 형성된 제1절연막과, 제1절연막 상에 형성된 제2절연막과, 제2절연막 상에 형성된 게이트금속과, 게이트금속 상에 형성된 제3절연막과, 제3절연막 상에 형성된 소오스 드레인금속을 포함하고, 반도체층과 게이트금속은 제1 내지 제3절연막에 형성된 콘택홀에 의해 노출되고, 소오스 드레인금속에 의해 전기적으로 연결된 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0009] 콘택홀은 게이트금속을 기준으로 좌우 영역보다 상하 영역이 긴 구조를 가질 수 있다.
- [0010] 콘택홀은 게이트금속을 기준으로 좌우 영역보다 상하 영역이 긴 직사각형, 다각형 또는 타원형 구조를 가질 수 있다.
- [0011] 게이트금속은 가로방향으로 길게 패턴된 가로영역과, 가로영역의 중앙영역에서 세로방향으로 돌출된 세로영역과, 세로영역의 좌측에서 세로영역보다 더 돌출된 더미영역을 포함할 수 있다.
- [0012] 게이트금속은 가로방향으로 길게 패턴된 가로영역과, 가로영역의 중앙영역에서 세로방향으로 돌출된 세로영역과, 세로영역의 우측에서 세로영역보다 더 돌출된 더미영역을 포함할 수 있다.
- [0013] 게이트금속은 가로방향으로 길게 패턴된 가로영역과, 가로영역의 중앙영역에서 세로방향으로 돌출된 세로영역과, 세로영역의 좌측에서 세로영역보다 더 돌출된 제1더미영역과, 세로영역의 우측에서 세로영역보다 더 돌출된 제2더미영역을 포함하되, 제1더미영역과 제2더미영역은 서로 이격될 수 있다.
- [0014] 게이트금속은 가로방향으로 길게 패턴된 가로영역과, 가로영역의 중앙영역의 상부와 하부를 포함하는 세로방향으로 돌출된 세로영역과, 세로영역의 좌측에서 세로영역보다 더 돌출된 더미영역을 포함할 수 있다.

발명의 효과

[0015] 본 발명은 콘택부 형성시 건식 식각 공정을 이용한 일괄 콘택홀 형성 공정을 진행하더라도 금속의 두께가 얇아져 선폭이 감소하는 것과 같은 문제로 신호라인이나 전극의 저항이 증가하는 문제를 방지하여 고 해상도 표시패널 구현시 용이한 이점을 줄 수 있는 효과가 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성 예시도.
- 도 3은 트랜지스터 어레이의 적층 구조를 나타낸 도면.
- 도 4는 비교예에 따른 콘택부의 평면도.
- 도 5는 도 4의 A-B 영역의 단면도.
- 도 6은 도 5에 도시된 단면을 촬영한 사진.
- 도 7은 본 발명의 제1실시예에 따른 콘택부의 평면도.
- 도 8은 도 7의 C-D 영역의 단면도.
- 도 9는 비교예와 본 발명의 제1실시예의 제2게이트금속을 비교 설명하기 위한 도면.
- 도 10은 비교예와 본 발명의 제1실시예의 구조적 차이점을 비교 설명하기 위한 도면.
- 도 11은 본 발명의 제2실시예에 따른 콘택부의 평면도.
- 도 12는 본 발명의 제3실시예에 따른 콘택부의 평면도.
- 도 13은 본 발명의 제4실시예에 따른 제2게이트금속의 평면도.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0018] <제1실시예>
- [0019] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성 예시도이며, 도 3은 트랜지스터 어레이의 적층 구조를 나타낸 도면이다.
- [0020] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터구동부(130), 스캔구동부(120) 및 표시패널(160)이 포함된다.
- [0021] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평 기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다. 타이밍제어부(110)는 타이밍 제어신호(DDC)와 함께 외부로부터 공급된 데이터신호(DATA)를 데이터구동부(130)에 공급한다.
- [0022] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(120)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.
- [0023] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압에 대응하여 변환한다. 데이터구동부(130)는 표시패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.
- [0024] 표시패널(160)은 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀, 녹

색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 표시패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 백색으로 발광된 광은 RGB 컬러필터에 의해 적색, 녹색 및 청색으로 변환된다.

- [0025] 도 2에 도시된 바와 같이, 표시패널(160)에 포함된 서브 픽셀(SP)에는 유기 발광다이오드(OLED), 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 구동트랜지스터(T4), 제1커패시터(Cst) 및 제2커패시터(Cdt)가 포함된다.
- [0026] 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 구동트랜지스터(T4), 제1커패시터(Cst) 및 제2커패시터(Cdt)는 트랜지스터 어레이에 해당하고, 유기발광다이오드(OLED)는 발광소자에 해당한다.
- [0027] 서브 픽셀(SP)은 제1신호라인(SCAN1[n]), 제2신호라인(SCAN2[n]), 발광신호라인(EM[n]) 및 초기화신호라인(VINIT)을 포함하는 제1스캔라인(SL1), 데이터라인(DL[n]), 제1전원라인(EVDD) 및 제2전원라인(EVSS)을 통해 공급된 신호 및 전원에 의해 동작한다.
- [0028] 제1트랜지스터(T1), 제2트랜지스터(T2), 제3트랜지스터(T3), 구동트랜지스터(T4), 제1커패시터(Cst), 제2커패시터(Cdt) 및 유기 발광다이오드(OLED)의 회로 구성 및 이들의 역할을 개략적으로 설명하면 하기와 같다.
- [0029] 제1트랜지스터(T1)는 제1신호라인(SCAN1[n])에 게이트전극이 연결되고 데이터라인(DL[n])에 제1전극이 연결되며 구동트랜지스터(T4)의 게이트전극에 제2전극이 연결된다. 제1트랜지스터(T1)는 데이터라인(DL[n])을 통해 공급된 데이터신호가 구동트랜지스터(T4)의 게이트전극에 연결된 제1커패시터(Cst)에 공급되도록 제1신호라인(SCAN1[n])을 통해 공급된 제1신호에 응답하여 동작한다. 제1트랜지스터(T1)가 턴온되면 데이터라인(DL[n])을 통해 공급된 데이터신호는 제1커패시터(Cst)에 데이터전압으로 충전된다.
- [0030] 제2트랜지스터(T2)는 제2신호라인(SCAN2[n])에 게이트전극이 연결되고 초기화신호라인(VINIT)에 제1전극이 연결되며 유기발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제2트랜지스터(T2)는 초기화신호라인(VINIT)을 통해 공급된 초기화전압(또는 초기화전류 등)이 유기발광다이오드(OLED)의 애노드전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단에 공급되도록 제2신호라인(SCAN2[n])을 통해 공급된 제2신호에 응답하여 동작한다. 제2트랜지스터(T2)가 턴온되면 초기화신호라인(VINIT)을 통해 공급된 초기화전압은 유기발광다이오드(OLED)의 애노드전극, 제1커패시터(Cst)의 타단 및 제2커패시터(Cdt)의 타단을 특정 전압으로 초기화한다. 또한, 제2트랜지스터(T2)는 구동트랜지스터(T4)의 문턱전압을 센싱 및 보상하기 위해 제2신호에 응답하여 동작한다.
- [0031] 제3트랜지스터(T3)는 발광신호라인(EN[n])에 게이트전극이 연결되고 제1전원라인(EVDD)에 제1전극이 연결되며 구동트랜지스터(T4)의 제1전극에 제2전극이 연결된다. 제3트랜지스터(T3)는 제1전원라인(EVDD)을 통해 공급된 제1전원이 구동트랜지스터(T4)의 제1전극에 공급되도록 발광신호라인(EN[n])을 통해 공급된 발광신호에 응답하여 동작한다. 제3트랜지스터(T3)가 턴온되면 제1전원은 구동트랜지스터(T4)와 유기발광다이오드(OLED)를 거쳐 제2전원라인 방향으로 흐르게 된다. 이때, 유기발광다이오드(OLED)는 구동트랜지스터(T4)에 의해 생성된 구동전류에 대응하여 빛을 발광하게 된다.
- [0032] 구동트랜지스터(T4)는 제1트랜지스터의 제2전극에 게이트전극이 연결되고 제3트랜지스터(T3)의 제2전극에 제1전극이 연결되며 유기발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 구동트랜지스터(T4)는 제1커패시터(Cst)에 저장된 데이터전압에 대응하여 동작한다. 구동트랜지스터(T4)가 턴온되면 유기발광다이오드(OLED)를 동작시킬 수 있는 구동전류가 발생하게 된다.
- [0033] 제1커패시터(Cst)는 구동트랜지스터(T4)의 게이트전극에 일단이 연결되고 유기발광다이오드(OLED)의 애노드전극에 타단이 연결된다. 제1커패시터(Cst)는 데이터신호를 데이터전압으로 저장하고 저장된 데이터전압으로 구동트랜지스터(T4)를 동작시킨다.
- [0034] 제2커패시터(Cdt)는 제1전원라인(EVDD)에 일단이 연결되고 유기발광다이오드(OLED)의 애노드전극에 타단이 연결된다. 제2커패시터(Cdt)는 제1전원과 초기화전압 간의 차이값으로 유기발광다이오드(OLED)의 애노드전극에 연결된 노드를 보상하는 보상전압을 저장한다.
- [0035] 유기 발광다이오드(OLED)는 구동트랜지스터(T4)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 유기 발광다이오드(OLED)는 구동트랜지스터(T4)를 통해 공급된 구동전류에 대응하여 빛을 발광한다.
- [0036] 통상 서브 픽셀(SP) 내에 포함된 구동트랜지스터(T4)는 시간이 지남에 따라 문턱전압이 이동하기 때문에 구동전

류가 낮아지는 등의 문제로 소자의 수명이 감소한다. 이에 따라, 서브 픽셀(SP) 내에는 구동트랜지스터(T4)의 문턱전압 이동 특성에 대한 보상을 수행하기 위한 보상회로(예: 제2트랜지스터 및 제2트랜지스터에 연결된 배선 등)가 적용된다.

- [0037] 그러나 표시패널이 고 해상도로 구현되어감에 따라 서브 픽셀의 크기가 작아지고 그에 따라 구동에 필요한 회로 들이나 보상회로를 서브 픽셀 내에 집적하기가 어려워지는 문제가 대두한다.
- [0038] 본 발명의 제1실시예에서는 표시패널의 고 해상도 구현이 용이하도록 게이트금속을 두 개의 층으로 형성하여 한정된 서브 픽셀 영역 내에서 신호라인이 차지하는 면적을 줄여 서브 픽셀 설계시 원활한 레이아웃을 할 수 있도록 한다. 그리고 게이트금속과 동일하거나 다른 금속과의 전기적인 연결을 도모하는 콘택부의 구조를 변경하여 신호라인의 저항을 감소시킨다.
- [0039] 도 3에 도시된 바와 같이, 표시패널의 고 해상도 구현이 용이하도록 트랜지스터 어레이에는 두 개의 층으로 구분된 게이트금속(165, 167)이 포함되며 이의 적층 구조를 설명하면 다음과 같다.
- [0040] 하부기관(161) 상에는 버퍼층(162)이 형성된다. 하부기관(161)은 유리나 폴리 이미드(PI), 폴리에틸렌 테레프탈 레이트(PET), 폴리에스테르 설펜(PES), 폴리카보네이트(PC), 폴리에틸렌 나프탈레이트(PEN) 및 폴리우레탄(PU) 등과 같은 수지로 선택된다. 하부기관(161)이 수지로 선택된 경우 이는 연성을 갖는다. 버퍼층(162)은 하부기관 (161)에서 유출되는 알칼리 이온 등과 같은 불순물 등으로부터 후속 공정에서 형성되는 트랜지스터 어레이를 보호하기 위해 형성된다. 버퍼층(162)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 등으로 형성될 수 있으며, 이는 생략될 수도 있다.
- [0041] 버퍼층(162) 상에는 반도체층(163)이 형성된다. 반도체층(163)은 아몰포스실리콘, 폴리실리콘, 저온폴리실리콘, 산화물 및 유기물 중 하나로 선택된다.
- [0042] 반도체층(163) 상에는 제1절연막(164)이 형성된다. 제1절연막(164)은 실리콘 산화막(SiOx), 실리콘 질화막 (SiNx) 또는 이들의 이중층으로 이루어질 수 있다. 반도체층(163)은 트랜지스터 어레이에 포함된 트랜지스터들의 액티브층으로 사용된다.
- [0043] 제1절연막(164) 상에는 제1게이트금속(165)이 형성된다. 제1게이트금속(165)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제1게이트금속(165)은 트랜지스터 어레이에 포함된 트랜지스터들의 게이트전극은 물론 신호라인으로 사용된다.
- [0044] 제1게이트금속(165) 상에는 제2절연막(166)이 형성된다. 제2절연막(166)은 실리콘 산화막(SiOx), 실리콘 질화막 (SiNx) 또는 이들의 이중층으로 이루어질 수 있다.
- [0045] 제2절연막(166) 상에는 제2게이트금속(167)이 형성된다. 제2게이트금속(167)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 제2게이트금속(167)은 트랜지스터 어레이에 포함된 트랜지스터들의 신호라인으로 사용된다.
- [0046] 제2게이트금속(167) 상에는 제3절연막(168)이 형성된다. 제3절연막(168)은 실리콘 산화막(SiOx), 실리콘 질화막 (SiNx) 또는 이들의 이중층으로 이루어질 수 있다.
- [0047] 제3절연막(168) 상에는 소오스 드레인금속(169)이 형성된다. 소오스 드레인금속(169)은 몰리브덴(Mo), 알루미늄 (Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni) 및 구리(Cu)로 이루어진 군에서 선택된 하나 또는 이들의 합금 일 수 있으며, 단일층 또는 다중층으로 이루어질 수 있다. 소오스 드레인금속(169)은 트랜지스터 어레이에 포함 된 트랜지스터들의 소오스전극, 드레인전극은 물론 데이터라인으로 사용된다. 또한, 소오스 드레인금속(169)은 트랜지스터 어레이에 포함된 트랜지스터들의 신호라인을 전기적으로 연결하는 연결전극으로 사용된다.
- [0048] 소오스 드레인금속(169) 상에는 보호막(170)이 형성된다. 보호막(170)은 폴리이미드(polyimide), 벤조사이클로 부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다. 보호 막(170)은 트랜지스터 어레이에 포함된 트랜지스터들을 보호하는 층으로 사용된다.
- [0049] 한편, 앞서 설명된 두 개의 게이트금속(165, 167) 중 적어도 하나는 도 2의 "P1, P2"와 같이 동일하거나 다른 금속과의 전기적인 연결을 도모하는 콘택부에 사용된다. 콘택부는 공정 방법 및 접촉 구조에 따라 금속의 두께 가 얇아져 선포이 감소하는 것과 같은 문제로 신호라인이나 전극의 저항을 증가시킨다. 그 예를 설명하면 다음

과 같다.

- [0050] 다만, 이하에서는 설명의 편의를 위해 제2게이트금속(167)의 콘택 구조를 예로 설명하지만 이의 개념은 제1게이트금속(165)도 포함됨은 물론이다. 또한, 이하에서는 설명의 편의를 위해 제2게이트금속(167)과 반도체층(163)이 소오스 드레인금속에 의해 전기적으로 연결되는 것을 예로 설명하지만 이의 개념은 이에 한정되지 않음은 물론이다.
- [0051] 도 4는 비교예에 따른 콘택부의 평면도이고, 도 5는 도 4의 A-B 영역의 단면도이며, 도 6은 도 5에 도시된 단면을 촬영한 사진이다.
- [0052] 도 4에 도시된 바와 같이, 반도체층(163)과 제2게이트금속(167)은 소오스 드레인금속(169)에 의해 전기적으로 연결된다. 단면도 상에서 설명하면 다음과 같다.
- [0053] 도 5에 도시된 바와 같이, 하부기판(161) 상에는 반도체층(163)이 형성된다. 반도체층(163) 상에는 제1절연막(164)이 형성된다. 제1절연막(164) 상에는 제2절연막(166)이 형성된다. 제2절연막(166) 상에는 제2게이트금속(167)이 형성된다. 제2게이트금속(167) 상에는 제3절연막(168)이 형성된다.
- [0054] 제1 내지 제3절연막(164, 166, 168)에는 제2게이트금속(167)의 일부 표면, 반도체층(163)의 일부 측면 및 하부기판(161)의 일부 표면을 노출하는 콘택홀(CH)이 형성된다. 제3절연막(168) 상에는 제2게이트금속(167)의 일부 표면, 반도체층(163)의 일부 측면 및 하부기판(161)의 일부 표면과 접촉하는 소오스 드레인금속(169)이 형성된다.
- [0055] 도 4 및 도 5에 도시된 콘택부는 소오스 드레인금속(169)의 하부에 위치하는 제2게이트금속(167)과 반도체층(163)을 건식 식각(Dry Etch)하는 방식으로 콘택홀(CH)을 형성한 것이다.
- [0056] 도 4의 평면도를 통해 알 수 있듯이 콘택홀(CH)은 제2게이트금속(167)을 기준으로 좌우 영역보다 상하 영역이 긴 직사각형 구조를 갖도록 식각된다. 그런데, 식각 공정시 최상부에 위치하는 제2게이트금속(167)의 두께가 얇아져 선평이 감소하는 것과 같이 신호라인의 저항을 증가시킨다.
- [0057] 이와 같이, 건식 식각 공정을 이용한 일괄 콘택홀 형성 공정을 진행하면 최상부에 위치하는 게이트금속(167)이 손상되어 두께가 얇아지게 된다. 이와 관련해서는 도 6에 도시된 화살표 방향의 손상부분을 참조한다.
- [0058] 본 발명의 제1실시예에서는 두 개의 게이트금속(165, 167) 중 하나를 동일하거나 다른 금속과의 전기적인 연결을 도모하는 콘택부에서 공정 방법 및 접촉 구조에 따라 금속의 두께가 얇아져 선평이 감소하는 것과 같은 문제로 신호라인이나 전극의 저항이 증가하는 문제를 방지하기 위해 다음과 같은 구조를 제안한다.
- [0059] 도 7은 본 발명의 제1실시예에 따른 콘택부의 평면도이고, 도 8은 도 7의 C-D 영역의 단면도이며, 도 9는 비교예와 본 발명의 제1실시예의 제2게이트금속을 비교 설명하기 위한 도면이고, 도 10은 비교예와 본 발명의 제1실시예의 구조적 차이점을 비교 설명하기 위한 도면이다.
- [0060] 도 7에 도시된 바와 같이, 반도체층(163)과 제2게이트금속(167)은 소오스 드레인금속(169)에 의해 전기적으로 연결된다. 단면도 상에서 설명하면 다음과 같다.
- [0061] 도 8에 도시된 바와 같이, 하부기판(161) 상에는 반도체층(163)이 형성된다. 반도체층(163) 상에는 제1절연막(164)이 형성된다. 제1절연막(164) 상에는 제2절연막(166)이 형성된다. 제2절연막(166) 상에는 제2게이트금속(167)이 형성된다. 제2게이트금속(167) 상에는 제3절연막(168)이 형성된다.
- [0062] 제1 내지 제3절연막(164, 166, 168)에는 제2게이트금속(167)의 일부 표면, 반도체층(163)의 일부 측면 및 하부기판(161)의 일부 표면을 노출하는 콘택홀(CH)이 형성된다. 제3절연막(168) 상에는 제2게이트금속(167)의 일부 표면, 반도체층(163)의 일부 측면 및 하부기판(161)의 일부 표면과 접촉하는 소오스 드레인금속(169)이 형성된다.
- [0063] 도 7 및 도 8에 도시된 콘택부는 소오스 드레인금속(169)의 하부에 위치하는 제2게이트금속(167)과 반도체층(163)을 건식 식각(Dry Etch)하는 방식으로 콘택홀(CH)을 형성한 것이다.
- [0064] 도 7의 평면도를 통해 알 수 있듯이 콘택홀(CH)은 제2게이트금속(167)을 기준으로 상하 영역보다 좌우 영역이 긴 직사각형 구조를 갖도록 식각된다. 이하에서는 콘택홀(CH)이 제2게이트금속(167)을 기준으로 상하 영역보다 좌우 영역이 긴 직사각형 구조를 갖도록 식각된 것을 예로 설명한다. 그러나 콘택홀(CH)의 경우, 가로 방향으로 긴 구조를 가지면 되므로 직사각형이 아닌 다각형이나 타원형 구조를 취하더라도 무방하다.

- [0065] 도 9의 (a)에 도시된 바와 같이, 비교예에 따른 제2게이트금속(167)은 가로방향(x)으로 길게 패턴된 가로영역(167a)과 가로영역(167a)의 중앙영역에서 세로방향(y)으로 돌출된 세로영역(167b)을 갖는다.
- [0066] 반면, 도 9의 (b)에 도시된 바와 같이, 본 발명의 제1실시예에 따른 제2게이트금속(167)은 가로방향(x)으로 길게 패턴된 가로영역(167a)과 가로영역(167a)의 중앙영역에서 세로방향(y)으로 돌출된 세로영역(167b)과 세로영역(167b)의 좌측에서 세로영역(167b)보다 더 돌출된 더미영역(167c)을 갖는다.
- [0067] 도 10의 (a)에 도시된 바와 같이, 비교예에 따른 제2게이트금속(167)은 도 9의 (a)와 같은 형상을 갖게 되고, 콘택홀(CH)은 제2게이트금속(167)을 기준으로 좌우 영역보다 상하 영역이 긴 직사각형 구조를 갖도록 형성된다. 이와 같은 구조는, 식각 공정시 최상부에 위치하는 제2게이트금속(167)의 손상으로 두께가 얇아져 선평이 감소하는 것과 같이 신호라인의 저항을 증가시킨다.
- [0068] 이와 관련하여 설명을 추가하면, 식각 공정이 진행되는 "A1영역"과 식각 공정이 미진행되는 "A3영역"은 동일하거나 유사한 선평을 갖지만, 건식 식각 공정을 이용한 일괄 콘택홀 형성 공정을 진행하게 됨에 따라 최상부에 위치하는 게이트금속(167)의 노출부분이 손상되어 신호라인의 저항을 증가시키게 된다.
- [0069] 반면, 도 10의 (b)에 도시된 바와 같이, 본 발명의 제1실시예에 따른 제2게이트금속(167)은 도 9의 (b)와 같은 형상을 갖게 되고, 콘택홀(CH)은 제2게이트금속(167)을 기준으로 상하 영역보다 좌우 영역이 긴 직사각형 구조를 갖도록 형성된다. 이와 같은 구조는, 식각 공정시 최상부에 위치하는 제2게이트금속(167)의 손상으로 두께가 얇아져 선평이 감소하더라도 잔존하는 부분이 차지하는 폭이 넓으므로 신호라인의 저항을 증가를 방지할 수 있다.
- [0070] 이와 관련하여 설명을 추가하면, 식각 공정이 진행되는 "A1영역"은 식각 공정이 미진행되는 "A3영역"보다 더 넓은 선평을 가지므로, 건식 식각 공정을 이용한 일괄 콘택홀 형성 공정을 진행하게 됨에 따라 최상부에 위치하는 게이트금속(167)의 노출부분이 손상되더라도 신호라인의 저항을 증가를 방지하게 된다.
- [0071] 도 10의 (a)와 (b)를 비교 설명하면, 비교예에 따른 제2게이트금속(167)의 "A2 및 A3영역"의 선평과 본 발명의 제1실시예에 따른 제2게이트금속(167)의 "A2 및 A3영역"의 선평은 동일하다. 그러나, 본 발명의 제1실시예에 따른 제2게이트금속(167)의 "A1영역"의 선평은 비교예에 따른 제2게이트금속(167)의 "A1영역"의 선평 대비 넓다. 그 이유는 콘택부를 정의하는 콘택홀(CH)의 형상과 제2게이트금속(167)의 구조가 다르기 때문이다.
- [0072] 도 10의 (a)와 (b)의 구조를 비교하면 다음의 표 1과 같다.

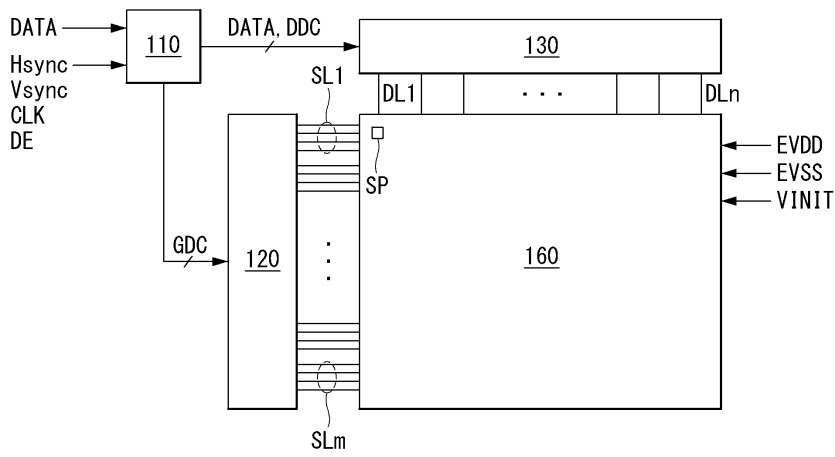
표 1

	서브 픽셀의 저항	표시패널의 총 저항 (H 해상도 1/2)	개선 비율
비교예	6.32Ω	5.06kΩ	
제1실시예	5.78Ω	4.62kΩ	비교예 대비 8.64%

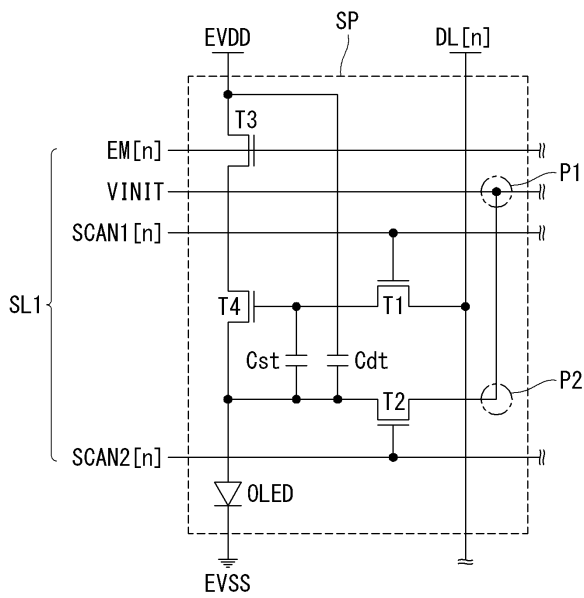
- [0074] 그러므로, 본 발명의 제1실시예와 같은 구조로 콘택부를 형성하면 건식 식각 공정을 이용한 일괄 콘택홀 형성 공정을 진행하더라도 금속의 두께가 얇아져 선평이 감소하는 것과 같은 문제로 신호라인이나 전극의 저항이 증가하는 문제를 방지할 수 있게 되므로 고 해상도 표시패널 구현시 용이한 이점을 줄 수 있다.
- [0075] 이하, 본 발명의 다른 실시예에 따른 콘택부의 구조에 대해 설명하되, 설명의 중복을 방지하기 위해 요지 부분만 설명한다.
- [0076] <제2실시예>
- [0077] 도 11은 본 발명의 제2실시예에 따른 콘택부의 평면도이다.
- [0078] 도 11에 도시된 바와 같이, 반도체층(163)과 제2게이트금속(167)은 소오스 드레인금속(169)에 의해 전기적으로 연결된다. 도 11의 평면도를 통해 알 수 있듯이 콘택홀(CH)은 제2게이트금속(167)을 기준으로 상하 영역보다 좌우 영역이 긴 직사각형 구조를 갖도록 식각된다.
- [0079] 본 발명의 제2실시예에 따르면, 제2게이트금속(167)은 가로방향(x)으로 길게 패턴된 가로영역(167a)과 가로영역(167a)의 중앙영역에서 세로방향(y)으로 돌출된 세로영역(167b)과 세로영역(167b)의 우측에서 세로영역(167b)보다 더 돌출된 더미영역(167c)을 갖는다.

도면

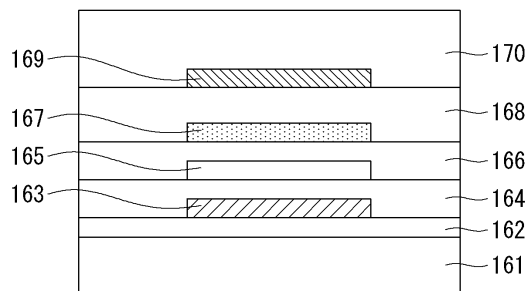
도면1



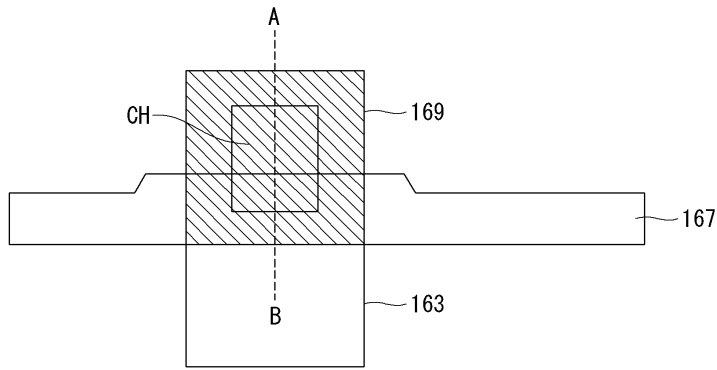
도면2



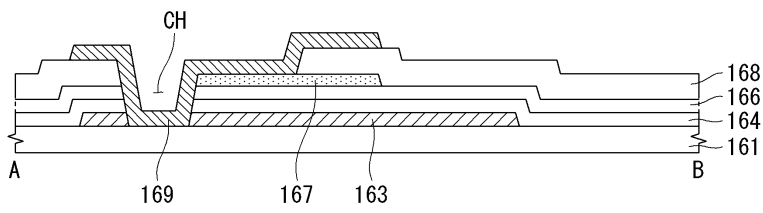
도면3



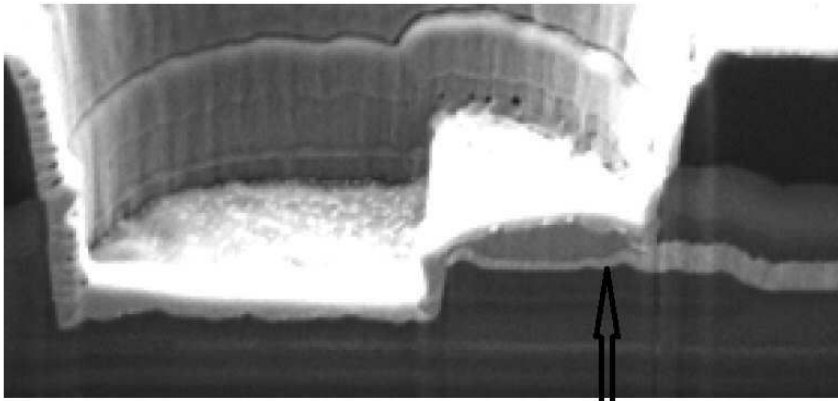
도면4



도면5

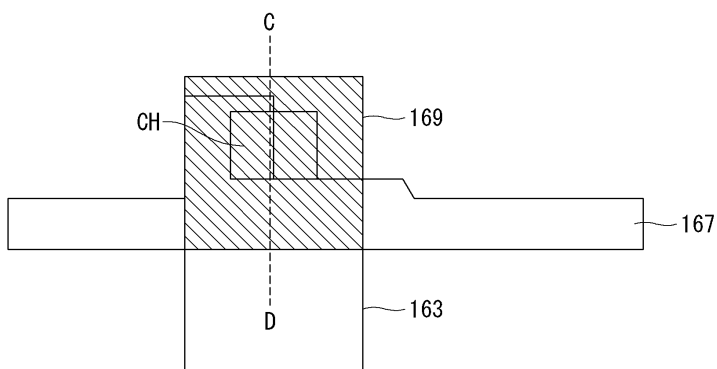


도면6

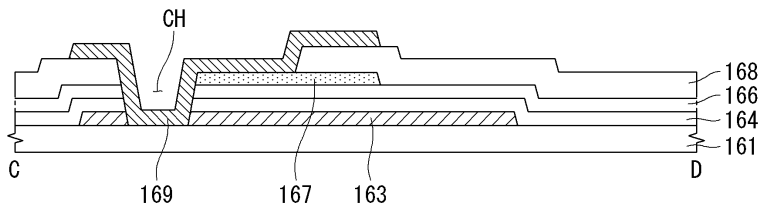


< Contact부 단면 분석결과 > 손상부분

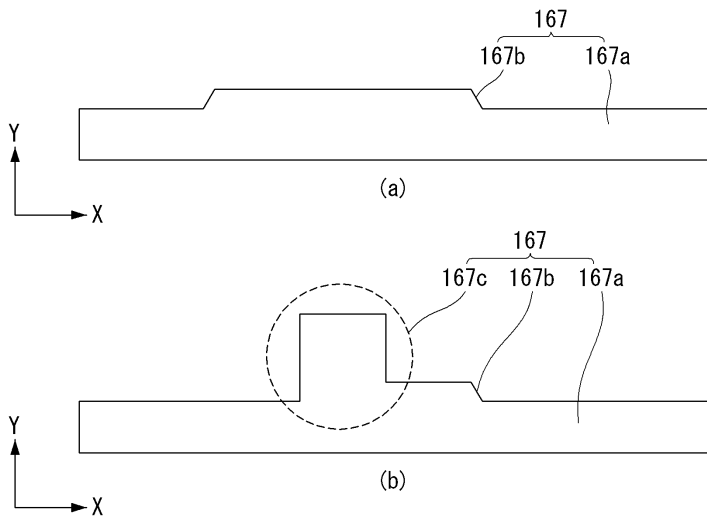
도면7



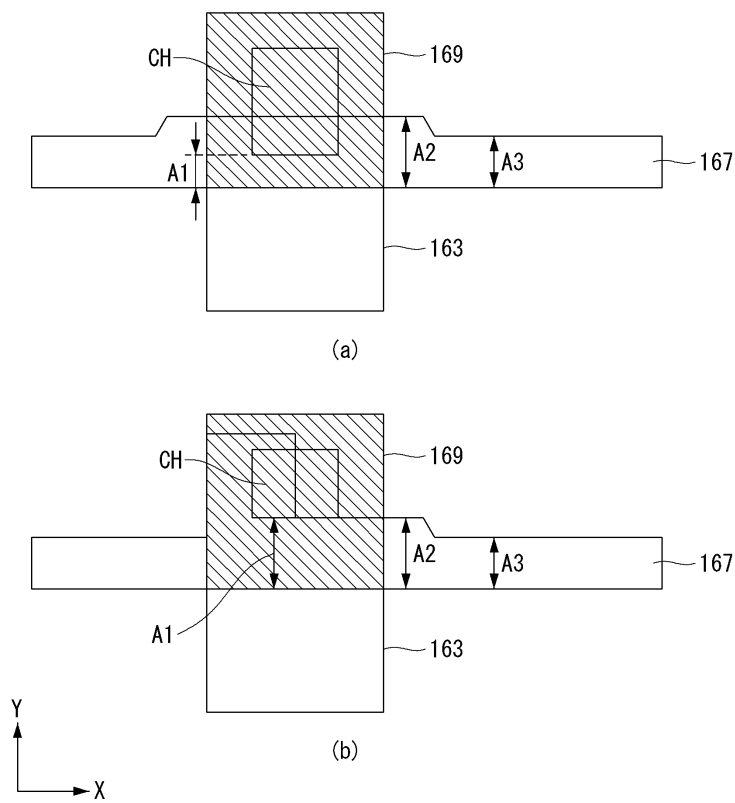
도면8



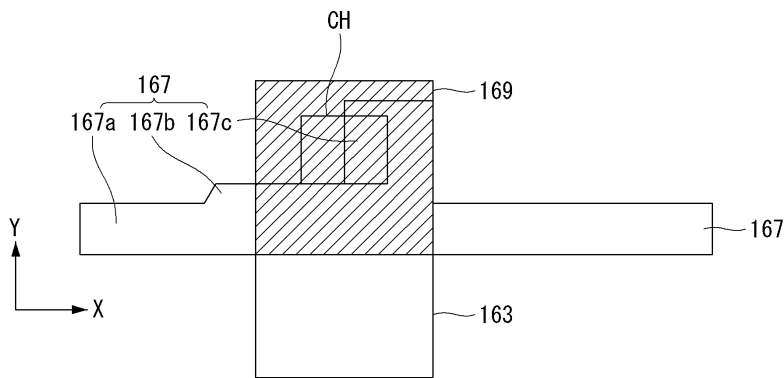
도면9



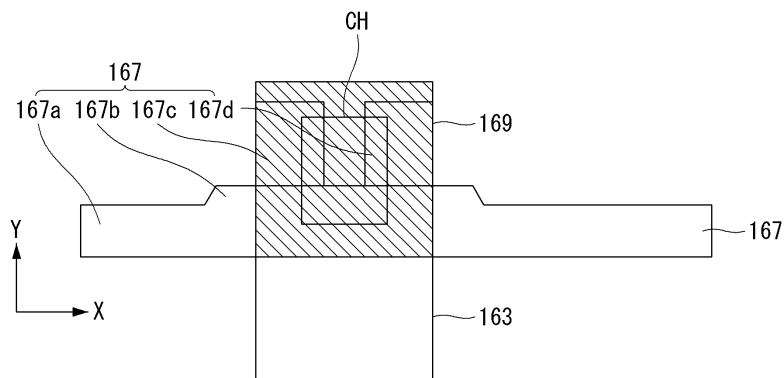
도면10



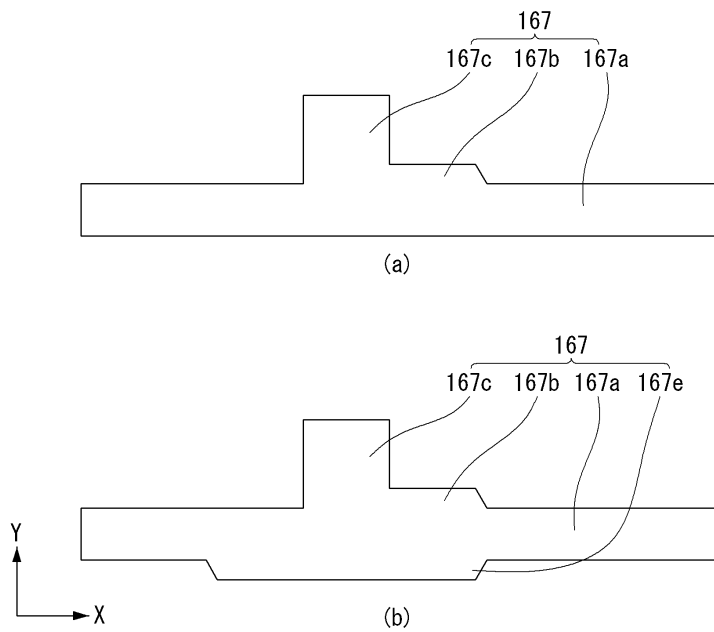
도면11



도면12



도면13



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR102126535B1	公开(公告)日	2020-06-24
申请号	KR1020130132114	申请日	2013-11-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	오충완 이정규		
发明人	오충완 이정규		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/124 H01L27/1248 H01L27/3262 H01L29/42384		
代理人(译)	이승찬		
审查员(译)	Yunseongju		
其他公开文献	KR1020150050895A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置,其包括:显示面板;和显示面板。显示面板上形成的子像素;接触单元,其连接位于子像素区域内的至少一条信号线。接触单元包括形成在下基板上的半导体层,形成在半导体层上的第一绝缘层,形成在第一绝缘层上的第二绝缘层,形成在第二绝缘层上的栅极金属,形成在半导体层上的第三绝缘层。门金属 源漏金属形成在第三绝缘层上。半导体层和栅极金属通过形成在第一至第三绝缘层上的接触孔暴露,并通过源极漏极金属电连接。

