



등록특허 10-2063990



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월08일
(11) 등록번호 10-2063990
(24) 등록일자 2020년01월02일

- (51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) *H05B 33/08* (2006.01)
- (21) 출원번호 10-2013-0150029
(22) 출원일자 2013년12월04일
심사청구일자 2018년09월14일
(65) 공개번호 10-2015-0065014
(43) 공개일자 2015년06월12일
- (56) 선행기술조사문헌
KR1020100046437 A*
KR1020130063744 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권용철
서울 성북구 인촌로16길 4, (안암동3가)
박동원
경기 고양시 일산동구 강촌로 114, 508동 803호
(백석동, 백송마을5단지아파트)
- (74) 대리인
특허법인로얄

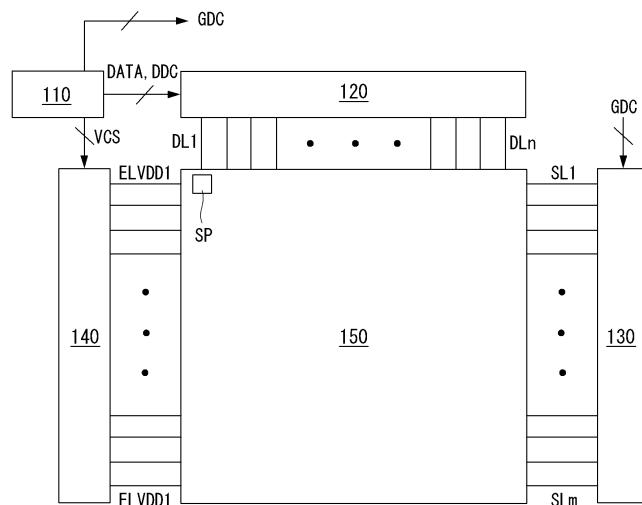
전체 청구항 수 : 총 10 항

심사관 : 이승민

(54) 발명의 명칭 유기전계발광표시장치

(57) 요 약

본 발명은 표시 패널; 상기 표시 패널에 데이터신호를 공급하는 데이터 구동부; 상기 표시 패널에 스캔신호를 공급하는 스캔 구동부; 상기 데이터 구동부 및 상기 스캔 구동부를 제어하며, 전원 제어신호를 출력하는 타이밍 제어부; 및 상기 표시 패널에 공급된 데이터신호가 삭제되도록 상기 전원 제어신호에 대응하여 고전위전압을 저전위전압으로 전환하여 출력하는 전원 제어부를 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

표시 패널;

상기 표시 패널에 데이터신호를 공급하는 데이터 구동부;

상기 표시 패널에 스캔신호를 공급하는 스캔 구동부;

상기 데이터 구동부 및 상기 스캔 구동부를 제어하며, 전원 제어신호를 출력하는 타이밍 제어부; 및

상기 표시 패널에 공급된 데이터신호가 삭제되도록 상기 전원 제어신호에 대응하여 고전위전압을 저전위전압으로 전환하여 출력하는 전원제어부를 포함하고,

상기 전원제어부는 각각의 스캔 라인에 대응되는 수평 라인별로 상기 고전위전압의 출력을 관장하는 하나의 제1 스위치와 상기 저전위전압의 출력을 관장하는 하나의 제2 스위치를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 전원제어부는

상기 전원 제어신호에 대응하여 상기 고전위전압을 상기 저전위전압으로 전환하여 출력하거나 상기 저전위전압을 상기 고전위전압으로 전환하여 출력하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 고전위전압은 상기 표시 패널에 데이터신호가 공급되는 어드레싱 구간과 상기 표시 패널의 유기 발광다이오드가 발광하는 발광 구간 동안 공급되고,

상기 저전위전압은 상기 표시 패널에 공급된 데이터신호가 삭제되는 삭제 구간 동안 공급되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 제1 스위치와 상기 제2 스위치는 상기 전원 제어신호에 대응하여 턴 온/오프하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

복수 개의 수평 라인마다 배치된 제1 스위치들과 제2 스위치들이 각각 제1 스위치 그룹과 제2 스위치 그룹을 형성하고,

상기 제1스위치 그룹의 턴 온 구간은 발광 구간 및 어드레싱 구간과 동기되고,

상기 제2스위치 그룹의 턴 온 구간은 삭제 구간과 동기되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 표시 패널은

스캔 라인에 대응하여 다수로 분할된 전원라인을 포함하는 유기전계발광표시장치.

청구항 7

제6항에 있어서,

상기 제1스위치 그룹은 상기 고전위전압을 전달하는 전원라인에 제1전극이 공통으로 연결되고, 상기 다수로 분할된 전원라인에 제2전극이 구분되어 연결되고,

상기 제2스위치 그룹은 상기 저전위전압을 전달하는 그라운드라인에 제1전극이 공통으로 연결되고, 상기 다수로 분할된 전원라인에 제2전극이 구분되어 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제1항에 있어서,

상기 전원 제어신호를 전달하는 전원 제어신호라인은

상기 데이터 구동부를 경유하여 상기 전원제어부로 공급되도록 배선된 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 전원제어부는

게이트인패널(Gate In Panel) 형태로 상기 표시 패널의 비표시영역에 형성되거나 상기 스캔 구동부와 통합된 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제1항에 있어서,

상기 전원제어부는

집적회로 형태로 형성되어 상기 표시 패널의 비표시영역에 실장되거나 상기 표시 패널에 연결된 외부기판에 실장되는 것을 특징으로 하는 유기전계발광표시장치.

발명의 설명**기술 분야**

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태로부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 표시 패널에 스캔신호, 데이터신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0004] 유기전계발광표시장치의 구동 방식에는 표시 패널에 전류 또는 전압을 공급하여 구동하는 아날로그 구동 방식과 발광시간을 조절하는 디지털 구동 방식이 있다. 디지털 구동 방식은 한 프레임을 다수의 서브프레임으로 나누어 발광시간의 비율로 계조를 결정하게 된다. 이때, 각 서브프레임은 각각 하나의 비트(bit)를 나타내며, 각 서브프레임의 발광시간은 대략 2배씩 증가하게 되거나 감소하게 된다.

[0005] 디지털 구동 방식은 하나의 서브프레임의 어드레싱이 종료되어야만 다음 서브프레임의 어드레싱이 이루어진다.

이 때문에, 하나의 서브프레임의 어드레싱 시간이 해당 서브프레임의 발광시간보다 길 경우, 다음 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 데이터신호의 삭제(또는 이레이즈) 구간이 필요하다.

[0006] 하지만, 디지털 구동 방식은 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 삭제(또는 이레이즈) 구간을 마련해야 하므로 삭제 동작을 위한 트랜지스터와 이를 구동하기 위한 신호라인에 의해 개구율이 감소하는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 디지털 구동 방식으로 구현 시 서브 픽셀의 개구율을 높이고 정적 파워를 낮출 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 표시 패널; 상기 표시 패널에 데이터신호를 공급하는 데이터 구동부; 상기 표시 패널에 스캔신호를 공급하는 스캔 구동부; 상기 데이터 구동부 및 상기 스캔 구동부를 제어하며, 전원 제어신호를 출력하는 타이밍 제어부; 및 상기 표시 패널에 공급된 데이터신호가 삭제되도록 상기 전원 제어신호에 대응하여 고전위전압을 저전위전압으로 전환하여 출력하는 전원제어부를 포함하는 유기전계발광표시장치를 제공한다.

[0009] 상기 전원제어부는 상기 전원 제어신호에 대응하여 상기 고전위전압을 상기 저전위전압으로 전환하여 출력하거나 상기 저전위전압을 상기 고전위전압으로 전환하여 출력할 수 있다.

[0010] 상기 고전위전압은 상기 표시 패널에 데이터신호가 공급되는 어드레싱 구간과 상기 표시 패널의 유기 발광다이오드가 발광하는 발광 구간 동안 공급되고, 상기 저전위전압은 상기 표시 패널에 공급된 데이터신호가 삭제되는 삭제 구간 동안 공급될 수 있다.

[0011] 상기 전원제어부는 하나의 스캔 라인에 한 쌍씩 배치되고, 상기 전원 제어신호에 대응하여 턴 온/오프하는 스위치를 포함할 수 있다.

[0012] 상기 전원제어부는 상기 고전위전압의 출력을 관장하는 제1스위치 그룹과, 상기 저전위전압의 출력을 관장하는 제2스위치 그룹을 포함하며, 상기 제1스위치 그룹의 턴 온 구간은 발광 구간 및 어드레싱 구간과 동기되고, 상기 제2스위치 그룹의 턴 온 구간은 삭제 구간과 동기될 수 있다.

[0013] 상기 표시 패널은 스캔 라인에 대응하여 다수로 분할된 전원라인을 포함할 수 있다.

[0014] 상기 제1스위치 그룹은 상기 고전위전압을 전달하는 전원라인에 제1전극이 공통으로 연결되고, 상기 다수로 분할된 전원라인에 제2전극이 구분되어 연결되고, 상기 제2스위치 그룹은 상기 저전위전압을 전달하는 그라운드라인에 제1전극이 공통으로 연결되고, 상기 다수로 분할된 전원라인에 제2전극이 구분되어 연결될 수 있다.

[0015] 상기 전원 제어신호를 전달하는 전원 제어신호라인은 상기 데이터 구동부를 경유하여 상기 전원제어부로 공급되도록 배선될 수 있다.

[0016] 상기 전원제어부는 게이트인패널(Gate In Panel) 형태로 상기 표시 패널의 비표시영역에 형성되거나 상기 스캔 구동부와 통합될 수 있다.

[0017] 상기 전원제어부는 접적회로 형태로 형성되어 상기 표시 패널의 비표시영역에 실장되거나 상기 표시 패널에 연결된 외부기판에 실장될 수 있다.

발명의 효과

[0018] 본 발명은 디지털 구동 방식에서 사용되는 이레이징 트랜지스터와 이를 구동하기 위한 신호라인을 제거하여 서브 픽셀의 개구율을 높일 수 있으므로 표시품질을 향상할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.

도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도.

도 3 및 도 4는 도 1에 도시된 서브 픽셀의 일부 단면을 나타낸 예시도들.

도 5는 디지털 구동 방식의 구동 타이밍도.

도 6은 종래에 제안된 서브 픽셀의 회로 구성도.

도 7은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 요부를 나타낸 도면.

도 8은 전원라인을 통해 출력되는 전압의 형태를 나타낸 도면.

도 9는 전원제어부로부터 출력된 전압을 이용한 서브프레임의 삭제 동작을 설명하기 위한 구동 타이밍도.

도 10 및 도 11은 전원제어부의 배치 예시도들.

발명을 실시하기 위한 구체적인 내용

[0020]

이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0021]

도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 회로 구성도이며, 도 3 및 도 4는 도 1에 도시된 서브 픽셀의 일부 단면을 나타낸 예시도들이고, 도 5는 디지털 구동 방식의 구동 타이밍도이며, 도 6은 종래에 제안된 서브 픽셀의 회로 구성도이다.

[0022]

도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치에는 타이밍 제어부(110), 데이터 구동부(120), 스캔 구동부(130), 전원제어부(140) 및 표시 패널(150)이 포함된다.

[0023]

타이밍 제어부(110)는 I2C 인터페이스 등을 통해 외부 메모리부로부터 표시 패널(150)의 해상도, 주파수 및 타이밍 정보 등을 포함하는 장치정보(Extended Display Identification Data; EDID)나 보상 데이터 등을 수집한다. 타이밍 제어부(110)는 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)와 스캔 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)를 출력한다. 타이밍 제어부(110)는 데이터 타이밍 제어신호(DDC)와 함께 데이터신호(DATA)를 데이터 구동부(140)에 공급한다. 타이밍 제어부(110)는 전원 제어신호(VCS)를 생성하고, 이를 전원제어부(140)에 공급한다.

[0024]

데이터 구동부(120)는 타이밍 제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터신호(DATA)를 샘플링하고 래치하며 감마 기준전압을 기준으로 변환하여 출력한다. 데이터 구동부(120)는 집적회로(IC: Integrated Circuit) 형태로 형성되어 표시 패널(150)에 실장되거나 표시 패널(150)에 연결된 외부기판에 실장될 수 있다. 데이터 구동부(120)는 표시 패널(150)의 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.

[0025]

스캔 구동부(130)는 타이밍 제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(130)는 집적회로 형태로 형성되어 표시 패널(150)에 실장되거나 표시 패널(150)에 연결된 외부기판에 실장될 수 있다. 또한, 스캔 구동부(130)는 게이트인패널(Gate In Panel) 형태로 표시 패널(150)의 비표시영역에 형성될 수 있다. 스캔 구동부(130)는 표시 패널(150)의 서브 픽셀들(SP)에 연결된 스캔 라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.

[0026]

전원제어부(140)는 타이밍 제어부(110)로부터 공급된 전원 제어신호(VCS)에 응답하여 전압을 제어한다. 전원제어부(140)는 타이밍 제어부(110)로부터 공급된 전원 제어신호(VCS)의 로직 상태에 따라 고전위전압을 저전위전압으로 전환하여 출력하거나 저전위전압을 고전위전압으로 전환하여 출력한다.

[0027]

표시 패널(150)은 스캔 구동부(130)로부터 공급된 스캔신호와 데이터 구동부(120)로부터 공급된 데이터신호(DATA)에 대응하여 영상을 표시한다. 표시 패널(150)에는 영상을 표시하기 위해 광을 제어하는 서브 픽셀들(SP)이 포함된다. 표시 패널(150)은 서브 픽셀들(SP)의 구조에 따라 상부면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 구현된다.

[0028]

도 2에 도시된 바와 같이, 서브 픽셀(SP)에는 제1트랜지스터(T1), 제2트랜지스터(T2), 커페시터(Cst) 및 유기 발광다이오드(OLED)가 포함된다. 서브 픽셀(SP)은 제1스캔 라인(SL1)과 제1데이터 라인(DL1)의 교차 영역에 형성되며 스캔신호와 데이터신호(DATA)에 대응하여 동작한다.

[0029]

제1트랜지스터(T1)는 제1스캔 라인(SL1)에 게이트전극이 연결되고 제1데이터 라인(DL1)에 제1전극이 연결되며

제2트랜지스터(T2)의 게이트전극에 제2전극이 연결된다.

[0030] 제2트랜지스터(T2)는 제1트랜지스터(T1)의 제2전극에 게이트전극이 연결되고 제1전원라인(ELVDD1)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0031] 커패시터(Cst)는 제1트랜지스터(T1)의 제2전극 및 제2트랜지스터(T2)의 게이트전극에 일단이 연결되고 제2트랜지스터(T2)의 제2전극 및 기 발광다이오드(OLED)의 애노드전극에 타단이 연결된다.

[0032] 유기 발광다이오드(OLED)는 제2트랜지스터(T2)의 제2전극 및 커패시터(Cst)의 타단에 애노드전극이 연결되고 그라운드라인(ELVSS)에 캐소드전극이 연결된다.

[0033] 앞서 설명된 서브 픽셀(SP)은 제1트랜지스터(T1)를 통해 공급된 데이터신호(DATA)에 대응하여 제2트랜지스터(T2)가 동작하게 됨에 따라 유기 발광다이오드(OLED)가 빛을 발광한다. 한편, 앞서 설명된 제1전극과 제2전극은 소오스전극과 드레인전극으로 정의되며 접속관계 등에 따라 드레인전극과 소오스전극으로 정의되기도 한다.

[0034] 도 3 및 도 4에 도시된 바와 같이, 표시 패널(150)은 하부기판(151) 및 상부기판(152)으로 이루어진다. 하부기판(151) 및 상부기판(152)은 실란트 등과 같은 접착제에 의해 합착된다. 그러나, 상부기판(152)이 필름 형태로 이루어진 경우, 이는 중착 형태로 하부기판(151) 상에 형성된다.

[0035] 하부기판(151)의 일면에는 유기 발광다이오드 등을 포함하는 서브 픽셀들이 형성된다. 유기 발광다이오드 등을 포함하는 서브 픽셀들은 산소나 수분 등의 외기에 취약하다. 따라서, 하부기판(151) 상에는 서브 픽셀들을 기밀할 수 있는 상부기판(152)이 형성된다.

[0036] 상부기판(152) 상에는 표시 패널(150)의 상부면을 보호하는 보호필름(155)이 형성된다. 보호필름(155)은 표시 패널(150)의 상부면에 가해질 수 있는 외부 자극이나 충격으로부터 표시 패널(150)의 손상을 방지하는 역할을 하는데, 이는 생략될 수도 있다.

[0037] 하부기판(151)의 일면에는 제1트랜지스터(미도시), 제2트랜지스터(T2), 커패시터(미도시) 및 유기 발광다이오드(OLED) 등이 형성된다. 제1트랜지스터(미도시), 제2트랜지스터(T2), 커패시터(미도시) 및 유기 발광다이오드(OLED) 등은 하부기판(151)의 일면에 형성된 각종 배선에 연결된다.

[0038] 제2트랜지스터(T2)는 게이트전극(161), 반도체층(163), 소오스전극(164a) 및 드레인전극(164b)을 포함한다. 게이트전극(161)은 하부기판(151)의 일면에 형성된다. 게이트전극(161) 상에는 제1절연막(162)이 형성된다. 반도체층(163)은 제1절연막(162) 상에 형성된다. 소오스전극(164a) 및 드레인전극(164b)은 반도체층(163)의 일측과 타측에 접촉하도록 형성된다. 소오스전극(164a) 및 드레인전극(164b) 상에는 제2절연막(165)이 형성된다.

[0039] 유기 발광다이오드(OLED)는 하부전극(166), 유기 발광층(168) 및 상부전극(169)을 포함한다. 하부전극(166)은 제2절연막(165) 상에 형성된다. 하부전극(166)은 제2절연막(165)을 통해 노출된 제2트랜지스터(T2)의 드레인전극(164b)에 연결되도록 형성된다. 하부전극(166)은 서브 픽셀별로 분리되어 형성된다. 하부전극(166)은 애노드전극(또는 캐소드전극)으로 선택된다. 하부전극(166) 상에는 뱅크층(167)이 형성된다. 뱅크층(167)은 서브 픽셀의 개구영역을 정의하는 층이다. 유기 발광층(168)은 하부전극(166) 상에 형성된다.

[0040] 유기 발광층(168)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL)을 포함한다. 그러나, 유기 발광층(168)의 발광층(EML)을 제외한 다른 기능층들(HIL, HTL, ETL, EIL)은 적어도 하나가 생략되거나 기타 다른 기능층이 더 포함될 수 있다. 상부전극(169)은 유기 발광층(168) 상에 형성된다. 상부전극(169)은 캐소드전극(또는 애노드전극)으로 선택된다.

[0041] 도 3에 도시된 바와 같이, 상부기판(152)은 다층 필름 형태 또는 도시되어 있진 않지만 단일 필름 형태로 형성될 수 있다. 상부기판(152)이 다층 필름 형태로 형성된 경우, 이는 유기막과 무기막으로 형성될 수 있고, 상부기판(152)이 단층 필름 형태로 형성된 경우, 이는 유기막이나 무기막으로 형성될 수 있다.

[0042] 도 4에 도시된 바와 같이, 상부기판(152)은 N(N은 3 이상 정수)층 필름 형태로 형성될 수 있다. 이 경우, 상부기판(152)은 유기층(152a), 무기층(152b), 유기층(152c) 및 무기층(152d)으로 구성된 유무기 복합층 등으로 형성될 수 있다. 도시되어 있진 않지만 유무기 복합층의 내부에는 수분이나 산소를 흡수하는 흡습층 등이 더 포함될 수 있다.

[0043] 도 5에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 유기 발광다이오드의 발광시간을 조절하는 디지털 구동 방식으로 구현된다. 디지털 구동 방식은 한 프레임(1 Frame)을 다수의 서브프레임(SF1 ~ SF6)으로 나누어 발광시간의 비율로 계조를 결정하게 된다.

- [0044] 각 서브프레임은 각각 하나의 비트(bit)를 나타내며, 각 서브프레임의 발광시간은 대략 2배씩 증가하거나 감소하게 된다. 제1서브프레임(SF1)은 6개의 서브프레임 중에서 발광시간이 가장 긴 것을 의미하고, 제6서브프레임(SF6)은 6개의 서브프레임 중에서 발광시간이 가장 짧은 것을 의미한다.
- [0045] 디지털 구동 방식은 하나의 서브프레임의 어드레싱이 종료되어야만 다음 서브프레임의 어드레싱이 이루어진다. 이 때문에, 하나의 서브프레임의 어드레싱 시간이 해당 서브프레임의 발광시간보다 길 경우, 다음 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 데이터신호의 삭제(또는 이레이즈) 구간이 필요하다.
- [0046] 도 6에 도시된 바와 같이, 종래에 제안된 서브 픽셀은 이레이징 트랜지스터(Erasing TFT)와 이를 구동하기 위한 신호라인(SL1B)을 더 포함한다. 종래에 제안된 서브 픽셀을 이용하여 디지털 구동을 하면, 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 삭제(또는 이레이즈) 구간을 마련해야 하므로 삭제 동작을 위한 트랜지스터와 이를 구동하기 위한 신호라인에 의해 개구율이 감소한다.
- [0047] 반면, 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀은 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 삭제 동작을 수행하는 트랜지스터(Erasing TFT)와 이를 구동하기 위한 신호라인(SL1B)을 미포함한다.
- [0048] 구체적으로 설명하면, 본 발명의 일 실시예에 따른 서브 픽셀은 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위한 삭제 동작을 이레이징 트랜지스터(Erasing TFT)로 수행하지 않는다. 대신, 삭제 동작과 동일한 동작을 수행할 수 있는 전원제어부(140)를 이용한다. 즉, 본 발명의 일 실시예는 서브 픽셀의 개구율을 향상하기 위해 종래에 제안된 서브 픽셀에 포함된 이레이징 트랜지스터(Erasing TFT)와 신호라인(SL1B)을 제거하는 대신 표시 패널이나 표시 패널의 외부에 형성된 전원제어부(140)를 이용한다.
- [0049] 도 7은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 일부를 나타낸 도면이고, 도 8은 전원라인을 통해 출력되는 전압의 형태를 나타낸 도면이며, 도 9는 전원제어부로부터 출력된 전압을 이용한 서브프레임의 삭제 동작을 설명하기 위한 구동 타이밍도이며, 도 10 및 도 11은 전원제어부의 배치 예시도들이다.
- [0050] 도 7 및 도 8에 도시된 바와 같이, 표시 패널(150)에는 스캔 라인별로 분리되어 형성된 다수의 전원배선들(ELVDD1 ~ ELVDD3)이 포함된다. 다수의 전원배선들(ELVDD1 ~ ELVDD3)은 하나의 스캔 라인에 대응하여 위치한다.
- [0051] 전원제어부(140)에는 다수의 스위치들(SW11 ~ SW32)이 포함된다. 다수의 스위치들(SW11 ~ SW32)은 타이밍 제어부로부터 공급된 전원 제어신호(VCS)에 대응하여 턴 온/오프된다. 다수의 스위치들(SW11 ~ SW32)은 전원 제어신호(VCS)를 전달하는 전원 제어신호라인에 직접적으로 연결되거나 간접적으로 연결된다.
- [0052] 다수의 스위치들(SW11 ~ SW32)은 하나의 스캔 라인에 한 쌍씩 배치된다. 예컨대, 제1스캔 라인(SL1)에는 제11 및 제12스위치(SW11, SW12)가 배치되고, 이는 전원 제어신호(VCS)에 대응하여 제1전원라인(ELVDD1)을 통해 공급되는 전원을 제어한다. 제2스캔 라인(SL2)에는 제21 및 제22스위치(SW21, SW22)가 배치되고, 이는 전원 제어신호(VCS)에 대응하여 제2전원라인(ELVDD2)을 통해 공급되는 전원을 제어한다. 제3스캔 라인(SL3)에는 제31 및 제32스위치(SW31, SW32)가 배치되고, 이는 전원 제어신호(VCS)에 대응하여 제3전원라인(ELVDD3)을 통해 공급되는 전원을 제어한다.
- [0053] 제1스위치 그룹(SW11, SW21, SW31)은 고전위전압(E1vdd)의 출력을 관장하고, 제2스위치 그룹(SW12, SW22, SW32)은 저전위전압(E1vss)의 출력을 관장한다. 제1스위치 그룹(SW11, SW21, SW31)은 전원라인(ELVDD)에 제1전극이 공통으로 연결되고, 제1 내지 제3전원라인(ELVDD1 ~ ELVDD3)에 제2전극이 구분되어 연결된다. 제2스위치 그룹(SW12, SW22, SW32)은 그라운드라인(ELVSS)에 제1전극이 공통으로 연결되고, 제1 내지 제3전원라인(ELVDD1 ~ ELVDD3)에 제2전극이 구분되어 연결된다.
- [0054] 다수의 스위치들(SW11 ~ SW32)은 전원 제어신호(VCS)에 대응하여 전원라인(ELVDD)을 통해 공급되는 고전위전압(E1vdd)과 그라운드라인(ELVSS)을 통해 공급되는 저전위전압(E1vss) 중 하나를 선택적으로 출력한다.
- [0055] 다수의 스위치들(SW11 ~ SW32)이 위와 같이 구성됨에 따라, 전원제어부(140)는 타이밍 제어부로부터 공급된 전원 제어신호(VCS)의 로직 상태(또는 신호들의 구성)에 따라 고전위전압(E1vdd)을 저전위전압(E1vss)으로 전환하여 출력하거나 저전위전압(E1vss)을 고전위전압(E1vdd)으로 전환하여 출력한다.
- [0056] 도 9에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 유기 발광다이오드의 발광시간을 조절하는 디지털 구동 방식으로 구현된다. 디지털 구동 방식은 한 프레임(1 Frame)을 다수의 서브프레임(SF1 ~ SF6)으로 나누어 발광시간의 비율로 계조를 결정하게 된다.

- [0057] 디지털 구동 방식은 하나의 서브프레임의 어드레싱이 종료되어야만 다음 서브프레임의 어드레싱이 이루어진다. 이 때문에, 하나의 서브프레임의 어드레싱 시간이 해당 서브프레임의 발광시간보다 길 경우(예: SF4 ~ SF6), 다음 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위해 데이터신호의 삭제(또는 이레이즈) 구간이 필요하다.
- [0058] 도 8 및 도 9를 함께 참조하면, 전원제어부(140)는 서브프레임의 어드레싱이 시작되기 전까지 시간을 보유하기 위한 삭제 동작을 수행하기 위해 고전위전압(Elvdd)을 저전위전압(Elvss)으로 전환하여 출력한다. 즉, 고전위전압(Elvdd)은 발광 구간 및 어드레싱 구간에 대응하여 출력되고 저전위전압(Elvss)을 삭제 구간에 대응하여 출력된다.
- [0059] 그러므로, 다수의 스위치들(SW11 ~ SW32) 중 고전위전압(Elvdd)의 출력을 관장하는 제1스위치 그룹(SW11, SW21, SW31)의 턴 온 구간은 서브프레임의 발광 구간 및 어드레싱 구간과 동기 된다. 그리고 다수의 스위치들(SW11 ~ SW32) 중 저전위전압(Elvss)의 출력을 관장하는 제2스위치 그룹(SW12, SW22, SW32)의 턴 온 구간은 서브프레임의 데이터신호의 삭제 구간과 동기 된다.
- [0060] 전원제어부(140)로부터 출력되는 저전위전압(Elvss)은 데이터신호의 삭제 동작을 수행하기 위해 출력된다. 따라서, 저전위전압(Elvss)은 각 전원라인에 대해 순차적으로 1 수평 시간(1H)의 어드레싱 구간만큼 지연되어 공급된다.
- [0061] 한편, 본 발명의 일 실시예에서는 하나의 프레임이 제1서브프레임(SF1)부터 제6서브프레임(SF6)으로 갈수록 발광시간이 짧아지도록 구성된 것을 일례로 설명하였다. 그러나, 하나의 프레임에 포함된 제1서브프레임(SF1) 내지 제6서브프레임(SF6)은 이에 한정되지 않고 다양하게 구성될 수 있다. 예컨대, 제1서브프레임(SF1)은 6개의 서브프레임 중에서 왼쪽에 위치하는 MSB(Most Significant Bit) 영역이 아닌 중앙 영역에 위치하거나 오른쪽에 위치하는 LSB(Least Significant Bit) 영역에 위치할 수 있다. 기타, 제2 내지 제3서브프레임(SF2 ~ SF6)도 발광시간을 달리하기 위해 다른 영역에 배치될 수 있다.
- [0062] 도 10에 도시된 바와 같이, 전원제어부(140)는 집적회로 형태로 형성되어 표시 패널(150)의 비표시영역(NA)에 실장되거나 표시 패널(150)에 연결된 외부기판에 실장될 수 있다. 전원제어부(140)를 집적회로 형태로 형성하면 표시 패널(150)의 비표시영역(NA)이나 표시 패널(150)에 연결된 외부기판에 실장할 수 있게 되므로 베젤영역을 줄일 수 있는 이점이 있다.
- [0063] 전원 제어신호(VCS)를 전달하는 전원 제어신호라인은 데이터 구동부(120)를 경유하여 전원제어부(140)로 공급되도록 배선된다. 이 경우, 전원 제어신호라인은 전원제어부(140)의 입력핀과 데이터 구동부(120)의 출력핀이 연결되도록 구성되고, 데이터 구동부(120)의 입력핀은 타이밍 제어부(110)의 출력핀과 연결되도록 구성된다. 즉, 타이밍 제어부(110)로부터 출력된 전원 제어신호(VCS)는 데이터 구동부(120)를 경유하여 전원제어부(140)로 공급될 수 있다. 타이밍 제어부(110)와 데이터 구동부(120)는 LVDS(또는 mini-LVDS)나 TDMS 등과 같은 인터페이스를 통해 상호 연결되어 있으므로, 위와 같이 구성하면 타이밍 제어부(110)와 전원제어부(140) 간에 연결을 위한 신호라인을 생략할 수 있는 이점이 있다.
- [0064] 도 11에 도시된 바와 같이, 전원제어부(140)는 게이트인패널(Gate In Panel) 형태로 표시 패널(150)의 비표시영역에 형성되거나 스캔 구동부(130A)와 통합될 수 있다. 전원제어부(140)는 트랜지스터로 구성되므로 이를 게이트인패널(Gate In Panel) 형태로 형성하면 공정을 단순화하고 더불어 비용을 절감할 수 있다. 한편, 도면에서는 전원제어부(140)가 좌측 스캔 구동부(130A)에 포함된 것을 일례로 하였으나 이는 우측 스캔 구동부(130B)에 포함될 수 있다. 그러나, 스캔 구동부가 좌측 또는 우측 중 하나의 측면에만 위치할 경우, 전원제어부(140)는 스캔 구동부 내에 포함되지 않고 단독으로 위치할 수도 있다.
- [0065] 전원제어부(140)는 타이밍 제어부(110)와 전원제어부(140) 간에 연결을 위한 신호라인을 생략하기 위해 데이터 구동부(120)의 출력핀과 연결되도록 구성될 수 있다.
- [0066] 한편, 위의 설명에서는 전원제어부(140)가 스캔 라인에 대응되는 수평 라인별로 분리된 전원라인에 연결되어 고전위전압을 저전위전압으로 전환하는 동작을 통해 데이터신호의 삭제 동작을 수행하는 것을 일례로 하였다. 그러나, 전원제어부(140)는 스캔 라인에 대응되는 수평 라인별로 분리된 그라운드라인에 연결되어 저전위전압을 고전위전압으로 전환하는 동작을 통해 데이터신호의 삭제 동작을 수행할 수도 있다.
- [0067] 본 발명의 일 실시예와 같이 이레이징 트랜지스터와 이를 구동하기 위한 신호라인을 제거하면 삭제 구간 동안 이레이징 트랜지스터로 전류가 흐르지 않기 때문에 정적 파워(static power)가 감소하게 된다.

[0068] 이상 본 발명은 디지털 구동 방식에서 사용되는 이레이징 트랜지스터와 이를 구동하기 위한 신호라인을 제거하여 서브 펫셀의 개구율을 높일 수 있으므로 표시품질을 향상할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

[0069] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0070] 110: 타이밍 제어부 120: 데이터 구동부

130: 스캔 구동부 140: 전원제어부

150: 표시 패널 ELVDD1 ~ ELVDD3: 다수의 전원배선들

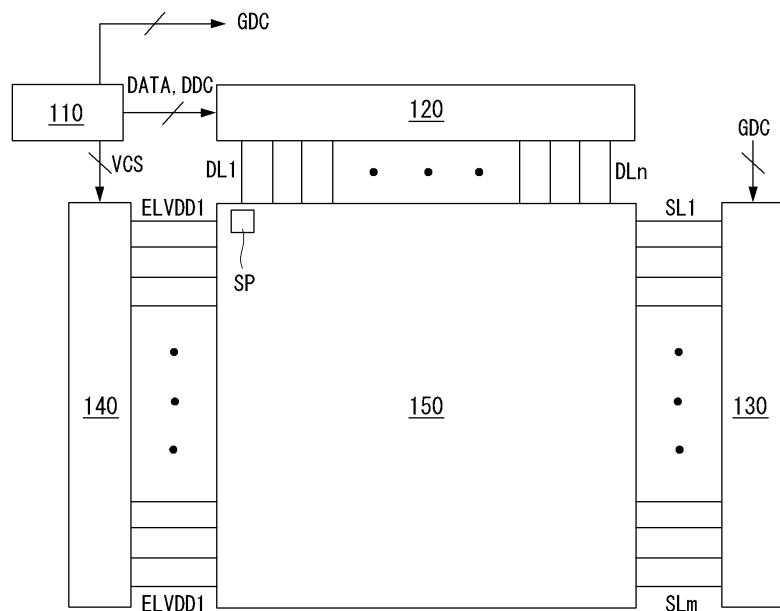
VCS: 전원 제어신호 SW11 ~ SW32: 다수의 스위치들

SW11, SW21, SW31: 제1스위치 그룹

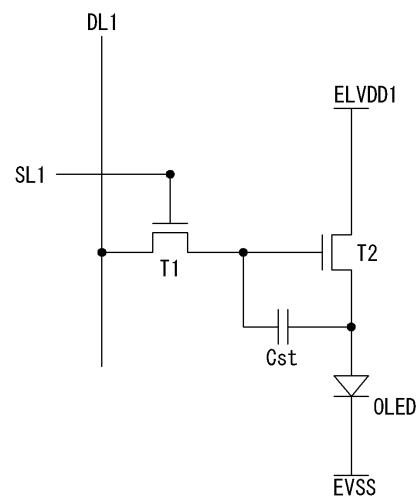
SW12, SW22, SW32: 제2스위치 그룹

도면

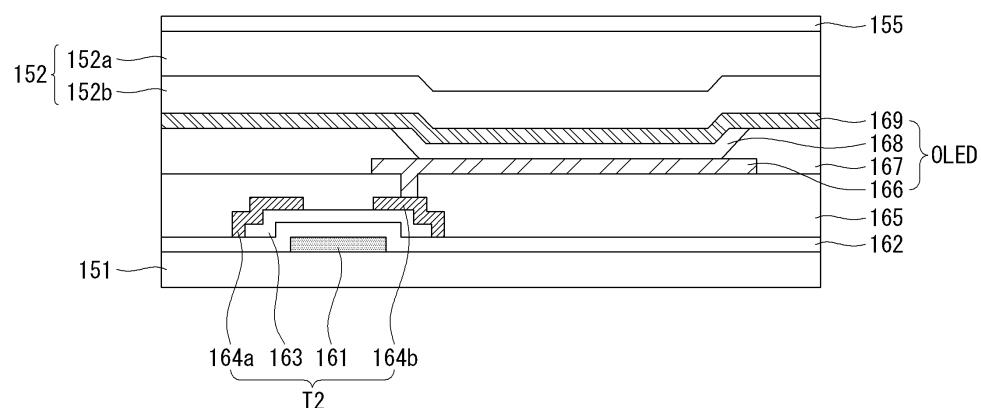
도면1



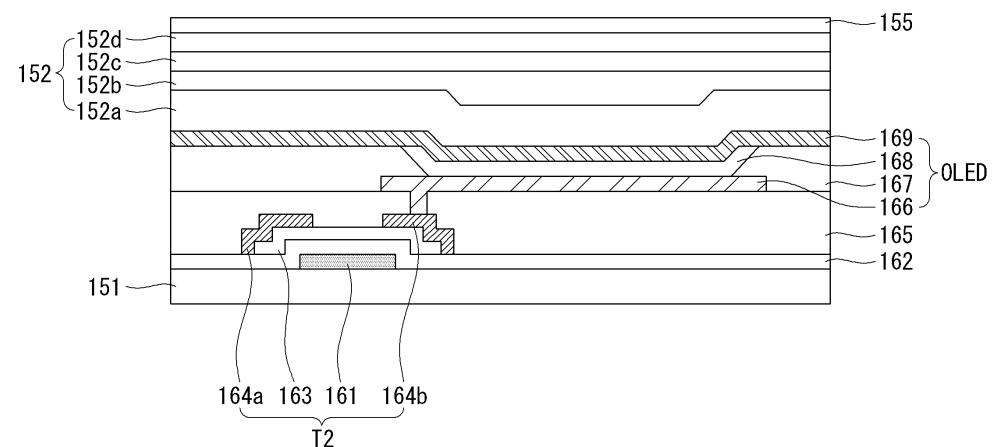
도면2



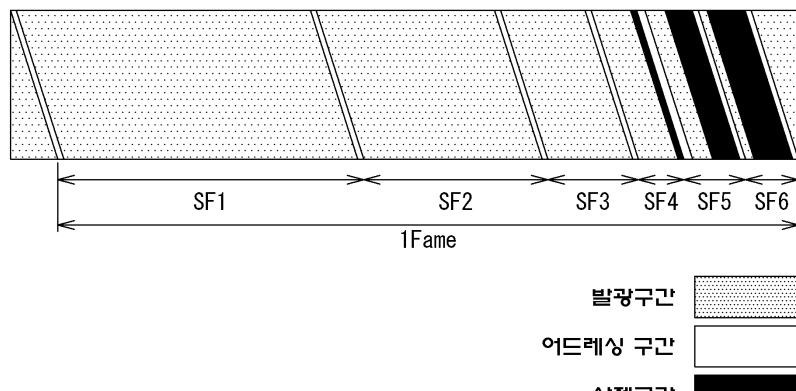
도면3



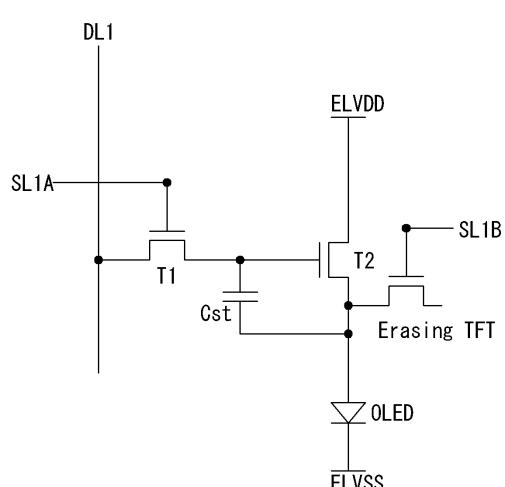
도면4



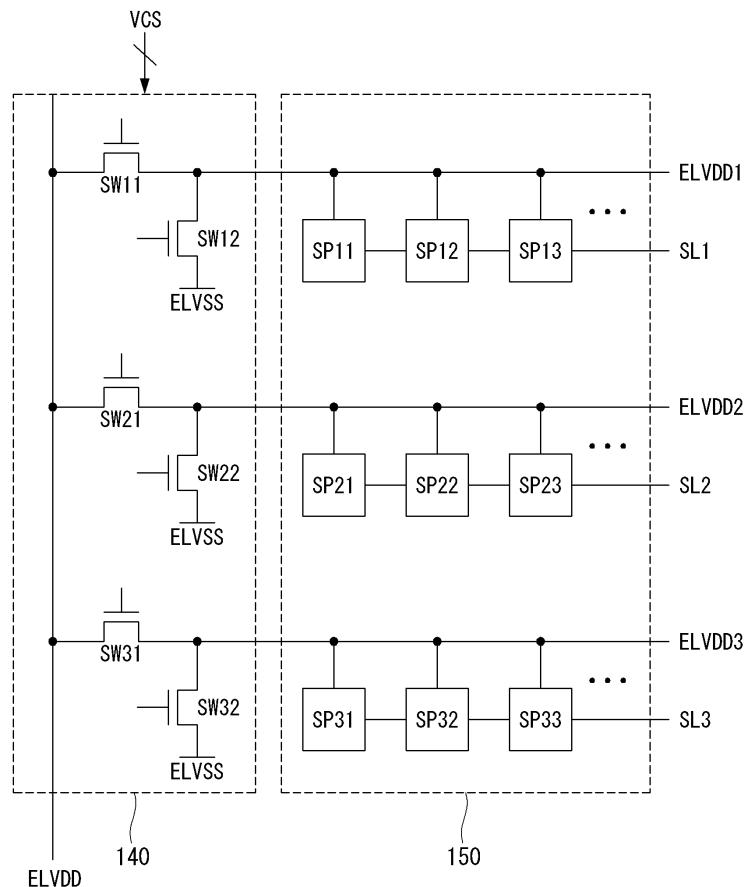
도면5



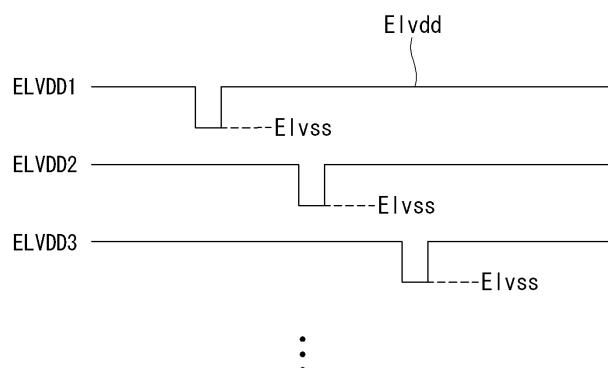
도면6



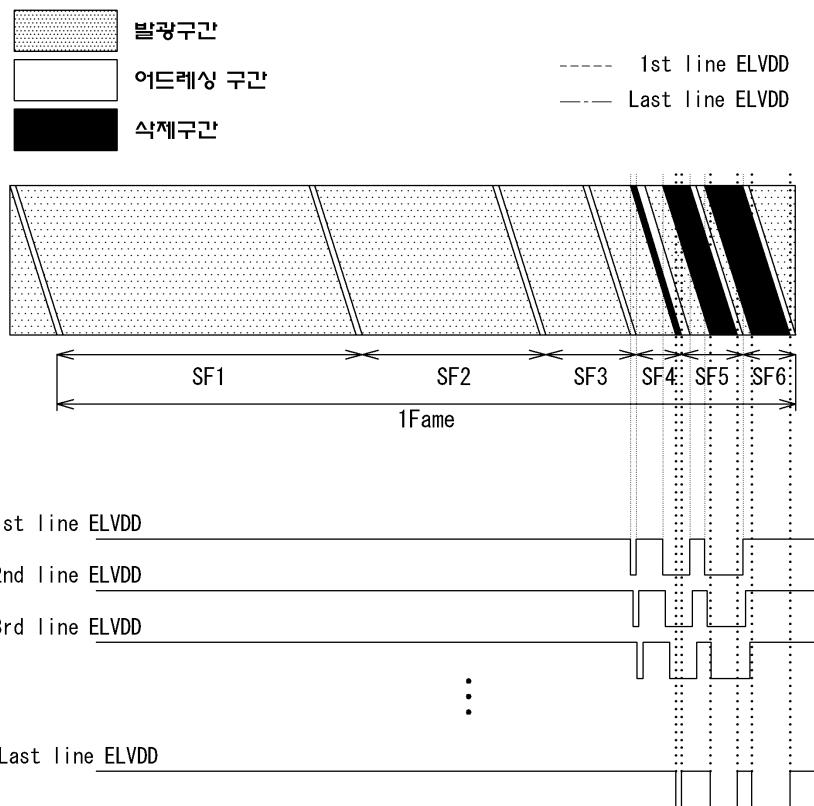
도면7



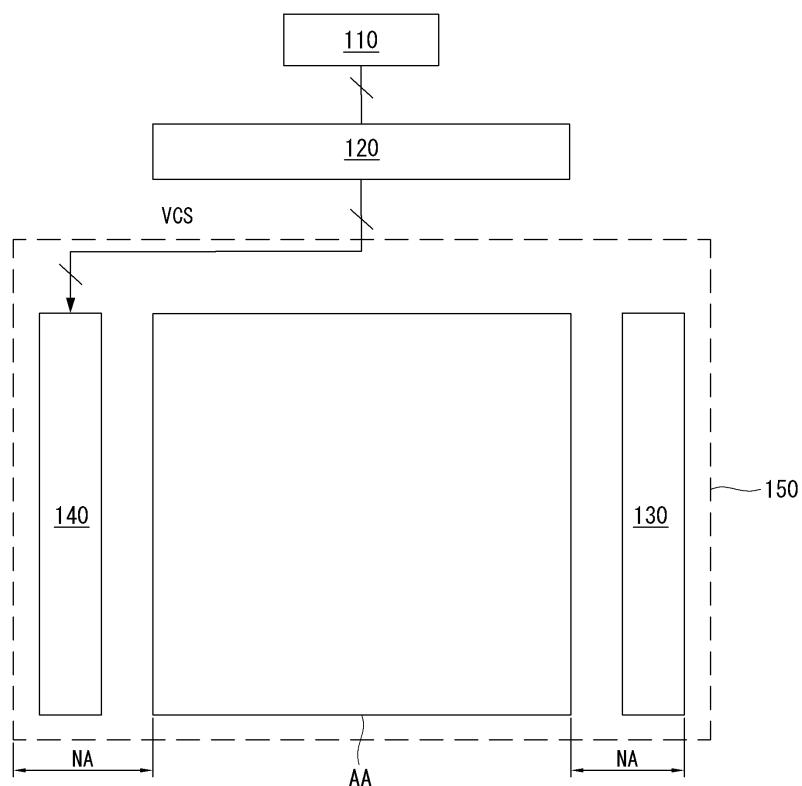
도면8



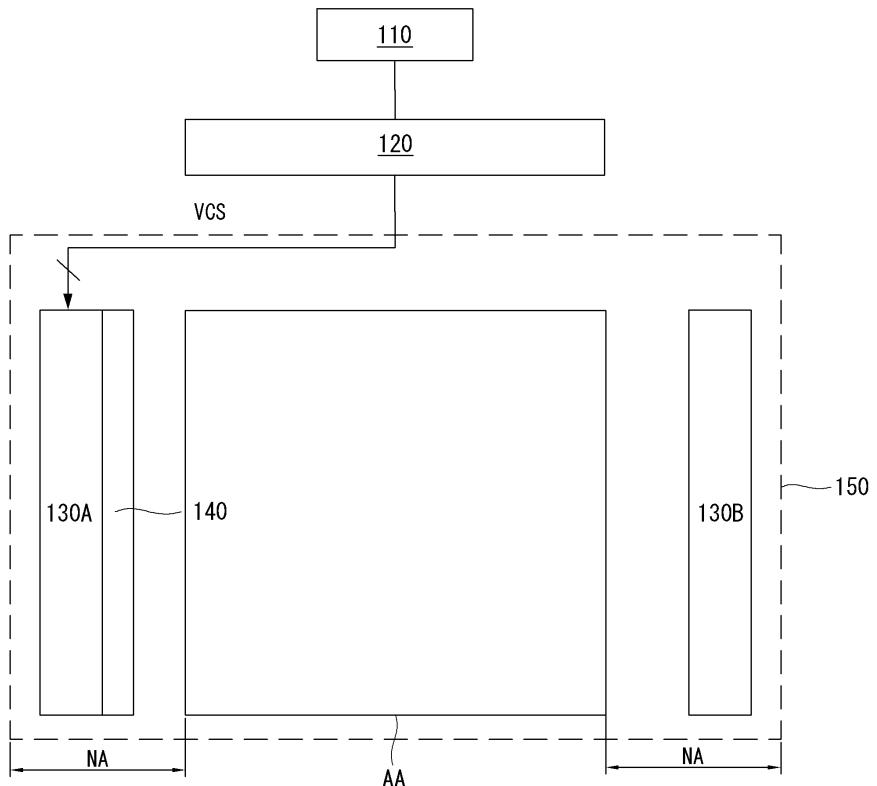
도면9



도면10



도면11



专利名称(译)	有机发光显示装置		
公开(公告)号	KR102063990B1	公开(公告)日	2020-01-08
申请号	KR1020130150029	申请日	2013-12-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	권용철 박동원		
发明人	권용철 박동원		
IPC分类号	G09G3/32 H05B33/08		
CPC分类号	G09G3/3233 G09G2300/0465 H01L27/3244		
审查员(译)	李升 - 最小		
其他公开文献	KR1020150065014A		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置，该有机发光显示装置包括：显示面板；将数据信号提供给显示面板的数据驱动单元；将扫描信号提供给显示面板的扫描驱动单元；控制该时序的控制单元。数据驱动单元和扫描驱动单元，并输出功率控制信号；以及功率控制单元，其通过与功率控制信号相对应，将高电平电压转换为低电平电压，并输出转换后的电压以删除所提供的数据信号到显示面板。

