



공개특허 10-2020-0082566

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2020-0082566
(43) 공개일자 2020년07월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3225 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2018-0173270
(22) 출원일자 2018년12월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김태룡
경기도 파주시 월롱면 엘지로 245
민태현
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤싱크

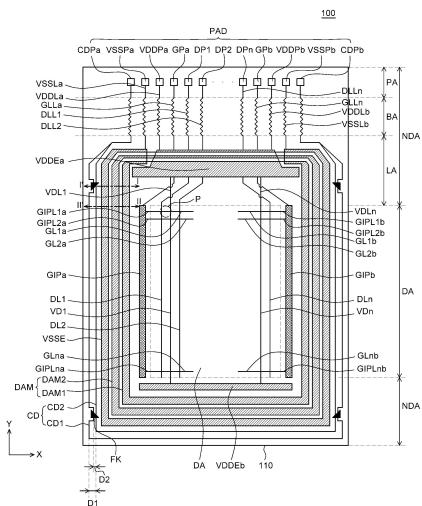
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 전계 발광 표시 장치

(57) 요 약

본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 비표시 영역에서 기판 상에 있는 크랙 감지부, 크랙 감지부를 덮도록 배치되는 충간 절연층, 충간 절연층 상에 있으며 크랙 감지부와 표시 영역 사이에 배치되는 전원 공급 전극, 전원 공급 전극을 덮도록 배치되는 보호 층, 보호층 상에 있으며 크랙 감지부와 중첩하도록 배치되는 평탄화층, 및 평탄화층 상에 있으며 크랙 감지부와 중첩하는 정렬 기준부를 포함할 수 있다.

대 표 도 - 도1



명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판;
 상기 비표시 영역에서, 상기 기판 상에 있는 크랙 감지부;
 상기 크랙 감지부를 덮도록 배치되는 충간 절연층;
 상기 충간 절연층 상에 있으며, 상기 크랙 감지부와 상기 표시 영역 사이에 배치되는 전원 공급 전극;
 상기 전원 공급 전극을 덮도록 배치되는 보호층;
 상기 보호층 상에 있으며, 상기 크랙 감지부와 중첩하도록 배치되는 평탄화층; 및
 상기 평탄화층 상에 있으며, 상기 크랙 감지부와 중첩하는 정렬 기준부를 포함하는, 전계 발광 표시 장치.

청구항 2

제1항에 있어서,
 상기 표시 영역에 배치되며, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 및
 상기 박막 트랜지스터 상에 배치되며, 상기 박막 트랜지스터와 연결되는 제1 전극, 발광 구조물, 및 상기 전원
 공급 전극과 연결되는 제2 전극을 포함하는 발광 소자를 더 포함하고,
 상기 발광 소자의 상기 제1 전극은 상기 평탄화층 상에 배치되는, 전계 발광 표시 장치.

청구항 3

제2항에 있어서,
 상기 정렬 기준부는 상기 제1 전극과 동일한 물질로 이루어지는, 전계 발광 표시 장치.

청구항 4

제1항에 있어서,
 상기 크랙 감지부는 제1 크랙 감지부 및 상기 제1 크랙 감지부와 상기 전원 공급 전극 사이에 배치되는 제2 크
 랙 감지부를 포함하는, 전계 발광 표시 장치.

청구항 5

제4항에 있어서,
 상기 제1 크랙 감지부와 상기 제2 크랙 감지부는 제1 거리만큼 서로 이격되어 배치된, 전계 발광 표시 장치.

청구항 6

제5항에 있어서,
 상기 정렬 기준부와 중첩하는 영역의 상기 제1 크랙 감지부와 상기 제2 크랙 감지부는 상기 제1 거리 보다 작은
 제2 거리만큼 이격되어 배치된, 전계 발광 표시 장치.

청구항 7

제3항에 있어서,
 상기 정렬 기준부의 일측을 덮도록 배치된 제1 크랙 방지부 및 상기 정렬 기준부의 타측을 덮도록 배치된 제2
 크랙 방지부를 더 포함하는, 전계 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 정렬 기준부와 상기 표시 영역 사이에 배치되며, 상기 전원 공급 전극과 중첩하는 땜을 더 포함하는, 전계 발광 표시 장치.

청구항 9

표시 영역 및 상기 표시 영역에 인접하여 있는 비표시 영역을 포함하는 기판;

상기 비표시 영역에서, 상기 기판 상에 있는 제1 크랙 감지부 및 상기 제1 크랙 감지부와 이격하여 배치된 제2 크랙 감지부;

상기 제1 크랙 감지부와 일체형으로 이루어지며, 상기 제1 크랙 감지부와 동일한 물질로 이루어진 정렬 기준부;

상기 제2 크랙 감지부와 상기 표시 영역 사이에 배치되며, 발광 소자에 전원을 공급하는 전원 공급 전극; 및

상기 제2 크랙 감지부와 상기 표시 영역 사이에 배치되며, 상기 전원 공급 전극과 중첩하도록 배치된 땜을 포함하는, 전계 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제2 크랙 감지부는 상기 전원 공급 전극과 상기 제1 크랙 감지부 사이에 배치된, 전계 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 땜은 상기 제2 크랙 감지부와 상기 표시 영역 사이에 배치된 제1 땜 및 상기 제1 땜과 상기 제2 크랙 감지부 사이에 배치되는 제2 땜을 포함하는, 전계 발광 표시 장치.

청구항 12

제11항에 있어서

상기 제2 크랙 감지부는 상기 제2 땜과 상기 제1 크랙 감지부 사이에 배치되는, 전계 발광 표시 장치.

청구항 13

제9항에 있어서,

상기 표시 영역에 배치되며, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함하고,

상기 발광소자는 상기 박막 트랜지스터와 연결되는 제1 전극, 상기 제1 전극 상의 발광 구조물, 및 상기 전원 공급 전극과 연결되는 제2 전극을 포함하는, 전계 발광 표시 장치.

청구항 14

제13항에 있어서,

상기 제1 크랙 감지부, 상기 제2 크랙 감지부, 및 상기 정렬 기준부는 상기 게이트 전극과 동일한 물질로 이루어지며, 동일한 절연층 상에 배치된, 전계 발광 표시 장치.

청구항 15

제13항에 있어서,

상기 정렬 기준부는 상기 제2 크랙 감지부와 일체형으로 이루어진, 전계 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 정렬 기준부는 상기 제1 크랙 감지부 및 상기 제2 크랙 감지부와 전기적으로 연결된, 전계 발광 표시 장치.

발명의 설명

기술 분야

[0001]

본 명세서는 전계 발광 표시 장치에 관한 것이다.

배경 기술

[0002]

본격적인 정보화 시대로 접어들에 따라, 전기적 정보 신호를 시각적으로 표시하는 표시 장치 분야가 급속도로 발전하고 있다. 이에, 여러 가지 다양한 표시 장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다. 이 같은 표시 장치의 대표적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 전계 발광 표시 장치(Electroluminescence Display device), 마이크로-엘리드 표시 장치(Micro-LED Display Device) 등을 들 수 있다.

[0003]

전계 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조 가능하다. 또한, 전계 발광 표시 장치는 저전압 구동에 따라 소비 전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 명암 대비비(contrast ratio)도 우수하여, 차세대 디스플레이로서 연구되고 있다.

[0004]

전계 발광 표시 장치는 발광 소자를 가지는 서브-화소를 매트릭스 형태로 배열하고 그 서브-화소들을 데이터전 압과 스캔전압으로 선택적으로 제어함으로써 화상을 표시한다.

[0005]

이때, 전계 발광 표시 장치는 수동 매트릭스(passive matrix) 방식 또는 스위칭소자로써 박막 트랜지스터(Thin Film Transistor; TFT)를 이용하는 능동 매트릭스(active matrix) 방식으로 나뉘어진다. 이 중 능동 매트릭스 방식은 능동소자인 TFT를 선택적으로 턠-온(turn on)시켜 서브-화소를 선택하고 스토리지 커패시터에 유지되는 전압으로 서브-화소의 발광을 유지한다. 일반적인 전계 발광 표시 장치는 외부광의 반사에 의해 시인성이 저하되는 것을 방지하기 위해 표시패널 상부 표면에 편광판을 적용한다. 이러한 편광판이 표시패널과 정확한 위치에서 부착되지 않을 경우, 측면 시야각에서 색감이 이상해지는 현상이 발생하게 된다. 또한, 기판을 지지하기 위하여 기판의 배면에 백플레이트를 배치하는 경우, 백플레이트와 기판의 미스 얼라인의 문제로 공정 수율이 낮아지는 문제점이 발생하였다.

발명의 내용

해결하려는 과제

[0006]

본 명세서의 발명자들은, 전계 발광 표시 장치의 표시품질 개선을 위한 편광판 부착 또는 기판의 배면에 백플레이트를 정확하기 원하는 위치에 배치하기 위한 연구를 하였고, 전계 발광 표시 장치의 비표시영역에 정렬 기준부를 형성하는 경우, 편광판 또는 백플레이트가 표시패널에 정확히 정렬될 수 있다는 것을 인식하였다.

[0007]

이에, 본 명세서가 해결하고자 하는 과제는, 정렬 기준부를 채용한 전계 발광 표시 장치를 제공하고자 한다.

[0008]

그리고, 본 명세서의 발명자들은, 전계 발광 표시 장치에서 기판과 백플레이트, 또는 표시패널과 편광판이 정확히 정렬될 수 있도록, 기판상에 정렬 기준부를 형성하기 위한 연구를 하였다. 그러나, 정렬 기준부를 특정 영역에 형성하는 경우, 정렬 기준부가 형성된 영역과 정렬 기준부가 형성되지 않는 영역에서의 단차가 발생하여 정렬 기준부 형성 이후의 공정 진행 시 악영향을 주어 표시 장치의 신뢰성이 저하가 발생되는 문제점을 인식하였다.

[0009]

이에 본 명세서가 해결하고자 하는 과제는, 정렬 기준부가 형성된 영역과 정렬 기준부가 형성되지 않은 영역의 단차가 발생하지 않는 전계 발광 표시 장치를 제공하고자 한다.

[0010]

본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0011] 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 비표시 영역에서 기판 상에 있는 크랙 감지부, 크랙 감지부를 덮도록 배치되는 충간 절연층, 충간 절연층 상에 있으며 크랙 감지부와 표시 영역 사이에 배치되는 전원 공급 전극, 전원 공급 전극을 덮도록 배치되는 보호층, 보호층 상에 있으며 크랙 감지부와 중첩하도록 배치되는 평탄화층, 및 평탄화층 상에 있으며 크랙 감지부와 중첩하는 정렬 기준부를 포함할 수 있다.
- [0012] 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역 및 표시 영역에 인접하여 있는 비표시 영역을 포함하는 기판, 비표시 영역에서 기판 상에 있는 제1 크랙 감지부 및 제1 크랙 감지부와 이격하여 배치된 제2 크랙 감지부, 제1 크랙 감지부와 일체형으로 이루어지며 제1 크랙 감지부와 동일한 물질로 이루어진 정렬 기준부, 제2 크랙 감지부와 표시 영역 사이에 배치되며 발광 소자에 전원을 공급하는 전원 공급 전극, 및 제2 크랙 감지부와 표시 영역 사이에 배치되며 전원 공급 전극과 중첩하도록 배치된 램을 포함할 수 있다.
- [0013] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0014] 본 명세서는, 비표시 영역에서 크랙 감지부와 중첩하는 정렬 기준부를 배치하여, 기판의 배면을 지지하기 위한 백플레이트가 기판의 배면에 정확하게 배치될 수 있도록 하였다. 그리고, 비표시 영역에 배치된 정렬 기준부는 기판의 봉지부 상에 배치되는 편광판이 미스 얼라인이 없이 부착될 수 있도록 가이드 역할을 할 수 있다.
- [0015] 또한, 본 명세서는, 정렬 기준부를 제1 크랙 감지부 또는 제2 크랙 감지부와 일체형으로 이루어 지도록 정렬 기준부를 구성하여, 제1 크랙 감지부 및 제2 크랙 감지부와 대응하는 영역에 배치되는 평탄화층 상부면 상에 정렬 기준부를 구성하기 위한 별도의 층이 배치되지 않을 수 있다. 정렬 기준부가 배치된 영역과 정렬 기준부가 배치되지 않은 영역에서, 제1 크랙 감지부 및 제2 크랙 감지부와 대응하는 영역에 배치되는 평탄화층 상에 배치되는 적층 구조물은 동일할 수 있다. 따라서, 정렬 기준부가 배치된 영역과 정렬 기준부가 배치되지 않은 영역에서의, 단차가 발생하지 않는 표시 장치를 제공할 수 있다.
- [0016] 또한, 본 명세서는, 정렬 기준부를 제1 크랙 감지부 및 제2 크랙 감지부와 일체형으로 구성하여 제1 크랙 감지부와 제2 크랙 감지부를 전기적으로 연결함으로써, 제1 크랙 감지부와 제2 크랙 감지부는 복수의 별별 연결 구조로 이루어 질 수 있다. 그리고, 외력에 의하여 제1 크랙 감지부 및 제2 크랙 감지부에 크랙이 발생되는 경우, 정렬 기준부에 의해 복수의 별별 구조로 연결된 제1 크랙 감지부와 제2 크랙 감지부의 저항값의 변화를 측정하여 크랙의 발생 위치 및 발생 개수를 파악할 수 있다.
- [0017] 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0018] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시 장치의 평면도이다.
도 2는 화소의 단면구조를 나타내는 도면이다.
도 3a는 도 1의 I-I'에 대한 단면도이다.
도 3b는 도 1의 II-II'에 대한 단면도이다.
도 4는 본 명세서의 다른 실시예에 따른 전계 발광 표시 장치의 평면도이다.
도 5a는 도 4의 I-I'에 대한 단면도이다.
도 5b는 도 4의 II-II'에 대한 단면도이다.
도 6은 본 명세서의 다른 실시예에 따른 전계 발광 표시 장치의 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실

시예들을 참조하면 명확해질 것이다. 그러나 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.

[0020] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 명세서에 도시된 사항에 한정되는 것은 아니다. 또한, 본 명세서를 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0024] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0025] 본 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0026] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 명세서에 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0027] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0028] 이하, 첨부된 도면을 참조하여 본 명세서의 다양한 실시예들을 상세히 설명한다.

[0029] 도 1은 본 명세서의 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다. 도 1을 참조하면, 표시 장치(100)는 정보를 표시하는 표시 영역(DA)과, 정보가 표시되지 않는 비표시 영역(NDA)을 포함할 수 있다.

[0030] 표시 영역(DA)은 입력 영상이 표시되는 영역으로 복수의 화소들(P)이 매트릭스 타입으로 배치되는 영역일 수 있다. 그리고, 비표시 영역(NDA)은 패드부가 배치된 패드 영역(PA), 기판(310)이 구부러지는 벤딩 영역(BA), 및 링크 영역(LA)을 포함할 수 있다.

[0031] 링크 영역(LA)은 표시 영역(DA) 및 벤딩 영역(BA) 사이에 배치될 수 있다. 그리고, 링크 영역(LA)은 표시 영역(DA)에 배치된 배선들로 신호를 전달하기 위한 링크 라인들이 배치되는 영역으로, 다양한 링크 라인들이 배치될 수 있다. 예를 들어, 게이트 링크 라인(GLLa~GLLn, 이하 GLL이라고 함), 데이터 링크 라인(DLL1~DLLn, 이하 DLL이라고 함), 제1 전원 링크라인(VDDL_a, VDDL_b, 이하 VDDL이라고 함), 제1 전원 공급라인(VDL1~VDL_n, 이하 VDL이라 함), 및 제2 전원 링크라인(VSSL_a, VSSL_b, 이하 VSSL이라고 함) 등이 링크 영역(LA)에 배치될 수 있다. 그리고, 링크 라인들은 벤딩 영역(BA) 및 패드 영역(PA)까지 배치될 수 있으며, 패드 영역(PA)의 패드(PAD)와 각각 연결될 수 있다.

[0032] 벤딩 영역(BA)은 기판(110)이 벤딩되는 영역일 수 있다. 벤딩 영역(BA)은 링크 영역(LA)과 패드 영역(PA) 사이에 배치될 수 있다. 기판(110)은 벤딩 영역(BA)을 제외한 영역에서 벤딩되지 않고 평탄한 상태로 유지될 수 있으며, 벤딩 영역(BA)의 기판(110)이 벤딩되도록 구성될 수 있다. 이에 따라, 기판(110)의 벤딩 영역(BA)을 제외한 두 개의 벤딩되지 않는 영역의 기판(110)은 서로 마주보도록 표시 장치(100)가 벤딩될 수 있다.

[0033] 패드 영역(PA)은 영상이 표시되지 않으며, 복수의 패드가 형성되는 영역일 수 있다. 패드 영역(PA)은 벤딩 영역(BA)의 일측으로부터 연장되는 영역일 수 있다. 패드 영역(PA)은 패드(PAD)가 배치되는 영역일 수 있다. 예를 들면, 제1 전원 공급 패드(VDDPa, VDDPb, 이하 VDDP라고 함), 데이터 패드(DP1~DPn, 이하 DP라고 함), 게이

트 패드(GPa, GPb, 이하 GP라고 함), 제2 전원 공급 패드(VSSPa, VSSPb, 이하 VSSP라고 함), 및 크랙 감지패드(CDPa, CDPb, 이하 CDP라고 함) 등이 배치되는 영역일 수 있다.

[0034] 비표시 영역(NDA)에는 게이트 구동회로의 게이트 구동부(GIPa, GIPb, 이하 GIP이라고 함), 게이트 전압 공급라인(GIPL1a~GIPLna: GIPLa, GIPL1b~GIPLnb: GIPLb, 이하 GIPL이라고 함), 제2 전원 공급전극(VSSE), 제1 전원 공급전극(VDDEa, VDDEb, 이하 VDDE라고 함), 댐(DAM1, DAM2, 이라 DAM이라고 함), 정렬 기준부(FK), 및 크랙 감지부(CD1, CD2, 이하 CD라고 함) 등이 배치될 수 있다.

[0035] 그리고, 표시 영역(DA)에는 데이터라인(DL1~DLn, 이하 DL이라고 함) 및 게이트라인(GL1a~GLna: GLa, GL1b~GLnb: GLb, 이하 GL이라고 함)이 서로 교차하도록 배치될 수 있다. 그리고, 이들의 교차영역마다 매트릭스 형태로 배치되는 화소(P)를 포함할 수 있다.

[0036] 각각의 화소(P)는 발광 소자, 발광 소자에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor, 이하 구동 TFT라고 함), 구동 TFT의 게이트-소스간 전압을 세팅하기 위한 프로그래밍부를 포함할 수 있다. 표시 장치(100)의 화소(P)는 비표시 영역(NDA)에 배치된 제1 전원 공급전극(VDDE)과 연결된 제1 전원 라인(VD1~VDn, 이하 VD라고 함)을 통해 고전위 전압인 제1 전원(Vdd)을 공급받을 수 있으며, 제2 전원 공급전극(VSSE)을 통해 저전위 전압인 제2 전원(Vss)을 공급받을 수 있다.

[0037] 제1 전원라인(VD)은 비표시 영역(NDA)에 배치된 제1 전원 공급전극(VDDE)을 통해 제1 전원(Vdd)을 공급받을 수 있다. 제1 전원 공급전극(VDDE)을 통해 공급된 제1 전원(Vdd)은 제1 전원 릴크라인(VDDL)을 통하여 표시 영역(DA)에 배치된 제1 전원 라인(VD)에 공급될 수 있다. 예를 들면, 제1 전원(Vdd)은 패드 영역(PA)의 제1 전원 공급패드(VDDP)에 공급될 수 있다. 그리고, 제1 전원 공급패드(VDDP)에 공급된 제1 전원(Vdd)은 제1 전원 릴크라인(VDDL)을 통하여 릴크 영역(LA)의 제1a 전원 공급전극(VDDEa)에 공급될 수 있으며, 제1a 전원 공급전극(VDDEa)에 공급된 제1 전원(Vdd)은 릴크 영역(LA)의 제1 전원 공급라인(VDL)을 통하여 표시 영역(DA)의 제1 전원 라인(VD)에 공급될 수 있다. 제1 전원 라인(VD)의 일측은 제1a 전원 공급전극(VDDEa)과 연결되고, 제1 전원 라인(VD)의 타측은 제1b 전원 공급전극(VDDEb)과 연결될 수 있다.

[0038] 그리고, 제1a 전원 공급전극(VDDEa)은 벤딩 영역(BA)과 표시 영역(DA) 사이에 배치될 수 있다. 그리고, 제1b 전원 공급전극(VDDEb)은 표시 영역(DA)을 사이에 두고 제1a 전원 공급전극(VDDEa)과 대향하며 배치될 수 있다. 또한, 제1a 전원 공급전극(VDDEa)의 양쪽 끝단의 두께는 제1a 전원 공급전극(VDDEa)의 중앙부의 두께보다 작을 수 있다. 그리고, 제1a 전원 공급전극(VDDEa)의 양쪽 끝단은 제2 전원 공급전극(VSSE)과 표시 영역(DA) 사이에 배치될 수 있다. 예를 들어, 제1a 전원 공급전극(VDDEa)은 제1 선폭을 가지는 제1 영역과 제1 선폭보다 큰 제2 선폭을 가지는 제2 영역을 포함할 수 있다. 제1 영역은 제1a 전원 공급전극(VDDEa)의 양끝단일 수 있으며, 제2 영역은 제1a 전원 공급전극(VDDEa)의 중앙부일 수 있다.

[0039] 그리고, 제2 전원(Vss)은 패드 영역(PA)의 제2 전원 공급패드(VSSP)를 통하여 비표시 영역(NDA)의 제2 전원 릴크라인(VSSL)에 공급될 수 있다. 그리고, 제2 전원 릴크라인(VSSL)에 공급된 제2 전원(Vss)은 제2 전원 공급전극(VSSE)을 통하여 표시 영역(DA)의 화소(P)에 공급될 수 있다. 예를 들어, 제2 전원(Vss)은 패드(PAD)에 위치하는 제2 전원 공급패드(VSSP)와 연결된 제2 전원 릴크라인(VSSL)의 제2a 전원 릴크라인(VSSLa) 및 제2b 전원 릴크라인(VSSLb)에 공급될 수 있다. 그리고, 제2 전원 릴크라인(VSSL)의 제2a 전원 릴크라인(VSSLa) 및 제2b 전원 릴크라인(VSSLb)에 공급된 제2 전원(Vss)은 제2 전원 공급전극(VSSE)을 통하여 표시 영역(DA)의 화소(P)에 공급될 수 있다. 제2 전원 릴크라인(VSSL)의 제2a 전원 릴크라인(VSSLa)은 제2 전원 공급전극(VSSE)의 일측과 연결되어 제2 전원(Vss)을 공급할 수 있다. 그리고, 제2 전원 릴크라인(VSSL)의 제2b 전원 릴크라인(VSSLb)은 제2 전원 공급전극(VSSE)의 타측과 연결되어 제2 전원(Vss)을 공급할 수 있다.

[0040] 도 1을 참조하면, 비표시 영역(NDA)에서, 제2 전원 공급전극(VSSE)은 표시 영역(DA)의 적어도 3면을 둘러싸도록 배치될 수 있다. 그리고, 제2 전원 공급전극(VSSE)의 양끝단은 릴크 영역(LA)에서 서로 마주보도록 배치될 수 있다. 또한, 릴크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 일단과 표시 영역(DA)의 사이에는 제2 선폭보다 작은 제1 선폭을 가지는 제1a 전원 공급전극(VDDEa)의 일단이 배치될 수 있다. 그리고, 릴크 영역(LA)에서, 제2 전원 공급전극(VSSE)의 타단과 표시 영역(DA)의 사이에는 제1 선폭을 가지는 제1a 전원 공급전극(VDDEa)의 타단이 배치될 수 있다.

[0041] 화소(P)는 적어도 하나 이상의 스위치 TFT와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 TFT는 게이트 라인들(GL)로부터의 스캔 신호에 응답하여 턴 온 됨으로써, 데이터라인들(DL)로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가할 수 있다. 구동 TFT는 스토리지 커패시터에 충전된 전압의 크기에

따라 발광 소자로 공급되는 전류량을 제어하여 발광 소자의 발광량을 조절할 수 있다. 발광 소자의 발광량은 구동 TFT로부터 공급되는 전류량에 비례할 수 있다. 또한, 화소(P)를 구성하는 TFT들의 반도체층은, 비정질 실리콘 또는, 폴리 실리콘 또는, 산화물 반도체물질 중에 적어도 하나를 포함할 수 있다. 발광 소자는 애노드 전극, 캐소드 전극, 및 애노드 전극과 캐소드 전극 사이에 개재된 발광 구조물을 포함할 수 있다. 애노드 전극은 구동 TFT에 접속될 수 있다. 발광 구조물은 발광층(Emission layer; EML)을 포함하고, 발광층을 사이에 두고 그 일측에는 정공 주입층(Hole injection layer; HIL) 및 정공 수송층(Hole transport layer; HTL)이, 그 타측에는 전자 수송층(Electron transport layer; ETL) 및 전자 주입층(Electron injection layer; EIL)이 각각 배치될 수 있다.

[0042] 데이터 전압은 패드 영역(PA)의 데이터 패드(DP)를 통하여 비표시 영역(NDA)의 데이터 링크 라인(DLL)에 공급될 수 있다. 그리고, 데이터 링크 라인(DLL)에 공급된 데이터 전압은 표시 영역(AA)의 데이터 라인(DL)에 공급될 수 있다.

[0043] 게이트 구동 전압은 패드 영역(PA)의 게이트 패드(GP)를 통하여 비표시 영역(NDA)의 게이트 링크 라인(GLL)으로 공급될 수 있다. 그리고, 게이트 링크 라인(GLL)에 공급된 게이트 구동 전압은 게이트 구동부(GIP)에 공급될 수 있다. 그리고, 게이트 구동 전압은 게이트 구동부(GIP)에 연결된 게이트 전압 공급라인(GIPL)을 통하여 표시 영역(DA)의 게이트 라인(GL)에 공급될 수 있다. 게이트 구동 전압은 게이트 하이 전압(VGH) 및 게이트 로우 전압(VGL)을 포함할 수 있다. 그리고, 게이트 구동부(GIP)는 게이트 구동 전압 외에도 스타트 펄스, 게이트 쉬프트 클럭들, 및 플리커 신호 등의 신호를 공급받을 수 있다. 스타트 펄스, 게이트 쉬프트 클럭 및 플리커 신호는 대략 0V와 3.3V 사이에서 스윙하는 신호들일 수 있다. 게이트 쉬프트 클럭은 소정의 위상차를 갖는 n 상 클럭신호들일 수 있다. 게이트 하이 전압(VGH)은 표시 장치(100)의 박막 트랜지스터 어레이에 형성된 박막 트랜지스터(TFT)의 문턱 전압 이상의 전압으로서 대략 28V 정도의 전압일 수 있고, 게이트 로우 전압(VGL)은 표시 장치(100)의 박막 트랜지스터 어레이에 형성된 박막 트랜지스터(TFT)의 문턱 전압보다 낮은 전압으로서 대략 -5V 내외의 전압일 수 있으며, 이에 한정되는 것은 아니다.

[0044] 게이트 구동부(GIP)는 표시 영역(DA)의 좌측에 배치된 제1 게이트 구동부(GIPa) 및 표시 영역(DA)의 우측에 배치된 제2 게이트 구동부(GIPb)를 포함할 수 있다. 그리고, 제1 게이트 구동부(GIPa)는 게이트 링크 라인(GLL)의 제1 게이트 링크 라인(GLLa)을 통하여 게이트 구동 전압을 공급 받을 수 있다. 제2 게이트 구동부(GIPb)는 게이트 링크 라인(GLL)의 제2 게이트 링크 라인(GLLb)을 통하여 게이트 구동 전압을 공급 받을 수 있다. 또한, 제1 게이트 구동부(GIPa)에 공급된 게이트 구동 전압은 게이트 전압 공급라인(GIPL)의 제1 게이트 전압 공급 라인(GIPL1a~GIPLna, 이하 GIPLa라고 함)을 통하여 게이트 라인(GL)의 제1 게이트 라인(GL1a~GLna, 이하 GLa라고 함)에 공급될 수 있다. 제2 게이트 구동부(GIPb)에 공급된 게이트 구동 전압은 게이트 전압 공급라인(GIPL)의 제2 게이트 전압 공급라인(GIPL1b~GIPLnb, 이하 GIPLb라고 함)을 통하여 게이트 라인(GL)의 제2 게이트 라인(GL1b~GLnb, 이하 GLb라고 함)에 공급될 수 있다.

[0045] 그리고, 게이트 구동부(GIP)는 제2 전원 공급전극(VSSE)과 표시 영역(DA)의 사이에 배치될 수 있다.

[0046] 도 1에서는 게이트 구동부(GIP)가 표시 영역(DA)의 양측에 인접하도록 배치되어 표시 영역(DA)의 양측에서 게이트 라인(GL)에 게이트 펄스를 공급하는 구성을 도시하고 있지만, 본 명세서가 이에 한정되는 것은 아니다. 게이트 구동부는 표시 영역(DA)의 일측에만 인접하도록 배치되어 표시 영역(DA)의 일측에서 게이트 라인(GL)에 게이트 펄스를 공급할 수도 있다. 게이트 구동부(GIP)가 표시 영역(DA) 외측의 양측에 배치되는 경우, 동일 수평라인에 배치된 화소(P)에는 게이트 라인(GL)을 통하여 동일한 위상, 동일한 진폭의 게이트 펄스가 공급될 수 있다.

[0047] 그리고, 제2 전원 공급전극(VSSE) 상에 댐(DAM)이 배치될 수 있다. 댐(DAM)은 제2 전원 공급전극(VSSE)과 중첩하도록 배치될 수 있다. 그리고, 댐(DAM)은 표시 영역(DA)의 4면을 둘러싸도록 배치되어, 화소(P)의 발광 소자(LED) 상에 배치되는 봉지부의 유기물질층의 흐름을 차단할 수 있다. 그리고, 댐(DAM)은 제1 댐(DAM1) 및 제2 댐(DAM2)을 포함할 수 있다. 제1 댐(DAM1)과 제2 댐(DAM2)은 서로 이격되어 배치될 수 있으며, 제1 댐(DAM1)은 제2 댐(DAM2)과 표시 영역(DA) 사이에 배치될 수 있다.

[0048] 도 1을 참조하면, 비표시 영역(NDA)에서 표시패널의 크랙을 감지하기 위한 크랙 감지부(CD)가 배치될 수 있다. 크랙 감지부(CD)는 제2 전원 공급전극(VSSE)의 외곽에 배치된 제1 크랙 감지부(CD1)와 제1 크랙 감지부(CD1)와 제2 전원 공급전극(VSSE) 사이에 배치되는 제2 크랙 감지부(CD2)를 포함할 수 있다.

[0049] 제1 크랙 감지부(CD1)의 일측과 제2 크랙 감지부(CD2)의 일 측은 서로 연결될 수 있다. 그리고, 제1 크랙 감지부(CD1)의 일측과 제2 크랙 감지부(CD2)의 일 측은 서로 연결될 수 있다.

부(CD1)의 타측은 제2 크랙 감지부(CD2)의 타측과 연결될 수 있다. 그리고, 크랙 감지패드(CDP)의 제1 크랙 감지패드(CDPa)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)의 일측과 연결되고, 크랙 감지패드(CDP)의 제2 크랙 감지패드(CDPb)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)의 타측과 연결될 수 있다.

[0050] 외력에 의해 표시패널에 크랙이 발생하는 경우, 크랙 감지부(CD)의 저항값의 변화를 측정하여, 크랜 감지부(CD)에서 표시패널에 발생된 크랙을 감지할 수 있다.

[0051] 그리고, 도 1을 참조하면, 비표시 영역(NDA)에서 크랙 감지부(CD) 상에 정렬 기준부(FK)가 배치될 수 있다. 정렬 기준부(FK)는 크랙 감지부(CD)의 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 배치될 수 있다. 정렬 기준부(FK)는 기판(110)의 배면을 지지하기 위한 백플레이트가 기판(100)의 하부면에 정확하게 배치될 수 있도록 가이드 역할을 할 수 있다. 또는, 표시패널 상에 배치되는 편광판이 미스 얼라인이 없이 부착될 수 있도록 가이드 역할을 할 수 있다.

[0052] 정렬 기준부(FK)는 표시 영역(DA)에 인접한 영역에서 배치될 수 있다. 도 1에서는 표시 영역(DA)의 좌측에 2개 및 우측에 2개가 배치된 것으로 도시 되었으나, 이에 한정되지는 않는다. 예를 들어, 정렬 기준부(FK)는 좌측에 3개 및 우측에 3개가 배치될 수도 있다. 그리고, 정렬 기준부(FK)의 형태는 삼각형 또는 사각형과 같은 다각형으로 이루어질 수 있다.

[0053] 그리고, 정렬 기준부(FK)와 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)가 중첩하는 영역에서, 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)는 제2 거리(D2)로 이격되어 있을 수 있다. 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)는 제1 거리(D1)로 이격되어 있을 수 있다. 그러나, 도 1에 도시된 바와 같이, 정렬 기준부(FK)가 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 배치된 영역에서, 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)는 제1 거리(D1)보다 작은 제2 거리(D2)로 이격되어 있을 수 있다.

[0054] 이하에서는 본 명세서의 실시예에 따른 표시 장치(100)의 구성요소들에 대한 보다 상세한 설명을 위해 도 2 내지 도 3b를 함께 참조한다.

[0055] 도 2는 본 명세서의 실시예에 따른 표시 장치(100)에서 화소(P)의 단면구조를 나타내는 도면이다. 기판(110), 베퍼충(111), 박막 트랜지스터(120), 게이트 절연층(112), 충간 절연층(113), 보호층(114), 제1 평탄화층(116), 제2 평탄화층(117), 뱅크(118), 보조 전극(161), 스페이서(119), 발광 소자(140), 및 봉지부(210)를 포함할 수 있다.

[0056] 기판(110)은 플렉서빌리티(flexibility)를 갖는 플라스틱 물질로 이루어질 수 있다. 기판(110)이 플라스틱 물질로 이루어지는 경우, 예를 들어, 폴리이미드(PI)로 이루어질 수도 있다. 기판(110)이 폴리이미드(PI)로 이루어지는 경우, 기판(110) 하부에 유리로 이루어지는 지지 기판이 배치된 상황에서 표시 장치 제조 공정이 진행되고, 표시 장치 제조 공정이 완료된 후 지지 기판이 텔리즈(release)될 수 있다. 또한, 지지 기판이 텔리즈된 후, 기판(110)을 지지하기 위한 백플레이트(back plate)가 기판(110) 하부에 배치될 수도 있다.

[0057] 기판(110)이 폴리이미드(PI)로 이루어지는 경우, 수분성분이 폴리이미드(PI)로 이루어진 기판(110)을 뚫고 박막 트랜지스터(120) 또는 발광 소자(140)까지 투습이 진행되어 표시 장치(100)의 성능을 저하시킬 수 있다. 본 명세서의 실시예에 따른 표시 장치(100)는 투습에 의한 표시 장치(100)의 성능이 저하되는 것을 방지하기 위해 기판(110)을 2중의 베이스층으로 구성할 수 있다. 그리고, 2중의 베이스층 사이에 투습 효과가 우수한 산화 실리콘(SiO_x)층을 더 형성함으로써, 수분성분이 하부의 베이스층을 뚫고 지나가는 것을 차단하여 제품성능 신뢰성을 향상시킬 수가 있다.

[0058] 또한, 기판(110)을 구성하는 베이스층에 차지(charge)된 전하가 백 바이어스(Back Bias)를 형성하여 제1 박막 트랜지스터(120)에 영향을 줄 수 있다. 따라서, 베이스층에 차지(charge)된 전하를 차단하기 위하여 기판(110)과 제1 박막 트랜지스터(120) 사이에 별도의 금속층을 배치할 수도 있다. 또는, 2개의 폴리이미드(PI) 사이에 무기막을 형성해 줌으로써, 하부에 배치된 폴리이미드(PI)에 차지(charge)된 전하를 차단하여 제품의 신뢰성을 향상시킬 수도 있다.

[0059] 기판(110)이 구부러지는 벤딩 영역(BA)을 가지는 경우, 기판(110)의 벤딩 영역(BA)에서 2중의 베이스층 사이에 배치된 산화 실리콘(SiO_x)층과 베이스층간의 접착력이 수분에 의해 저하될 수 있다. 그리고, 산화 실리콘(SiO_x)층과 베이스층 간의 접착력 약화로 인하여, 기판(110)은 벤딩 영역(BA)에서 응력(Stress)을 받게 되면서, 베이스층이 들뜨는 문제점이 발생할 수 있다. 그리고, 기판(110)의 베이스층의 들뜸 현상으로 인하여 제품의 신뢰성이 저하될 수 있다. 따라서, 본 명세서의 실시예에 따른 표시 장치는 수분 침투 방지와 같은 환경 신뢰성도 향상시키면서, 벤딩에도 강건한 구조를 가지도록, 2중의 베이스층 사이에 배치된 무기 절연층을 산화 실리콘

(SiO_x)층과 질화 실리콘(SiNx)층으로 이루어진 이중층으로 형성할 수 있다. 그러나, 이에 한정되지는 않으며, 산화 실리콘(SiO_x)층과 질화 실리콘(SiNx)층으로 이루어진 3중층으로도 형성할 수 있다.

[0060] 도 2를 참조하면, 기판(110) 상에는 단층 또는 다층구조의 베퍼층(111)이 배치될 수 있다. 기판(110) 상에 배치된 베퍼층(111)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_x)의 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0061] 베퍼층(111)은 베퍼층(111) 상에 형성되는 층들과 기판(110) 간의 접착력을 향상시키고, 기판(110)으로부터 유출되는 알칼리 성분 등을 차단하는 역할 등을 수행할 수 있다. 그리고, 베퍼층(111)은 필수적인 구성요소는 아니며, 기판(110)의 종류 및 물질, 박막 트랜지스터의 구조 및 타입 등에 기초하여 생략될 수도 있다.

[0062] 본 명세서의 실시예에 따르면, 베퍼층(111)은 이산화 규소(SiO₂)와 질화 실리콘(SiNx)이 교번으로 형성된 다중층으로 형성될 수 있다.

[0063] 기판(110)의 표시 영역(DA)에서, 발광 소자(140)를 구동하기 위한 박막 트랜지스터(120)가 베퍼층(111) 상에 배치될 수 있다. 박막 트랜지스터(120)는 액티브층(121), 게이트 전극(124), 소스 전극(122) 및 드레인 전극(123)을 포함할 수 있다. 여기에서, 화소 회로의 설계에 따라서, 소스 전극(122)이 드레인 전극이 될 수 있으며, 드레인 전극(123)이 소스 전극이 될 수 있다. 기판(110)의 표시 영역(DA)에서, 베퍼층(111) 상에는 박막 트랜지스터(120)의 액티브층(121)이 배치될 수 있다.

[0064] 액티브층(121)은 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 포함할 수 있다. 폴리 실리콘 물질은 이동도가 높아($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX) 등에 적용될 수 있으며, 본 명세서의 실시예에 따른 표시 장치에서 구동 박막 트랜지스터의 액티브층으로 적용될 수 있으며, 이에 한정되지는 않는다. 예를 들면, 표시 장치의 특성에 따라 스위칭 박막 트랜지스터의 액티브층으로 적용될 수도 있다. 베퍼층(111) 상에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 탈수소화 공정 및 결정화 공정을 수행하는 방식으로 폴리 실리콘이 형성되고, 폴리 실리콘을 패터닝하여 액티브층(121)이 형성될 수 있다. 액티브층(121)은 박막 트랜지스터(120)의 구동 시 채널이 형성되는 채널 영역(121a), 채널 영역(121a) 양 측의 소스 영역(121b) 및 드레인 영역(121c)을 포함할 수 있다. 소스 영역(121b)은 소스 전극(122)과 연결된 액티브층(121)의 부분을 의미하며, 드레인 영역(121c)은 드레인 전극(123)과 연결된 액티브층(121)의 부분을 의미한다. 소스 영역(121b) 및 드레인 영역(121c)은 액티브층(121)의 이온 도핑(불순물 도핑)에 의해 구성될 수 있다. 소스 영역(121b) 및 드레인 영역(121c)은 폴리 실리콘 물질에 이온 도핑하여 생성될 수 있으며, 채널 영역(121a)은 이온 도핑되지 않고 폴리 실리콘 물질로 남겨진 부분을 의미할 수 있다.

[0065] 베퍼층(111) 상에는 박막 트랜지스터(120)의 액티브층(121)의 상부면을 커버하는 게이트 절연층(112)이 배치될 수 있다. 게이트 절연층(112)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiO_x)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 게이트 절연층(112)에는 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123) 각각이 박막 트랜지스터(120)의 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c) 각각에 연결되기 위한 컨택홀이 형성될 수 있다. 그리고, 게이트 절연층(112)은 기판(110)의 비표시 영역(NDA)에서 벤딩 영역(BA)에는 배치되지 않을 수 있다.

[0066] 게이트 절연층(112)은 기판 전면에 걸쳐 형성될 수도 있다. 그러나 이에 한정되지는 않는다, 예를 들어, 게이트 절연층(112)은 게이트 전극(122)과 동일한 폭을 갖도록 패터닝될 수도 있다. 또는, 게이트 절연층(112)은 기판(110)의 비표시 영역(NDA)에서 벤딩 영역(BA)에는 배치되지 않을 수 있다.

[0067] 게이트 절연층(112) 상에 박막 트랜지스터(120)의 게이트 전극(124)이 배치될 수 있다.

[0068] 게이트 전극(124)은 몽리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al) 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 게이트 전극(124)은 박막 트랜지스터(120)의 액티브층(121)의 채널 영역(121a)과 중첩되도록 게이트 절연층(112) 상에 형성될 수 있다.

[0069] 액티브층(121)은 산화물 반도체로 이루어질 수 있다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체로 이루어진 액티브층을 포함하는 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합할 수 있으며, 이에 한정되지는 않는다. 표시 장치

의 특성에 따라서, 구동 박막 트랜지스터로 적용될 수도 있다. 그리고, 오프-전류가 작으므로 보조 용량의 크기가 감소될 수 있으므로, 고해상도 표시 소자에 적합하다. 예를 들면, 액티브층(121)은 금속 산화물로 이루어지고, 예를 들어, IGZO(indium-gallium-zinc-oxide) 등과 같은 다양한 금속 산화물로 이루어질 수 있다. 박막 트랜지스터(120)의 액티브층(121)은 다양한 금속 산화물 중 IGZO로 이루어지는 것을 가정하여 IGZO층을 기초로 형성되는 것으로 설명하였으나, 이에 제한되지 않고 IGZO가 아닌 IZO(indium-zinc-oxide), IGTO(indium-gallium-tin-oxide), 또는 IGO(indium-gallium-oxide) 등과 같은 다른 금속 산화물로 형성될 수도 있다.

- [0070] 액티브층(121)은, 금속 산화물을 베퍼층(111) 상에 증착하고, 안정화를 위한 열처리 공정을 수행한 후, 금속 산화물을 패터닝하여 형성될 수 있다.
- [0071] 액티브층(121)을 포함한 기판 전체 면에 절연물질층 및 금속물질층을 차례로 형성하고, 금속물질층 상에 포토레지스트 패턴을 형성할 수 있다.
- [0072] 절연물질층은 PECVD법을 이용하여 형성하고, 금속물질층은 스퍼터링(Sputtering)법을 이용하여 형성할 수 있다.
- [0073] 포토레지스트 패턴(PR)을 마스크로 하여 금속물질층을 습식 식각하여 게이트 전극(124)을 형성할 수 있다. 금속 물질층을 식각하기 위한 습식 식각액은 금속물질층을 구성하는 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 또는 그들의 합금을 선택적으로 식각하고, 절연물질층을 식각하지 않는 물질이 이용될 수 있다.
- [0074] 포토레지스트 패턴(PR) 및 게이트 전극(124)을 마스크로 하여 절연물질층을 건식 식각하여 게이트 절연층(112)을 형성할 수 있다.
- [0075] 건식 식각 공정을 통하여, 절연물질층이 식각되어 액티브층(121) 상에 게이트 절연층(112) 패턴이 형성될 수 있다. 그리고, 패터닝된 게이트 절연층(112)에 의해 노출된 액티브층(121)의 일부는 건식 식각 공정에 의해 도체화가 될 수 있다.
- [0076] 게이트 전극(124)이 형성된 영역에 대응하여 도체화가 되지 않은 채널영역(121a)과 액티브층(121)의 양단에서 각각 도체화 처리된 소스 영역(121b) 및 드레인 영역(121c)을 포함하는 액티브층(121)이 형성될 수 있다.
- [0077] 도체화된 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c)은 저항이 낮아짐으로써, 박막 트랜지스터(120)의 소자 성능이 향상될 수 있으며, 이에 따라 본 명세서의 실시예에 따른 표시 장치(100)의 신뢰성이 항상될 수 있는 효과를 얻을 수 있다.
- [0078] 액티브층(121)의 채널영역(121a)은 게이트 전극(124)과 중첩하여 배치될 수 있다. 그리고, 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c)은 채널영역(121a)의 양측에 배치될 수 있다. 그리고, 게이트 절연층(112)은 게이트 전극(124)과 액티브층(121) 사이에 배치될 수 있다. 그리고, 게이트 절연층(112)은 게이트 전극(124) 및 액티브층(121)의 채널영역(121a)과 중첩하도록 배치될 수 있다.
- [0079] 포토레지스트 패턴(PR)을 마스크로 절연물질층 및 금속물질층을 식각함에 따라 게이트 절연층(112)과 게이트 전극(124)은 동일한 패턴으로 형성될 수 있다. 게이트 절연층(112)은 액티브층(121) 상에 배치될 수 있다. 게이트 절연층(112)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 게이트 절연층(112)은 액티브층(121)의 채널영역(121a)과 중첩되도록 패터닝될 수 있다. 게이트 전극(124)은 게이트 절연층(112) 상에 배치될 수 있다. 게이트 전극(124)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 게이트 전극(124)은 액티브층(121) 및 게이트 절연층(112)과 중첩되도록 패터닝될 수 있다. 게이트 전극(124)은 액티브층(121)의 채널영역(121a)과 중첩되도록 패터닝될 수 있다. 그리고, 게이트 절연층(112)은 액티브층(121)의 채널영역(121a)과 중첩되도록 패터닝될 수 있다. 따라서, 게이트 전극(124) 및 게이트 절연층(112)은 액티브층(121)의 채널영역(121a)과 중첩할 수 있다. 게이트 절연층(112)은 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다.
- [0080] 도 2를 참조하면, 게이트 절연층(112) 상에는 게이트 전극(124)을 커버하는 층간 절연층(113)이 배치될 수 있다. 층간 절연층(113)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 층간 절연층(113)에는 박막 트랜지스터(120)의 액티브층(121)의 소스 영역(121b) 및 드레인 영역(121c)을 노출시키기 위한 컨택홀이 형성될 수 있다. 그리고, 도 2에 도시된 바와 같이, 층간 절연층(113)은 기판 전면에 걸쳐 형성될 수도 있으나, 이에 한정되지는 않는다. 예를 들어, 층간 절연층(113)은 기판(110)의 벤

당 영역(BA)에는 배치되지 않을 수 있다. 또는, 충간 절연층(113)은 표시 영역(DA)에만 형성될 수도 있다.

[0081] 충간 절연층(113) 상에는 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)이 배치될 수 있다.

[0082] 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)은 게이트 절연층(112) 및 충간 절연층(113)에 형성된 컨택홀을 통하여 박막 트랜지스터(120)의 액티브층(121)과 연결될 수 있다. 따라서, 박막 트랜지스터(120)의 소스 전극(122)은 게이트 절연층(112) 및 충간 절연층(113)에 형성된 컨택홀을 통하여 액티브층(121)의 소스 영역(121b)과 연결될 수 있다. 그리고, 박막 트랜지스터(120)의 드레인 전극(123)은 게이트 절연층(112) 및 충간 절연층(113)에 형성된 컨택홀을 통하여 액티브층(121)의 드레인 영역(121c)과 연결될 수 있다.

[0083] 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 예를 들면, 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)은 도전성 금속 물질로 이루어진 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 이루어질 수 있으며, 이에 한정되지는 않는다.

[0084] 도 2를 참조하면, 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123), 상에 보호층(114)이 배치될 수 있다. 예를 들어, 충간 절연층(113) 상에서 소스 전극(122) 및 드레인 전극(123)을 덮는 보호층(114)이 배치될 수 있다.

[0085] 보호층(114)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 보호층(114)에는 박막 트랜지스터(120)의 드레인 전극(123)을 노출시키기 위한 컨택홀이 형성될 수 있다. 보호층(114)은 기판(110)의 벤딩 영역(BA)에는 배치되지 않을 수 있다.

[0086] 보호층(114)에는 박막 트랜지스터(120)의 드레인 전극(123)을 노출시키기 위한 컨택홀이 형성될 수 있으며, 이에 한정되지는 않는다. 예를 들면, 보호층(114)에는 박막 트랜지스터(120)의 소스 전극(122)을 노출시키기 위한 컨택홀이 형성될 수 있다. 그리고, 보호층(114)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)의 단일층 또는 이들의 다중층으로 구성될 수 있다. 그러나, 이에 한정되지는 않으며, 보호층(114)은 박막 트랜지스터(120)를 보호하고, 기판(110) 상의 단차를 완만하게 하여 기판(110) 상부를 평탄화하기 위한 유기물질층일 수 있다. 예를 들면, 보호층(114)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있다.

[0087] 보호층(114)이 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)과 같은 무기물질 층으로 형성된 경우, 보호층(114) 상에 제1 평탄화층(116)이 배치될 수 있다. 제1 평탄화층(116)은 박막 트랜지스터(120)의 드레인 전극(123)을 노출하기 위한 컨택홀을 포함할 수 있다. 그리고, 제1 평탄화층(116)은 기판(110) 상의 단차를 완만하게 하여 기판(110) 상부를 평탄화하기 위한 유기물질층일 수 있다. 예를 들면, 제1 평탄화층(116)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있다.

[0088] 보조 전극(161)은 제1 평탄화층(116) 상에 배치될 수 있다. 그리고, 보조 전극(161)은 제1 평탄화층(116) 및 보호층(114)의 컨택홀을 통하여 박막 트랜지스터(120)의 드레인 전극(123)과 연결될 수 있다. 보조 전극(161)은 박막 트랜지스터(120)와 발광 소자(140)의 제1 전극(141)을 전기적으로 연결하는 역할을 할 수 있다. 예를 들어, 보조 전극(161)은 박막 트랜지스터(120)의 드레인 전극(123)과 발광 소자(140)의 제1 전극(141)을 전기적으로 연결하는 역할을 할 수 있다. 보조 전극(161)은 몰리브덴(Mo), 구리(Cu), 티타늄(Ti), 알루미늄(Al), 크롬(Cr), 금(Au), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다. 보조 전극(161)은 박막 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 물질로 형성될 수 있다.

[0089] 제2 평탄화층(117)은 보조 전극(161) 및 제1 평탄화층(116) 상에 배치될 수 있다. 예를 들어, 제1 평탄화층(116) 상에서 보조 전극(161)을 커버하도록 제2 평탄화층(117)이 배치될 수 있다. 그리고, 도 2에 도시된 바와 같이, 제2 평탄화층(117)에는 보조 전극(161)을 노출시키기 위한 컨택홀이 형성될 수 있다. 제2 평탄화층(117)은 박막 트랜지스터(120)의 상부를 평탄화하기 위한 유기물질층일 수 있다. 예를 들면, 제2 평탄화층(117)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 및 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있다.

[0090] 발광 소자(140)의 제1 전극(141)은 제2 평탄화층(117) 상에 배치될 수 있다. 제1 전극(141)은 제2 평탄화층(117)에 형성된 컨택홀을 통하여 보조 전극(161)과 전기적으로 연결될 수 있다. 따라서, 제1 전극(141)은 제2

평탄화층(117)에 형성된 컨택홀을 통하여 보조 전극(161)과 연결됨으로써, 박막 트랜지스터(120)와 전기적으로 연결될 수 있다.

[0091] 제1 전극(141)은 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 형성될 수 있다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 일함수 값이 비교적 큰 재질로 이루어질 수 있다. 그리고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어질 수 있다. 예를 들어, 제1 전극(141)은 투명 도전막, 불투명 도전막, 및 투명 도전막이 순차적으로 적층된 구조로 형성될 수 있다. 그러나, 이에 한정되지는 않으며, 투명 도전막 및 불투명 도전막이 순차적으로 적층된 구조로도 형성될 수 있다.

[0092] 본 명세서의 실시예에 따른 표시 장치(100)는 상부 발광(Top Emission) 표시 장치이므로, 제1 전극(141)은 애노드 전극일 수 있다. 표시 장치(100)가 하부 발광(Bottom Emission)인 경우에는 제2 평탄화층(117) 상에 배치된 제1 전극(141)은 캐소드 전극일 수 있다.

[0093] 제1 전극(141) 및 제2 평탄화층(117) 상에는 뱅크(118)가 배치될 수 있다. 뱅크(118)에는 제1 전극(141)을 노출하기 위한 개구부가 형성될 수 있다. 뱅크(118)는 표시 장치(100)의 발광 영역을 정의할 수 있으므로 화소 정의막이라고 할 수도 있다. 뱅크(118) 상에는 스페이서(119)가 더 배치될 수 있다.

[0094] 뱅크(118) 및 스페이서(119)는 동일한 물질로 이루어질 수 있다. 그리고, 뱅크(118) 및 스페이서(119)는 유기물질로 이루어질 수 있다. 예를 들어, 뱅크(118) 및 스페이서(119)는 폴리이미드(polyimide), 아크릴(acryl) 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0095] 그리고, 제1 전극(141) 상에는 발광층을 포함하는 발광 구조물(142)이 더 배치될 수 있다. 발광 구조물(142)은 제1 전극(141) 상에 정공층, 발광층, 전자층 순으로 또는 역순으로 적층되어 형성될 수 있다. 이외에도 발광 구조물(142)은 전하 생성층을 사이에 두고 대향하는 제1 및 제2 발광 구조물을 구비할 수도 있다. 이 경우, 제1 및 제2 발광 구조물 중 어느 하나의 발광층은 청색광을 생성하고, 제1 및 제2 발광 구조물 중 나머지 하나의 발광층은 노란색-녹색광을 생성함으로써 제1 및 제2 발광 구조물을 통해 백색광이 생성될 수 있다. 이 발광 구조물(142)에서 생성된 백색광은 발광 구조물(142) 상부에 위치하는 컬러 필터(도시하지 않음)에 입사되어 컬러 영상을 구현할 수 있다. 이외에도 별도의 컬러 필터 없이 각 발광 구조물(142)에서 각 서브 화소에 해당하는 컬러 광을 생성하여 컬러 영상을 구현할 수도 있다. 즉, 적색(R) 서브 화소의 발광 구조물(142)은 적색광을, 녹색(G) 서브 화소의 발광 구조물(142)은 녹색광을, 청색(B) 서브 화소의 발광 구조물(142)은 청색광을 생성할 수도 있다.

[0096] 발광 구조물(142) 상에는 제2 전극(143)이 더 배치될 수 있다. 제2 전극(143)은 발광 구조물(142)을 사이에 두고 제1 전극(141)과 대향하도록 발광 구조물(142) 상에 배치될 수 있다. 본 명세서의 실시예에 따른 표시 장치(100)에서 제2 전극(143)은 캐소드 전극일 수 있다. 발광 소자(140)의 제2 전극(143) 상에는 수분 침투를 억제하는 봉지부(210)가 더 배치될 수 있다.

[0097] 후술하겠지만, 제2 전극(143)은 비표시 영역(NDA)까지 연장될 수 있다. 그리고, 비표시 영역(NDA)까지 연장된 제2 전극(143)은 뱅크(118)의 컨택홀을 통하여 노출된 접속 전극(151)과 연결될 수 있다. 접속 전극(151)은 제2 전원 공급전극(VSSE)과 발광 소자(140)의 제2 전극(143)을 전기적으로 연결하는 역할을 할 수 있다.

[0098] 도 2를 참조하면, 봉지부(210)는 발광 소자(140)를 덮도록 형성되어, 발광 소자(140)에 수분이 침투되는 것을 방지할 수 있다. 예를 들어, 발광 소자(140)의 제2 전극(143) 상에는 수분 침투를 억제하는 봉지부(210)가 배치될 수 있다. 봉지부(210)는 기판(110)의 벤딩 영역(BA)에는 배치되지 않을 수 있다.

[0099] 봉지부(210)는 적어도 하나의 무기 봉지층 및 적어도 하나의 유기 봉지층을 포함할 수 있다. 예를 들어, 봉지부(210)는 제1 무기 봉지층(211), 제2 유기 봉지층(212), 및 제3 무기 봉지층(213)을 포함할 수 있다. 봉지부(210)의 제1 무기 봉지층(211)은 제2 전극(143) 상에 배치될 수 있다. 그리고, 제2 유기 봉지층(212)은 제1 무기 봉지층(211) 상에 배치될 수 있다. 또한, 제3 무기 봉지층(213)은 제2 무기 봉지층(212) 상에 배치될 수 있다. 봉지부(210)의 제1 무기 봉지층(211) 및 제3 무기 봉지층(213)은 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx) 등의 무기 물질로 형성될 수 있다. 봉지부(210)의 제2 유기 봉지층(212)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 및 폴리이미드 수지(polyimide resin) 등의 유기물질로 형성될 수 있다.

[0100] 도 3a는 도 1의 I-I'에 대한 단면도이다. 도 3b는 도 1의 II-II'의 단면도이다. 도 3a는 비표시 영역(NDA)에 배치된 제2 전원 공급전극(VSSE), 크랙 감지부(CD), 정렬 기준부(FK), 및 댐(DAM)영역의 단면 구조를 나타낸 도면

이다. 그리고, 도 3b는 비표시 영역(NDA)에 배치된 제2 전원 공급전극(VSSE), 크랙 감지부(CD), 및 댐(DAM)영역의 단면 구조를 나타낸 도면이다. 도 3a 및 도 3b는 도 2에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는 설명을 간략히 하거나 생략하도록 한다.

[0101] 도 3a 및 도 3b를 참조하면, 게이트 절연층(112) 상에 크랙 감지부(CD)가 배치될 수 있다. 예를 들어, 크랙 감지부(CD)의 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)가 배치될 수 있다. 그리고, 정렬 기준부(FK)가 배치되지 않은 영역에서, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)는 제1 거리(D1)로 이격되어 배치될 수 있다. 그리고, 정렬 기준부(FK)가 배치된 영역에서, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)는 제1 거리(D1)보다 큰 제2 거리(D2)로 이격되어 배치될 수 있다.

[0102] 게이트 절연층(112) 상에 크랙 감지부(CD)를 커버하는 층간 절연층(113)이 배치될 수 있다.

[0103] 그리고, 층간 절연층(113) 상에 제2 전원 공급전극(VSSE)이 배치될 수 있다. 제2 전원 공급전극(VSSE)은 트랜지스터(120)의 소스 전극(122) 및 드레인 전극(123)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어 질 수 있다. 그러나, 이에 한정되지는 않으며, 보조 전극(161)과 동일한 층상에 배치될 수 있으며, 동일한 물질로 이루어 질 수 있다.

[0104] 그리고, 제2 전원 공급전극(VSSE)은 저전위 전압인 제2 전원(Vss)을 공급받을 수 있다. 그리고, 제2 전원(Vss)은 제2 전원 공급전극(VSSE)을 통하여 표시 영역(DA)의 화소(P)에 공급될 수 있다. 후술 하겠지만, 제2 전원 공급전극(VSSE)은 발광 소자(140)의 제2 전극(143)과 전기적으로 연결되어, 제2 전극(143)에 제2 전원(Vss)을 공급할 수 있다.

[0105] 도 3a 및 도 3b를 참조하면, 비표시 영역(NDA)에서, 제2 전원 공급전극(VSSE) 상에 보호층(114)이 배치될 수 있다. 보호층(114)은 제2 전원 공급전극(VSSE)을 커버하도록 층간 절연층(113) 상에 배치될 수 있다. 그리고, 보호층(114)은 제2 전원 공급전극(VSSE)을 노출하기 위한 컨택홀이 형성될 수 있다.

[0106] 보호층(114) 상에는 제1 평탄화층(116)이 배치될 수 있다. 제1 평탄화층(116)은 제2 전원 공급전극(VSSE)을 노출하는 오픈부를 포함할 수 있다. 그러므로, 제1 평탄화층(116)은 보호층(114)의 컨택홀과는 중첩하지 않을 수 있다. 예를 들어, 제1 평탄화층(116)의 오픈부는 보호층(114)의 컨택홀과 중첩할 수 있다. 제1 평탄화층(116)의 오픈부는 보호층(114)의 컨택홀을 노출할 수 있다.

[0107] 그리고, 보호층(114) 상에는 제1 평탄화층(116)의 일측과 이격되어 댐(DAM)이 배치될 수 있다. 댐(DAM)은 제1 평탄화층(116)의 일측과 이격되어 배치되는 제1 댐(DAM1)과 제2 댐(DAM2)을 포함할 수 있다. 제1 댐(DAM1)은 표시 영역(DA)과 제2 댐(DAM2) 사이에 배치될 수 있다. 제1 댐(DAM1)은 제1 평탄화층(116)의 일측과 제2 댐(DAM2) 사이의 영역에 배치될 수 있다.

[0108] 그리고, 제1 댐(DAM1) 및 제2 댐(DAM2)은 제2 전원 공급전극(VSSE)과 중첩하도록 배치될 수 있다.

[0109] 그리고, 제1 댐(DAM1) 및 제2 댐(DAM2)은 유기물질층으로 이루어진 다중층으로 형성될 수 있다. 예를 들어, 도 3a 및 도 3b를 참조하면, 제1 댐(DAM1) 및 제2 댐(DAM2)은 3중층으로 이루어질 수 있다. 제1 댐(DAM1)은 제1a 댐층(311), 제1 댐층(311) 상에 있는 제1b 댐층(312), 및 제1b 댐층(312) 상에 있는 제1c 댐층(313)으로 이루어 질 수 있다. 그리고, 제2 댐(DAM2)은 제2a 댐층(321), 제2a 댐층(321) 상에 있는 제2b 댐층(322), 및 제2b 댐층(322) 상에 있는 제2c 댐층(323)으로 이루어 질 수 있다. 그리고, 제1a 댐층(311) 및 제2a 댐층(321)은 제2 평탄화층(117)과 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어질 수 있다. 그리고, 제1b 댐층(312) 및 제2b 댐층(322)은 뱅크(118)와 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어 질 수 있다. 또한, 제1c 댐층(313) 및 제2c 댐층(323)은 스페이서(119)와 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어 질 수 있다.

[0110] 제1b 댐층(312) 및 제1c 댐층(313)은 동일한 물질로 이루어질 수 있으며, 한번의 공정에 의하여 함께 형성될 수 있다. 또한, 제2b 댐층(322) 및 제2c 댐층(323)도 동일한 물질로 이루어질 수 있으며, 한번의 공정에 의하여 함께 형성될 수 있다. 제1b 댐층(312)과 제1c 댐층(313) 그리고 제2b 댐층(322)과 제2c 댐층(323)이 서로 동일한 물질인 경우, 댐(DAM)은 2중층으로 이루어질 수 있다.

[0111] 도 3a 및 도 3b를 참조하면, 접속 전극(150)의 제1 접속 전극(151)은 제1 평탄화층(116) 및 보호층(114) 상에 배치될 수 있다. 그리고, 접속 전극(150)의 제1 접속 전극(151)은 제1 평탄화층(116)의 오픈부 및 보호층(114)의 컨택홀을 통하여 노출된 제2 전원 공급전극(VSSE)과 연결될 수 있다. 접속 전극(150)은 제2 전원 공급전극(VSSE)과 발광 소자(140)의 제2 전극(143)을 전기적으로 연결할 수 있다. 그리고, 제1 접속 전극(151)의 일측은

제1 댐(DAM1)의 제1a 댐층(311)과 보호층(114) 사이에 배치될 수 있다. 제1 댐(DAM1)의 제1a 댐층(311)은 접속 전극(150)의 제1 접속전극(151)의 일측을 덮도록 배치될 수 있다.

[0112] 크랙 감지부(CD), 제1 접속 전극(151), 및 제1 평탄화층(116) 상에는 제2 평탄화층(117)이 배치될 수 있다. 그리고, 제2 평탄화층(117)은 제1 접속전극(151)의 일측을 덮도록 배치될 수 있다. 또한, 제2 평탄화층(117)은 제2 전원 공급전극(VSSE)이 위치한 영역에는 배치되지 않을 수 있다. 그리고, 게이트 구동부(GIP)의 제1 게이트 구동부(GIPa)가 위치한 영역 중 표시 영역(DA)과 인접한 영역에는 제2 평탄화층(117)이 배치되지 않을 수 있다. 예를 들어, 표시 영역(DA)에 인접하며 제1 게이트 구동부(GIPa)와 중첩하는 영역에는 제2 평탄화층(117)이 배치되지 않을 수 있다.

[0113] 그리고, 도 3a 및 도 3b를 참조하면, 크랙 감지부(CD)의 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2) 상에 제2 평탄화층(117)이 배치될 수 있다. 예를 들어, 제2 평탄화층(117)은 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 형성될 수 있다. 그리고, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 배치된 제2 평탄화층(117)은 제2 댐(DAM2)과는 이격할 수 있다. 또한, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 배치된 제2 평탄화층(117)은 보호층(114)의 상부면과 직접 접촉할 수 있다.

[0114] 그리고, 제2 평탄화층(117)은 제1 댐(DAM1)과 제1 평탄화층(116)이 이격된 영역에 배치된 제1 접속전극(151)을 노출하는 오픈부를 포함할 수 있다.

[0115] 도 3a를 참조하면, 제2 평탄화층(117) 상에 정렬 기준부(FK) 및 접속 전극(150)의 제2 접속 전극(152)이 배치될 수 있다. 제2 접속 전극(152)은 제1a 댐층(311) 및 제2a 댐층(321) 상에 배치될 수 있다. 그리고, 정렬 기준부(FK)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)를 덮도록 배치된 제2 평탄화층(117) 상에 배치될 수 있다. 예를 들어, 정렬 기준부(FK)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩하도록 배치될 수 있다. 정렬 기준부(FK)는 제2 평탄화층(117) 상에 배치되며, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 중첩할 수 있다.

[0116] 정렬 기준부(FK) 및 제2 접속 전극(152)은 발광소자(140)의 제1 전극(141)과 동일한 공정에 공정에 의해 형성될 수 있으며, 동일한 물질로 이루어질 수 있다.

[0117] 도 3a 및 도 3b를 참조하면, 비표시 영역(NDA)에서, 제2 접속 전극(152)은 제1 댐(DAM1)과 제1 평탄화층(116)이 이격된 공간에 배치되어, 제1 접속 전극(151)의 상부면과 직접 접촉할 수 있다. 그리고, 제2 접속 전극(152)은 제2 평탄화층(117)의 상부면에 배치될 수 있다. 또한, 제2 접속 전극(152)은 제1a 댐층(311) 및 제1b 댐층(312)의 사이에 배치될 수 있다. 그리고, 제2 접속 전극(152)은 제2a 댐층(321) 및 제2b 댐층(322) 사이에 배치될 수 있다. 그리고, 제2 접속 전극(152)은 제1 댐(DAM1)과 제2 댐(DAM2)이 이격된 영역에 배치될 수 있다.

[0118] 도 3a 및 도 3b를 참조하면, 제2 평탄화층(117) 상에 배치된 제2 접속 전극(152) 상에 뱅크(118)가 배치될 수 있다. 뱅크(118)는 제2 접속 전극(152)을 노출하는 컨택홀을 포함할 수 있다. 그리고, 뱅크(118) 상에는 스페이서(119)가 배치될 수 있다.

[0119] 그리고, 뱅크(118) 및 스페이서(119) 상에는 발광 소자(140)의 제2 전극(143)이 비표시 영역(NDA)까지 연장되어 배치될 수 있다. 비표시 영역(NDA)까지 연장된 제2 전극(143)은 뱅크(118)의 컨택홀을 통하여 노출된 제2 접속 전극(152)과 연결될 수 있다. 제2 접속 전극(152)은 제2 전원 공급전극(VSSE)과 발광 소자(140)의 제2 전극(143)을 전기적으로 연결할 수 있다.

[0120] 도 3a 참조하면, 정렬 기준부(FK) 상에 제1 크랙 방지부(410) 및 제2 크랙 방지부(420)가 배치될 수 있다. 예를 들어, 제1 크랙 방지부(410)는 정렬 기준부(FK)의 일측을 덮도록 배치될 수 있다. 그리고, 제2 크랙 방지부(420)는 정렬 기준부(FK)의 타측을 덮도록 배치될 수 있다.

[0121] 제1 크랙 방지부(410)의 제1 크랙 방지 하부층(411)은 정렬 기준부(FK)의 일측을 덮도록 배치될 수 있다. 그리고, 제2 크랙 방지부(420)의 제2 크랙 방지 하부층(421)은 정렬 기준부(FK)의 타측을 덮도록 배치될 수 있다. 제1 크랙 방지 하부층(411) 및 제2 크랙 방지 하부층(421)은 뱅크(118)와 동일한 공정에 의하여 형성될 수 있다. 그리고, 제1 크랙 방지 하부층(411) 및 제2 크랙 방지 하부층(421)은 뱅크(118)와 동일한 물질로 이루어질 수 있다.

[0122] 제1 크랙 방지 하부층(411) 상에는 제1 크랙 방지 상부층(412)이 배치될 수 있다. 그리고, 제2 크랙 방지 하부층(421) 상에는 제2 크랙 방지 상부층(422)이 배치될 수 있다. 제1 크랙 방지 상부층(412) 및 제2 크랙 방지 상부층(422)은 스페이서(119)와 동일한 공정에 의하여 형성될 수 있으며, 동일한 물질로 이루어 질 수 있다.

- [0123] 제1 크랙 방지부(410) 및 제2 크랙 방지부(420)는 하부층 및 상부층으로 이루어진 이중층으로 도시 되었으나, 이에 한정되지는 않는다. 제1 크랙 방지부(410) 및 제2 크랙 방지부(420)를 단일층으로 형성할 수도 있다. 제1 크랙 방지부(410) 및 제2 크랙 방지부(420)는 정렬 기준부(FK)의 상부면을 노출하도록 서로 이격하여 배치될 수 있다. 예를 들어, 제1 크랙 방지부(410)는 제1 크랙감지부(CD1) 및 정렬 기준부(FK)의 일측과 중첩하도록 배치될 수 있다. 그리고, 제2 크랙 방지부(420)는 제2 크랙 감지부(CD2) 및 정렬 기준부(FK)의 타측과 중첩하도록 배치될 수 있다. 그리고, 제1 크랙 방지부(410)와 제2 크랙 방지부(420)가 이격된 영역은 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)가 이격된 영역과 중첩할 수 있다.
- [0124] 도 3b를 참조하면, 제1 크랙 방지부(410)의 제1 크랙 방지 하부층(411)이 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치된 제2 평탄화층(117)의 일측을 덮도록 배치될 수 있다. 그리고, 제2 크랙 방지부(420)의 제2 크랙 방지 하부층(421)은 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치된 제2 평탄화층(117)의 타측을 덮도록 배치될 수 있다. 이와 같이, 정렬 기준부(FK)가 배치되지 않은 영역에서, 제1 크랙 방지 하부층(411) 및 제2 크랙 방지 하부층(421)은 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치된 제2 평탄화층(117)의 상부면과 직접 접촉할 수 있다.
- [0125] 그리고, 제1 크랙 방지부(410) 및 제2 크랙 방지부(420)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치된 제2 평탄화층(117)의 상부면을 노출하도록 서로 이격하여 배치될 수 있다. 예를 들어, 제1 크랙 방지부(410)는 제1 크랙 감지부(CD1)와 중첩하도록 배치될 수 있다. 그리고, 제2 크랙 방지부(420)는 제2 크랙 감지부(CD2)와 중첩하도록 배치될 수 있다. 제1 크랙 방지부(410)와 제2 크랙 방지부(420)가 이격된 영역은 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)가 이격된 영역과 중첩할 수 있다.
- [0126] 그리고, 도 3a 및 도 3b를 참조하면, 제1 크랙 방지부(410), 정렬 기준부(FK), 제2 크랙 방지부(420), 제2 전극(143), 및 댐(DAM) 상에는 봉지부(210)가 배치될 수 있다. 봉지부(210)의 제1 무기 봉지층(211)은 제1 크랙 방지부(410), 정렬 기준부(FK), 제2 크랙 방지부(420), 비표시 영역(NDA)까지 연장된 제2 전극(143), 제2 접속 전극(152), 및 댐(DAM)을 커버하도록 배치될 수 있다. 그리고, 제2 유기 봉지층(222)은 비표시 영역(NDA)까지 연장된 제2 전극(213) 및 접속 전극(201)을 커버하도록 배치될 수 있다. 또한, 제3 무기 봉지층(223)은 제1 크랙 방지부(410), 제2 크랙 방지부(420), 제2 전극(213), 접속 전극(201), 및 댐(DAM)을 커버하도록 배치될 수 있다. 그러나, 이에 한정되지는 않으며, 제1 무기 봉지층(221) 및 제3 무기 봉지층(223)은 제1 크랙 방지부(410), 정렬 기준부(FK), 및 제2 크랙 방지부(420)를 커버하지 않을 수도 있다.
- [0127] 그리고, 제1 무기 봉지층(221) 및 제3 무기 봉지층(223)은 댐(DAM) 상에서 서로 접촉할 수 있다.
- [0128] 본 명세서의 실시예에 따른 표시 장치(100)는 비표시 영역(NDA)에서 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)와 중첩하도록 정렬 기준부(FK)를 배치하여, 기판(110)의 배면을 지지하기 위한 백플레이트가 기판(110)의 하부면에 정확하게 배치될 수 있도록 하였다. 그리고, 정렬 기준부(FK)는 기판(110)의 봉지부(210) 상에 배치되는 편광판이 미스 얼라인이 없이 부착될 수 있도록 가이드 역할을 할 수 있다. 그러나, 기판(110)의 특정 영역에 정렬 기준부(FK)가 추가적으로 배치되어, 정렬 기준부(FK)가 배치된 영역과 정렬 기준부(FK)가 배치되지 않은 영역에서 단차가 발생할 수 있다. 따라서, 본 명세서의 다른 실시예에 따른 표시 장치(100)는 정렬 기준부(FK)에 의한 단차가 발생되지 않는 적층구조를 제시하고자 한다.
- [0129] 도 4는 본 명세서의 다른 실시예에 따른 전계 발광 표시 장치의 개략적인 평면도이다. 그리고, 도 5a는 도 4의 I-I'에 대한 단면도이다. 도 5b는 도 4의 II-II'에 대한 단면도이다. 도 4는 도 1에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는 설명을 간략히 하거나 생략하도록 한다. 그리고, 도 5a 및 도 5b는 도 2 내지 도 3b에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는 설명을 간략히 하거나 생략하도록 한다.
- [0130] 도 4 및 도 5a를 참조하면, 정렬 기준부(FK)는 제1 크랙 감지부(CD1)와 일체형으로 구성될 수 있다. 예를 들어, 제1 크랙 감지부(CD1)의 폭을 확장하여 정렬 기준부(FK)를 형성할 수 있다. 제1 크랙 감지부(CD1)와 정렬 기준부(FK)는 일체형으로 형성될 수 있다. 그리고, 정렬 기준부(FK)와 제1 크랙 감지부(CD1)는 제2 크랙 감지부(CD2)와 이격할 수 있다. 그러나, 이에 한정되지는 않으며, 정렬 기준부(FK)는 제2 크랙 감지부(CD2)와 일체형으로 형성될 수도 있다. 그리고, 정렬 기준부(FK)는 제2 크랙 감지부(CD2)와 일체형으로 형성되는 경우, 정렬 기준부(FK)는 제1 크랙 감지부(CD1)와 이격할 수 있다.
- [0131] 도 5a를 참조하면, 정렬 기준부(FK)는 제1 폭을 가지도록 형성될 수 있다. 그리고, 제2 크랙 감지부(CD2)는 제1 폭 보다 작은 제2 폭을 가질 수 있다.
- [0132] 그리고, 정렬 기준부(FK)와 제2 크랙 감지부(CD2)는 동일한 층상에 배치될 수 있다. 예를 들어, 정렬 기준부

(FK), 제1 크랙 감지부(CD1), 및 제2 크랙 감지부(CD2)는 게이트 절연층(112) 상에 배치될 수 있다. 그리고, 정렬 기준부(FK), 제1 크랙 감지부(CD1), 및 제2 크랙 감지부(CD2)는 동일한 물질로 이루어 질 수 있다. 예를 들어, 정렬 기준부(FK), 제1 크랙 감지부(CD1), 및 제2 크랙 감지부(CD2)는 박막 트랜지스터(120)의 게이트 전극(124)과 동일한 물질로 이루어질 수 있다.

[0133] 그리고, 정렬 기준부(FK)와 제2 크랙 감지부(CD2)는 제2 거리(D2)만큼 서로 이격되어 배치될 수 있다. 그리고, 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)는 제2 거리(D2) 보다 큰 제1 거리(D1)만큼 서로 이격되어 배치될 수 있다.

[0134] 본 명세서의 다른 실시예에 따른 표시 장치(100)는 정렬 기준부(FK)를 제1 크랙 방지부(CD1)와 일체형으로 형성하여, 정렬 기준부(FK), 제1 크랙 감지부(CD1), 및 제2 크랙 감지부(CD2)가 서로 동일한 층상에 배치될 수 있다. 그리고, 정렬 기준부(FK), 제1 크랙 감지부(CD1), 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치되는 제2 평탄화층(117)에 의하여 상부 표면의 단차가 보상될 수 있다. 본 명세서의 실시예에 따른 표시장치는, 제1 크랙 감지부(CD1) 또는 제2 크랙 감지부(CD2)와 일체형으로 이루어 지도록 정렬 기준부(FK)를 구성할 수 있다. 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치되는 제2 평탄화층(117) 상부면 상에 정렬 기준부(FK)를 구성하기 위한 별도의 층이 배치되지 않을 수 있다. 따라서, 도 5a 및 도 5b를 참조하면, 정렬 기준부(FK)가 배치된 영역과 정렬 기준부(FK)가 배치되지 않은 영역에서, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 대응하는 영역에 배치되는 제2 평탄화층(117) 상에 배치되는 적층구조물은 동일할 수 있다. 정렬 기준부(FK)가 배치된 영역과 정렬 기준부(FK)가 배치되지 않은 영역에서의 단차가 발생하지 않는 표시 장치를 제공할 수 있다.

[0135] 도 6은 본 명세서의 다른 실시예에 따른 표시 장치의 개략적인 평면도이다. 도 6은 도 4에 도시된 구성요소와 실질적으로 동일한 부분에 대해서는 설명을 간략히 하거나 생략하도록 한다.

[0136] 도 6을 참조하면, 정렬 기준부(FK)는 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 일체형으로 형성될 수 있다. 정렬 기준부(FK)는 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)를 연결할 수 있다. 예를 들어, 정렬 기준부(FK)는 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2) 사이에 배치되며, 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)와 일체형으로 이루어질 수 있다. 정렬 기준부(FK)가 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)와 일체형으로 구성되어 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)를 전기적으로 연결하는 경우, 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)는 정렬 기준부(FK)에 의하여 복수의 병렬 연결 구조로 이루어 질 수 있다. 그리고, 외력에 의하여 크랙이 발생되는 경우, 정렬 기준부(FK)에 의해 복수의 병렬 구조로 연결된 제1 크랙 감지부(CD1)와 제2 크랙 감지부(CD2)의 저항값의 변화를 측정하여 크랙의 발생 위치 및 발생 개수를 파악할 수 있다.

[0137] 예를 들어, 도 6을 참조하면, 좌측에 배치된 제1 크랙 감지부(CD1)에 크랙이 발생되고, 우측에 배치된 제2 크랙 감지부(CD2)에 크랙이 발생할 수 있다. 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)에 크랙이 발생하더라도, 복수의 정렬 기준부(FK)에 의하여 제1 크랙 감지부(CD1) 및 제2 크랙 감지부(CD2)가 복수의 병렬 구조로 연결되기에, 제1 크랙 감지패드(CDPa) 및 제2 크랙 감지 패드(CDPb)를 통하여 저항값의 측정이 가능해진다. 그리고, 크랙의 발생에 의하여 변화된 저항값을 제1 크랙 감지패드(CDPa) 및 제2 크랙 감지 패드(CDPb)에서 측정하여 크랙의 발생 위치 및 발생 개수를 파악할 수 있다.

[0138] 본 명세서의 실시예는 다음과 같이 설명될 수 있다.

[0139] 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역 및 표시 영역을 둘러싸는 비표시 영역을 포함하는 기판, 비표시 영역에서 기판 상에 있는 크랙 감지부, 크랙 감지부를 덮도록 배치되는 충간 절연층, 충간 절연층 상에 있으며 크랙 감지부와 표시 영역 사이에 배치되는 전원 공급 전극, 전원 공급 전극을 덮도록 배치되는 보호층, 보호층 상에 있으며 크랙 감지부와 중첩하도록 배치되는 평탄화층, 및 평탄화층 상에 있으며 크랙 감지부와 중첩하는 정렬 기준부를 포함할 수 있다.

[0140] 본 명세서의 실시예에 따르면, 표시 영역에 배치되며 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터, 및 박막 트랜지스터 상에 배치되며 박막 트랜지스터와 연결되는 제1 전극, 발광 구조물, 및 전원 공급 전극과 연결되는 제2 전극을 포함하는 발광 소자를 더 포함할 수 있다. 그리고, 발광 소자의 제1 전극은 평탄화층 상에 배치될 수 있다.

[0141] 본 명세서의 실시예에 따르면, 정렬 기준부는 제1 전극과 동일한 물질로 이루어질 수 있다.

[0142] 본 명세서의 실시예에 따르면, 크랙 감지부는 제1 크랙 감지부 및 제2 크랙 감지부와 전원 공급 전극 사이에 배

치되는 제2 크랙 감지부를 포함할 수 있다.

[0143] 본 명세서의 실시예에 따르면, 제1 크랙 감지부와 제2 크랙 감지부는 제1 거리만큼 서로 이격되어 배치될 수 있다.

[0144] 본 명세서의 실시예에 따르면, 정렬 기준부와 중첩하는 영역의 제1 크랙 감지부와 제2 크랙 감지부는 제1 거리보다 작은 제2 거리만큼 이격되어 배치될 수 있다.

[0145] 본 명세서의 실시예에 따르면, 정렬 기준부의 일측을 덮도록 배치된 제1 크랙 방지부 및 정렬 기준부의 타측을 덮도록 배치된 제2 크랙 방지부를 더 포함할 수 있다.

[0146] 본 명세서의 실시예에 따르면, 정렬 기준부와 표시 영역 사이에 배치되며 전원 공급 전극과 중첩하는 댐을 더 포함할 수 있다.

[0147] 본 명세서의 실시예에 따른 전계 발광 표시 장치는, 표시 영역 및 표시 영역에 인접하여 있는 비표시 영역을 포함하는 기판, 비표시 영역에서 기판 상에 있는 제1 크랙 감지부 및 제1 크랙 감지부와 이격하여 배치된 제2 크랙 감지부, 제1 크랙 감지부와 일체형으로 이루어지며 제1 크랙 감지부와 동일한 물질로 이루어진 정렬 기준부, 제2 크랙 감지부와 표시 영역 사이에 배치되며 발광 소자에 전원을 공급하는 전원 공급 전극, 및 제2 크랙 감지부와 표시 영역 사이에 배치되며 전원 공급 전극과 중첩하도록 배치된 댐을 포함할 수 있다.

[0148] 본 명세서의 실시예에 따르면, 제2 크랙 감지부는 전원 공급 전극과 제1 크랙 감지부 사이에 배치될 수 있다.

[0149] 본 명세서의 실시예에 따르면, 댐은 제2 크랙 감지부와 표시 영역 사이에 배치된 제1 댐 및 제1 댐과 제2 크랙 감지부 사이에 배치되는 제2 댐을 포함할 수 있다.

[0150] 본 명세서의 실시예에 따르면, 제2 크랙 감지부는 제2 댐과 제1 크랙 감지부 사이에 배치될 수 있다.

[0151] 본 명세서의 실시예에 따르면, 표시 영역에 배치되며 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함하고, 발광소자는 박막 트랜지스터와 연결되는 제1 전극, 제1 전극 상의 발광 구조물, 및 전원 공급 전극과 연결되는 제2 전극을 포함할 수 있다.

[0152] 본 명세서의 실시예에 따르면, 제1 크랙 감지부, 제2 크랙 감지부, 및 정렬 기준부는 게이트 전극과 동일한 물질로 이루어지며, 동일한 절연층 상에 배치될 수 있다.

[0153] 본 명세서의 실시예에 따르면, 정렬 기준부는 제2 크랙 감지부와 일체형으로 이루어질 수 있다.

[0154] 본 명세서의 실시예에 따르면, 정렬 기준부는 제1 크랙 감지부 및 제2 크랙 감지부와 전기적으로 연결될 수 있다. 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0155] 110: 기판

111: 버퍼층

112: 게이트 절연층

113: 충간 절연층

114: 보호층

116: 제1 평탄화

117: 제2 평탄화층

118: 뱅크

119: 스페이서

120: 박막 트랜지스터

140: 발광 소자

210: 봉지부

161: 보조 전극

150: 접속 전극

410: 제1 크랙 방지부

420: 제2 크랙 방지부

DA: 표시 영역

PA: 페드 영역

LA: 링크 영역

BA: 벤딩 영역

NDA: 비표시 영역

GIP: 게이트 구동부

VDDE: 제1 전원 공급전극

VSSE: 제2 전원 공급전극

DAM1: 제1 댐

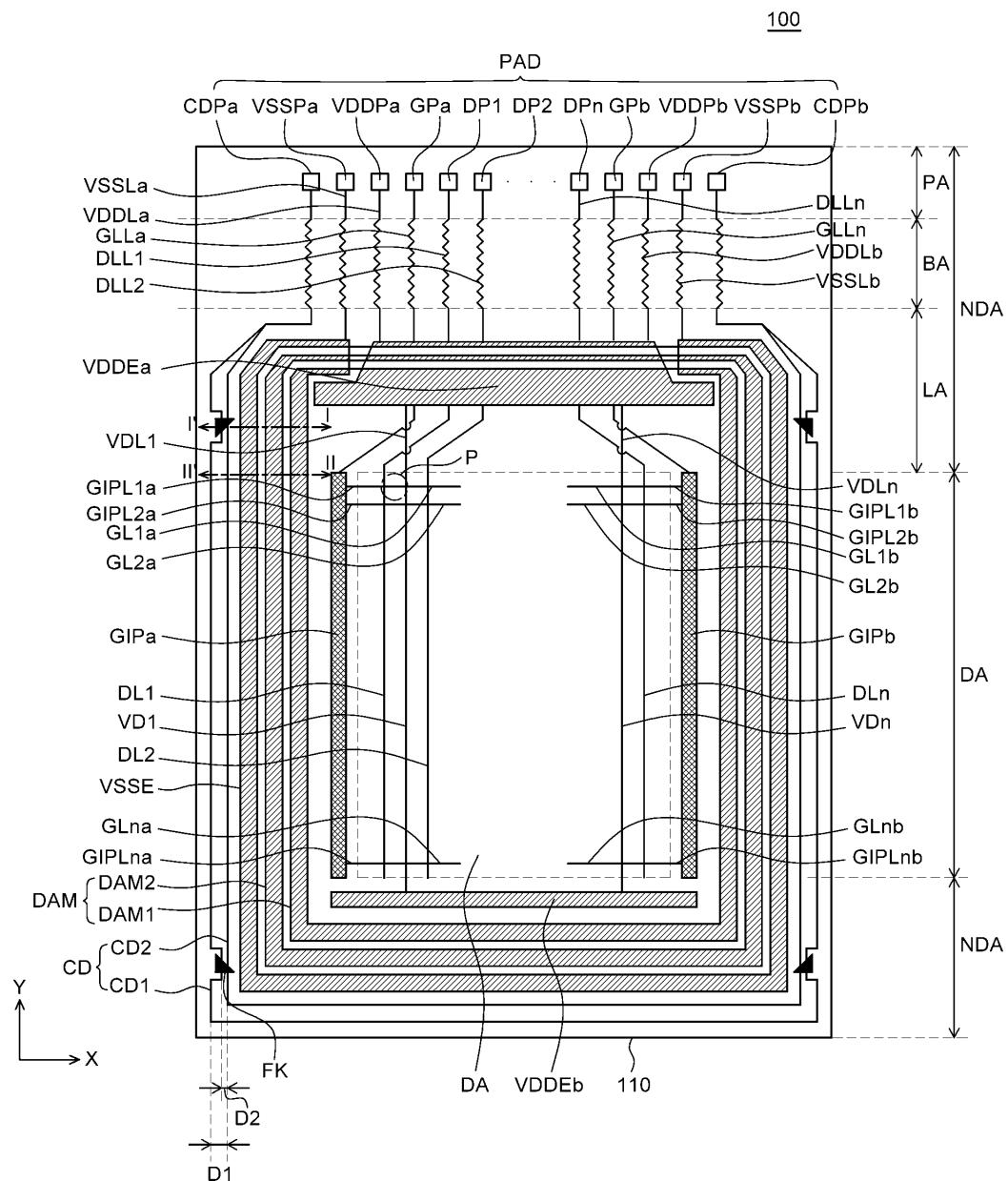
DAM2: 제2 댐

CD: 크랙 감지부

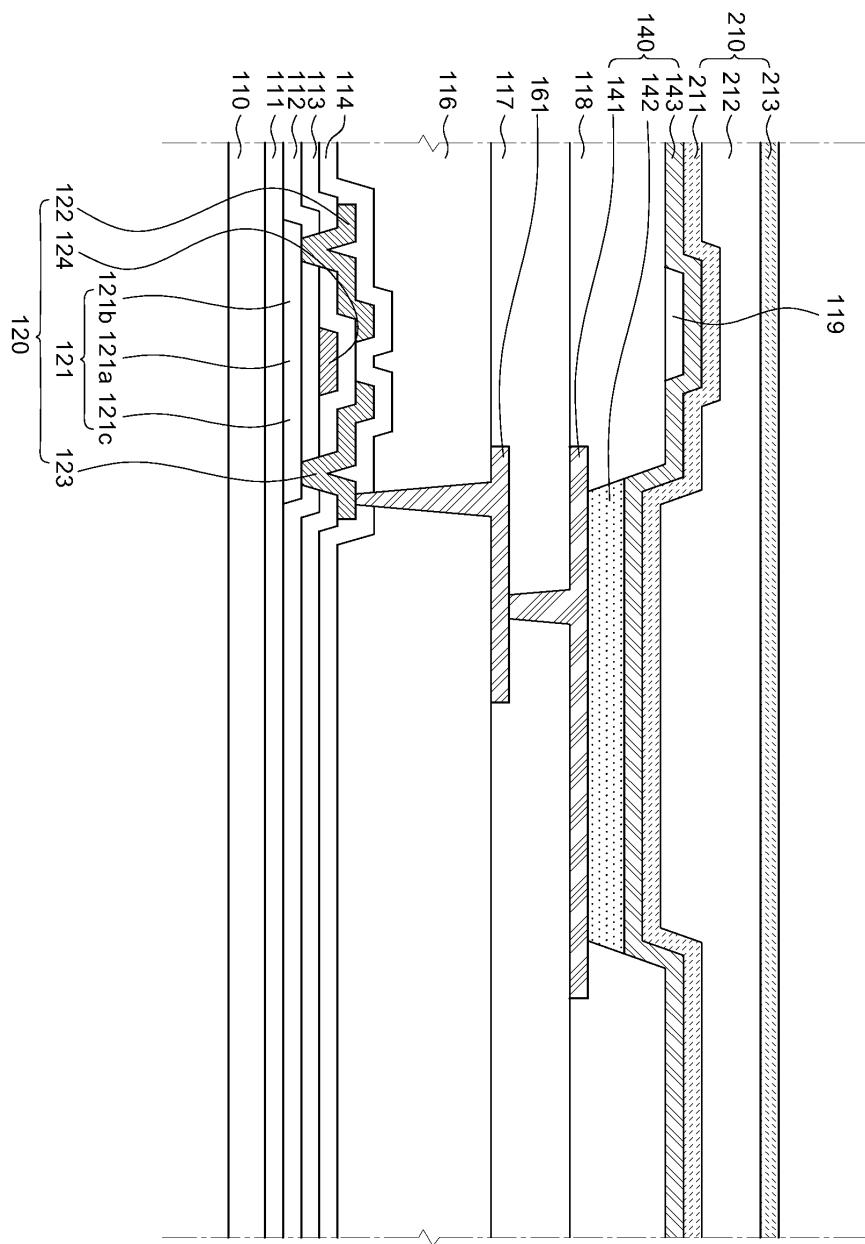
FK: 정렬 기준부

도면

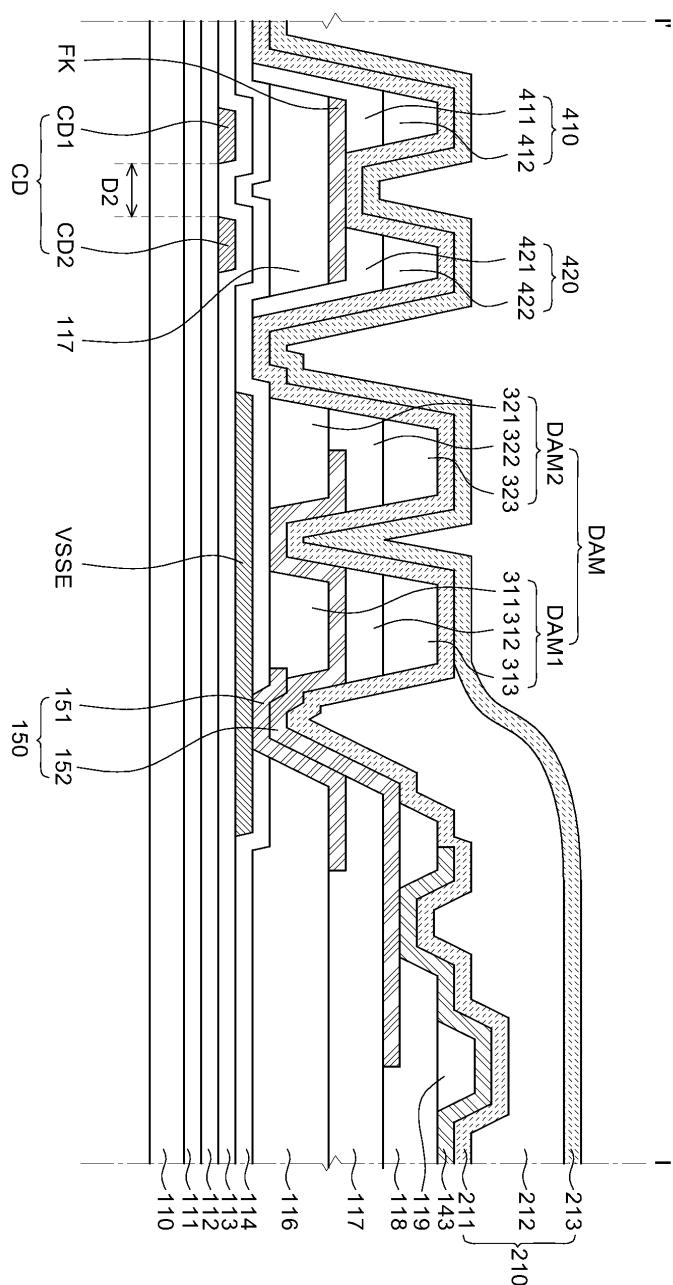
도면1



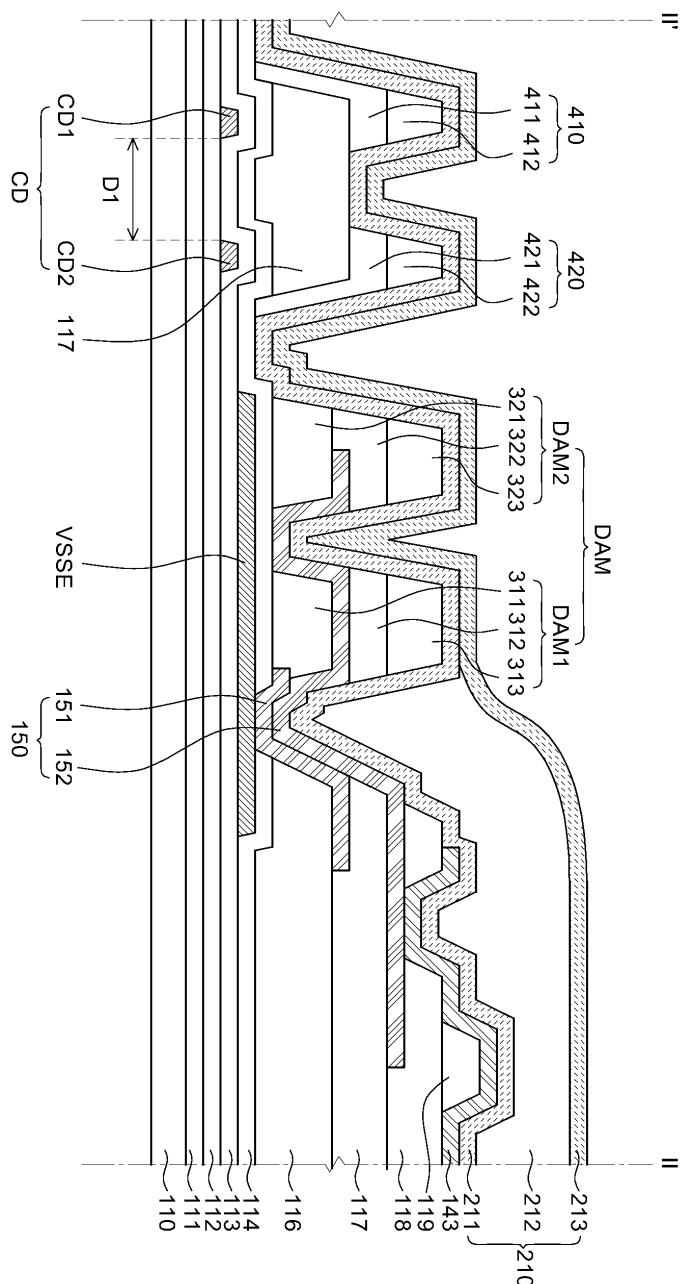
도면2



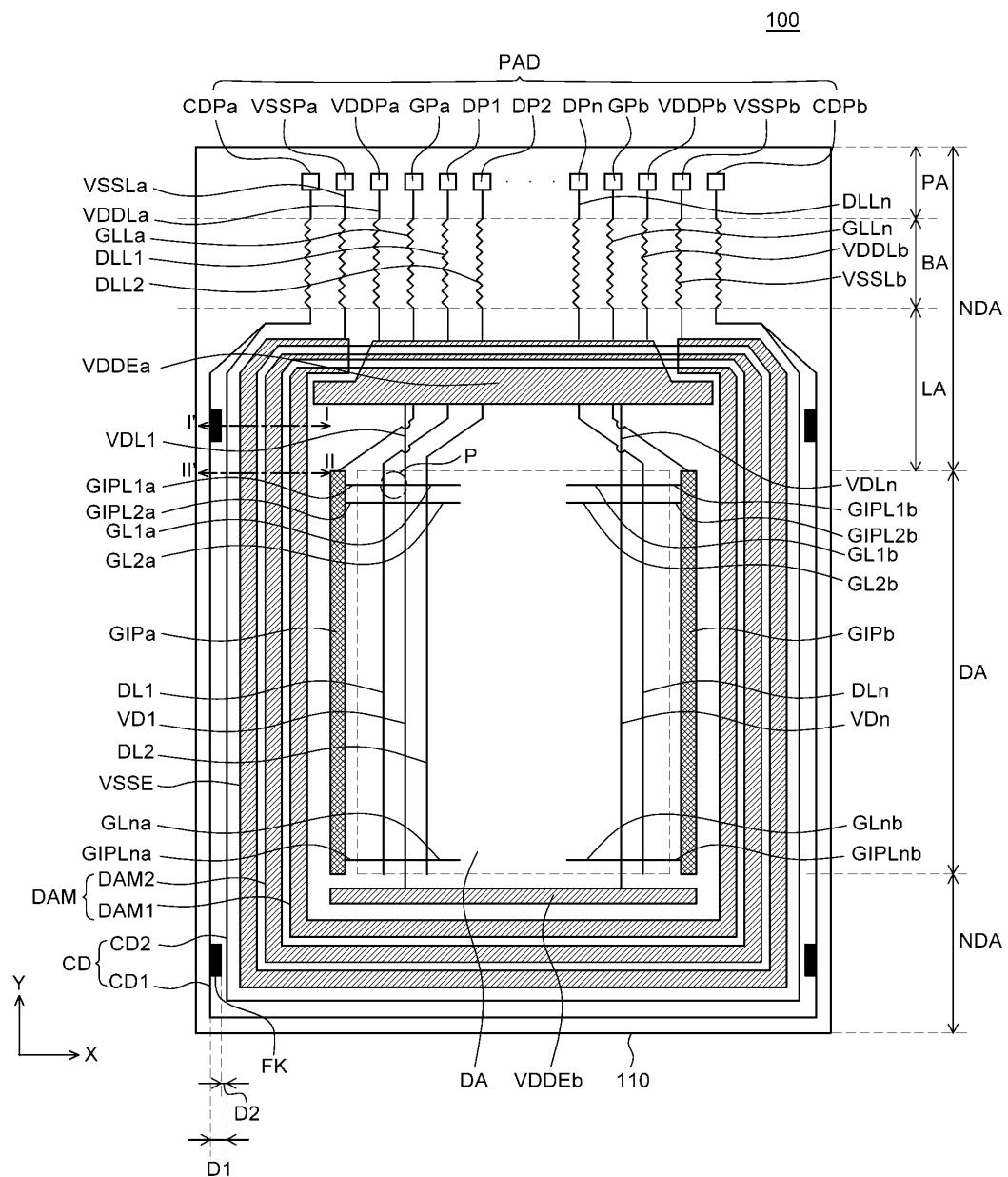
도면3a



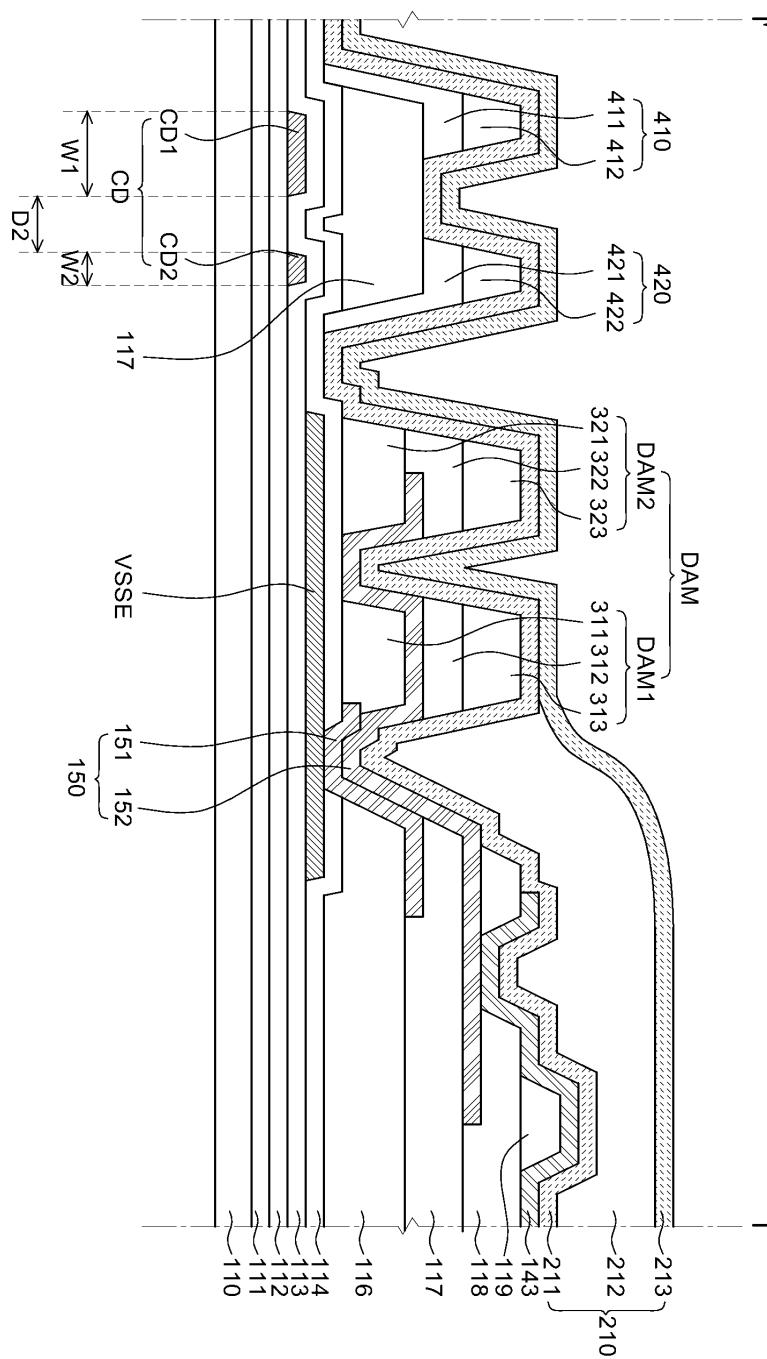
도면3b



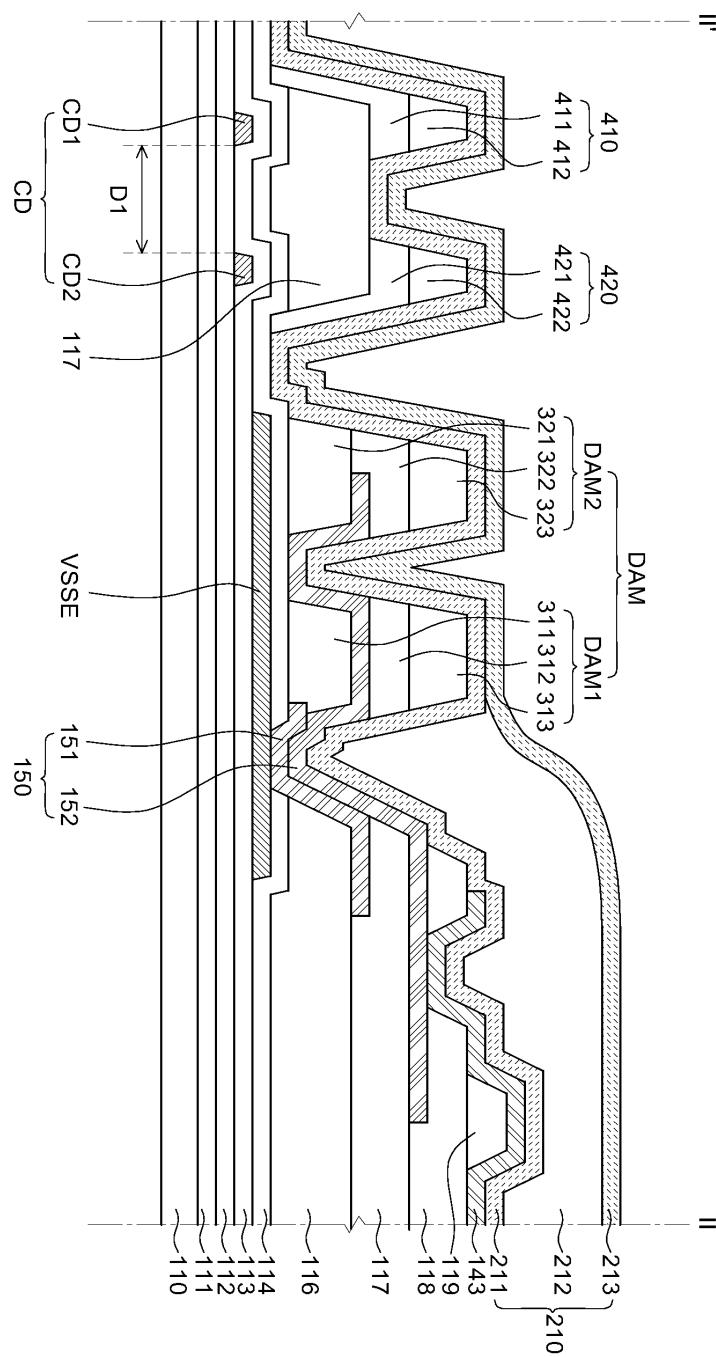
도면4



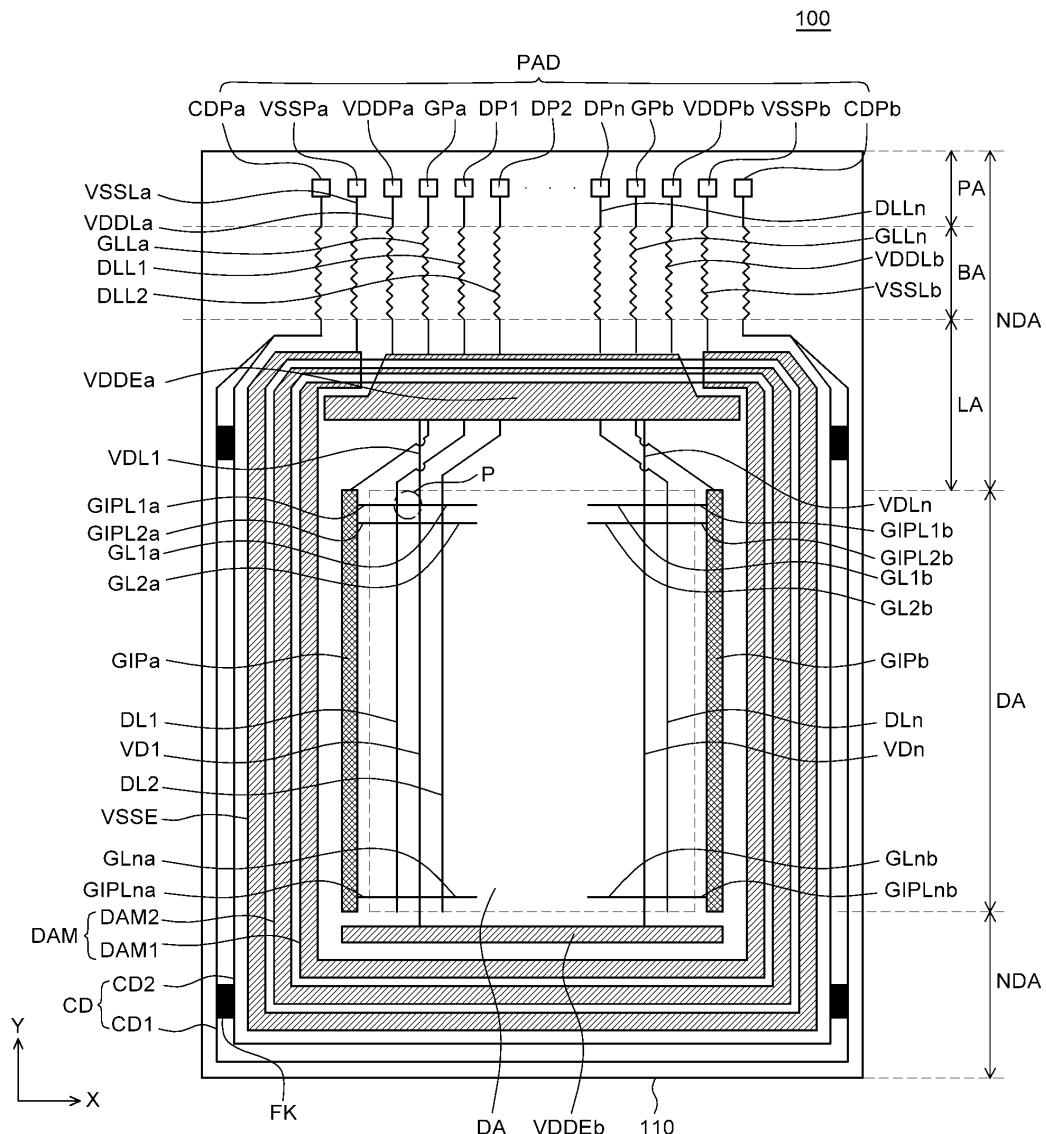
도면5a



도면5b



도면6



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020200082566A	公开(公告)日	2020-07-08
申请号	KR1020180173270	申请日	2018-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김태룡 민태현		
发明人	김태룡 민태현		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3225 H01L27/3262		

摘要(译)

根据本公开的示例性实施例的电致发光显示装置包括:基板,其包括显示区域和围绕该显示区域的非显示区域;在该非显示区域中的基板上的裂缝检测单元;以及设置为覆盖该裂缝检测单元的层间绝缘体层,在层间绝缘层上并设置在裂纹检测单元与显示区域之间的电源电极,设置为覆盖电源电极的保护层,在保护层上并设置为与裂纹检测单元重叠的平坦化层,以及它可以在平坦化层上并且可以包括与裂缝检测部分重叠的对准基准部分。

