



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0112229
(43) 공개일자 2019년10월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 29/786 (2006.01)
H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 29/78606 (2013.01)
(21) 출원번호 10-2018-0033404
(22) 출원일자 2018년03월22일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김도형
경기도 용인시 기흥구 한보라1로64번길 22, 103동
1002호(보라동, 삼성래미안아파트)
김건희
경기도 화성시 동탄대로시범길 122, 1462동 404호
(청계동, 시범호반베르디움)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

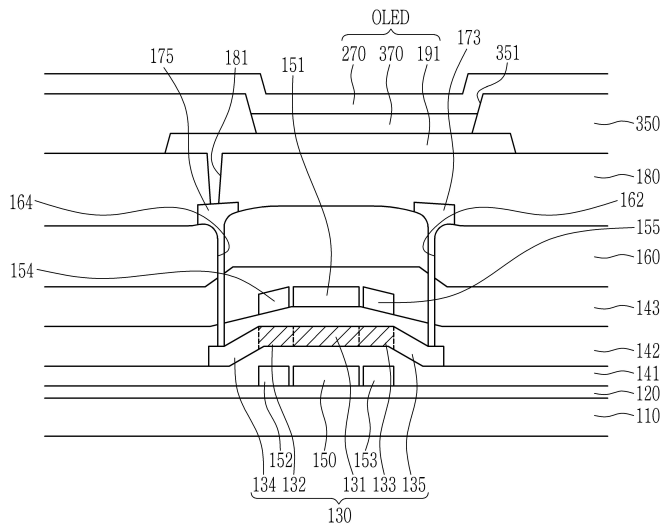
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터 표시판

(57) 요약

본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 유기 발광 표시 장치에 관한 것으로, 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판; 상기 기판 위에 위치하는 제1 게이트 전극; 상기 제1 게이트 전극 위에 위치하며, 드레인 영역, 소스 영역, 저농도 불순물 영역 및 채널 영역을 포함하는 반도체; 상기 반도체 위에 위치하는 제2 게이트 전극; 상기 저농도 불순물 영역과 중첩하도록 배치되는 적어도 하나의 제어 게이트 전극; 및 상기 반도체의 소스 영역 및 드레인 영역과 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 채널 영역과 중첩하도록 배치되는 것을 특징으로 한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78618 (2013.01)

H01L 29/78645 (2013.01)

H01L 29/78696 (2013.01)

H01L 51/50 (2013.01)

(72) 발명자

김현식

경기도 용인시 수지구 신수로683번길 19, 104동
702호 (풍덕천동, 래미안이스트파크)

박상호

경기도 화성시 동탄순환대로26길 55, 411동 1802호
(영천동, 반도유보라2차)

전주희

경기도 화성시 동탄대로12길 17, 1807동 702호 (오
산동, 반도유보라 아이비파크 3)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 위치하는 제1 게이트 전극;

상기 제1 게이트 전극 위에 위치하며, 드레인 영역, 소스 영역, 저농도 불순물 영역 및 채널 영역을 포함하는 반도체;

상기 반도체 위에 위치하는 제2 게이트 전극;

상기 저농도 불순물 영역과 중첩하도록 배치되는 적어도 하나의 제어 게이트 전극; 및

상기 반도체의 소스 영역 및 드레인 영역과 연결되어 있는 소스 전극 및 드레인 전극을 포함하고,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 채널 영역과 중첩하도록 배치되는 박막 트랜지스터 표시판.

청구항 2

제1항에 있어서,

상기 제어 게이트 전극은 제1 드레인 제어 게이트 전극, 제2 드레인 제어 게이트 전극, 제1 소스 제어 게이트 전극 및 제2 소스 제어 게이트 전극을 포함하고,

상기 제1 드레인 제어 게이트 전극 및 상기 제1 소스 제어 게이트 전극은 제1 게이트 전극과 동일한 층에 위치하고,

상기 제2 드레인 제어 게이트 전극 및 상기 제2 소스 제어 게이트 전극은 제2 게이트 전극과 동일한 층에 위치하는 박막 트랜지스터 표시판

청구항 3

제1항에 있어서,

상기 제어 게이트 전극은 드레인 제어 게이트 전극 및 소스 제어 게이트 전극을 포함하고,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극은 동일한 층에 위치하는 박막 트랜지스터 표시판.

청구항 4

제1항에 있어서,

상기 제어 게이트 전극은 드레인 제어 게이트 전극 및 소스 제어 게이트 전극을 포함하고,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극 중 적어도 하나는 상기 제1 게이트 전극과 동일한 층에 위치하고,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극 중 나머지 하나는 상기 제2 게이트 전극과 동일한 층에 위치하는 박막 트랜지스터 표시판.

청구항 5

제1항에 있어서,

상기 제어 게이트 전극은 제1 제어 게이트 전극 및 제2 제어 게이트 전극을 포함하고,

상기 제1 제어 게이트 전극 및 상기 제2 제어 게이트 전극은 상기 저농도 불순물 영역의 상하부에 중첩하여 위

치하는 박막 트랜지스터 표시판.

청구항 6

제1항에 있어서,

상기 제1 게이트 전극과 상기 반도체의 사이에 위치하는 제1 절연막;

상기 반도체와 상기 제2 게이트 전극 사이에 위치하는 제2 절연막; 및

상기 반도체 위에 위치하는 제3 절연막을 더 포함하는 박막 트랜지스터 표시판.

청구항 7

제1항에 있어서,

상기 반도체의 소스 영역 및 드레인 영역은 P형 불순물로 도핑되는 박막 트랜지스터 표시판.

청구항 8

제7항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 9

제8항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 10

기판;

상기 기판 위에 위치하는 게이트 전극;

상기 게이트 전극과 동일한 층에 위치하는 제어 게이트 전극;

상기 게이트 전극과 중첩하는 채널 영역, 상기 제어 게이트 전극과 중첩하는 저농도 불순물 영역, 소스 영역 및 드레인 영역을 포함하는 반도체; 및

상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 표시판.

청구항 11

제10항에 있어서,

상기 게이트 전극 및 상기 반도체 사이에 위치하는 제1 절연막;

상기 반도체 위에 위치하는 제2 절연막을 더 포함하는 박막 트랜지스터 표시판.

청구항 12

제10항에 있어서,

상기 반도체 및 상기 게이트 전극 사이에 위치하는 제1 절연막;

상기 게이트 전극 위에 위치하는 제2 절연막을 더 포함하는 박막 트랜지스터 표시판.

청구항 13

제10항에 있어서,

상기 반도체의 소스 영역 및 드레인 영역은 P형 불순물로 도핑되는 박막 트랜지스터 표시판.

청구항 14

제13항에 있어서,

상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 15

제14항에 있어서,

상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때,

상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 16

기판;

상기 기판 위에 위치하는 게이트 전극;

상기 게이트 전극 위에 위치하며, 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체;

상기 반도체 위에 위치하며, 상기 게이트 전극과 중첩되지 않도록 배치되는 제어 게이트 전극; 및

상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 표시판.

청구항 17

제16항에 있어서,

상기 게이트 전극 및 상기 반도체 사이에 위치하는 제1 절연막; 및

상기 반도체와 상기 제어 게이트 전극 사이에 위치하는 제2 절연막을 포함하는 박막 트랜지스터 표시판.

청구항 18

제16항에 있어서,

상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때,

상기 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 19

제18항에 있어서,

상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때,

상기 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

청구항 20

제18항에 있어서,

상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때,

상기 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가되는 박막 트랜지스터 표시판.

발명의 설명

기술 분야

[0001] 본 개시는 박막 트랜지스터 표시판에 관한 것으로, 유기 발광 표시 장치 및 다양한 표시 장치에 사용 가능한 박막 트랜지스터를 포함하는 표시 기판에 대한 것이다.

배경 기술

- [0002] 액정 표시 장치 및 유기 발광 표시 장치 등 다양한 표시 장치는 박막 트랜지스터를 포함하여 구동된다.
- [0003] 일 예로 유기 발광 표시 장치의 구동 방법은 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 전공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- [0004] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수의 화소들을 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수의 박막 트랜지스터 및 하나 이상의 커패시터가 포함된다. 복수의 박막 트랜지스터는 스위칭 트랜지스터 및 구동 트랜지스터 등을 포함한다.
- [0005] 이러한 박막 트랜지스터에 누설 전류가 존재할 경우, 블랙을 표시해야 할 유기 발광 다이오드가 미세하게 발광하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제점들을 해결하기 위한 것으로, 저농도 불순물 영역을 포함하는 박막 트랜지스터의 턴 오프(Trun off)시에 누설 전류를 감소시키는 박막 트랜지스터 표시판 및 이를 포함하는 다양한 표시 장치를 제공하는데 목적이 있다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 박막 트랜지스터 표시판은 기판; 상기 기판 위에 위치하는 제1 게이트 전극; 상기 제1 게이트 전극 위에 위치하며, 드레인 영역, 소스 영역, 저농도 불순물 영역 및 채널 영역을 포함하는 반도체; 상기 반도체 위에 위치하는 제2 게이트 전극; 상기 저농도 불순물 영역과 중첩하도록 배치되는 적어도 하나의 제어 게이트 전극; 및 상기 반도체의 소스 영역 및 드레인 영역과 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 채널 영역과 중첩하도록 배치될 수 있다.
- [0008] 상기 제어 게이트 전극은 제1 드레인 제어 게이트 전극, 제2 드레인 제어 게이트 전극, 제1 소스 제어 게이트 전극 및 제2 소스 제어 게이트 전극을 포함하고, 상기 제1 드레인 제어 게이트 전극 및 상기 제1 소스 제어 게이트 전극은 제1 게이트 전극과 동일한 층에 위치하고, 상기 제2 드레인 제어 게이트 전극 및 상기 제2 소스 제어 게이트 전극은 제2 게이트 전극과 동일한 층에 위치할 수 있다.
- [0009] 상기 제어 게이트 전극은 드레인 제어 게이트 전극 및 소스 제어 게이트 전극을 포함하고, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극은 동일한 층에 위치할 수 있다.
- [0010] 상기 제어 게이트 전극은 드레인 제어 게이트 전극 및 소스 제어 게이트 전극을 포함하고, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극 중 적어도 하나는 상기 제1 게이트 전극과 동일한 층에 위치하고, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극 중 나머지 하나는 상기 제2 게이트 전극과 동일한 층에 위치할 수 있다.
- [0011] 상기 제어 게이트 전극은 제1 제어 게이트 전극 및 상기 제2 제어 게이트 전극을 포함하고, 상기 제1 제어 게이트 전극 및 상기 제2 제어 게이트 전극은 상기 저농도 불순물 영역의 상하부에 중첩하여 위치할 수 있다.
- [0012] 상기 제1 게이트 전극과 상기 반도체의 사이에 위치하는 제1 절연막; 상기 반도체와 상기 제2 게이트 전극 사이에 위치하는 제2 절연막; 및 상기 반도체 위에 위치하는 제3 절연막을 더 포함할 수 있다.
- [0013] 상기 반도체의 소스 영역 및 드레인 영역은 P형 불순물로 도핑될 수 있다.
- [0014] 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때, 상기 드레인

제어 게이트 전극 및 상기 소스 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가될 수 있다.

- [0015] 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가될 수 있다.
- [0016] 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판은 기관; 상기 기관 위에 위치하는 게이트 전극; 상기 게이트 전극과 동일한 층에 위치하는 제어 게이트 전극; 상기 게이트 전극과 중첩하는 채널 영역, 상기 제어 게이트 전극과 중첩하는 저농도 불순물 영역, 소스 영역 및 드레인 영역을 포함하는 반도체; 및 상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0017] 상기 게이트 전극 및 상기 반도체 사이에 위치하는 제1 절연막; 상기 반도체 위에 위치하는 제2 절연막을 더 포함할 수 있다.
- [0018] 상기 반도체 및 상기 게이트 전극 사이에 위치하는 제1 절연막; 상기 게이트 전극 위에 위치하는 제2 절연막을 더 포함할 수 있다.
- [0019] 상기 반도체의 소스 영역 및 드레인 영역은 P형 불순물로 도핑될 수 있다.
- [0020] 상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가될 수 있다.
- [0021] 상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때, 상기 드레인 제어 게이트 전극 및 상기 소스 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가될 수 있다.
- [0022] 본 발명의 또 다른 실시예에 따른 박막 트랜지스터는 기관; 상기 기관 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하며, 소스 영역, 드레인 영역 및 채널 영역을 포함하는 반도체; 상기 반도체 위에 위치하며, 상기 게이트 전극과 중첩되지 않도록 배치되는 제어 게이트 전극; 및 상기 반도체와 연결되어 있는 소스 전극 및 드레인 전극을 포함할 수 있다.
- [0023] 상기 게이트 전극 및 상기 반도체 사이에 위치하는 제1 절연막; 및 상기 반도체와 상기 제어 게이트 전극 사이에 위치하는 제2 절연막을 포함할 수 있다.
- [0024] 상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때, 상기 제어 게이트 전극에 음의 레벨 전압이 독립적으로 인가될 수 있다.
- [0025] 상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 작을 때, 상기 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가될 수 있다.
- [0026] 상기 게이트 전극에 인가되는 전압이 미리 설정된 전압보다 클 때, 상기 제어 게이트 전극에 양의 레벨 전압이 독립적으로 인가될 수 있다.

발명의 효과

- [0027] 본 발명의 다양한 실시예에 따른 박막 트랜지스터 표시판에 의하면, 저농도 불순물 영역을 포함하는 박막 트랜지스터의 턴 온(Turn on)시에 구동 전류가 증가하고, 턴 오프(Turn off)시에 구동 전류가 감소하므로, 결론적으로 박막 트랜지스터의 누설 전류를 감소시키는 효과가 있다.
- [0028] 또한, 드레인 및 소스 제어 게이트 전극은 반도체의 저농도 불순물 영역(LDD)만을 제어하며, 주변의 다른 영역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 박막 트랜지스터에 전압이 인가되었을 때 채널 영역의 모습을 개략적으로 도시한 단면도이다.
 도 3은 본 발명의 실시예에 따른 박막 트랜지스터와 비교예의 박막 트랜지스터의 구동 전압-전류 특성 그래프이다.
 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.

- 도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 6은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 7은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.
- 도 9는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.
- 도 10은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0032] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0033] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0034] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0035] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0037] 도 1을 참고하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관(110), 버퍼층(120), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)을 포함하고, 보호막(180), 화소 전극(191), 격벽(350), 유기 발광층(370) 및 공통 전극(270)을 더 포함한다.
- [0038] 구체적으로 형성 위치를 살펴보면, 기관(110) 위에 버퍼층(120)이 위치하고, 버퍼층(120) 위에 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)이 위치할 수 있다. 상기 제1 게이트 전극(150)을 포함하는 층 위에 제1 절연막(141)이 위치하고, 제1 절연막(141) 위에는 반도체(130)이 위치할 수 있다. 상기 반도체(130) 위에 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)이 위치하고, 제2 게이트 전극(151)을 포함하는 층 위에는 제3 절연막(143)이 위치할 수 있다.
- [0039] 상기 제3 절연막(143) 위에는 층간 절연막(160)이 위치하며, 상기 층간 절연막(160) 위에 소스 전극(173) 및 드레인 전극(175)이 위치할 수 있다.
- [0040] 또한, 소스 전극(173) 및 드레인 전극(175) 위에는 화소 전극(191)이 위치하고, 상기 보호막(180)은 소스 전극(173) 및 드레인 전극(175)과 화소 전극(191) 사이에 위치하고, 화소 전극(191) 위에는 차례로 격벽(350), 유기 발광층(370) 및 공통 전극(270)이 위치할 수 있다.
- [0041] 기관(110)은 유리, 석영, 세라믹 등으로 이루어지는 절연성 기관(110)으로 형성된다. 그러나, 본 발명의 일 실시예는 이에 한정되지 않고, 기관(110)은 스테인리스 강이나 플렉서블(flexible) 표시 장치를 구현하기 위한 폴

리이미드(polyimide) 필름과 같은 가요성 재질의 플라스틱으로 이루어질 수도 있다.

- [0042] 버퍼층(120)은 기판(110) 위에 위치하며, 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)로 이루어질 수 있다. 버퍼층(120)은 상면을 평활하게 하며 불순물의 침투를 방지하는 역할을 하며, 경우에 따라서 생략될 수도 있다.
- [0043] 제1 게이트 전극(150)은 버퍼층(120) 위에 위치하며, 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 막은 다층 또는 단층으로 형성될 수 있다. 또한, 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)은 제1 게이트 전극(150)과 동일한 층에 위치하며, 제1 게이트 전극(150)과 마찬가지로 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 다층 또는 단층 막으로 형성될 수 있다.
- [0044] 제1 게이트 전극(150)은 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153) 사이에 위치한다. 제1 게이트 전극(150)은 제1 소스 제어 게이트 전극(153) 및 제1 드레인 제어 게이트 전극(152)을 양 측에 두고 소정거리 떨어져서 독립적으로 위치할 수 있다.
- [0045] 제1 게이트 전극(150)과 제1 드레인 제어 및 소스 제어 게이트 전극(152,153)에는 극성이 다른 전압이 독립적으로 인가될 수 있다.
- [0046] 제1 절연막(141)은 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)이 형성되는 층 위에 위치하여, 버퍼층(120), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)을 덮는다. 제1 절연막(141)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 포함할 수 있다.
- [0047] 실시예에 따라서는 버퍼층(120)이 생략될 수 있으며, 이 때에는 기판(110)위에 제1 게이트 전극(150)이 위치하고, 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)을 포함하는 층 위에 바로 제1 절연막(141)이 위치할 수 있다. 이 경우 제1 절연막(141)은 도전성 전극 간에 절연하기 위한 막으로서, 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx) 물질로 형성되는 버퍼층(120)을 대체할 수 있다.
- [0048] 반도체(130)는 제1 절연막(141) 위에 위치하며, 다결정 실리콘(polycrystalline silicon), 산화물 반도체 물질 및 비정질 실리콘 등을 포함할 수 있다. 예컨대, 반도체(130)는 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn), 게르마늄(Ge) 등과 같은 금속원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 또한, 반도체(130)는 불순물이 도핑되어 영역이 구분될 수 있다.
- [0049] 반도체(130)는 불순물이 도핑되지 않은 채널 영역(131), 불순물이 도핑된 소스 영역(135) 및 드레인 영역(134), 상기 소스 영역(135) 및 드레인 영역(134) 보다 저항값이 높으며, 불순물의 도핑 정도가 낮은 저농도 불순물 영역(LDD 영역: Lightly Doped Drain)을 포함한다.
- [0050] 저농도 불순물 영역은 상기 반도체(130)의 채널 영역(131)과 드레인 영역(134) 사이에 형성되는 제1 저농도 불순물 영역(132) 및 반도체(130)의 채널 영역(131)과 소스 영역(135) 사이에 형성되는 제2 저농도 불순물 영역(133)을 포함한다.
- [0051] 반도체(130)의 채널 영역(131)은 하부의 제1 게이트 전극(150)과 중첩하여 형성되고, 제1 드레인 제어 게이트 전극(152)은 하부의 제1 저농도 불순물 영역(132)과 중첩하여 형성되며, 제1 소스 제어 게이트 전극(153)은 하부의 제2 저농도 불순물 영역(133)과 중첩하여 형성된다. 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)은 하부의 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)의 내에 위치하도록 중첩하여 형성될 수 있다.
- [0052] 저농도 불순물 영역의 전도도는 소스 전극(173) 및 드레인 전극(175)과 접촉하는 영역의 전도도와 채널 영역(131) 전도도의 중간 정도 값이 된다. 저농도 불순물 영역은 박막 트랜지스터의 누설 전류나 펀치 스루(punch through) 현상이 발생하는 것을 방지하고, 반도체(130)의 특성 및 신뢰성이 저하되는 것을 방지한다.
- [0053] 제2 절연막(142)은 반도체(130) 위에 위치하여 반도체(130) 및 제1 절연막(141)을 덮으며, 실리콘 질화물(SiNx)을 포함할 수 있다.
- [0054] 제2 절연막(142) 위에는 제2 게이트 전극(151)이 위치하며, 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 막으로 다층 또는 단층으로 형성될 수 있다.
- [0055] 또한, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)은 제2 게이트 전극(151)과 동일한 층에 위치하며, 제2 게이트 전극(151)과 마찬가지로 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 다층 또는 단층 막으로 형성될 수 있다.

- [0056] 제2 게이트 전극(151)은 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155) 사이에 위치하며, 제2 소스 제어 게이트 전극(154) 및 제2 드레인 제어 게이트 전극(155)을 양 측에 두고 소정거리 떨어져서 독립적으로 위치한다. 제2 게이트 전극(151)과 제2 드레인 제어 및 소스 제어 게이트 전극(154,155)에는 부호가 다른 전압이 독립적으로 인가될 수 있다.
- [0057] 제2 게이트 전극(151)은 제1 게이트 전극(150) 및 반도체(130)의 채널 영역(131)과 중첩하여 위치할 수 있다. 제2 드레인 제어 게이트 전극(154)은 제1 저농도 불순물 영역(132)과 중첩하여 위치하고, 제2 소스 제어 게이트 전극(155)은 제2 저농도 불순물 영역(133)과 중첩하여 위치할 수 있다.
- [0058] 따라서, 제1 저농도 불순물 영역(132)은 제2 드레인 제어 게이트 전극(154)과 제1 드레인 제어 게이트 전극(152)의 사이에 중첩하여 위치할 수 있으며, 제1 및 제2 드레인 제어 게이트 전극(152,154)의 크기는 각각 다르게 형성될 수 있으며, 제1 저농도 불순물 영역(132)의 내에 형성될 수 있다. 제2 저농도 불순물 영역(133)도 이와 마찬가지로 제1 소스 제어 게이트 전극(153)과 제2 소스 제어 게이트 전극(155)의 사이에 중첩하여 위치하도록 형성될 수 있다.
- [0059] 기판(110)의 상부면에 대하여 수직인 방향으로 연장되는 선 중 저농도 불순물 영역의 경계를 지나는 연장선은 제2 드레인 제어 게이트 전극(154)과 접촉하지 않을 수 있다. 그 결과 제2 드레인 제어 게이트 전극(154)은 저농도 불순물 영역 내에 중첩되며, 다른 반도체의 영역과는 중첩하지 않는다. 그 결과 드레인 및 소스 제어 게이트 전극은 저농도 불순물 영역만을 제어하며, 주변의 다른 영역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.
- [0060] 이하 본 명세서에서는, 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)을 함께 지칭하는 경우에는 제어 게이트 전극이라 하겠다. 제어 게이트 전극은 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153)을 포함하는 제1 제어 게이트 전극, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)을 포함하는 제2 제어 게이트 전극으로 지칭될 수 있다.
- [0061] 제3 절연막(143)은 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155) 위에 위치하며, 이들 및 제2 절연막(142)를 덮는다. 제3 절연막(143)은 실리콘 질화물(SiNx)을 포함하는 물질로 형성될 수 있다.
- [0062] 층간 절연막(160)은 제3 절연막(143) 위에 위치할 수 있으며, 제2 절연막(142), 제3 절연막(143) 및 층간 절연막(160)에는 반도체(130)의 적어도 일부를 드러내는 접촉 구멍(162,164)이 형성되어 있다. 접촉 구멍(162,164)은 특히 반도체(130)의 드레인 영역(134) 및 소스 영역(135)을 드러내고 있다.
- [0063] 층간 절연막(160) 위에는 소스 전극(173) 및 드레인 전극(175)이 위치할 수 있다. 소스 전극(173)은 접촉 구멍(162)을 통해 반도체(130)의 소스 영역(135)과 연결되어 있고, 드레인 전극(175)은 접촉 구멍(164)을 통해 반도체(130)의 드레인 영역(134)과 연결되어 있다.
- [0064] 반도체(130), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155), 소스 전극(173), 드레인 전극(175)은 하나의 박막 트랜지스터를 구성한다. 상기에서 설명한 박막 트랜지스터는 유기 발광 표시 장치의 화소내에 위치하는 스위칭 트랜지스터, 구동 트랜지스터 또는 보상 트랜지스터 중 하나일 수 있다. 이러한 박막 트랜지스터가 형성되어 있는 기판(110)을 박막 트랜지스터 표시판이라고 한다. 박막 트랜지스터 표시판에 유기 발광 소자가 더 형성되면 유기 발광 표시 장치가 되며, 액정층이 더 포함되면 액정 표시 장치가 될 수 있다.
- [0065] 보호막(180)은 층간 절연막(160) 위에 위치하며, 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175)을 덮는다. 보호막(180)에는 드레인 전극(175)의 적어도 일부를 노출시키는 접촉 구멍(181)이 형성되어 있다.
- [0066] 보호막(180) 위에는 화소 전극(191)이 위치할 수 있다. 화소 전극(191)은 인듐-주석 산화물(ITO, Indium Tin Oxide), 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화 아연(ZnO), 인듐 산화물(In₂O₃, Indium Oxide) 등의 투명한 도전 물질이나 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 화소 전극(191)은 접촉 구멍(181)을 통해서 드레인 전극(175)과 전기적으로 연결되어 유기 발광 다이오드(OLED)의 애노드 전극이 될 수 있다.

[0067] 보호막(180)의 위와 화소 전극(191)의 가장자리부 위에는 격벽(350)이 위치할 수 있다. 격벽(350)은 화소 전극(191)을 노출하는 오픈부(351)를 가진다. 격벽(350)은 폴리아크릴계(polyacrylics) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함할 수 있다.

[0068] 격벽(350)의 오픈부(351)에는 유기 발광층(370)이 형성되어 있다. 유기 발광층(370)은 발광층, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 적어도 하나를 포함할 수 있다.

[0069] 격벽(350) 및 유기 발광층(370) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 인듐-주석 산화물(ITO, Indium Tin Oxide), 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화 아연(ZnO), 인듐 산화물(In₂O₃, Indium Oxide) 등의 투명한 도전 물질로 형성될 수 있다. 한편 실시예에 따라서는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 반사성 금속으로 만들어질 수 있다. 공통 전극(270)은 유기 발광 다이오드(OLED)의 캐소드 전극이 될 수 있다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)은 유기 발광 다이오드(OLED)를 이룬다.

[0070] 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 박막 트랜지스터에 전압이 인가되었을 때 반도체의 채널 영역의 모습을 개략적으로 도시한 단면도이다.

[0071] 이하, 도 2a 내지 도 2c 및 아래의 표 1을 참고하여, 본 발명의 일 실시예에 따른 P형 박막 트랜지스터의 구동 방법을 상세하게 살펴보도록 한다.

표 1

구구간	TFT 상태	게이트 전극에 인가되는 전압	채널 영역	제어 게이트 전극에 인가되는 전압	저농도 불순물 영역	결과
i	On	음(-)	홀(hole)	음(-)	홀(hole)	On 전류 ↑
ii	Off	음(-)	홀(hole)	양(+)	전자(electron)	Off 전류 ↓
iii	Off	양(+)	전자(electron)	음(-)	홀(hole)	Off 전류 ↓

[0073] 먼저 위의 표 1에 따르면 (i)구간은 본 발명의 일 실시예에 따른 박막 트랜지스터가 턴 온(Turn on)되어야 하는 구간이므로, 박막 트랜지스터에 흐르는 전류의 세기를 증가시키기 위하여, 제어 게이트 전극에 음의 전압을 인가한다.

[0074] 구체적으로, 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 음의 전압이 인가되면, 소스 영역 및 드레인 영역을 연결하는 채널이 형성되도록 하기 위하여 제어 게이트 전극(152, 153, 154, 155)에 음의 전압이 인가될 수 있다. 제어 게이트 전극(152, 153, 154, 155)에 인가되는 전압의 범위는 -20V 내지 -2V에 해당할 수 있으며, 제1 및 제2 게이트 전극(150, 151)에 인가되는 전압과 동일한 전압을 인가할 수도 있다 이를 상세히 살펴보기 위하여, 도 2a를 참고한다.

[0075] 도 2a는 본 발명의 일 실시예에 따른 박막 트랜지스터에 표 1의 (i)영역 범위의 전압이 인가될 때, 박막 트랜지스터에 형성되는 채널 영역의 모습을 개략적으로 도시한 단면도이다.

[0076] 도 2a를 참고하면, 본 발명의 일 실시예에 따른 박막 트랜지스터가 턴 온(Turn on)되기 위하여, 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 음의 전압이 인가될 때, 제1 게이트 전극(150) 및 제2 게이트 전극(151) 사이에 위치하는 반도체(130)의 채널 영역(131)에는 홀(hole) 채널이 형성된다. 반도체(130)의 채널 영역(131)에 형성된 홀(hole)로 인해, 박막 트랜지스터가 구동되기 위한 드레인-소스전류가 흐른다.

[0077] 도 2a에 도시된 바와 같이, 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155) 각각에는 음의 전압이 인가된다.

[0078] 드레인 제어 게이트 전극(152, 154) 및 소스 제어 게이트 전극(153, 155)에 음의 전압이 인가되면, 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)의 상면에는 정공만이 남게 되어, 반도체(130) 및 양측 저농도

불순물 영역(132,133)에서 채널이 형성되어 소스 영역(135) 및 드레인 영역(134)이 연결된다.

- [0079] 이에 따라, 박막 트랜지스터에 구동 전류가 흐를 수 있는 채널 영역(131)에 반도체의 도핑 영역까지 전류 패스가 형성되어, 전류가 더 잘 흐를 수 있다.
- [0080] 여기서, 각 드레인 제어, 소스 제어 게이트 전극에 인가되는 음의 전압의 크기는 동일할 수도 있고, 각 게이트 전극에 따라 상이할 수도 있다.
- [0081] 표 1의 (ii)구간은 본 발명의 일 실시예에 따른 게이트 전극에 인가되는 전압이 임계전압(V_{th}) 이하이므로, 전압은 음이지만 실제로는 오프(off)된 구간이므로 전류가 감소해야 하는 구간에 해당한다. 따라서, 누설 전류를 감소 시키기 위하여 제어 게이트 전극에 양의 전압을 인가한다.
- [0082] 구체적으로, 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 음의 전압이 인가되고, 제어 게이트 전극(152,153,154,155)에 양의 전압이 인가될 수 있다. 제어 게이트 전극(152,153,154,155)에 인가되는 전압의 범위는 $-2V$ 내지 $0V$ 에 해당할 수 있다. 이를 상세히 살펴보기 위하여, 도 2b를 참고한다.
- [0083] 도 2b는 본 발명의 일 실시예에 따른 박막 트랜지스터에 표 1의 (ii)구간 범위의 전압이 인가될 때, 박막 트랜지스터에 형성되는 채널 영역(131)의 모습을 개략적으로 도시한 단면도이다.
- [0084] 도 2b를 참고하면, 본 발명의 일 실시예에 따른 박막 트랜지스터가 턴 오프(Turn off) 된 직후, 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 음의 전압이 유지된다. 이때, 제1 게이트 전극(150) 및 제2 게이트 전극(151) 사이에 위치하는 반도체(130)의 채널 영역(131)내에서는 홀(hole) 채널이 여전히 형성된 모습을 확인할 수 있다.
- [0085] 도 2b에 도시된 바와 같이, 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155) 각각에 양의 전압을 인가한다.
- [0086] 드레인 제어 게이트 전극(152,154) 및 소스 제어 게이트 전극(153,155)에 양의 전압이 인가되면, 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)의 상면에 전자들이 응집하여, 전자(electron) 채널이 형성된다.
- [0087] 제1 저농도 불순물 영역(132)에서는 응집되는 전자들에 의해 음의 전기장이 인가되고, 박막 트랜지스터에 구동 전류가 흐를 수 있는 채널 영역(131)이 소스 영역(135) 및 드레인 영역(134)에 연결되지 않으므로 전류가 흐르지 않게 된다. 저농도 불순물 영역(132,133)이 있더라도 홀(hole) 채널이 없으면 소스 영역(135) 및 드레인 영역(134)까지 연결이 약하여 전류가 상대적으로 적게 흐른다.
- [0088] 표 1의 (iii)구간은 본 발명의 실시예에 따른 박막 트랜지스터가 턴 오프(Turn off) 되어야 하는 구간이므로 박막 트랜지스터에 흐르는 전류가 없어야 하므로, 제어 게이트 전극에 음의 전압을 인가한다.
- [0089] 구체적으로, 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 양의 전압이 인가되고, 제어 게이트 전극(152,153,154,155)에 음의 전압이 인가될 수 있다. 제어 게이트 전극(152,153,154,155)에 인가되는 전압의 범위는 $-20V$ 내지 $-2V$ 에 해당할 수 있다. 이를 상세히 살펴보기 위하여, 도 2c를 참고한다.
- [0090] 도 2c는 본 발명의 일 실시예에 따른 박막 트랜지스터에 표 1의 (iii)구간 범위의 전압이 인가될 때, 박막 트랜지스터에 형성되는 채널 영역(131)의 모습을 개략적으로 도시한 단면도이다.
- [0091] 도 2c를 참고하면, 본 발명의 일 실시예에 따른 박막 트랜지스터가 턴 오프(Turn off) 되기 위해서는 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 양의 전압이 인가되며, 제1 게이트 전극(150) 및 제2 게이트 전극(151) 사이에 위치하는 반도체(130)의 채널 영역(131)에서는 전자(electron)들이 응집하게 된다.
- [0092] 이때, 드레인 전압이 낮은 음의 전압을 갖는 경우, 반도체(130)의 채널 영역(131)과 드레인 영역(134)의 경계에는 큰 크기의 전기장이 유도된다. 채널 영역(131)의 상부에 응집된 전자들은 드레인 전압에 의해 경계에 유도된 전기장에 의해 소스 영역(135)으로 흘러가며, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생할 수 있다.
- [0093] 그러나, 본 발명의 일 실시예에 따른 박막 트랜지스터에서는 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 각각 음의 전압을 인가한다. 이에 따라 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)에 홀(hole)만 남게 되는데, 채널 영역(131)의 전자 흐름을 방해하여, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생하

지 않게 된다.

- [0094] 이는 일 예로 P형으로 가정하고 채널 영역의 모습을 나타낸 것으로, N형 박막 트랜지스터에도 형성되는 채널 영역에 따라 작동 원리가 동일하게 적용될 수 있음은 물론이다.
- [0095] 본 발명의 실시예인 P형 박막 트랜지스터와 달리, N형 박막 트랜지스터는 임계전압(Vth)이 양의 전압을 가진다. N형 박막 트랜지스터가 턴 오프(Turn off)되기 위해서 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 인가되는 전압이 음의 전압을 가지고, 채널 영역(131)의 상부에는 홀(hole)이 응집하게 된다. 이에 따라 저농도 불순물 영역의 전자 농도를 증가시키기 위하여 제어 게이트 전극에 양의 전압을 인가시킬 수 있다.
- [0096] N형 박막 트랜지스터에 따른 구동에서도 턴 온(Turn on)전류는 증가하고, 턴 오프(Turn off)시에 누설 전류는 감소하게 되는바, 본 발명의 실시예에 따른 효과와 동일해진다.
- [0097] 도 3은 본 발명의 실시예에 따른 박막 트랜지스터와 비교예에 따른 박막 트랜지스터의 구동 전압-전류 특성 그래프이다.
- [0098] 도 3에 도시된 그래프에서 실선은 비교예의 P형 박막 트랜지스터가 턴 온(Turn on), 턴 오프(Turn off) 될 때의 전압-전류 그래프를 도시한 것이고, 점선은 본 발명의 실시예에 따른 P형 박막 트랜지스터의 전압-전류 그래프를 도시한 것이다. 이는 일 예로 P형으로 가정하고 동작 특성 그래프를 나타낸 것으로, N형 박막 트랜지스터에도 적용할 수 있음은 물론이다.
- [0099] 여기서, 비교예의 P형 박막 트랜지스터는 본 발명의 P형 박막 트랜지스터와는 달리 제어 게이트 전극을 포함하지 않는 구조를 말한다.
- [0100] 비교예의 P형 박막 트랜지스터 및 본 발명의 실시예에 따른 P형 박막 트랜지스터의 구동 영역은 상기 표 1에서 구분한 바와 같이, 제1 게이트 전극(150), 제2 게이트 전극(151)에 인가되는 게이트-소스 전압(Vgs)이 임계전압(Vth)보다 작을 때 턴 온(Turn on)되는 구간(i)을 포함하고, 임계전압(Vth)과 0 사이일 때 구간(ii) 및 0 보다 클 때 턴 오프(Turn off)되는 구간(iii)을 포함한다.
- [0101] 본 발명의 실시예는 P형 박막 트랜지스터에 관한바, 게이트-소스 전압(Vgs)이 작아질수록 드레인 전류가 증가한다. 게이트-소스 전압(Vgs)이 대략 0.5V 이상인 경우, 박막 트랜지스터는 턴 오프(Turn off)된다.
- [0102] 하기의 표 2는 비교예의 P형 박막 트랜지스터에 따른 구동 방법을 나타낸 표이다.

표 2

구구간	TIPT 상태	게이트 전극에 인가되는 전압	채널 영역	저농도 불순물 영역	결과
i	On	음(-)	홀(hole)	홀(hole)	On 전류
ii	Off	음(-)	홀(hole)	홀(hole)	Off 전류
iii	Off	양(+)	전자(electron)	홀(hole)	Off 전류

- [0104] 비교예의 P형 박막 트랜지스터는 제어 게이트 전극을 포함하지 않으므로, 저농도 불순물 영역에는 이미 도핑된 P형 불순물에 의해 홀(hole)채널이 유지된다. 이에 따라, 온(On) 전류, 오프(Off) 전류는 기존의 박막 트랜지스터 특성에 따른 전류의 세기와 동일하게 유지된다.
- [0105] 상기의 표 1과 표 2를 참고하면, 본 발명의 실시예에 따른 박막 트랜지스터는 비교예의 박막 트랜지스터보다 (i)구간에서 흐르는 전류가 증가하고, (ii), (iii)구간에서 흐르는 전류가 더 감소함을 확인할 수 있다.
- [0106] 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0107] 도 4를 참고하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기관(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 게이트 전극(151), 제2 소스 제어 게이트 전극(155), 제2 드레인 제어 게이트 전극(154), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173), 보호막(180), 화소 전극(191), 격벽(350), 유기 발광층(370), 공통 전극(270)을 포함한다.

- [0108] 여기서, 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)은 도 1을 참조로 설명한 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)에 각각 대응하므로, 여기서는 반복하여 설명하지 않고, 차이점을 중심으로 기술하도록 하겠다.
- [0109] 도 4에 도시된 유기 발광 표시 장치는, 도 1에 도시된 단면도와 비교할 때 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)을 포함하지 않고, 제2 게이트 전극(151)의 양 측에 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)만이 동일한 층에 형성될 수 있다.
- [0110] 여기서, 기판(110)의 상부면을 기준으로 수직 방향으로 연장된 선 중 저농도 불순물 영역의 경계를 지나는 연장선은 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)과 접촉하지 않을 수 있다.
- [0111] 제2 드레인 제어 게이트 전극(154)의 하부에는 제1 저농도 불순물 영역(132)만이 중첩하여 존재하며, 제2 소스 제어 게이트 전극(155)의 하부에는 제2 저농도 불순물 영역(133)만이 중첩되며, 다른 반도체의 영역과는 중첩하지 않는다. 그 결과 드레인 및 소스 제어 게이트 전극은 저농도 불순물 영역만을 제어하며, 주변의 다른 영역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.
- [0112] 본 발명은 소스 제어 게이트 전극 및 드레인 제어 게이트 전극을 추가로 형성하여 누설전류를 감소하기 위한 것인바, 이하 본 발명의 다른 실시예에 따른 박막 트랜지스터가 위에서 설명한 도 3의 (iii)구간에 따라 구동될 때를 가정하여, 그 효과를 살펴본다.
- [0113] 도 3를 참고하면, 본 발명의 다른 실시예에 따른 박막 트랜지스터가 턴오프(Turn off)되기 위해서는 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 양의 전압이 인가되며, 제1 게이트 전극(150) 및 제2 게이트 전극(151) 사이에 위치하는 반도체(130)의 채널 영역(131)에서는 전자(electron)들이 응집하게 된다. 이때, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생할 수 있는바, 도 4에 도시된 바와 같이, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 음의 전압을 인가할 수 있다.
- [0114] 이에 따라 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)에 홀(hole)만 남게 되는데, 채널 영역(131)의 전자 흐름을 방해하여, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생하지 않게 된다.
- [0115] 도 4에 도시된 본 발명의 또다른 실시예인 박막 트랜지스터는 도 2c에 도시된 구조와는 달리 하나의 드레인 제어 게이트 전극, 소스 제어 게이트 전극에만 음의 전압이 인가되는데, 도 3c에서 제어할 수 있는 누설전류의 크기보다는 작은 전류를 제어할 수 있다.
- [0116] 도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0117] 도 5를 참고하면, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치는 기판(110), 버퍼층, 제1 게이트 전극(150), 제1 소스 제어 게이트 전극(153), 제1 드레인 제어 게이트 전극(152), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 게이트 전극(151), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극, 보호막(180), 화소 전극(191), 격벽(350), 유기 발광층(370), 공통 전극(270)을 포함한다.
- [0118] 여기서, 기판(110), 버퍼층, 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극은 도 1을 참조로 설명한 기판(110), 버퍼층, 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)에 각각 대응하므로, 여기서는 반복하여 설명하지 않고, 차이점을 중심으로 기술하도록 하겠다.
- [0119] 도 5에 도시된 유기 발광 표시 장치는, 도 1에 도시된 단면도와 비교할 때 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)을 포함하지 않고, 제1 게이트 전극(150)의 양 측에 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)만이 동일한 층에 형성될 수 있다.
- [0120] 또한, 기판(110)의 상부면에 대하여 수직 방향으로 연장되는 선 중 저농도 불순물 영역의 경계를 지나는 연장선은 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)과 접촉하지 않을 수 있다.
- [0121] 제1 드레인 제어 게이트 전극(152)의 상부에는 제1 저농도 불순물 영역(132)만이 중첩하여 존재하며, 제1 소스 제어 게이트 전극(153)의 상부에는 제2 저농도 불순물 영역(133)만이 중첩되며, 다른 반도체의 영역과는 중첩하

지 않는다. 그 결과 드레인 및 소스 제어 게이트 전극은 저농도 불순물 영역만을 제어하며, 주변의 다른 영역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.

- [0122] 본 발명은 소스 제어 게이트 전극 및 드레인 제어 게이트 전극을 추가로 형성하여 누설전류를 감소하기 위한 것 인바, 이하 본 발명의 또 다른 실시예에 따른 박막 트랜지스터가 위에서 설명한 도 3의 (iii)구간에 따라 구동 될 때를 가정하여, 그 효과를 살펴본다.
- [0123] 다시 도 3을 참고하면, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터가 턴 오프(Turn off)되기 위해서는 제1 게이트 전극(150) 및 제2 게이트 전극(151)에 양의 전압이 인가되며, 제1 게이트 전극(150) 및 제2 게이트 전극(151) 사이에 위치하는 반도체(130)의 채널 영역(131)에서는 전자(electron)들이 응집하게 된다. 이때, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생할 수 있는바, 도 5에 도시된 바와 같이, 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)에 음의 전압을 인가할 수 있다.
- [0124] 이에 따라 제1 저농도 불순물 영역(132) 및 제2 저농도 불순물 영역(133)에 홀(hole)만 남게 되는바, 채널 영역 (131)의 전자 흐름을 방해하여, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생하지 않게 된다.
- [0125] 도 5에 도시된 본 발명의 또 다른 실시예인 박막 트랜지스터는 도 3c에 도시된 구조와는 달리 하나의 드레인 제어 게이트 전극, 소스 제어 게이트 전극에만 음의 전압이 인가되는바, 도 3c에서 제어할 수 있는 누설전류의 크기보다는 작은 전류를 제어할 수 있다.
- [0126] 도 6은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0127] 도 6을 참고하면, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173), 보호막(180), 화소 전극(191), 격벽(350), 유기 발광층(370), 공통 전극(270)을 포함한다.
- [0128] 여기서, 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)은 도 1을 참조로 설명한 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)에 각각 대응하므로, 여기서는 반복하여 설명하지 않고, 차이 점을 중심으로 기술하도록 하겠다.
- [0129] 도 6에 도시된 유기 발광 표시 장치는, 도 1에 도시된 단면도와 비교할 때 제1 소스 제어 게이트 전극(153) 및 제2 소스 제어 게이트 전극(155)을 포함하지 않는다. 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 제1 게이트 전극(150)의 일 측에 제1 드레인 제어 게이트 전극(152)만 형성되고, 제2 게이트 전극(151)의 일 측에 제2 드레인 제어 게이트 전극(154)만이 동일한 층에 형성될 수 있다.
- [0130] 제1 드레인 제어 게이트 전극(152) 및 제2 드레인 제어 게이트 전극(154)은 제1 저농도 불순물 영역(132) 만이 중첩하여 존재하며, 다른 반도체의 영역과는 중첩하지 않는다. 그 결과 드레인 및 소스 제어 게이트 전극은 저농도 불순물 영역만을 제어하며, 주변의 다른 영역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.
- [0131] 도 6은 제1, 2 게이트 전극의 일측에 형성되는 드레인 제어 게이트 전극만을 도시하였으나, 도 6에 도시된 실시예와는 달리 소스 제어 게이트 전극만이 형성되는 구조도 존재할 수 있음은 물론이다.
- [0132] 도 7은 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- [0133] 도 7을 참고하면, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 소스 제어 게이트 전극(153), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173), 보호막(180), 화소 전극(191), 격벽(350), 유기 발광층(370), 공통 전극(270)을 포함한다.
- [0134] 여기서, 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)은 도 1을 참조로 설명한 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제3 절연막(143), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)에 각각 대응하므로, 여기서는 반복하여 설명하지 않고, 차이

점을 중심으로 기술하도록 하겠다.

- [0135] 도 7에 도시된 유기 발광 표시 장치는, 도 1에 도시된 단면도와 비교할 때 제1 드레인 제어 게이트 전극(152) 및 제2 소스 제어 게이트 전극(155)을 포함하지 않고, 제1 게이트 전극(150)의 일 측에 제1 소스 제어 게이트 전극(153)만 형성되고, 제2 게이트 전극(151)의 타 측에 제2 드레인 제어 게이트 전극(154)만이 형성될 수 있다.
- [0136] 제1 저농도 불순물 영역(132)의 상부에는 제2 드레인 제어 게이트 전극(154)이 존재하고, 제2 저농도 불순물 영역(133)의 하부에는 제1 소스 제어 게이트 전극(153)이 존재한다.
- [0137] 도 7은 제1 게이트 전극(150)의 일측에 형성되는 제1 소스 제어 게이트 전극(153), 제2 게이트 전극(151)의 타 측에 형성되는 제2 드레인 제어 게이트 전극(154)만을 도시하였으나, 도 7에 도시된 실시예와는 달리 제1 게이트 전극(150)의 일측에 제1 드레인 제어 게이트 전극(152)이 형성되고, 제2 게이트 전극(151)의 타측에 제2 소스 제어 게이트 전극(155)만이 형성되는 구조도 존재할 수 있음은 물론이다.
- [0138] 위에서 설명한 도 4 내지 도 7은 본 발명의 일 실시예에 따른 유기 발광 표시 장치와는 달리 일부만 존재하는 드레인 제어 게이트 전극(152,154), 소스 제어 게이트 전극(153,155)을 도시한 것이다. 이는 박막 트랜지스터가 턴 오프(Turn off)될 때, 누설 전류의 발생을 방지하기 위한 다양한 실시예에 해당하나, 도 1에 도시된 본 발명의 일 실시예와 비교하여 누설 전류의 발생을 억제하는 효과는 다소 약할 수 있다.
- [0139] 도 1 내지 도 7에 도시된 박막 트랜지스터는 제1 게이트 전극(150) 및 제2 게이트 전극(151)을 포함하는 더블-게이트(Double-Gate)전극 구조에 해당한다. 하지만, 드레인 제어 게이트 전극 및 소스 제어 게이트 전극은 하나의 게이트 전극을 포함하는 구조에서도 구현될 수 있는바, 이하에서는 하나의 게이트 전극만을 포함하는 구조에 대하여 살펴본다.
- [0140] 도 8은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.
- [0141] 도 8을 참고하면, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제1 절연막(141), 반도체(130), 제2 절연막(142), 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175)을 포함한다.
- [0142] 여기서, 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)은 도 1을 참조로 설명한 기판(110), 버퍼층(120), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175)에 각각 대응하므로, 여기서는 반복하여 설명하지 않고, 차이점을 중심으로 기술하도록 하겠다.
- [0143] 도 8에 도시된 박막 트랜지스터 표시판은 제1 게이트 전극(150)을 포함하는 바텀-게이트(bottom-gate)구조에 해당한다.
- [0144] 구체적으로 도 8에 도시된 박막 트랜지스터 표시판은 기판(110) 위에 제1 게이트 전극(150)이 위치하고, 제1 게이트 전극(150) 위에 제1 절연막(141)이 위치한다. 제1 절연막(141) 위에 반도체(130)가 위치하며, 반도체(130) 위에 제2 절연막(142)이 위치하는 구조를 포함할 수 있다.
- [0145] 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)은 제1 게이트 전극(150)과 동일한 층에 형성되는바, 기판(110)과 제1 절연막(141) 사이에 위치할 수 있다.
- [0146] 제1 드레인 제어 게이트 전극(152)은 제1 저농도 불순물 영역(132)과 중첩하여 위치하며, 제1 소스 제어 게이트 전극(153)은 제2 저농도 불순물 영역(133)과 중첩하여 위치할 수 있다.
- [0147] 또한, 제1 소스 제어 게이트 전극(153) 및 제1 드레인 제어 게이트 전극(152)은 제1 게이트 전극(150)을 사이에 두고 양측에 소정거리에 떨어져 위치할 수 있는바, 제1 게이트 전극(150)은 채널 영역(131)과 중첩하여 위치할 수 있다.
- [0148] 여기서, 기판(110)의 상부면에 대하여 수직인 방향으로 연장되는 선 중 저농도 불순물 영역의 경계를 지나는 연장선은 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)과 접촉하지 않을 수 있다.
- [0149] 제2 드레인 제어 게이트 전극(154)의 하부에는 제1 저농도 불순물 영역(132)만이 중첩하여 존재하며, 제2 소스 제어 게이트 전극(155)의 하부에는 제2 저농도 불순물 영역(133)만이 중첩되며, 다른 반도체의 영역과는 중첩하지 않는다. 그 결과 드레인 및 소스 제어 게이트 전극은 저농도 불순물 영역만을 제어하며, 주변의 다른 영

역에는 영향을 적게 주어 박막 트랜지스터의 특성을 좋게 할 수 있다.

- [0150] 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 도 1 내지 7에 설명된 바와 같이, P형 박막 트랜지스터로 가정하고 구동방법을 살펴본다. 이는 일 예인바 N형 박막 트랜지스터에도 적용될 수 있음은 물론이다.
- [0151] 다시 도 3을 참고하면, 도 3의 (i), (ii), (iii)영역에서 드레인-소스 전류를 제어하기 위하여, 제1 게이트 전극(150)에 인가되는 전압에 따라 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)에 인가되는 전압을 변화시킬 수 있다.
- [0152] 도 3의 (ii)구간을 일 예로 살펴보면, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판이 턴 오프(Turn off)되기 위해서는 제1 게이트 전극(150)에 양의 전압이 인가되며, 제1 게이트 전극(150) 사이에 위치하는 반도체(130)의 채널 영역(131)에서는 전자(electron)들이 응집하게 된다. 이때, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생할 수 있다.
- [0153] 누설 전류 발생을 방지하기 위해서는, 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)에 음의 전압을 인가할 수 있다. 이에 따라, 제1 드레인 제어 게이트 전극(152) 및 제1 소스 제어 게이트 전극(153)의 하부에 위치하는 반도체(130) 영역에서는 홀(hole)만 남게 되는데, 채널 영역(131)의 전자 흐름을 방해하여, 소스 영역(135)에서 드레인 영역(134)으로 흐르는 누설 전류가 발생하지 않게 된다.
- [0154] 도 9는 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.
- [0155] 도 9에 도시된 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 도 8과 비교하면, 기판(110), 버퍼층(120), 반도체(130), 제1 절연막(141), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155), 제2 절연막(142), 층간 절연막(160), 드레인 전극(175) 및 소스 전극(173)을 포함한다.
- [0156] 도 9에 도시된 박막 트랜지스터 표시판은 제2 게이트 전극(151)을 포함하는 탑-게이트(Top-gate)구조에 해당한다.
- [0157] 구체적으로 도 9에 도시된 박막 트랜지스터 표시판은 기판(110) 위에 반도체(130)가 위치하고, 반도체(130) 위에 제1 절연막(141)이 위치하고, 제1 절연막(141) 위에 제2 게이트 전극(151)이 위치하며, 제2 게이트 전극(151) 위에 제2 절연막(142)이 위치하는 구조를 포함할 수 있다.
- [0158] 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)은 제2 게이트 전극(151)과 동일한 층에 형성되는데, 제1 절연막(141)과 제2 절연막(142) 사이에 위치할 수 있다.
- [0159] 제2 드레인 제어 게이트 전극(154)은 제1 저농도 불순물 영역(132)과 중첩하여 위치하며, 제2 소스 제어 게이트 전극(155)은 제2 저농도 불순물 영역(133)과 중첩하여 위치하며, 다른 반도체의 영역과는 중첩하지 않는다.
- [0160] 또한, 제2 소스 제어 게이트 전극(154) 및 제2 드레인 제어 게이트 전극(155)은 제2 게이트 전극(151)을 사이에 두고 양측에 소정거리에 떨어져 위치할 수 있는데, 제2 게이트 전극(151)은 채널 영역(131)과 중첩하여 위치할 수 있다.
- [0161] 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 도 1 내지 7에 설명된 바와 같이, P형 박막 트랜지스터로 가정하고 구동방법을 살펴본다. 이는 일예인바 N형 박막 트랜지스터에도 적용될 수 있음은 물론이다.
- [0162] 다시 도 3을 참고하면, 도시된 그래프의 (i), (ii), (iii)구간에서 드레인-소스 전류를 제어하기 위하여, 제2 게이트 전극(151)에 인가되는 전압에 따라 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 인가되는 전압을 변화시킬 수 있다.
- [0163] 도 2a 내지 도 2c를 다시 참고하면, (i), (ii), (iii)구간에서 도 9에 도시된 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 인가되는 전압을 변화시키면, 본 발명의 일 실시예에 따른 효과와 같이 누설 전류를 감소할 수 있음은 물론이다.
- [0164] 도 10은 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판의 단면도이다.
- [0165] 도 10을 참고하면, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 기판(110), 제1 게이트 전극(150), 제1 절연막(141), 반도체(130), 제2 절연막(142), 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155), 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175)을 포함한다.
- [0166] 구체적으로 형성 위치를 살펴보면, 기판(110) 위에 제1 게이트 전극(150)이 위치하고, 제1 게이트 전극(150) 위에 제1 절연막(141)이 위치하며, 제1 절연막(141) 위에 반도체(130)가 위치한다. 또한, 반도체(130) 위에 제2

절연막(142)이 위치하고, 제2 절연막(142) 위에 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155)이 위치한다. 제어 게이트 전극 위에 층간 절연막(160), 소스 전극(173) 및 드레인 전극(175)이 차례로 위치할 수 있다.

- [0167] 기관(110)은 유리, 석영, 세라믹 등으로 이루어지는 절연성 기관으로 형성되거나, 스테인리스 강이나 플렉서블 표시 장치를 구현하기 위한 폴리이미드 필름과 같은 가요성 재질의 플라스틱으로 이루어질 수도 있다.
- [0168] 제1 게이트 전극(150)은 기관(110) 위에 위치하며, 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 막을 다층 또는 단층으로 형성될 수 있다.
- [0169] 제1 절연막(141)은 제1 게이트 전극(150) 위에 위치하고, 제1 게이트 전극(150) 및 기관(110)을 덮으며, 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)을 포함할 수 있다.
- [0170] 반도체(130)는 제1 절연막(141) 위에 위치하며, 산화물 반도체 물질을 포함할 수 있다.
- [0171] 반도체(130)는 채널 영역(131), 소스 영역(135) 및 드레인 영역(134)을 포함한다. 여기서, 반도체(130)는 다결정 실리콘(polycrystalline silicon) 대신 산화물로 이루어지고, 도핑(doping) 공정을 하지 않으므로, 소스 영역(135) 및 드레인 영역(134) 보다 저항값이 높은 저농도 불순물 영역(LDD 영역: Lightly Doped Drain)을 포함하지 않는다.
- [0172] 제2 절연막(142)은 반도체(130) 위에 위치하고, 제1 절연막(141) 및 반도체(130)를 덮으며, 실리콘 질화물(SiNx)을 포함할 수 있다.
- [0173] 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)은 제2 절연막 위에 위치하며, 제1 절연막(141)의 하부에 위치하는 제1 게이트 전극(150)과 중첩하지 않도록 배치된다. 이는 제1 게이트 전극(150)과 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 독립적인 전압을 인가하여, 드레인-소스 전류의 크기를 제어하기 위함이다.
- [0174] 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 티타늄(Ti) 등으로 이루어진 막을 다층 또는 단층으로 형성될 수 있다. 또한, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)은 소스 전극(173) 및 드레인 전극보다 비저항이 큰 금속으로 이루어질 수 있다.
- [0175] 층간 절연막(160)은 제2 절연막(142) 위에 위치할 수 있으며, 제2 절연막(142), 층간 절연막(160)에는 반도체(130)의 적어도 일부를 드러내는 접촉 구멍(162, 164)이 형성되어 있다. 접촉 구멍은 특히 반도체(130)의 접촉 도핑 영역을 드러내고 있다.
- [0176] 층간 절연막(160) 위에는 소스 전극(173) 및 드레인 전극(175)이 위치할 수 있다. 소스 전극(173)은 접촉 구멍(162)을 통해 반도체(130)의 소스 영역(135)과 연결되어 있고, 드레인 전극(175)은 접촉 구멍(164)을 통해 반도체(130)의 드레인 영역(134)과 연결되어 있다.
- [0177] 이와 같이, 반도체(130), 제1 게이트 전극(150), 제1 드레인 제어 게이트 전극(152), 제1 소스 제어 게이트 전극(153), 제2 게이트 전극(151), 제2 드레인 제어 게이트 전극(154), 제2 소스 제어 게이트 전극(155), 소스 전극, 드레인 전극은 하나의 박막 트랜지스터를 구성한다. 상기에서 설명한 박막 트랜지스터는 스위칭 트랜지스터, 구동 트랜지스터 또는 보상 트랜지스터일 수 있다.
- [0178] 도 10에 도시된 본 발명의 또 다른 실시예에 따른 박막 트랜지스터 표시판은 산화물 반도체로 이루어진 N형 박막 트랜지스터 표시판으로, 앞서 설명한 도 1 내지 도 9에 도시된 박막 트랜지스터 표시판과 효과는 동일하나 인가되는 전압 및 반도체에 형성되는 채널의 종류를 달리한다.
- [0179] 본 발명의 실시예에 따른 N형 박막 트랜지스터 표시판은 P형과 달리 게이트-소스전압(Vgs)이 증가할수록 드레인 전류가 증가한다.
- [0180] 따라서, N형 박막 트랜지스터 표시판이 턴 온(Turn on)되기 위해서는 제1 게이트 전극(150)에 양의 전압이 인가된다. 박막 트랜지스터에 흐르는 전류의 세기를 증가시키기 위해서는, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 동일한 양의 전압을 인가할 수 있다.
- [0181] 이에 따라, 제어 게이트 전극의 하부에 중첩되는 반도체의 채널 영역(131)의 상면에 전자들이 응집하게 되고, 제어 게이트 전극의 양의 전압이 인가되어 구동 전류가 흐를 수 있는 채널 영역에 전류 패스가 형성되어, 전류

가 더 잘 흐를 수 있게 된다.

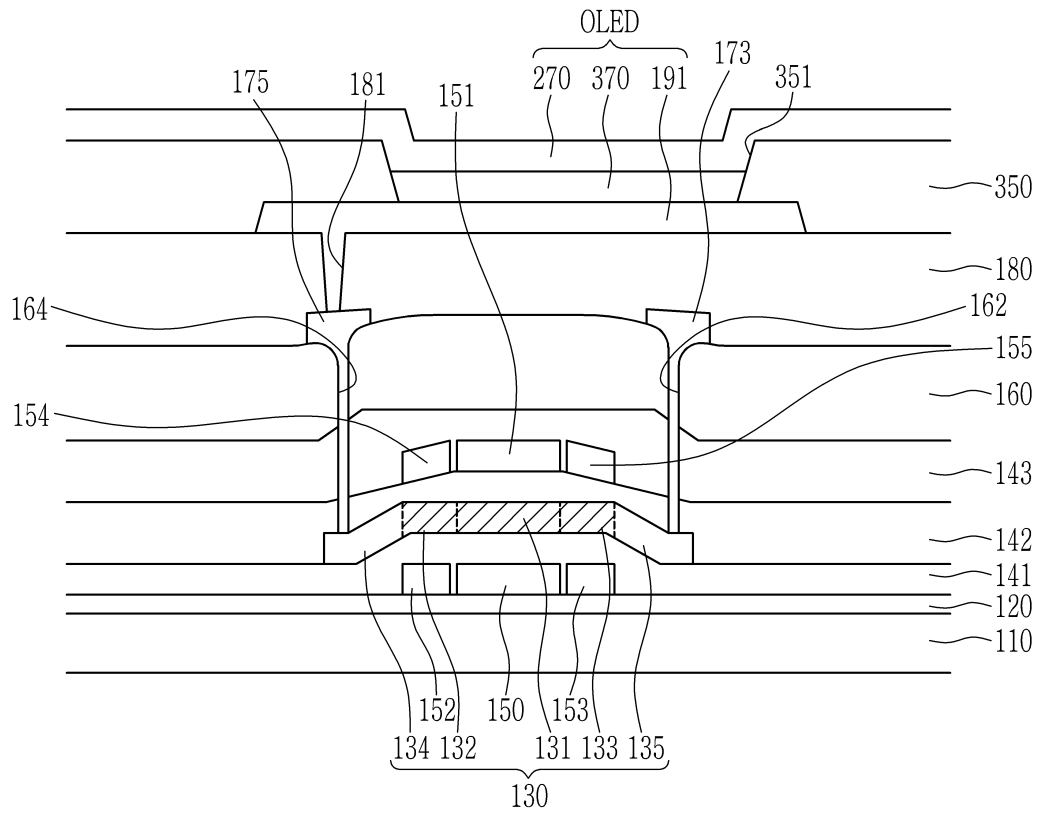
- [0182] 반면, N형 박막 트랜지스터 표시판이 턴 오프(Turn off)되기 위해서는 제1 게이트 전극(150)에 음의 전압이 인가된다. 트랜지스터가 오프(off)됨에도 불구하고, 흐르는 누설 전류를 감소시키기 위해서는, 제2 드레인 제어 게이트 전극(154) 및 제2 소스 제어 게이트 전극(155)에 극성이 다른 양의 전압을 인가할 수 있다.
- [0183] 이에 따라, 제어 게이트 전극의 하부에 중첩되는 반도체의 채널 영역(131)의 상면에는 전자들이 응집하게 되고, 제어 게이트 전극의 음의 전압으로 인해 제1 게이트 전극(150)에 의해 형성되었던 채널 영역(131)의 홀(hole)이 이동할 수 있는 통로가 연결되지 않으므로 전류가 흐르지 않게 된다.
- [0184] 따라서, 본 발명의 또 다른 실시예에 따른 박막 트랜지스터의 턴 온(Turn on)시에 구동 전류가 증가하고, 턴 오프(Turn off)시에 구동 전류가 감소하므로, 결론적으로 박막 트랜지스터의 효과는 도 1 내지 도 9에 도시된 실시예와 동일하다.
- [0185] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

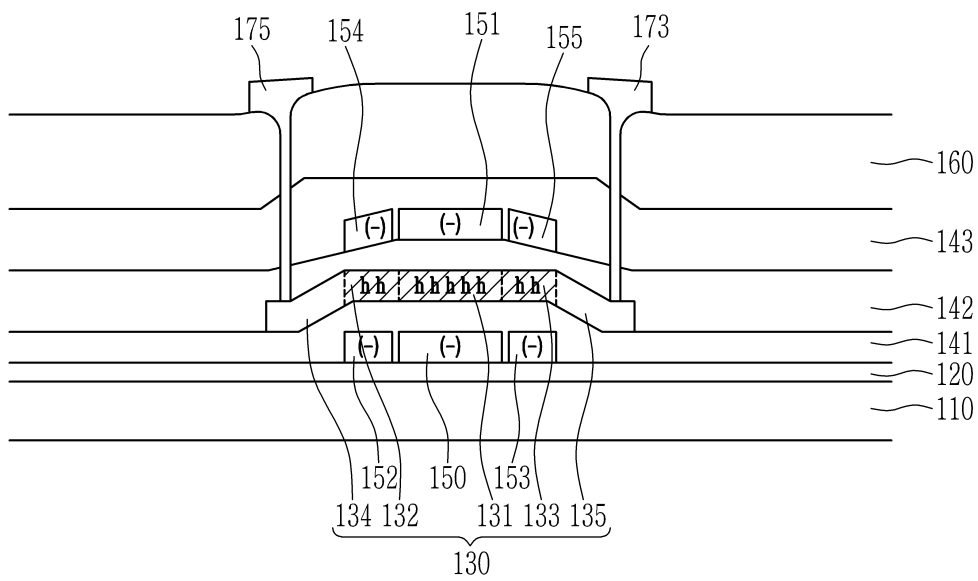
- [0186] 110: 기판 120: 버퍼층
- 130: 반도체 131: 채널 영역
- 132: 제1 저농도 불순물 영역 133: 제2 저농도 불순물 영역
- 134: 드레인 영역 135: 소스 영역
- 141: 제1 절연막 142: 제2 절연막
- 143: 제3 절연막
- 150: 제1 게이트 전극 151: 제 2 게이트 전극
- 152: 제1 드레인 제어 게이트 전극
- 153: 제1 소스 제어 게이트 전극
- 154: 제2 드레인 제어 게이트 전극
- 155: 제2 소스 제어 게이트 전극
- 160: 층간 절연막 173: 소스 전극
- 175: 드레인 전극 180: 보호막
- 191: 화소 전극 270: 공통 전극
- 350: 격벽

도면

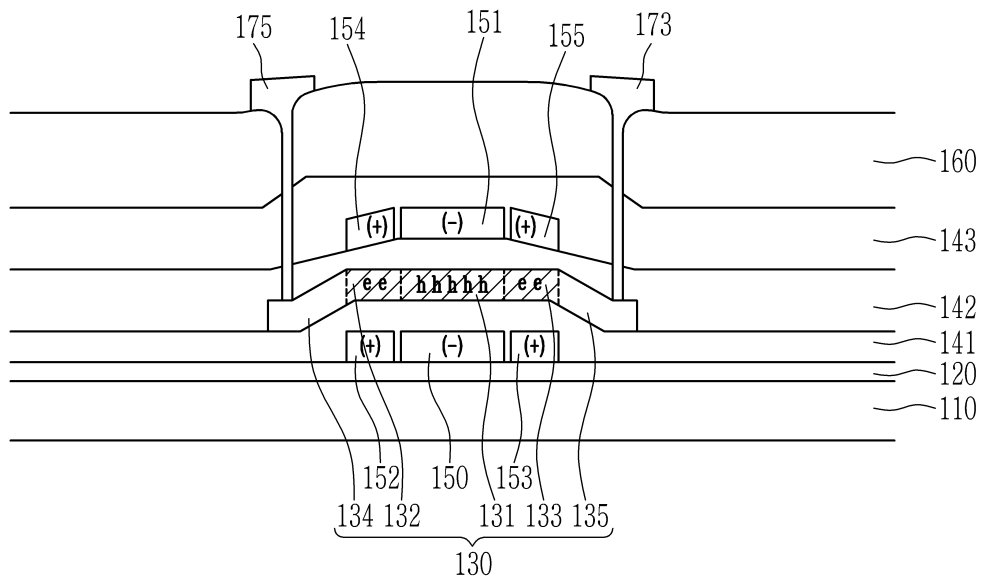
도면1



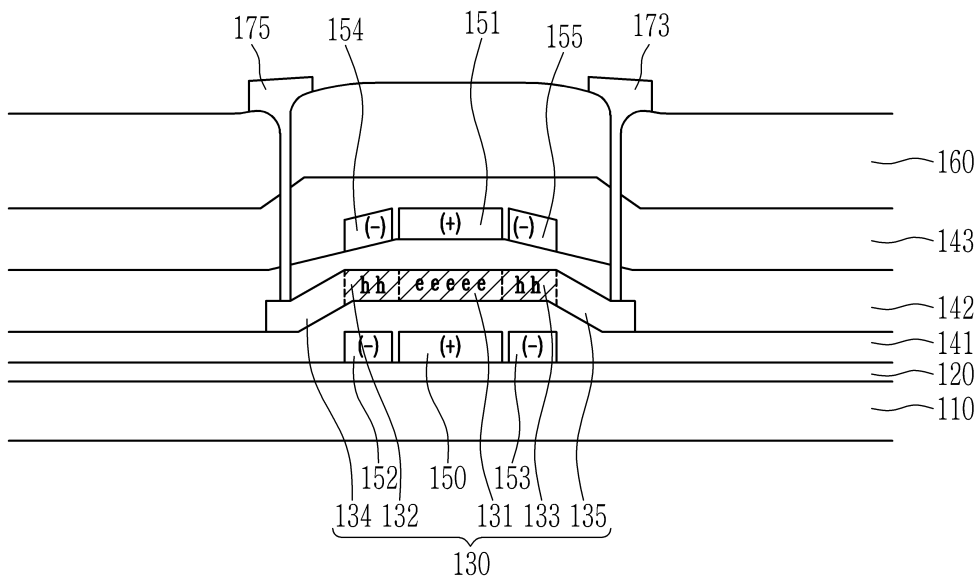
도면2a



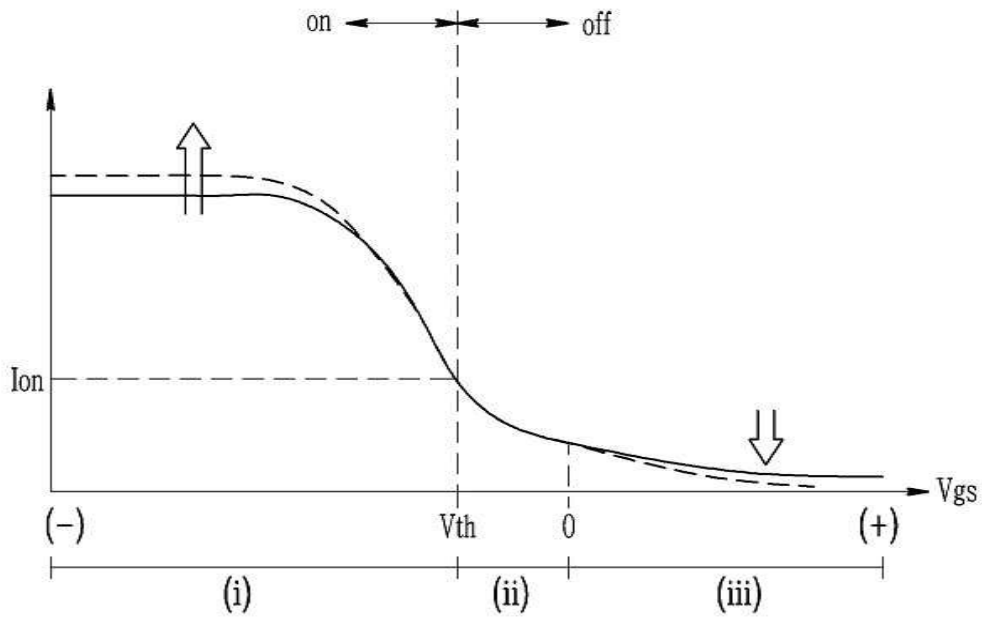
도면2b



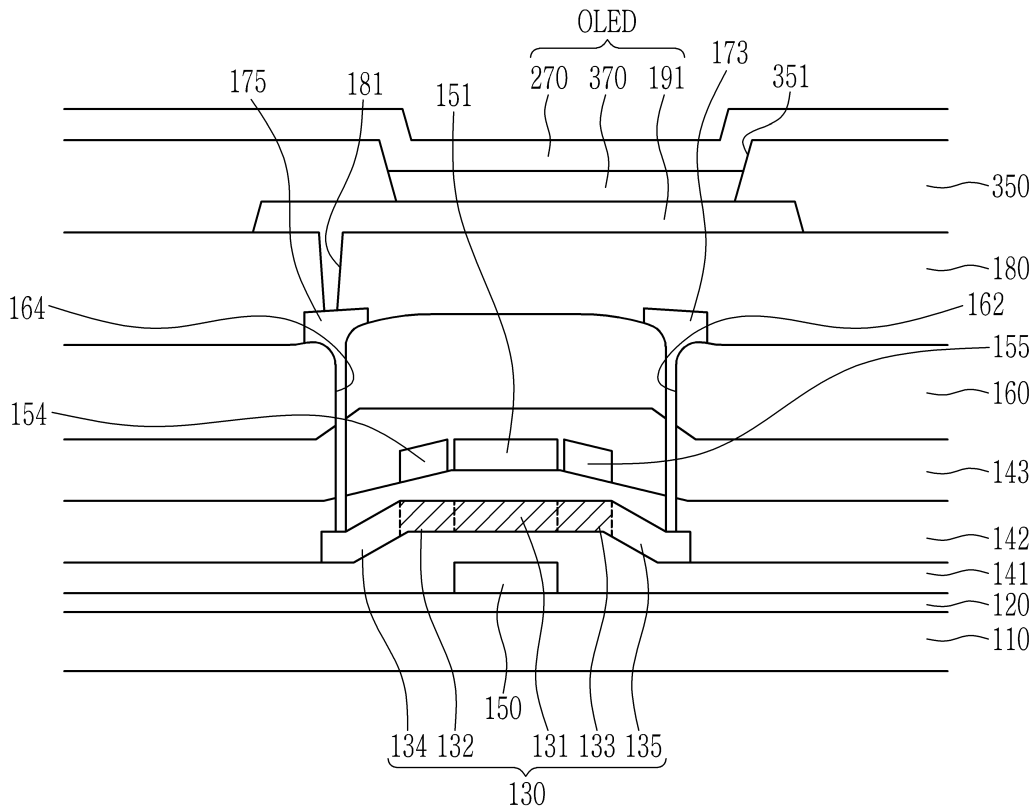
도면2c



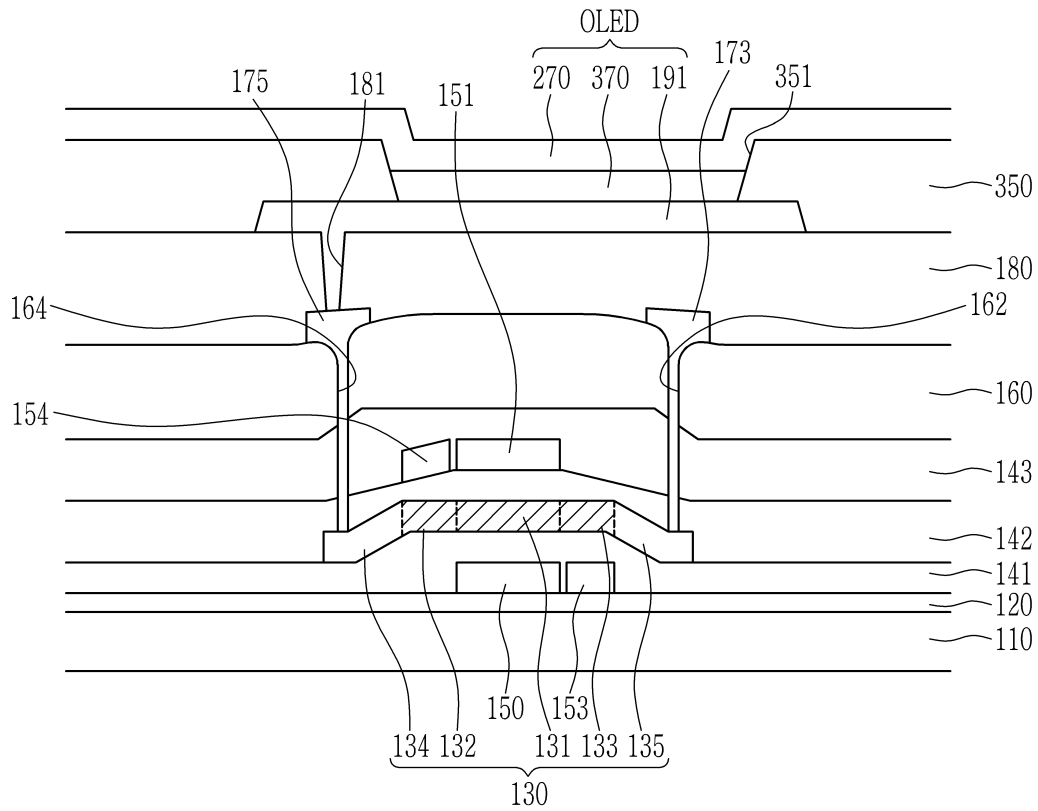
도면3



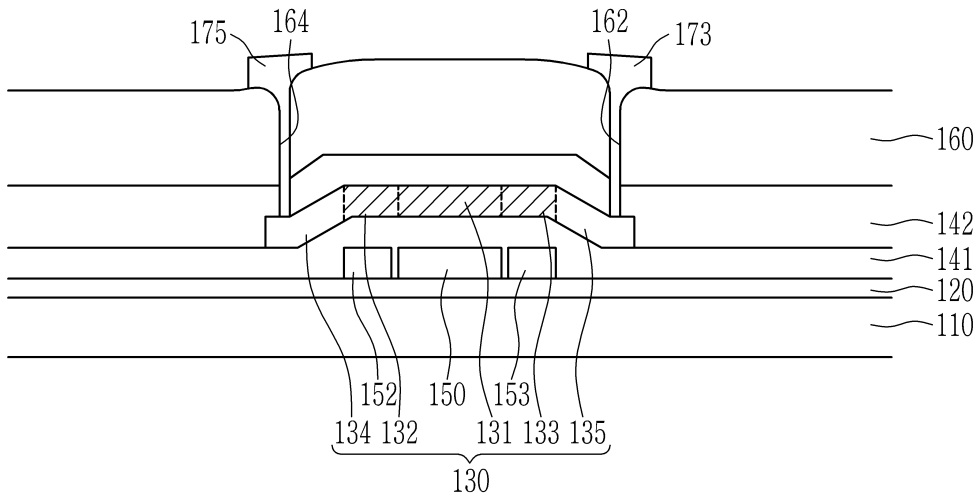
도면4



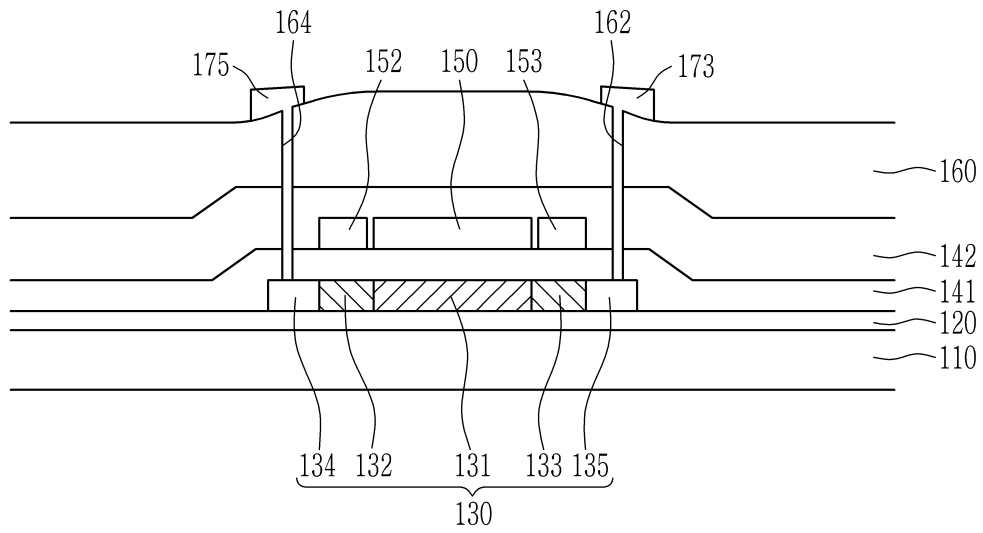
도면7



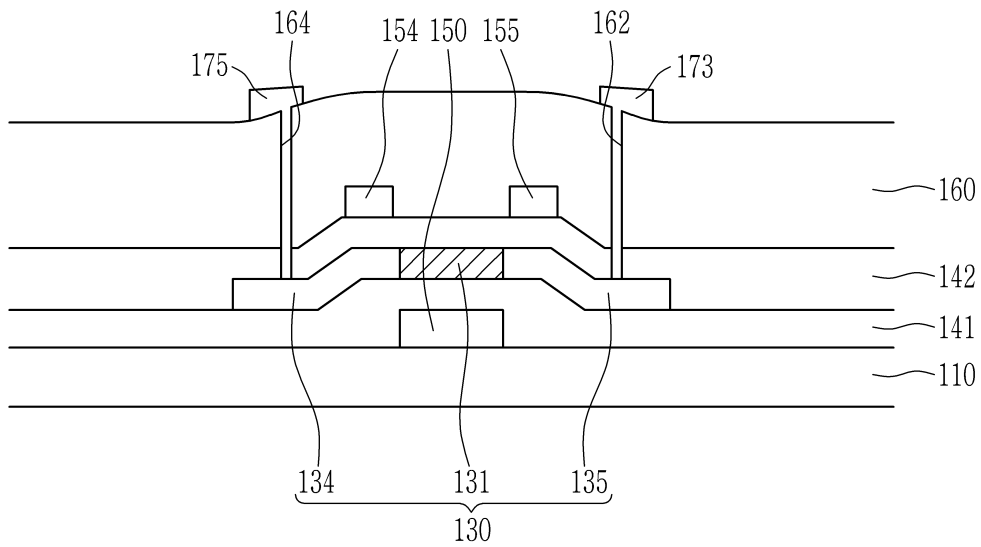
도면8



도면9



도면10



专利名称(译)	薄膜晶体管阵列面板		
公开(公告)号	KR1020190112229A	公开(公告)日	2019-10-04
申请号	KR1020180033404	申请日	2018-03-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김도형 김건희 김현식 박상호 전주희		
发明人	김도형 김건희 김현식 박상호 전주희		
IPC分类号	H01L27/32 H01L29/786 H01L51/50		
CPC分类号	H01L27/3262 H01L29/78606 H01L29/78618 H01L29/78645 H01L29/78696 H01L51/50 H01L27/1251 H01L29/42384 H01L29/78648 H01L29/0847 H01L29/41733 H01L29/78621 H01L29/7869		
外部链接	Espacenet		

摘要(译)

薄膜晶体管阵列面板和包括该薄膜晶体管阵列的有机发光显示装置技术领域本发明涉及薄膜晶体管阵列面板和包括该薄膜晶体管阵列面板的有机发光显示装置。根据一个实施例，一种薄膜晶体管阵列面板包括：基板；衬底上的第一栅电极；半导体设置在第一栅电极上，并包括漏极区，源极区，低浓度杂质区和沟道区；位于半导体上的第二栅电极；至少一个控制栅电极设置成与低浓度杂质区域重叠；源极和漏极连接到半导体的源极区和漏极区。第一栅电极和第二栅电极可以设置为与沟道区交叠。当薄膜晶体管截止时，可以减小泄漏电流。

