



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0066802
(43) 공개일자 2019년06월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)
(21) 출원번호 10-2017-0166573
(22) 출원일자 2017년12월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이태영
경기도 파주시 월롱면 엘지로 245
임명기
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인로얄

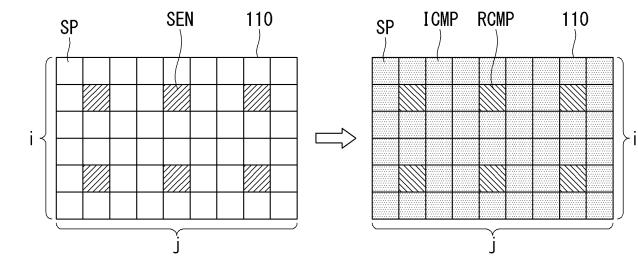
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치

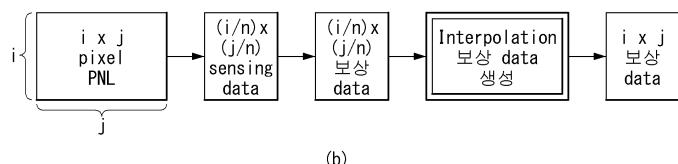
(57) 요 약

본 발명은 표시 패널, 데이터 구동부, 스캔 구동부, 픽셀 센싱회로부 및 보상값 생성부를 포함하는 전계발광표시장치를 제공한다. 표시 패널은 영상을 표시한다. 데이터 구동부는 표시 패널에 데이터신호를 공급한다. 스캔 구동부는 표시 패널에 스캔신호를 공급한다. 픽셀 센싱회로부는 표시 패널에 포함된 픽셀들의 레퍼런스라인들을 통해 센싱값을 획득한다. 보상값 생성부는 센싱값을 기반으로 센싱된 픽셀에 대한 보상값을 마련함과 더불어 센싱값과 보간법을 기반으로 센싱되지 않은 픽셀에 대한 보상값을 마련한다. 픽셀 센싱회로부는 N(N은 2 이상 정수) 개의 픽셀들을 동시에 센싱하되 적어도 1개의 픽셀씩 센싱 대상의 위치를 변경한다.

대 표 도 - 도7



(a)



(b)

(52) CPC특허분류

G09G 2310/0286 (2013.01)

G09G 2310/0297 (2013.01)

G09G 2320/043 (2013.01)

(72) 발명자

우경돈

경기도 파주시 월롱면 엘지로 245

김혁준

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

영상을 표시하는 표시 패널;

상기 표시 패널에 데이터신호를 공급하는 데이터 구동부;

상기 표시 패널에 스캔신호를 공급하는 스캔 구동부;

상기 표시 패널에 포함된 픽셀들의 레퍼런스라인들을 통해 센싱값을 획득하는 픽셀 센싱회로부; 및

상기 센싱값을 기반으로 센싱된 픽셀에 대한 보상값을 마련함과 더불어 상기 센싱값과 보간법을 기반으로 센싱되지 않은 픽셀에 대한 보상값을 마련하는 보상값 생성부를 포함하고,

상기 픽셀 센싱회로부는 N (N 은 2 이상 정수)개의 픽셀들을 동시에 센싱하되 적어도 1개의 픽셀씩 센싱 대상의 위치를 변경하는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 픽셀 센싱회로부는

상기 표시 패널에서 N (N 은 2 이상 정수)개의 픽셀들씩 그룹 센싱하되, K (K 는 1 이상 정수) 프레임 단위로 센싱 그룹을 중첩 또는 비 중첩 이동시키는 전계발광표시장치.

청구항 3

제1항에 있어서,

상기 픽셀 센싱회로부는

상기 레퍼런스라인들에 일단이 연결된 스위치들을 갖는 스위치부;

상기 스위치들의 개수에 대응하는 멕스들을 갖되, 하나의 입력단과 두 개의 출력단을 갖는 멕스부;

상기 멕스들의 출력단에 입력단이 연결된 입출력 제어부; 및

상기 입출력 제어부의 출력단에 입력단이 연결된 전류전압 변환부를 포함하는 전계발광표시장치.

청구항 4

제3항에 있어서,

상기 멕스부는

상기 두 개의 출력단 중 적어도 하나의 결선 노드가 변경되는 전계발광표시장치.

청구항 5

제3항에 있어서,

상기 전류전압 변환부는

상기 입출력 제어부의 출력단에 쌍을 이루며 배치된 적분 회로부와 비교 회로부를 포함하고,

상기 적분 회로부와 상기 비교 회로부는 하나만 선택적으로 동작하는 전계발광표시장치.

청구항 6

제5항에 있어서,

상기 입출력 제어부는

상기 멀티스터의 출력단을 통해 출력되는 센서값이 상기 적분 회로부 및 상기 비교 회로부 중 하나의 입력단으로 전달되도록 자신의 출력 경로를 변경하는 전계발광표시장치.

청구항 7

제5항에 있어서,

상기 적분 회로부는 상기 표시 패널의 전체 화면에 대한 초기 보상을 할 때 동작하고,

상기 비교 회로부는 상기 초기 보상이 완료된 이후 상기 표시 패널을 개선 보상할 때 동작하는 전계발광표시장치.

청구항 8

제4항에 있어서,

상기 입출력 제어부는

상기 멀티스터의 출력단이 L(L은 2 이상 정수)개씩 통합되도록 결선을 제어하는 전계발광표시장치.

청구항 9

제1항에 있어서,

상기 스캔 구동부는

시프트 레지스터부로부터 출력된 신호를 그대로 출력하거나 I(I는 2이상 정수)개의 스캔신호를 하나의 스캔신호로 대체하여 출력하는 구동 모드 선택부를 포함하는 전계발광표시장치.

청구항 10

제8항에 있어서,

상기 스캔 구동부는

상기 구동 모드 선택부로부터 출력된 스캔신호를 상위 스캔라인 또는 하위 스캔라인으로 출력 경로를 이동시킨다. 블록 이동부를 포함하는 전계발광표시장치.

발명의 설명**기술 분야**

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치(Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 전계발광표시장치는 서브 픽셀 내부에 포함된 발광다이오드로부터 생성된 빛을 기반으로 영상을 표시하므로 차세대 표시장치로 각광받는 등 다양한 장점을 지니고 있다.

[0005] 전계발광표시장치는 영상을 표시하기 위한 영상 표시 동작과 표시 패널을 보상하기 위한 외부 보상 동작을 수행한다. 외부 보상 동작은 서브 픽셀 내의 구동 트랜지스터 및 발광다이오드와 같은 소자의 열화를 보상하기 위해 이들의 전류나 전압을 센싱하고, 센싱된 전류나 전압에 기초하여 열화의 정도를 판단하고 데이터신호 등을 보상하는 방식을 포함한다. 그러나 종래에 제안된 외부 보상 방식은 더욱 효과적인 보상 방식을 적용하기 위해 지속적인 연구가 필요하다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시 패널의 크기가 증가하고 픽셀의 수가 증가하더라도 센싱값 및 보상값 마련에 필요한 택트 타임을 개선 및 낮추는 것이다. 또한, 본 발명은 저전류도 센싱 가능하고, 보간법을 사용하여 보상값을 마련하더라도 보상 정확도를 향상할 수 있고 표시 패널의 대면적화/고해상도화 시에도 유리한 보상 방식을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 표시 패널, 데이터 구동부, 스캔 구동부, 픽셀 센싱회로부 및 보상값 생성부를 포함하는 전계발광표시장치를 제공한다. 표시 패널은 영상을 표시한다. 데이터 구동부는 표시 패널에 데이터신호를 공급한다. 스캔 구동부는 표시 패널에 스캔신호를 공급한다. 픽셀 센싱회로부는 표시 패널에 포함된 픽셀들의 레퍼런스라인들을 통해 센싱값을 획득한다. 보상값 생성부는 센싱값을 기반으로 센싱된 픽셀에 대한 보상값을 마련함과 더불어 센싱값과 보간법을 기반으로 센싱되지 않은 픽셀에 대한 보상값을 마련한다. 픽셀 센싱회로부는 N (N 은 2 이상 정수)개의 픽셀들을 동시에 센싱하되 적어도 1개의 픽셀씩 센싱 대상의 위치를 변경한다.

[0008] 픽셀 센싱회로부는 표시 패널에서 N (N 은 2 이상 정수)개의 픽셀들씩 그룹 센싱하되, K (K 는 1 이상 정수) 프레임 단위로 센싱 그룹을 중첩 또는 비 중첩 이동시킬 수 있다.

[0009] 픽셀 센싱회로부는 레퍼런스라인들에 일단이 연결된 스위치들을 갖는 스위치부; 스위치들의 개수에 대응하는 먹스들을 갖되, 하나의 입력단과 두 개의 출력단을 갖는 먹스부; 먹스들의 출력단에 입력단이 연결된 입력부; 및 입력부의 출력단에 입력단이 연결된 전류전압 변환부를 포함할 수 있다.

[0010] 먹스부는 두 개의 출력단 중 적어도 하나의 결선 노드가 변경될 수 있다.

[0011] 전류전압 변환부는 입력부의 출력단에 쌍을 이루며 배치된 적분 회로부와 비교 회로부를 포함하고, 적분 회로부와 비교 회로부는 하나만 선택적으로 동작할 수 있다.

[0012] 입력부는 먹스들의 출력단을 통해 출력되는 센싱값이 적분 회로부 및 비교 회로부 중 하나의 입력단으로 전달되도록 자신의 출력 경로를 변경할 수 있다.

[0013] 적분 회로부는 표시 패널의 전체 화면에 대한 초기 보상을 할 때 동작하고, 비교 회로부는 초기 보상이 완료된 이후 표시 패널을 개선 보상할 때 동작할 수 있다.

[0014] 입력부는 먹스부의 출력단이 L (L 은 2 이상 정수)개씩 통합되도록 결선을 제어할 수 있다.

[0015] 스캔 구동부는 시프트 레지스터부로부터 출력된 신호를 그대로 출력하거나 I (I 는 2이상 정수)개의 스캔신호를 하나의 스캔신호 대체하여 출력하는 구동 모드 선택부를 포함할 수 있다.

[0016] 스캔 구동부는 구동 모드 선택부로부터 출력된 스캔신호를 상위 스캔라인 또는 하위 스캔라인으로 출력 경로를 이동시키는 블록 이동부를 포함할 수 있다.

발명의 효과

[0017] 본 발명은 표시 패널의 크기가 증가하고 픽셀의 수가 증가하더라도 센싱값 및 보상값 마련에 필요한 택트 타임을 개선 및 낮출 수 있는 효과가 있다. 또한, 본 발명은 센싱값 및 보상값을 마련에 필요한 시간의 낮출 수 있어 표시 패널의 대면적화/고해상도화 시 유리한 효과가 있다. 또한, 본 발명은 표시 패널의 픽셀들을 그룹화한 후 그룹 센싱을 하므로 저전류도 센싱 가능한 효과가 있다. 또한, 본 발명은 그룹 센싱을 함과 더불어 그룹을 이동시키므로 보간법을 사용하여 보상값을 마련하더라도 보상 정확도를 향상시킬 수 있는 효과가 있다. 또한,

본 발명은 다수의 픽셀들을 동시에 그룹 센싱하므로 센싱에 필요한 레퍼런스라인에 개별적 영향을 끼치는 화이트 노이즈(white noise) 또한 완화할 수 있는 효과가 있다.

도면의 간단한 설명

[0018]

도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 도 2의 일부를 구체화한 회로 구성 예시도.

도 4는 실험예에 따른 외부 보상 방식을 간략히 설명하기 위한 도면.

도 5는 실험예에 따른 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그래프.

도 6은 실험예에 따른 외부 보상을 실시하기 위한 회로의 동작을 간략히 설명하기 위한 도면.

도 7은 본 발명의 실시예에 따른 외부 보상 방식을 간략히 설명하기 위한 제1예시도면.

도 8은 도 7의 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그래프.

도 9는 본 발명의 실시예에 따른 외부 보상 방식을 간략히 설명하기 위한 제2예시도면.

도 10은 도 9의 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그래프.

도 11은 본 발명의 실시예에 따른 외부 보상을 실시하기 위한 회로의 동작을 간략히 설명하기 위한 도면.

도 12는 본 발명의 실시예에 따른 픽셀 센싱회로부의 회로 구성을 나타낸 도면.

도 13은 본 발명의 실시예에 따른 스캔 구동부의 회로 구성을 나타낸 도면.

도 14 내지 도 25는 본 발명의 실시예에 따른 외부 보상 방법을 위한 장치의 구동방법을 설명하기 위한 도면들.

도 26은 픽셀 센싱회로부의 위치에 따른 신호 전달 체계를 보여주기 위한 도면.

도 27은 센싱 그룹의 이동 예시도.

발명을 실시하기 위한 구체적인 내용

[0019]

이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020]

이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 흠페이지, 스마트폰, 증강/가상현실기기(AR/VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.

[0021]

이하에서 설명되는 전계발광표시장치의 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.

[0022]

도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2의 일부를 구체화한 회로 구성 예시도이다.

[0023]

도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(180), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(110) 및 전원 공급부(160)를 포함한다.

[0024]

타이밍 제어부(180)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(180)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0025]

데이터 구동부(130)는 타이밍 제어부(180)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(180)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통

해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0026] 스캔 구동부(140)는 타이밍 제어부(180)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.

[0027] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등을 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다.

[0028] 표시 패널(110)은 데이터 구동부(130)로부터 공급된 데이터신호(DATA), 스캔 구동부(140)로부터 공급된 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.

[0029] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀은 하나의 픽셀로 정의된다. 백색 서브 픽셀이 없는 경우 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀이 하나의 픽셀이 된다.

[0030] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 데이터라인(DL1), 스캔라인(GL1)의 교차영역에 위치하며, 구동 트랜지스터(DR)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)와 유기 발광다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 트랜지스터(DR)와 접속된다.

[0031] 프로그래밍부(SC)는 적어도 하나 이상의 스위칭 트랜지스터와, 적어도 하나 이상의 커패시터를 포함하는 트랜지스터부(트랜지스터 어레이)로 구현될 수 있다. 트랜지스터부는 CMOS 반도체, PMOS 반도체 또는 NMOS 반도체를 기반으로 구현된다. 트랜지스터부에 포함된 트랜지스터들은 p 타입 또는 n 타입 등으로 구현될 수 있다. 또한, 서브 픽셀의 트랜지스터부에 포함된 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

[0032] 스위칭 트랜지스터는 스캔라인(GL1)으로부터의 스캔신호에 응답하여 턴 온 됨으로써, 데이터라인(DL1)으로부터의 데이터전압을 커패시터의 일측 전극에 인가한다. 구동 트랜지스터(DR)는 커패시터에 충전된 전압의 크기에 대응하여 구동전류를 발생시키며 유기 발광다이오드(OLED)의 발광량을 조절한다. 유기 발광다이오드(OLED)의 발광량은 구동 트랜지스터(DR)로부터 공급되는 구동전류량에 비례한다.

[0033] 그런데 구동 트랜지스터(DR)는 장시간 동작할 경우 문턱전압(Vth)이 특정 방향으로 이동하는 문제가 있다. 또한, 구동 트랜지스터(DR)는 제조 과정에서 발생하는 공정 편차 등으로 인하여 서로 다른 문턱전압 특성을 나타내기도 한다. 이 때문에, 프로그래밍부(SC)에는 구동 트랜지스터(DR) 및 유기 발광다이오드(OLED)의 문턱전압 등을 보상하기 위한 회로가 더 추가된다. 이처럼 프로그래밍부(SC)에 추가된 회로와 외부에 마련된 장치가 함께 연동하며 구동 트랜지스터(DR) 및 유기 발광다이오드(OLED) 등과 같이 문턱전압의 편차를 유발하는 소자를 보상하는 방식을 외부 보상 방식이고도 한다. 이하, 외부 보상을 위해 추가된 회로를 갖는 프로그래밍부(SC)의 예를 설명하면 다음과 같다.

[0034] 도 2 및 도 3에 도시된 바와 같이, 프로그래밍부(SC)는 센싱 트랜지스터(ST)와 레퍼런스라인(VREF)(또는 센싱라인)이 더 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스전극과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)을 통해 전달되는 초기화 전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱노드에 공급하거나 구동 트랜지스터(DR)의 센싱노드 또는 레퍼런스라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0035] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극 및 구동 트랜지스터

(DR)의 제2전극에 제2전극이 연결된다.

[0036] 센싱 트랜지스터(ST)의 동작 시간은 픽셀의 외부에 마련된 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)(또는 스캔라인)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)(또는 센싱라인)은 공통으로 공유하도록 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 이 경우, 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 각기 다른 스캔신호를 전달하도록 분리된다.

[0037] 레퍼런스라인(VREF)은 외부 보상을 하기 위해 구성된 픽셀 센싱회로부에 연결될 수 있다. 픽셀 센싱회로부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 픽셀들을 센싱하고 센싱값(센싱결과값) 등을 생성할 수 있게 된다. 이 밖에, 센싱값에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱값 등을 생성하는 픽셀 센싱회로부는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로 등으로 구현될 수 있다.

[0038] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0039] 이하, 실험예의 외부 보상 방식을 고찰하고 이를 더욱 개선할 수 있는 실시예의 외부 보상 방식을 설명한다.

[0040] <실험예>

[0041] 도 4는 실험예에 따른 외부 보상 방식을 간략히 설명하기 위한 도면이고, 도 5는 실험예에 따른 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그래프이며, 도 6은 실험예에 따른 외부 보상을 실시하기 위한 회로의 동작을 간략히 설명하기 위한 도면이다.

[0042] 도 4 내지 도 6에 도시된 바와 같이, 실험예에 따른 외부 보상 방식은 표시 패널(110)에 포함된 모든 픽셀들(PIX)을 센싱하여 센싱값을 획득하고 센싱값에 기초하여 모든 픽셀들(PIX)을 보상한다. 도 4 (a)에서 "SEN"은 센싱된 픽셀들(SP)의 센싱값을 의미하고, "RCMP"는 센싱값을 기반으로 마련된 픽셀들(PIX)의 보상값을 의미한다. 도 4 (b)에서 "i × j pixel PNL"은 표시 패널(110)에 포함된 모든 픽셀들(PIX)의 개수를 의미하고, "i × j sensing data"는 모든 픽셀들(PIX)에 대한 센싱값을 의미하고, "i × j 보상 data"는 모든 픽셀들(PIX)에 대한 보상값을 의미한다.

[0043] 앞서 언급한 바와 같이, 구동 트랜지스터 등은 하나의 표시 패널(110) 내에서도 위치별로 다른 문턱전압 특성을 갖는바 픽셀들(PIX)의 센싱값에 기초하여 이들을 보상하기 위한 보상값을 마련하면 도 5와 같이 다양한 형태로 나타나게 된다.

[0044] 실험예에 따른 외부 보상 방식은 표시 패널(110)의 모든 픽셀들(PIX)을 센싱하기 위해 픽셀 센싱회로부(150)가 모든 레퍼런스라인들(VREF1 ~ VREF4)을 통해 순차적인 센싱을 할 수 있도록 구동 신호들을 마련하게 된다. 예컨대, 도 6의 "Scan1 ~ Scan4"와 같이 제1 내지 제4스캔라인(GL1 ~ GL4)에 인가되는 제1 내지 제4스캔신호(Scan1 ~ Scan4)를 순차적으로 발생시킨다.

[0045] 그런데 실험예에 따른 외부 보상 방식은 표시 패널(110)에 포함된 모든 픽셀들(PIX)을 센싱 및 센싱값을 추출하고 또한 이들 모두에 대한 보상값을 마련해야 한다. 이 때문에, 표시 패널(110)의 크기가 증가하고 픽셀(PIX)의 수가 증가할수록 센싱을 위해 필요한 시간이 제곱으로 증가하게 된다. 따라서, 실험예에 따른 외부 보상 방식은 센싱값 및 보상값 마련에 필요한 택트 타임(tact time)을 개선하기 어렵고 또한 표시 패널(110)의 대면적화/고해상도화 시 불리하므로 이의 개선이 요구되는 것으로 나타났다.

[0046] <실시예>

[0047] 도 7은 본 발명의 실시예에 따른 외부 보상 방식을 간략히 설명하기 위한 제1예시도면이고, 도 8은 도 7의 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그래프이며, 도 9는 본 발명의 실시예에 따른 외부 보상 방식을 간략히 설명하기 위한 제2예시도면이고, 도 10은 도 9의 외부 보상으로 마련된 보상값을 예시적으로 나타낸 그레프이며, 도 11은 본 발명의 실시예에 따른 외부 보상을 실시하기 위한 회로의 동작을 간략히 설명하기 위한 도면이다.

[0048] 도 7 내지 도 11에 도시된 바와 같이, 본 발명의 실시예에 따른 외부 보상 방식은 표시 패널(110)에 포함된 일

부 픽셀(PIX)을 센싱하여 센싱값을 획득하고 보간법을 기반으로 센싱된 픽셀과 센싱되지 않은 픽셀까지 보상한다. 보간법을 이용하면 도 7과 같이 특정 지점에 위치하는 하나의 픽셀 단위의 센싱(포인트 센싱)을 하여 센싱값을 획득하거나 도 9와 같이 특정 지점에 위치하는 다수의 픽셀단위의 센싱(블록 센싱)을 하여 센싱값을 획득할 수 있다.

[0049] 도 7 (a) 및 도 9 (a)에서 "SEN"은 센싱된 픽셀들(PIX)의 센싱값(주변 픽셀들의 대표 센싱값이 됨)을 의미하고, "RCMP"는 센싱값을 기반으로 마련된 픽셀들(PIX)의 보상값을 의미하고, "ICMP"는 보간법을 기반으로 마련된 픽셀들(PIX)의 보상값을 의미한다. 도 7 (b) 및 도 9 (b)에서 "i × j pixel PNL"은 표시 패널(110)에 포함된 모든 픽셀들(PIX)의 개수를 의미하고, "(i/n) × (j/n) sensing data"는 선택된 픽셀들(PIX)에 대한 센싱값을 의미하고, "(i/n) × (j/n) 보상 data"는 선택된 픽셀들(PIX)에 대한 보상값을 의미하고, "Interpolation 보상 data 생성"은 미선택된 픽셀들(PIX)에 대해 보간법으로 마련한 보상값을 의미하고, "i × j 보상 data"는 모든 픽셀들(PIX)에 대한 보상값을 의미한다.

[0050] 앞서 언급한 바와 같이, 구동 트랜지스터 등은 하나의 표시 패널(110) 내에서도 위치별로 다른 문턱전압 특성을 갖는바 픽셀들(PIX)의 센싱값과 보간법에 기초하여 이들을 보상하기 위한 보상값을 마련하면 도 8 및 도 10과 같이 다양한 형태로 나타나게 된다. 도 5, 도 8 및 도 10의 비교를 통해 알 수 있듯이, 실제로 모든 서브 픽셀들을 센싱하지 않더라도 실제 보상값(Real 보상값)과 보간 보상값(Interpolation) 간의 차이가 그리 크지 않음을 알 수 있다.

[0051] 본 발명의 실시예에 따른 외부 보상 방식은 이처럼 표시 패널(110)의 선택된 픽셀들(PIX)만 센싱하기 위해 픽셀 센싱회로부(150)가 선택된 레퍼런스라인들(VREF1 ~ VREF4)만 선별적인 센싱을 할 수 있도록 구동 신호들을 마련하게 된다. 예컨대, 도 11의 "Scan1 ~ Scan4"와 같이 제1 내지 제4스캔라인(GL1 ~ GL4)에 인가되는 제1 내지 제4스캔신호(Scan1 ~ Scan4)를 동시에 발생시킨다.

[0052] 실험에 대비 실시예를 단순 비교하면, 실험예는 모든 픽셀들을 센싱하고 보상값을 마련하므로 긴 센싱 시간이 필요하다. 하지만, 본 발명의 실시예는 선택된 픽셀들만 센싱하고 선택된 픽셀들의 센싱값을 기반으로 한 보간법으로 선택되지 않은 픽셀들의 보상값까지 마련하므로 실험에 대비 비교적 짧은 센싱 시간이 필요하다.

[0053] 그러므로 본 발명의 실시예에 따른 외부 보상 방식은 표시 패널(110)의 크기가 증가하고 픽셀(PIX)의 수가 증가하더라도 센싱을 위해 필요한 시간이 제곱으로 증가하지 않는다. 따라서, 본 발명의 실시예에 따른 외부 보상 방식은 센싱값 및 보상값 마련에 필요한 택트 타임(tact time)을 개선 및 낮출 수 있고 또한 표시 패널(110)의 대면적화/고해상도화 시 유리한 효과가 있다.

[0054] 이하, 본 발명의 실시예에 따른 외부 보상 방식 구현을 위한 장치의 구성 및 구동방식에 대해 설명한다.

[0055] 도 12는 본 발명의 실시예에 따른 픽셀 센싱회로부의 회로 구성을 나타낸 도면이고, 도 13은 본 발명의 실시예에 따른 스캔 구동부의 회로 구성을 나타낸 도면이다.

[0056] 도 12에 도시된 바와 같이, 본 발명의 실시예에 따른 픽셀 센싱회로부(150)는 스위치부(151), 멀스부(152), 입출력 제어부(153), 전류전압 변환부(154) 및 아날로그 디지털변환부(156) 등을 포함한다. 픽셀 센싱회로부(150)에 포함된 스위치부(151), 멀스부(152), 입출력 제어부(153), 전류전압 변환부(154)를 각각 구성하는 회로들의 개수는 도시된 도면보다 많다.

[0057] 하지만, 설명의 이해를 돋기 위해 8개의 레퍼런스라인들(VREF1 ~ VREF8)을 관장하는 부분만 도시 및 설명함을 참조한다. 또한, 본 발명의 실시예와 직접 관련되지 않은 회로들이 대거 생략되어 있음을 참조한다. 그리고 레퍼런스라인은 적색, 녹색, 청색 및 백색의 서브 픽셀을 포함하는 픽셀에 각각 연결된 상태이지만, 백색 서브 픽셀이 존재하지 않는 경우 적색, 녹색 및 청색의 서브 픽셀을 포함하는 픽셀에 연결된 상태를 갖는다.

[0058] 스위치부(151)는 표시 패널(110)의 제1 내지 제8레퍼런스라인들(VREF1 ~ VREF8)에 일단이 연결된 제1 내지 제8 스위치들(SW1 ~ SW8)을 포함한다. 스위치부(151)와 표시 패널(110)의 레퍼런스라인들은 1:1로 연결될 수 있다. 제1 내지 제8스위치들(SW1 ~ SW8)은 픽셀 센싱회로부(150)와 표시 패널(110)의 제1 내지 제8레퍼런스라인들(VREF1 ~ VREF8) 간의 전기적인 연결을 제어하기 위한 스위칭 동작을 한다. 제1 내지 제8스위치들(SW1 ~ SW8)이 턴온되면 제1 내지 제8레퍼런스라인들(VREF1 ~ VREF8)에 연결된 픽셀들을 센싱할 수 있게 된다.

[0059] 도면에서는 하나의 레퍼런스라인에 하나의 스위치가 배치된 것을 일례로 하였으나 이는 센싱과 관련된 단순한 기능을 설명하기 위해 간략히 도시한 것일 뿐 하나의 레퍼런스라인에는 다수의 스위치와 센싱용 전압을 충전 또는 방전하기 위한 회로들이 더 구성 및 연결되어 있음을 참조한다. 또한, 스위치부(151)의 경우 픽셀 센싱회로

부(150)에 포함되지 않고 외부 예컨대 표시 패널(110) 상에 배치될 수도 있다.

[0060] 먹스부(152)는 제1 내지 제8스위치들(SW1 ~ SW8)의 타단에 입력단이 연결된 제1 내지 제8먹스들(Mux1 ~ Mux8)을 포함한다. 먹스부(152)와 스위치부(151)는 1:1로 연결될 수 있다. 제1 내지 제8먹스들(Mux1 ~ Mux8)은 1개의 입력을 받고 2개의 출력을 할 수 있는 먹스로 구성된다. 먹스의 입력단은 스위치단에 연결되고 2개의 출력단 중 하나는 입출력 제어부(153)의 입력단에 연결되고 다른 하나는 인접하는 다른 먹스의 출력단에 연결된다. 도면에서는 4개의 레퍼런스라인들을 하나의 센싱 그룹으로 설정하였기 때문에 4개씩 먹스들의 출력단이 통합 결선된 것을 일례로 한 것이다. 그러나 이는 하나의 예시일 뿐 먹스들의 출력단은 구동방식에 대응하여 L(L은 2 이상 정수)개씩 통합되도록 결선된다.

[0061] 제1 내지 제8먹스들(Mux1 ~ Mux8)은 보간법의 적용으로 N(N은 2 이상 정수)개의 핵셀들에 대한 동시 센싱을 할 수 있는 전기적 결선 역할을 한다. 제1 내지 제8먹스들(Mux1 ~ Mux8)은 N(N은 2 이상 정수)개의 핵셀들씩 그룹 센싱을 가능하게 함은 물론 센싱 그룹의 중첩 이동(또는 비중첩 이동)이 가능하도록 M(M은 2 이상 정수)개씩 출력단의 결선 노드를 변경한다.

[0062] 또한, 제1 내지 제8먹스들(Mux1 ~ Mux8)은 시분할 제어를 통해 출력단의 결선 노드를 변경할 수 있으므로 N(N은 2 이상 정수)개의 핵셀들을 동시에 센싱하거나 적어도 1개의 핵셀씩 센싱 대상의 위치 변경이 가능하다. 이때, 센싱 대상의 위치 변경이나 센싱 그룹의 위치 변경(그룹 이동)은 K(K는 1 이상 정수) 프레임 단위로 가능하다. 먹스부(152)는 위와 같이 그룹 센싱, 개별 센싱 및 단일 센싱은 물론 센싱 대상의 위치를 변경할 수 있는 것은 물론이고 다수의 핵셀들을 동시에 그룹 센싱할 수 있는 여건을 제공하므로 핵셀들에 존재하는 저전류도 센싱 가능하다.

[0063] 덧붙여, 다수의 핵셀들을 동시에 그룹 센싱할 경우, 레퍼런스라인에 개별적 영향을 끼치는 화이트 노이즈(white noise) 또한 완화할 수 있다. 더욱이 센싱 그룹을 중첩 이동시키면, 보간법을 사용하더라도 그룹 간의 센싱 편차를 유발하는 인자의 발생 확률을 낮출 수 있기 때문에 보상 정확도 향상이 가능하다.

[0064] 입출력 제어부(153)는 제1 및 제2제어부(CNT1, CNT2)를 포함한다. 제1 및 제2제어부(CNT1, CNT2)의 제1입력단(IN1)과 제2입력단(IN2)은 제1 내지 제8먹스들(Mux1 ~ Mux8)의 출력단에 연결되고 제1출력단(OUT1)과 제2출력단(OUT2)은 전류전압 변환부(154)의 제1 및 제2적분 회로부(CI1, CI2)와 제1 및 제2비교 회로부(CC1, CC2)에 구분되어 연결된다. 입출력 제어부(153)는 제1 내지 제8먹스들(Mux1 ~ Mux8)의 출력단들의 개수보다 적은 입력단을 갖는다. 즉, 먹스부(152)와 입출력 제어부(153)는 J(J는 2 이상 정수):1의 접속관계를 갖는다.

[0065] 또한, 입출력 제어부(153)는 먹스부(152)의 출력단이 L(L은 2 이상 정수)개씩 통합되도록 결선 구조를 제어한다. 입출력 제어부(153)는 먹스부(152)의 출력단을 통해 출력된 센싱값을 전류전압 변환부(154)에 포함된 제1 및 제2적분 회로부(CI1, CI2) 또는 제1 및 제2비교 회로부(CC1, CC2)에 선택적으로 출력하도록 출력 경로를 변경하는 역할을 한다. 이와 같은 기능을 수행하기 위해, 제1 및 제2제어부(CNT1, CNT2)는 각각 2개의 입력출력 단자를 포함하되, 입력된 센싱값을 그대로 후단에 출력하지 않고 출력할 경로를 변경할 수 있는 선택회로로 구성된다.

[0066] 그러므로 도 12에서, 제1제어부(CNT1)의 제1입력단(IN1)이 제1먹스 내지 제4먹스(Mux1 ~ Mux4)의 출력단에 연결되고 제2입력단(IN2)이 제3먹스 내지 제6먹스(Mux3 ~ Mux6)의 출력단에 연결된 결선 구조는 일례로 이해되어야 한다. 즉 입출력 제어부(153)는 먹스부(152)의 출력단의 결선 노드를 제어함과 더불어 자신의 출력 경로를 변경할 수 있는 바 도시된 바와 같이 결선 구조가 유지되지 않고 구동 모드에 따라 변경된다.

[0067] 전류전압 변환부(154)는 제1 및 제2적분 회로부(CI1, CI2)와 제1 및 제2비교 회로부(CC1, CC2)를 포함한다. 제1 및 제2적분 회로부(CI1, CI2)와 제1 및 제2비교 회로부(CC1, CC2)는 입출력 제어부(153)의 출력단에 입력단이 연결된다. 제1 및 제2적분 회로부(CI1, CI2)는 센싱값의 적분을 위해 제1전압원(Vref)과 더불어 입출력 출력단자 사이에 배치된 커패시터(C1, C2) 등이 구비될 수 있고, 제1 및 제2비교 회로부(CC1, CC2)는 센싱값의 비교를 위해 전압원(Iref) 등이 구비될 수 있다. 제1적분 회로부(CI1)와 제1비교 회로부(CC1)는 쌍을 이루며 하나의 제1제어부(CNT1)에 대응하여 배치된다. 제1제어부(CNT1), 제1적분 회로부(CI1) 및 제1비교 회로부(CC1)는 하나의 센싱 블록으로 정의된다.

[0068] 제1 및 제2적분 회로부(CI1, CI2)와 제1 및 제2비교 회로부(CC1, CC2)는 쌍을 이루지만 보상 용도(보상 모드 또는 보상 시기)에 따라 선택적으로 동작한다. 예컨대, 제1 및 제2적분 회로부(CI1, CI2)는 표시 패널에 포함된 핵셀들을 보상(전체 화면에 대한 초기 보상)할 때 동작한다. 제1 및 제2적분 회로부(CI1, CI2)가 동작할 때 제1 및 제2비교 회로부(CC1, CC2)는 동작하지 않는다. 제1 및 제2비교 회로부(CC1, CC2)는 표시 패널의 전체 화면

보상이 완료된 이후 표시 패널을 갱신(update) 보상할 때 동작한다. 제1 및 제2비교 회로부(CC1, CC2)가 동작할 때 제1 및 제2적분 회로부(CI1, CI2)는 동작하지 않는다.

[0069] 초기 보상시에는 표시 패널에 포함된 모든 픽셀들을 센싱하고 보상값을 마련하는 것이 이후 갱신 보상을 수행할 때 보상의 정확도 향상에 좋다. 그리고 초기 보상을 수행한 이후 갱신 보상을 수행하는 이유는 표시 패널에 포함된 소자들의 경우 초기 보상 이후 사용시간이 지남에 따라 열화가 진행되기 때문이다. 그러므로 초기 보상을 통해 마련된 초기 보상값은 이후 갱신 보상을 수행할 때, 소자들의 열화에 대응한 보상값을 마련하는 지표 즉 기준값으로 사용된다.

[0070] 아날로그 디지털변환부(156)는 전류전압 변환부(154)로부터 전달된 아날로그 형태의 센싱값을 디지털 형태의 센싱값으로 변환하는 역할을 한다. 아날로그 디지털변환부(156)는 디지털 형태의 센싱값을 기반으로 보상값을 마련할 수 있도록 센싱을 통해 획득한 센싱값을 타이밍 제어부 등에 전달한다. 그러나 픽셀 센싱회로부(150)가 자체적으로 보상값을 마련할 경우 아날로그 디지털변환부(156)의 후단에는 데이터 프로세싱이 가능한 프로세서부가 더 구비된다.

[0071] 본 발명의 실시예는 보간법을 기반으로 센싱되지 않은 픽셀까지 보상하고 또한 센싱 그룹의 이동이 가능하다. 센싱 그룹의 이동을 위해서는 픽셀 센싱회로부(150)의 내부 동작뿐만 아니라 스캔 구동부의 구성 또한 이를 뒷받침할 수 있도록 마련되어야 한다. 따라서, 이하에서는 본 발명의 실시예에 따른 스캔 구동부의 구성을 설명한다.

[0072] 도 13에 도시된 바와 같이, 본 발명의 실시예에 따른 스캔 구동부(140)는 시프트 레지스터부(141), 구동 모드 선택부(142), 블록 이동부(143) 및 스캔신호 출력부(144)를 포함한다.

[0073] 시프트 레지스터부(141)는 스캔신호를 순차적으로 발생시키며 출력하는 역할을 한다. 시프트 레지스터부(141)는 타이밍 제어부 등으로부터 공급된 신호를 기반으로 로직하이 또는 로직로우의 스캔신호를 순차적으로 출력한다.

[0074] 구동 모드 선택부(142)는 제1 내지 제n멱스들(Mux1 ~ Muxn)을 포함한다. 구동 모드 선택부(142)는 외부로부터 공급된 2가지의 구동 모드 신호에 대응하여 시프트 레지스터부(141)로부터 출력된 신호를 그대로 출력하거나 시프트 레지스터부(141)로부터 출력된 I(I는 2이상 정수)개의 스캔신호를 하나의 스캔신호로 대체하여 동시에 출력하는 역할을 한다. 예컨대, 노말 모드 신호(Normal driving)가 공급되면, 구동 모드 선택부(142)는 시프트 레지스터부(141)로부터 출력된 신호를 그대로 출력하게 된다. 센싱 모드 신호(Sensing)가 공급되면, 구동 모드 선택부(142)는 제1 내지 제4멱스(Mux1 ~ Mux4)가 제1멱스(Mux)로부터 출력되는 스캔신호와 동일한 스캔신호를 출력하게 된다.

[0075] 구동 모드 선택부(142)는 픽셀 센싱회로부와 함께 연동(동기) 된다. 그러므로 픽셀 센싱회로부가 센싱할 센싱 그룹에 대응하는 스캔라인의 개수만큼 멱스들을 결선하고 스캔신호를 출력하도록 동작한다. 예컨대, 픽셀 센싱 회로부가 표시 패널 상에서 가로 4 * 세로 4로 센싱 그룹을 설정한 경우, 도 13과 같이 제1 내지 제4멱스(Mux1 ~ Mux4)가 제1멱스(Mux)로부터 출력되는 스캔신호와 동일한 스캔신호를 출력하게 된다. 하지만, 픽셀 센싱회로부가 표시 패널 상에서 가로 5 * 세로 5로 센싱 그룹을 설정한 경우, 제1 내지 제5멱스(Mux1 ~ Mux5)가 제1멱스(Mux)로부터 출력되는 스캔신호와 동일한 스캔신호를 출력하게 된다. 그러므로 구동 모드 선택부(142)에 포함된 제1 내지 제n멱스들(Mux1 ~ Muxn)의 결선 구조 또한 구동 모드에 따라 변경된다.

[0076] 블록 이동부(143)는 구동 모드 선택부(142)로부터 출력된 스캔신호를 상위 스캔라인 또는 하위 스캔라인으로 출력 경로를 이동시키는 역할을 한다. 블록 이동부(143) 또한 외부로부터 공급된 2가지의 구동 모드 신호에 대응하여 동작한다. 구동 모드 선택부(142)가 노말 모드 신호(Normal driving)에 대응하여 동작할 때, 블록 이동부(143)는 스캔신호를 이동시키는 동작을 수행하지 않는다. 반면 구동 모드 선택부(142)가 센싱 모드 신호(Sensing)에 대응하여 동작할 때, 블록 이동부(143)는 스캔신호를 이동시키는 동작을 수행한다. 블록 이동부(143) 또한 멱스로 구성할 수 있으나 이에 한정되지 않는다.

[0077] 스캔신호 출력부(144)는 블록 이동부(143)로부터 출력된 스캔신호를 표시 패널의 각 스캔라인을 통해 출력하는 역할을 한다. 스캔신호 출력부(144)는 제1 내지 제n출력 회로부(Gate1 ~ Gaten)를 포함한다. 제1 내지 제n출력 회로부(Gate1 ~ Gaten)는 트랜지스터로 이루어진 것으로 단순 도시하였으나 이에 한정되지 않는다.

[0078] 이하, 도 12 및 도 13을 통해 설명된 픽셀 센싱회로부(150)와 스캔 구동부(140)의 구동방법을 설명하면 다음과 같다.

[0079] 도 14 내지 도 25는 본 발명의 실시예에 따른 외부 보상 방법을 위한 장치의 구동방법을 설명하기 위한 도면들

이고, 도 26은 픽셀 센싱회로부의 위치에 따른 신호 전달 체계를 보여주기 위한 도면이며, 도 27은 센싱 그룹의 이동 예시도이다.

[0080] 다. 이하에서는 보간법에 기초한 외부 보상을 위해 가로 4 * 세로 4로 센싱 그룹을 설정하고 센싱 그룹에 포함된 일부 픽셀을 중첩하며 센싱 그룹을 이동시키는 것을 일례로 설명한다.

[0081] [제1센싱 블록 센싱]

[0082] 도 14와 같이, 표시 패널(110) 상의 가로(j) 4 * 세로(i) 4에 포함된 픽셀들(PIX)은 제1센싱 블록(BL1)으로 정의된다. 도 14 및 도 15와 같이 제1센싱 블록(BL1)은 제1 내지 제4레퍼런스라인들(VREF1 ~ VREF4)을 통해 센싱된다. 제1센싱 블록(BL1)을 센싱하기 위해 스위치부(151)의 제1 내지 제4스위치들(SW1 ~ SW4)은 턴온된다. 멕스부(152)의 제1 내지 제4멕스들(Mux1 ~ Mux4)은 하나의 그룹으로 선택된다.

[0083] 입출력 제어부(153)의 제1제어부(CNT1)는 제1입력단(IN1)을 통해 제1 내지 제4멕스들(Mux1 ~ Mux4)로부터 출력된 센싱값을 하나의 값으로 입력받고 제1출력단(OUT1)을 통해 출력한다. 전류전압 변환부(154)의 제1비교 회로부(CC1)는 제1제어부(CNT1)로부터 전달된 센싱값을 비교한 후 아날로그 디지털변환부(156)에 전달한다. 도 14, 도 15 및 도 16과 같이, 스캔 구동부(140)는 표시 패널(110) 상의 제1센싱 블록(BL1)에 포함된 픽셀들(PIX)이 모두 동시에 센싱되도록 동일한 형태의 펠스로 이루어진 제1 내지 제4스캔신호들(Scan1 ~ Scan4)을 제1 내지 제4스캔라인들을 통해 출력한다.

[0084] [제2센싱 블록 센싱]

[0085] 도 17과 같이, 표시 패널(110) 상의 가로(j) 4 * 세로(i) 4에 포함된 픽셀들(PIX)은 제2센싱 블록(BL2)으로 정의된다. 제2센싱 블록(BL2)은 제1센싱 블록(BL1)의 우측으로 2개의 레퍼런스라인이 이동한 위치에 존재하는 것을 일례로 한다. 도 17 및 도 18과 같이 제2센싱 블록(BL2)은 제3 내지 제6레퍼런스라인들(VREF3 ~ VREF6)을 통해 센싱된다. 제2센싱 블록(BL2)을 센싱하기 위해 스위치부(151)의 제3 내지 제6스위치들(SW3 ~ SW6)은 턴온된다. 멕스부(152)의 제3 내지 제6멕스들(Mux3 ~ Mux6)은 하나의 그룹으로 선택된다.

[0086] 입출력 제어부(153)의 제1제어부(CNT1)는 제2입력단(IN2)을 통해 제3 내지 제6멕스들(Mux3 ~ Mux6)로부터 출력된 센싱값을 하나의 값으로 입력받고 제1출력단(OUT1)을 통해 출력한다. 전류전압 변환부(154)의 제1비교 회로부(CC1)는 제1제어부(CNT1)로부터 전달된 센싱값을 비교한 후 아날로그 디지털변환부(156)에 전달한다. 도 17, 도 18 및 도 19와 같이, 스캔 구동부(140)는 표시 패널(110) 상의 제2센싱 블록(BL2)에 포함된 픽셀들(PIX)이 모두 동시에 센싱되도록 동일한 형태의 펠스로 이루어진 제1 내지 제4스캔신호들(Scan1 ~ Scan4)을 제1 내지 제4스캔라인들을 통해 출력한다.

[0087] [제3센싱 블록 센싱]

[0088] 도 20과 같이, 표시 패널(110) 상의 가로(j) 4 * 세로(i) 4에 포함된 픽셀들(PIX)은 제3센싱 블록(BL3)으로 정의된다. 제3센싱 블록(BL2)은 제2센싱 블록(BL1)의 하측으로 2개의 레퍼런스라인이 이동한 위치에 존재하는 것을 일례로 한다. 도 20 및 도 21과 같이 제3센싱 블록(BL3)은 제3 내지 제6레퍼런스라인들(VREF3 ~ VREF6)을 통해 센싱된다. 제3센싱 블록(BL3)을 센싱하기 위해 스위치부(151)의 제3 내지 제6스위치들(SW3 ~ SW6)은 턴온된다. 멕스부(152)의 제3 내지 제6멕스들(Mux3 ~ Mux6)은 하나의 그룹으로 선택된다.

[0089] 입출력 제어부(153)의 제1제어부(CNT1)는 제2입력단(IN2)을 통해 제3 내지 제6멕스들(Mux3 ~ Mux6)로부터 출력된 센싱값을 하나의 값으로 입력받고 제1출력단(OUT1)을 통해 출력한다. 전류전압 변환부(154)의 제1비교 회로부(CC1)는 제1제어부(CNT1)로부터 전달된 센싱값을 비교한 후 아날로그 디지털변환부(156)에 전달한다. 도 20, 도 21 및 도 22와 같이, 스캔 구동부(140)는 표시 패널(110) 상의 제3센싱 블록(BL3)에 포함된 픽셀들(PIX)이 모두 동시에 센싱되도록 동일한 형태의 펠스로 이루어진 제3 내지 제6스캔신호들(Scan3 ~ Scan6)을 제3 내지 제6스캔라인들을 통해 출력한다.

[0090] [제4센싱 블록 센싱]

[0091] 도 23과 같이, 표시 패널(110) 상의 가로(j) 4 * 세로(i) 4에 포함된 픽셀들(PIX)은 제4센싱 블록(BL4)으로 정의된다. 제4센싱 블록(BL4)은 제3센싱 블록(BL1)의 좌측으로 2개의 레퍼런스라인이 이동한 위치에 존재하는 것을 일례로 한다. 도 23 및 도 24와 같이 제4센싱 블록(BL4)은 제1 내지 제4레퍼런스라인들(VREF1 ~ VREF4)을 통해 센싱된다. 제4센싱 블록(BL4)을 센싱하기 위해 스위치부(151)의 제1 내지 제4스위치들(SW1 ~ SW4)은 턴온된다. 멕스부(152)의 제1 내지 제4멕스들(Mux1 ~ Mux4)은 하나의 그룹으로 선택된다.

- [0092] 입출력 제어부(153)의 제1제어부(CNT1)는 제1입력단(IN1)을 통해 제1 내지 제4멱스들(Mux1 ~ Mux4)로부터 출력된 센싱값을 하나의 값으로 입력받고 제1출력단(OUT1)을 통해 출력한다. 전류전압 변환부(154)의 제1비교 회로부(CC1)는 제1제어부(CNT1)로부터 전달된 센싱값을 비교한 후 아날로그 디지털변환부(156)에 전달한다. 도 23, 도 24 및 도 25와 같이, 스캔 구동부(140)는 표시 패널(110) 상의 제4센싱 블록(BL4)에 포함된 픽셀들(PIX)이 모두 동시에 센싱되도록 동일한 형태의 펄스로 이루어진 제3 내지 제6스캔신호들(Scan3 ~ Scan6)을 제3 내지 제6스캔라인들을 통해 출력한다.
- [0093] 픽셀 센싱회로부(150)는 자체적으로 보상값을 산출할 수 있는 보상값 생성부를 가질 수 있다. 그러나 본 발명의 실시예에서는 픽셀 센싱회로부(150)는 픽셀들을 센싱하여 센싱값만 생성하고 생성된 센싱값을 타이밍 제어부에 전달하고, 타이밍 제어부의 내부에서 보상값을 생성하는 것을 일례로 설명한다. 즉, 보상값 생성부가 타이밍 제어부의 내부에 포함된 것을 일례로 설명한다.
- [0094] 도 14 내지 도 26에 도시된 바와 같이, 픽셀 센싱회로부(150)는 제1 내지 제4센싱 블록(BL1 ~ BL4)을 센싱한 센싱값을 디지털 형태의 센싱값(SEN)으로 변환한 후 이를 타이밍 제어부(180)에 전달한다. 타이밍 제어부(180)는 디지털 형태의 센싱값(SEN)을 기반으로 보상값을 산출한다.
- [0095] 타이밍 제어부(180)는 센싱값(SEN)을 기반으로 센싱된 픽셀에 대한 보상값을 마련함과 더불어 센싱된 픽셀에 대한 센싱값과 보간법을 기반으로 센싱되지 않은 픽셀에 대한 보상값을 마련한다. 그리고 타이밍 제어부(180)는 보상값을 기반으로 보상 데이터신호(CDATA)를 생성하고 출력한다. 이후 데이터 구동부(130)는 타이밍 제어부(180)로부터 출력된 보상 데이터신호(CDATA)를 기반으로 표시 패널을 구동한다.
- [0096] 도 26 (a)와 같이, 픽셀 센싱회로부(150)는 별도의 독립된 회로로 구현될 수 있다. 이 경우, 픽셀 센싱회로부(150)와 타이밍 제어부(180) 사이에는 신호라인이 존재한다. 그리고 픽셀 센싱회로부(150)는 이 신호라인을 통해 센싱값(SEN)을 타이밍 제어부(180)에 전달하게 된다.
- [0097] 도 26 (b)와 같이, 픽셀 센싱회로부(150)는 데이터 구동부(130)의 내부에 집적되는 형태로 구현될 수 있다. 이 경우, 픽셀 센싱회로부(150)는 데이터 구동부(130)와 타이밍 제어부(180) 사이에 존재하던 기존의 신호라인을 통해 센싱값(SEN)을 타이밍 제어부(180)에 전달하게 된다.
- [0098] 도 27에 도시된 바와 같이, 표시 패널(110) 상의 센싱 그룹들(BL1 ~ BL9) 중 선택된 하나의 센싱 블록은 상하, 좌우는 물론이고 사선 방향으로도 이동 가능하다. 제1예로, 제1센싱 블록(BL1)은 제2센싱 블록(BL2) 또는 제3센싱 블록(BL3)으로 이동 가능하다. 또한, 제1센싱 블록(BL1)은 제5센싱 블록(BL5) 또는 제9센싱 블록(BL9)으로 이동 가능하다. 제2예로, 제9센싱 블록(BL9)은 제5센싱 블록(BL5) 또는 제1센싱 블록(BL1)으로 이동 가능하다. 또한, 제9센싱 블록(BL9)은 제8센싱 블록(BL8) 또는 제7센싱 블록(BL7)으로 이동 가능하다. 제1 및 제2예에서는 블록 단위로 센싱 그룹이 이동할 때 비 중첩 이동하는 것을 일례로 하였다. 하지만, 센싱 그룹은 중첩 이동할 수도 있음은 물론이다.
- [0099] 이상 본 발명은 표시 패널의 크기가 증가하고 픽셀의 수가 증가하더라도 센싱값 및 보상값 마련에 필요한 택트 타임을 개선 및 낮출 수 있는 효과가 있다. 또한, 본 발명은 센싱값 및 보상값을 마련에 필요한 시간의 낮출 수 있어 표시 패널의 대면적화/고해상도화 시 유리한 효과가 있다. 또한, 본 발명은 표시 패널의 픽셀들을 그룹화한 후 그룹 센싱을 하므로 저전류도 센싱 가능한 효과가 있다. 또한, 본 발명은 그룹 센싱을 함과 더불어 그룹을 이동시키므로 보간법을 사용하여 보상값을 마련하더라도 보상 정확도를 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 다수의 픽셀들을 동시에 그룹 센싱하므로 센싱에 필요한 레퍼런스라인에 개별적 영향을 끼치는 화이트 노이즈(white noise) 또한 완화할 수 있는 효과가 있다.
- [0100] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

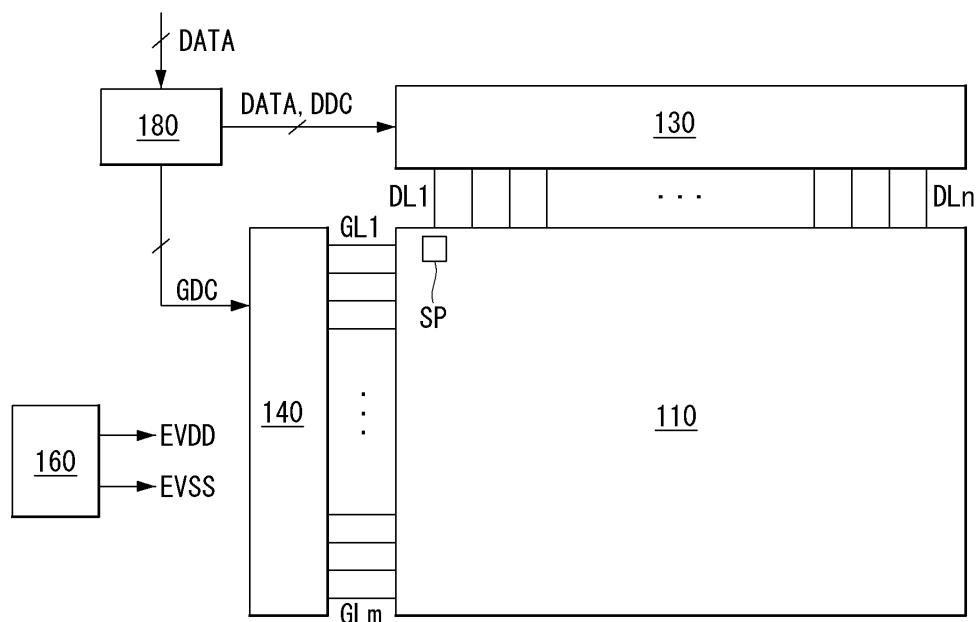
부호의 설명

- [0101] 130: 데이터 구동부 180:타이밍 제어부

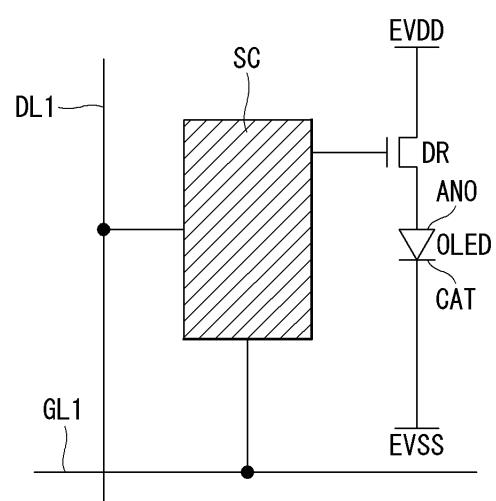
140: 스캔 구동부 150: 픽셀 센싱회로부
 151: 스위치부 152: 멕스부
 153: 입출력 제어부 154: 전류전압 변환부
 156: 아날로그 디지털변환부 141: 시프트 레지스터부
 142: 구동 모드 선택부 143: 블록 이동부
 144: 스캔신호 출력부 110: 표시 패널

도면

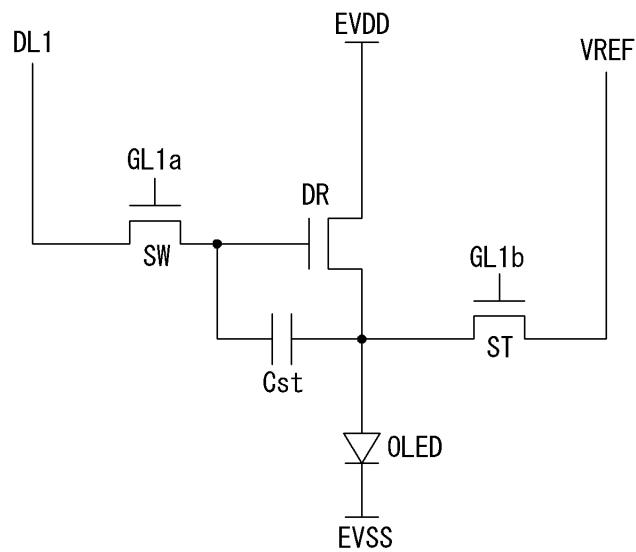
도면1



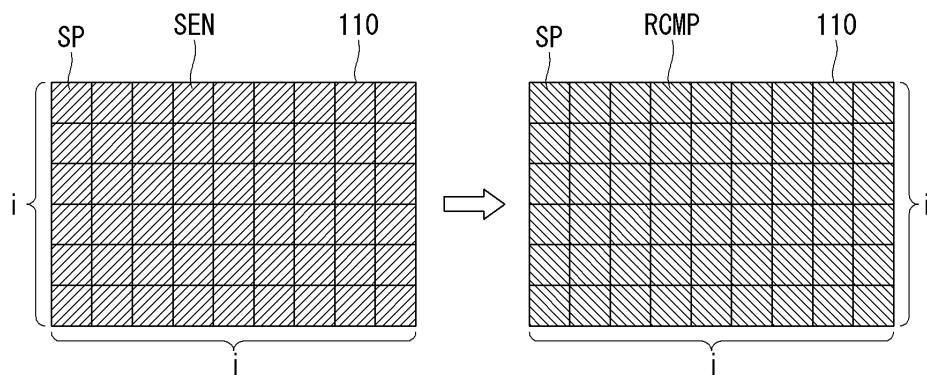
도면2



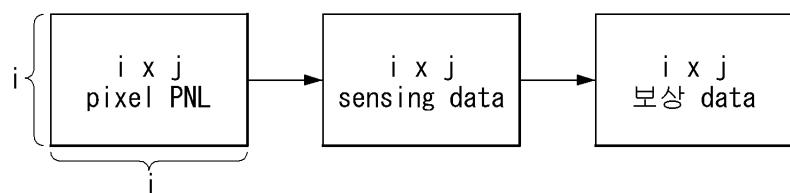
도면3



도면4

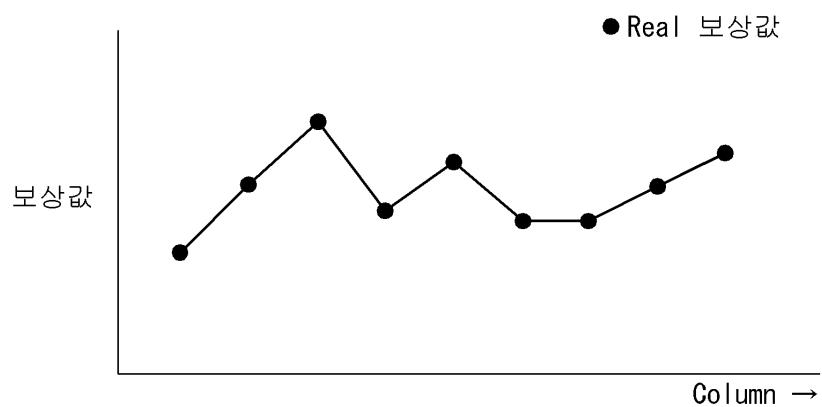


(a)

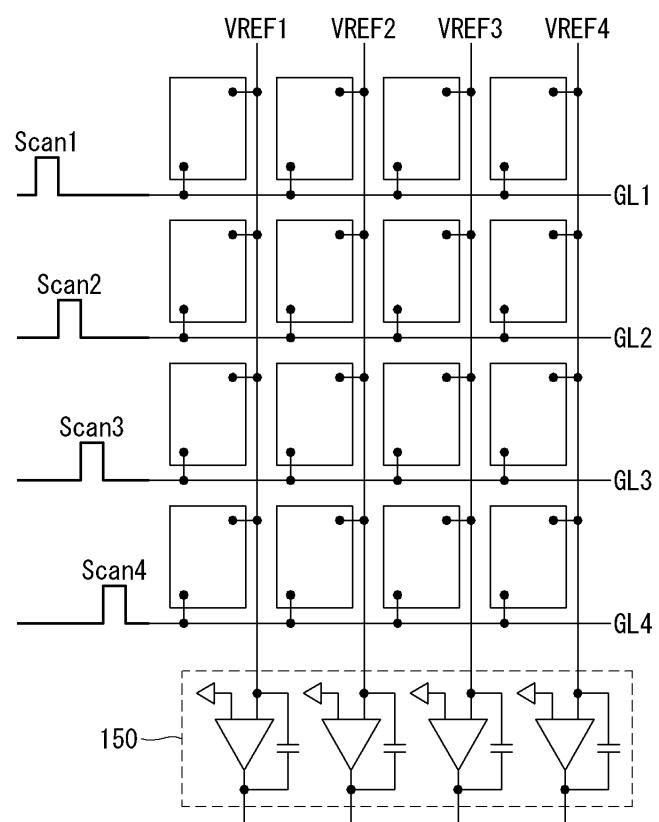


(b)

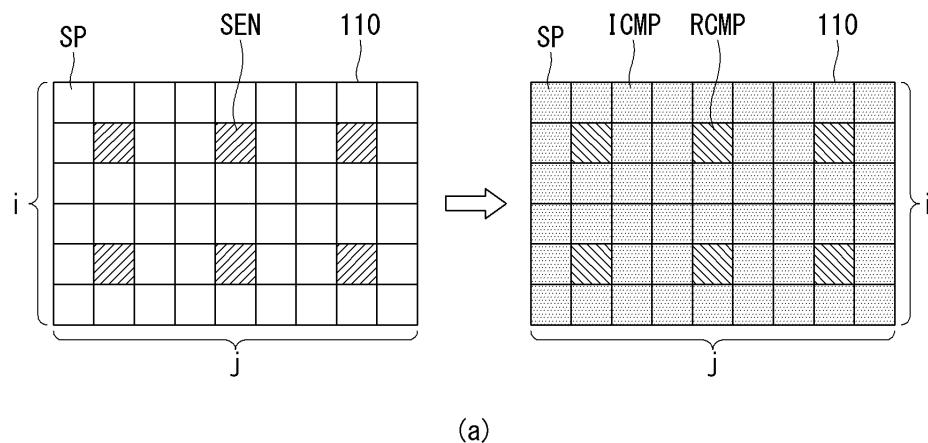
도면5



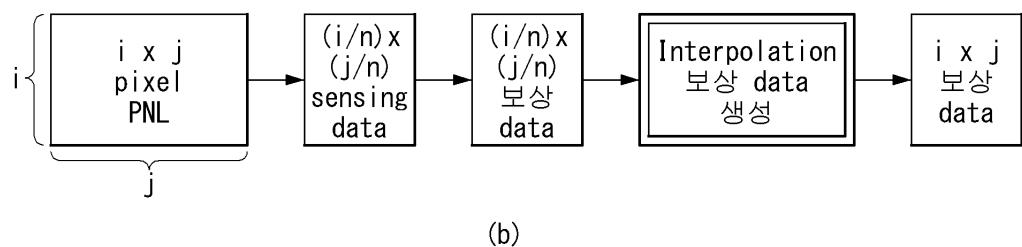
도면6



도면7

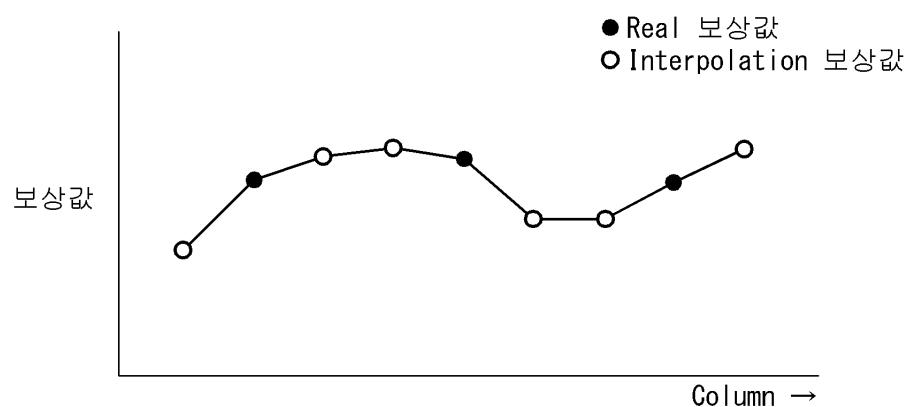


(a)

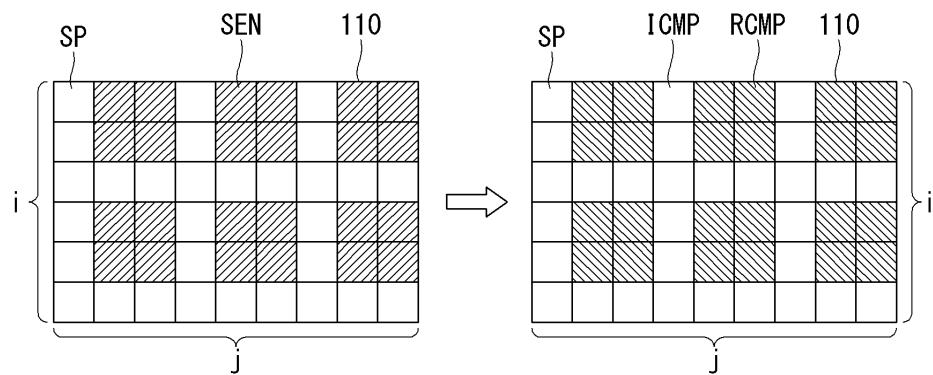


(b)

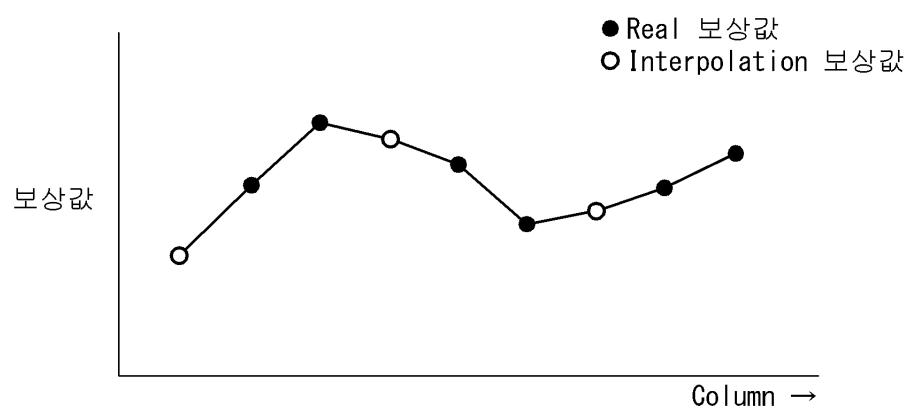
도면8



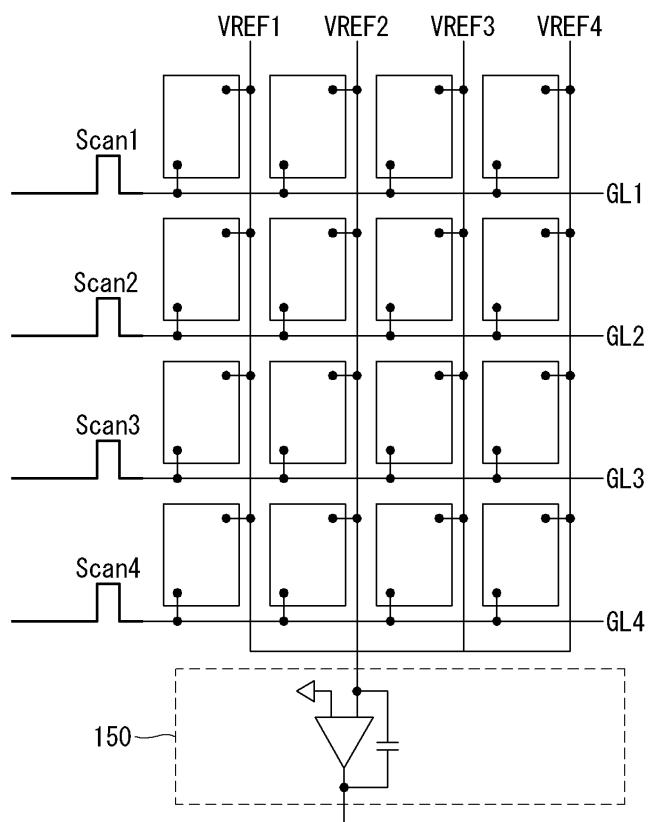
도면9



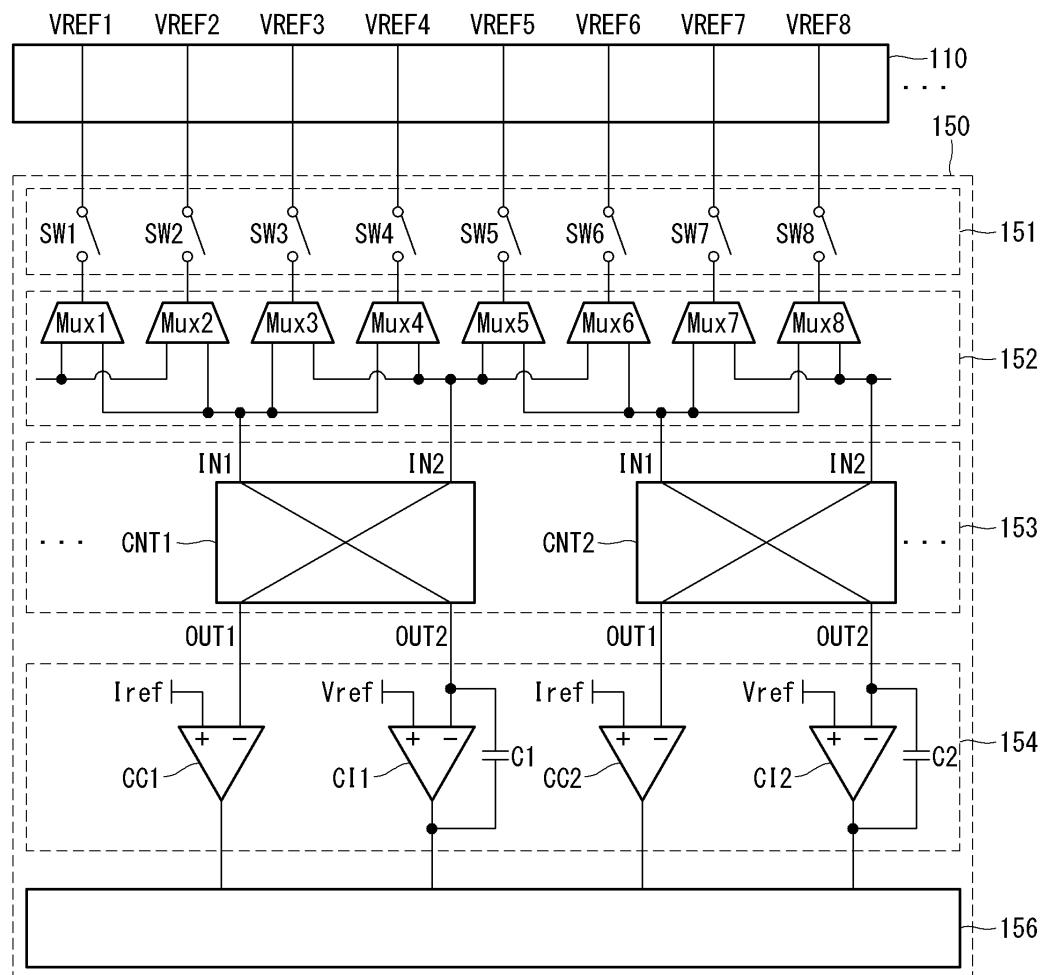
도면10



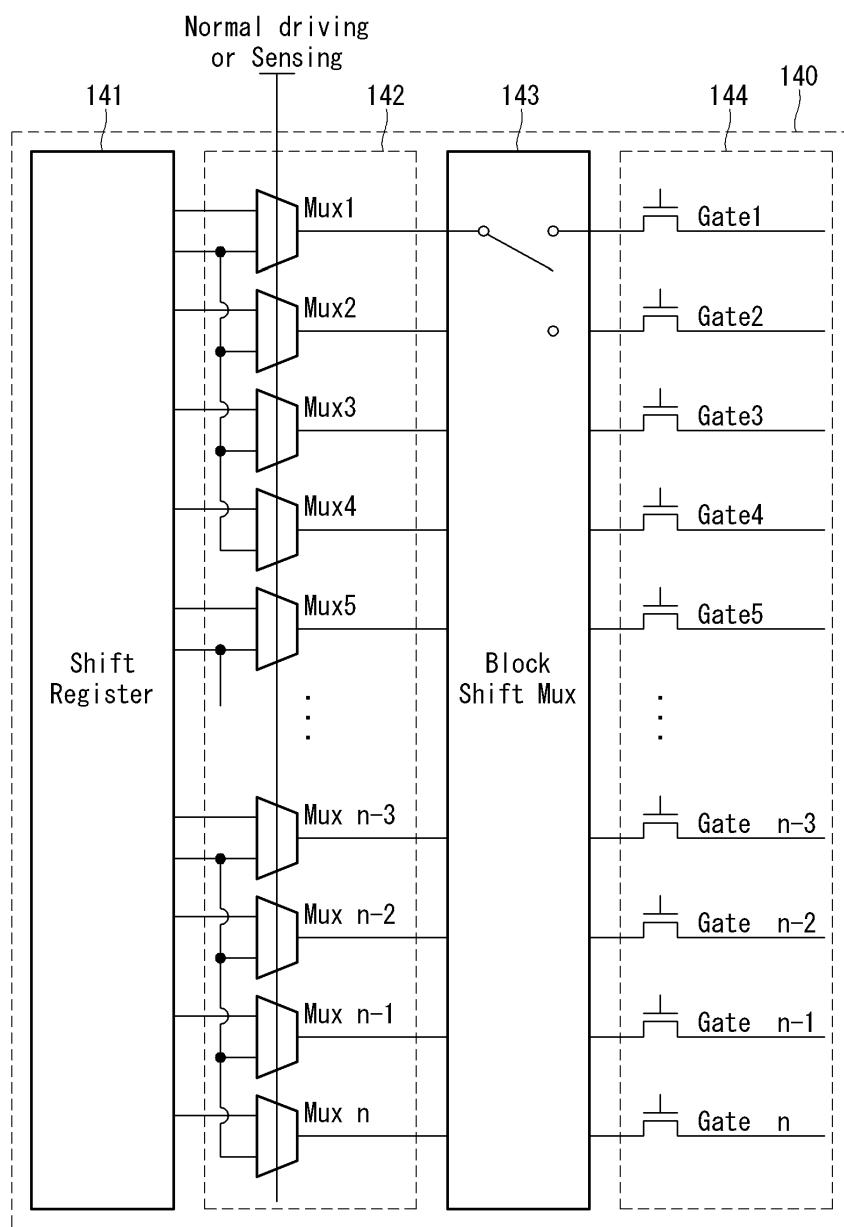
도면11



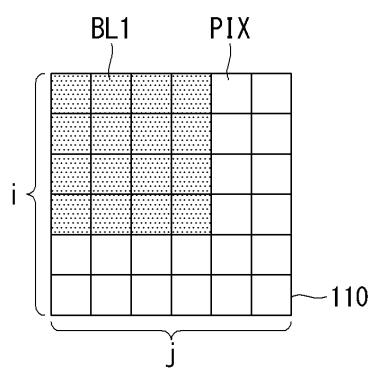
도면12



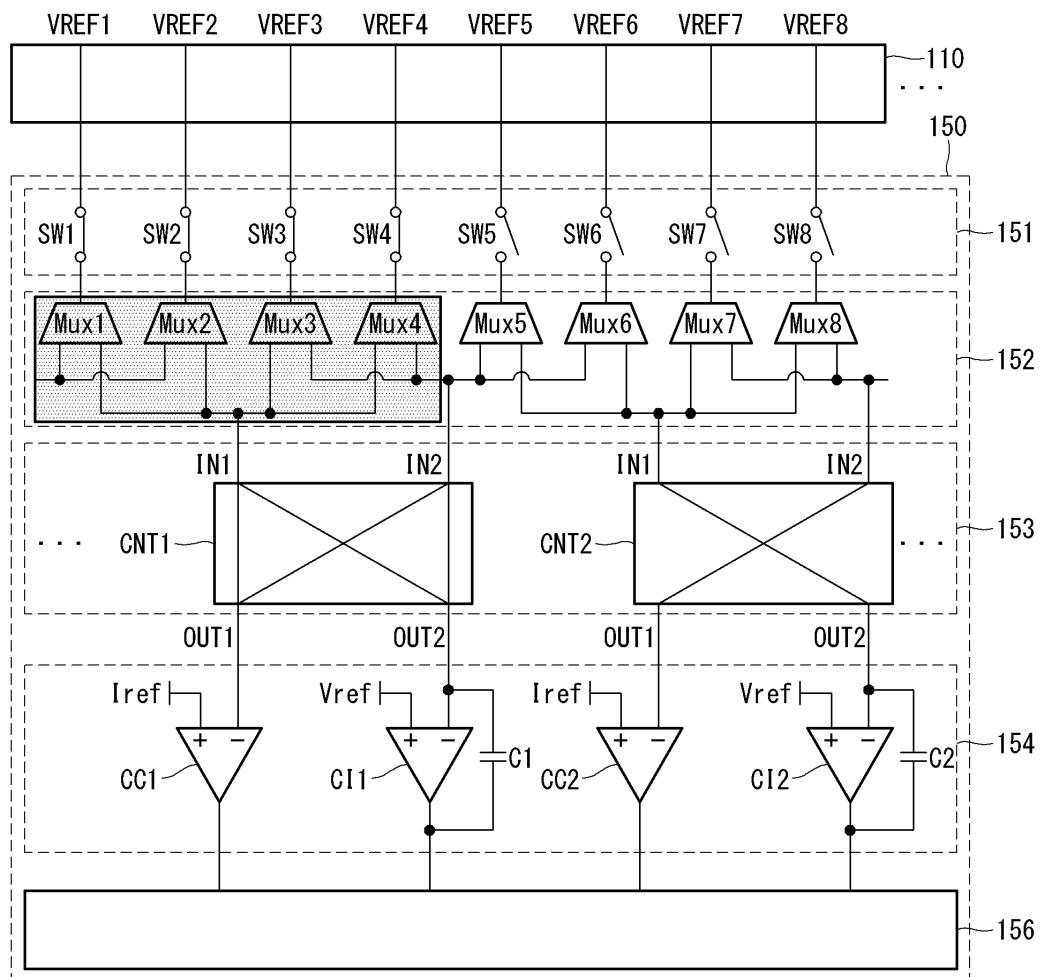
도면13



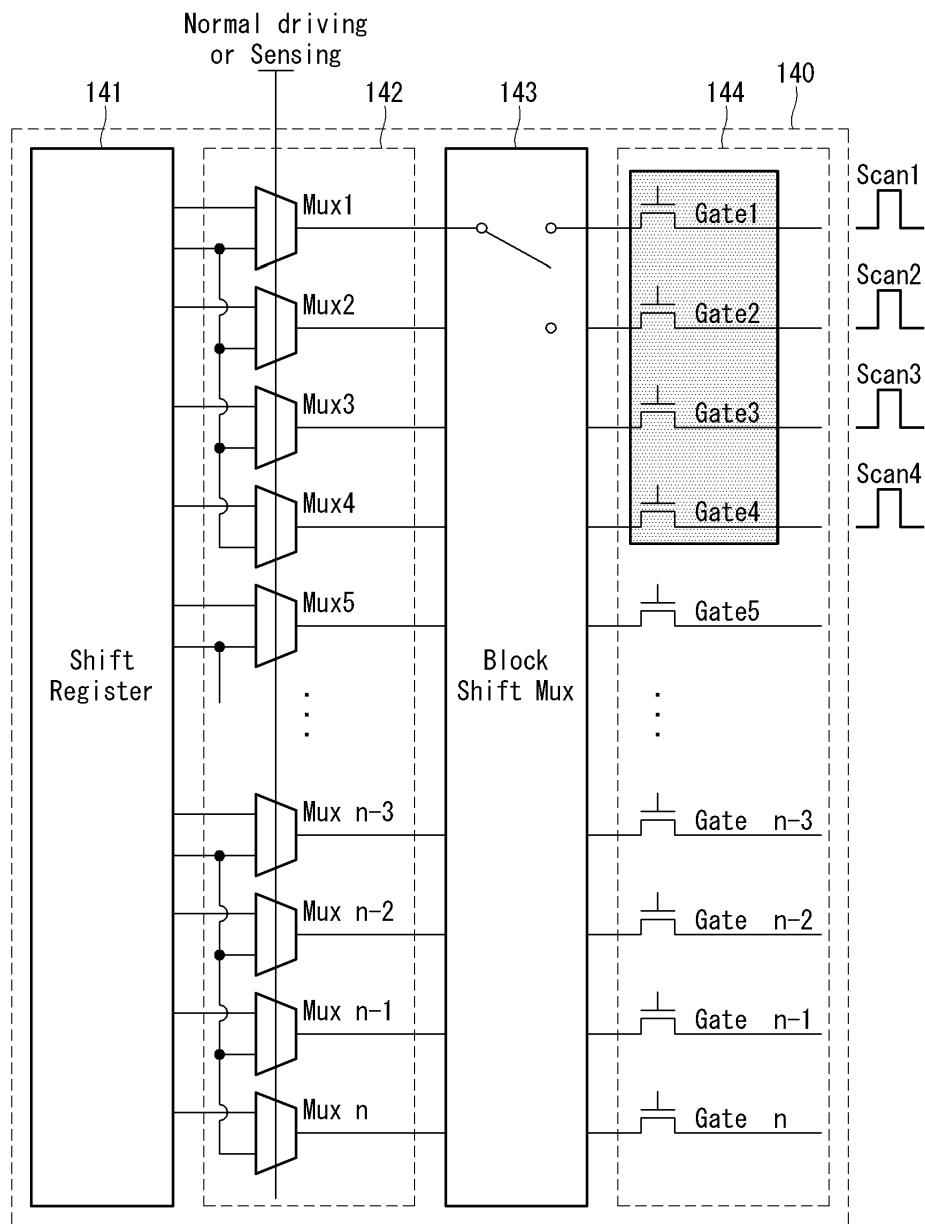
도면14



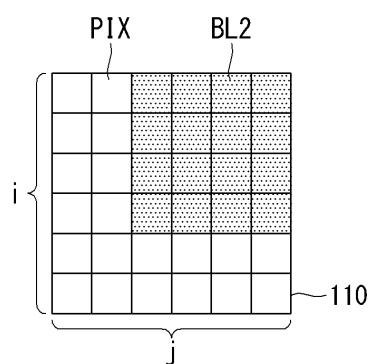
도면15



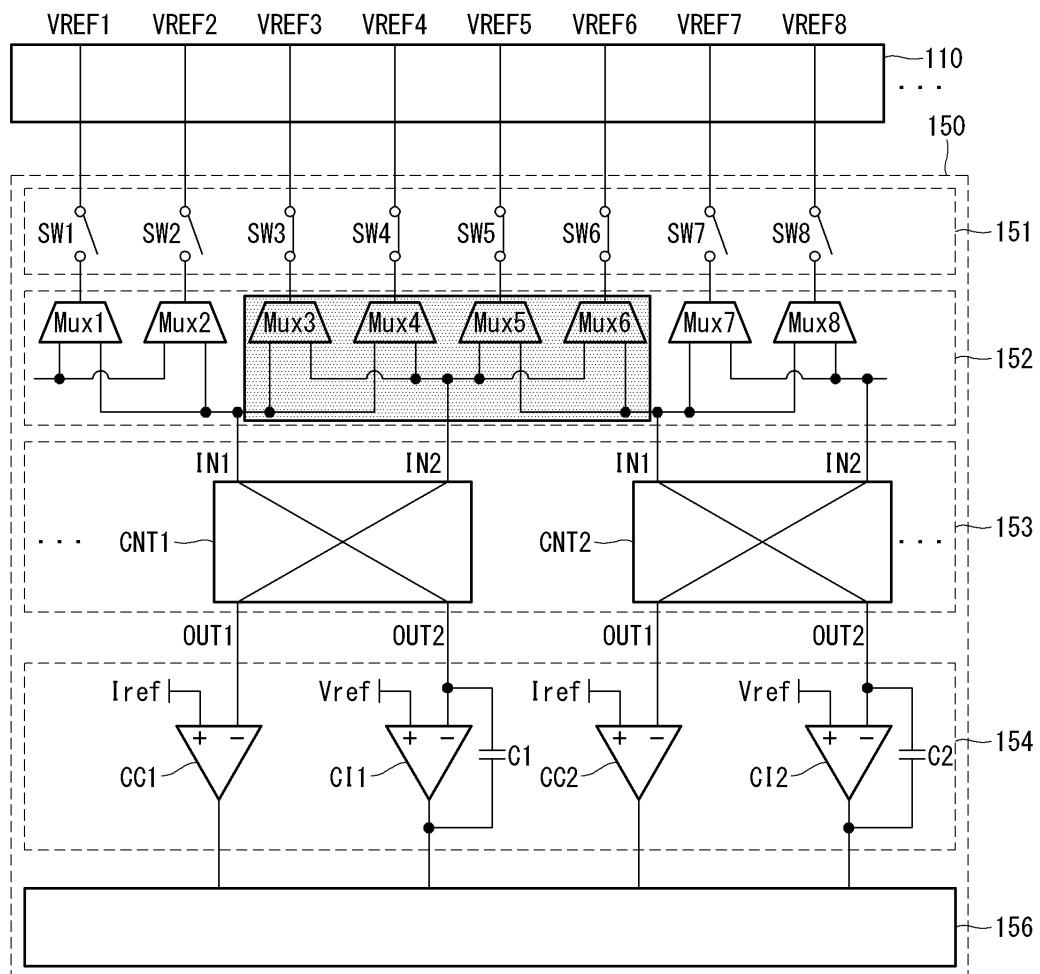
도면16



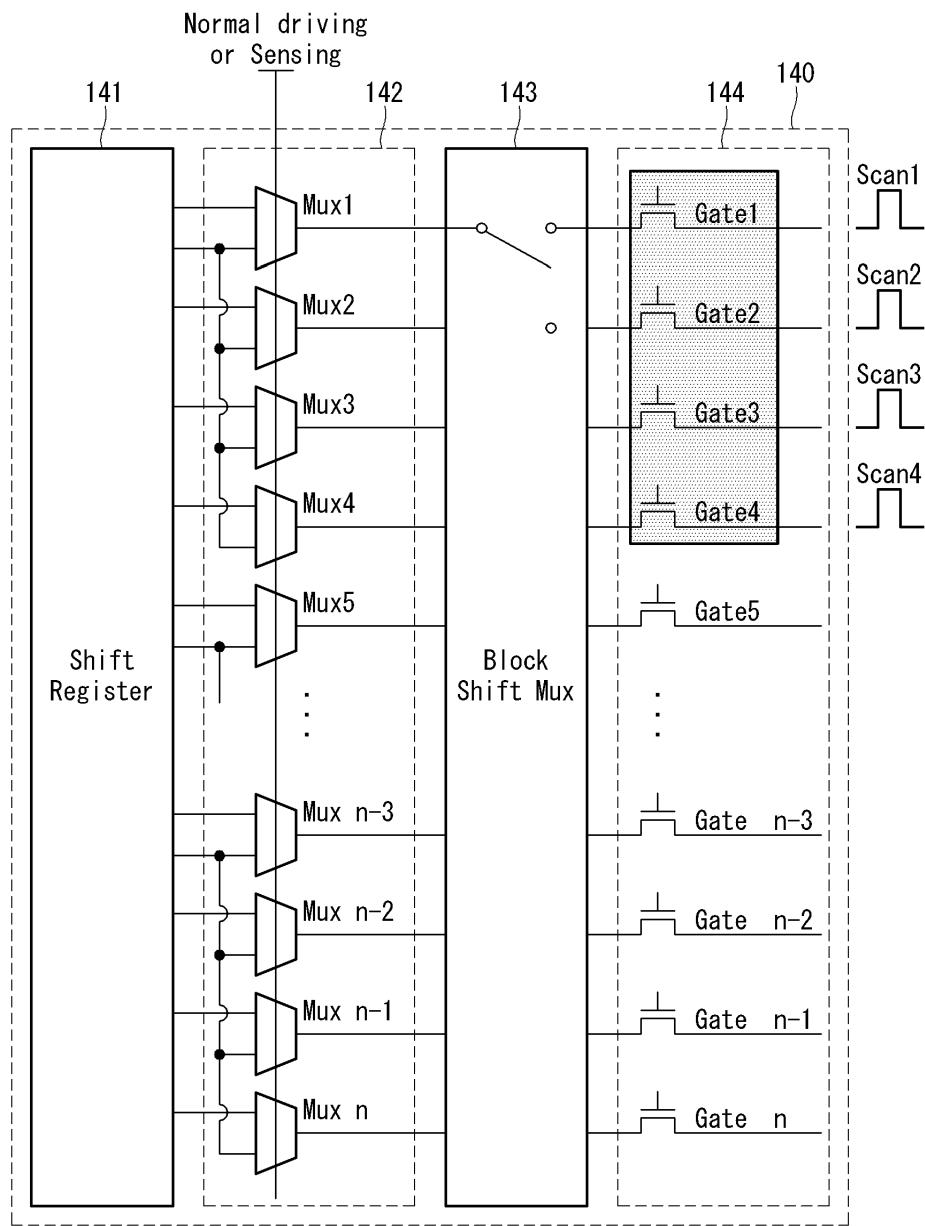
도면17



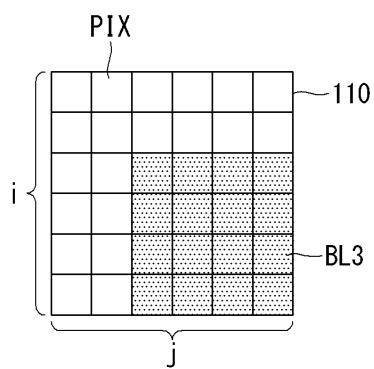
도면18



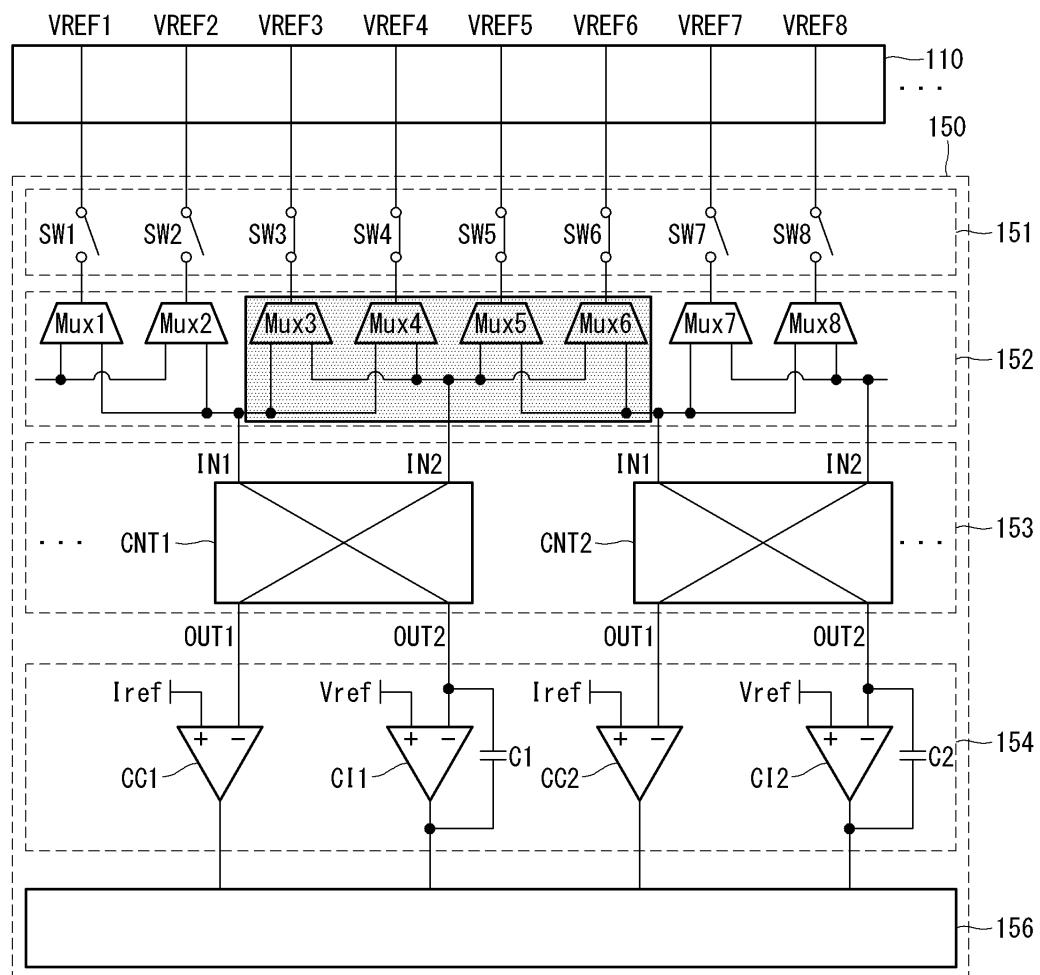
도면19



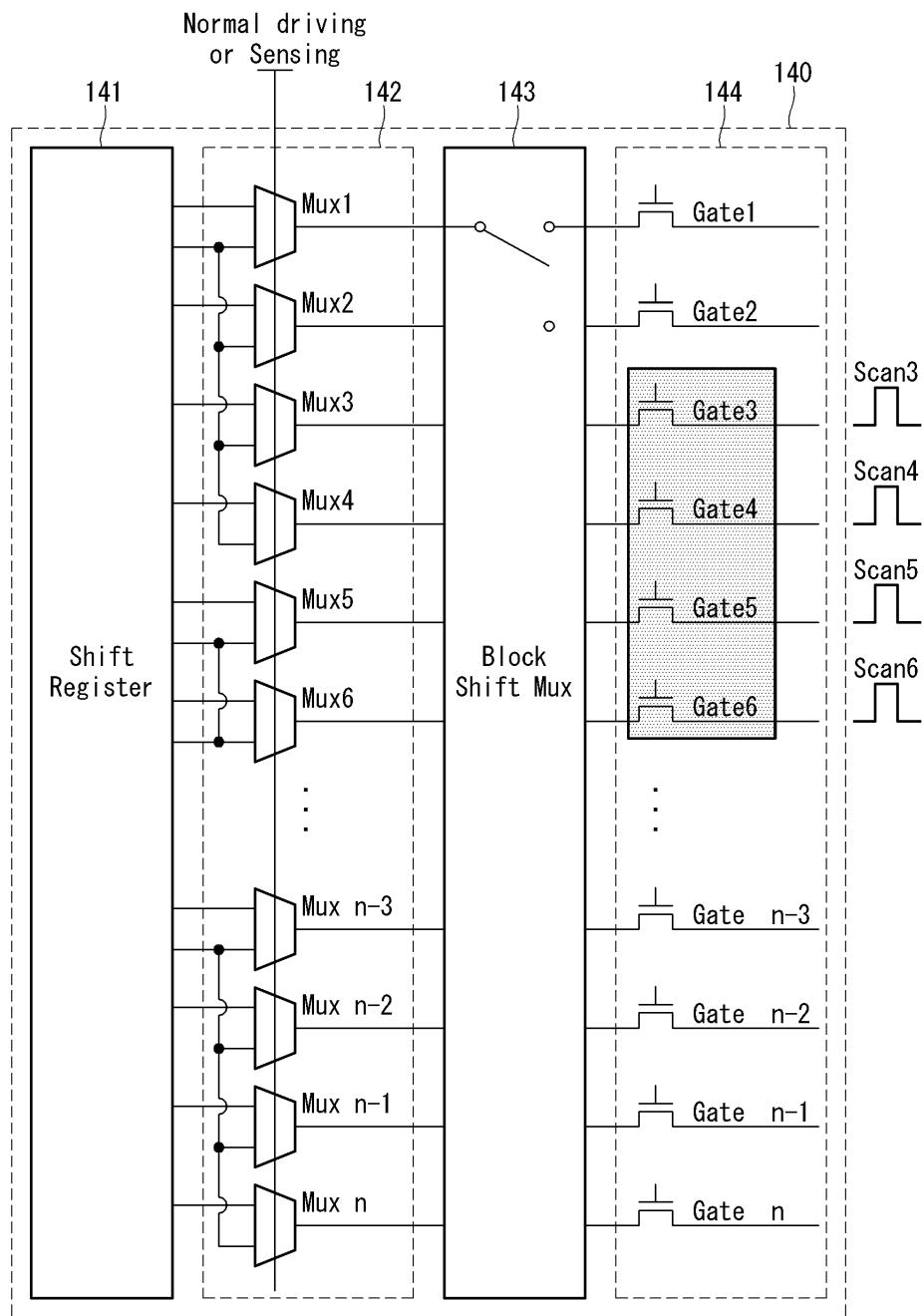
도면20



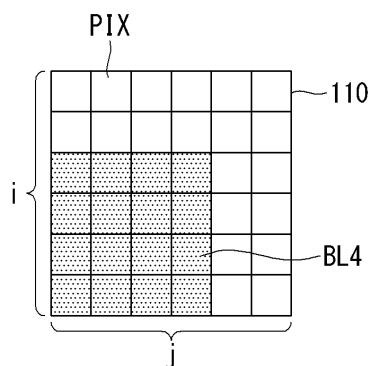
도면21



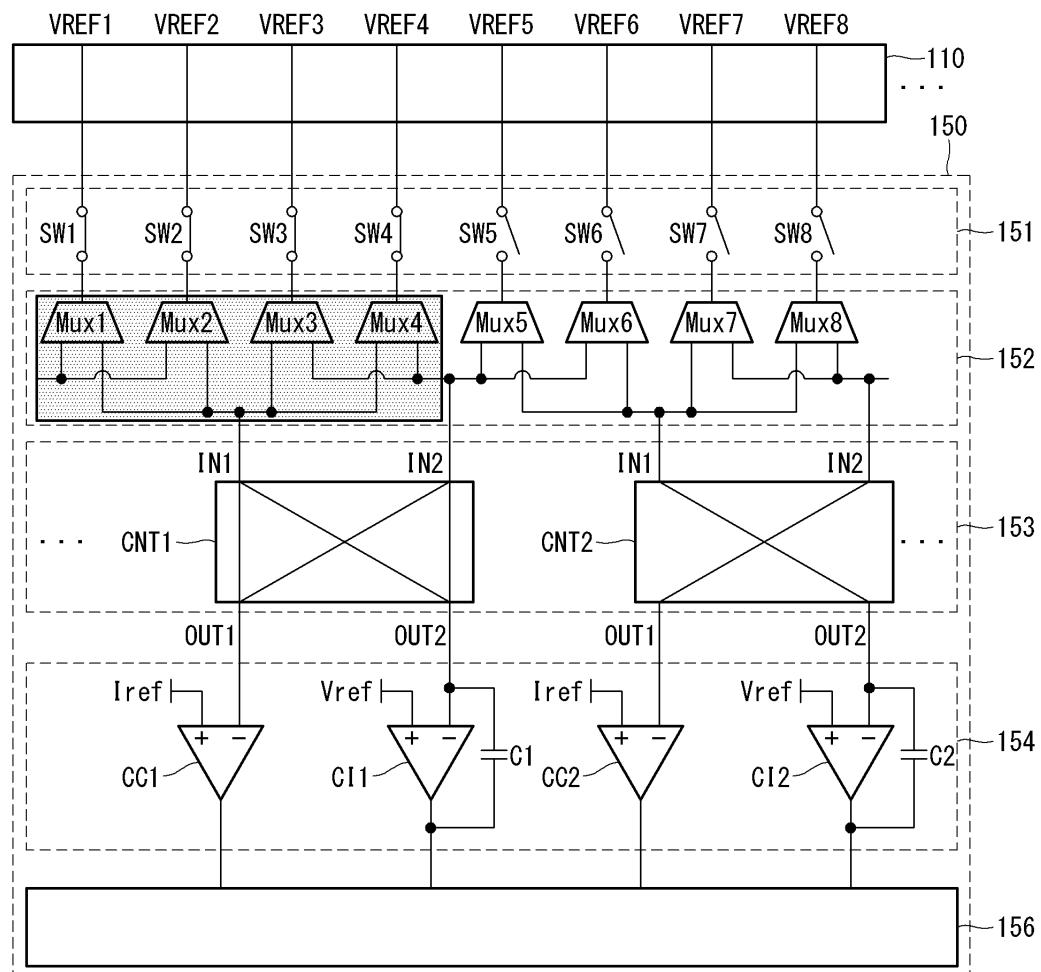
도면22



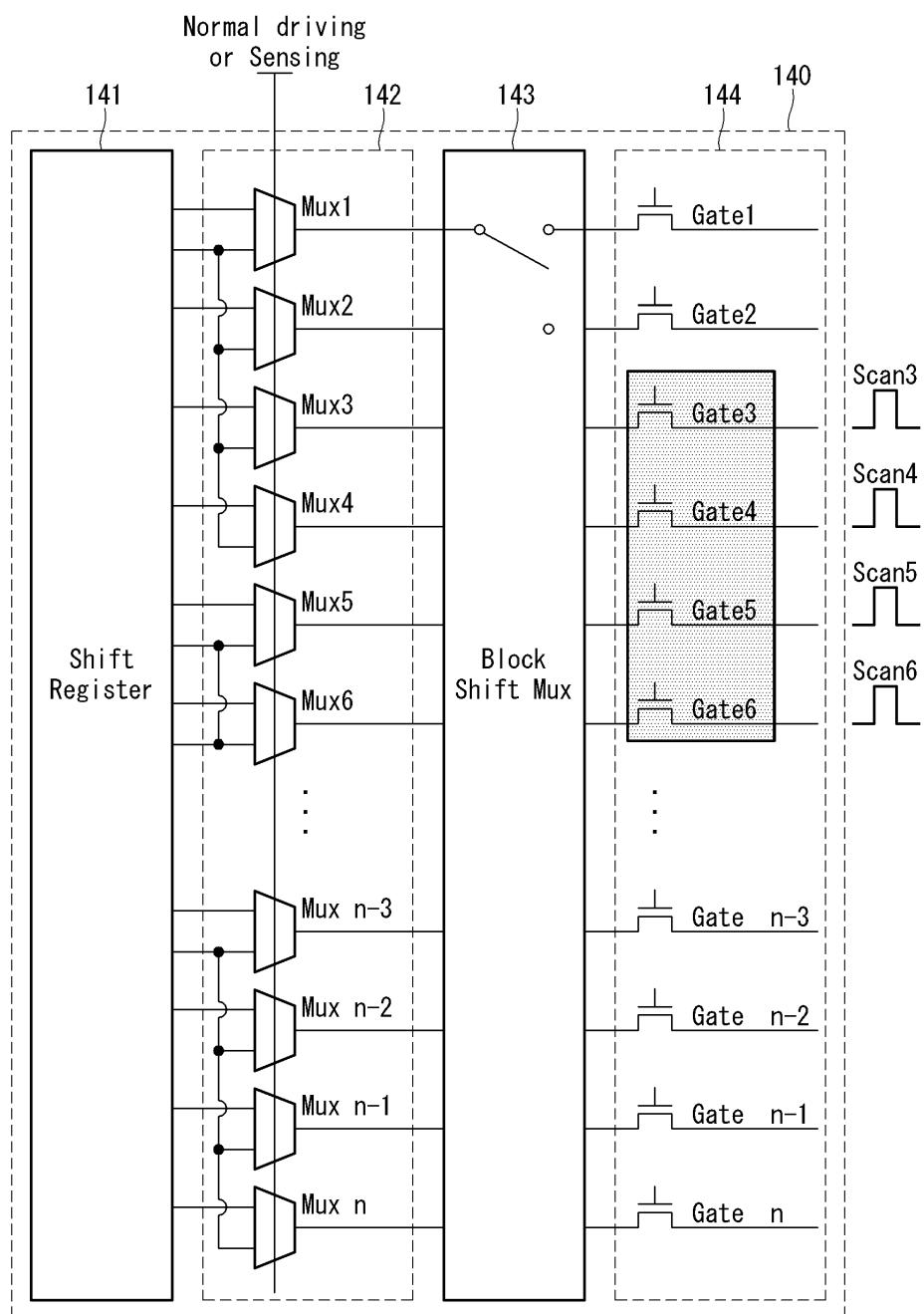
도면23



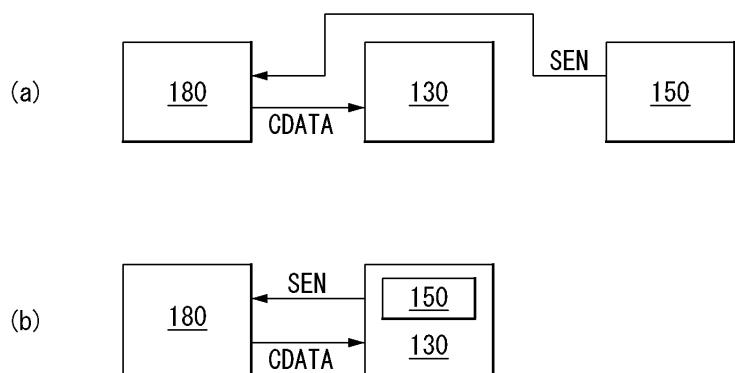
도면24



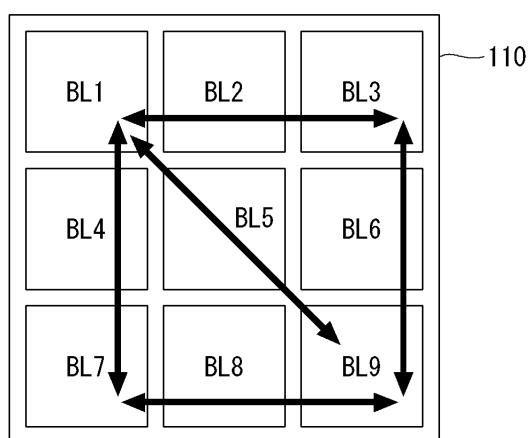
도면25



도면26



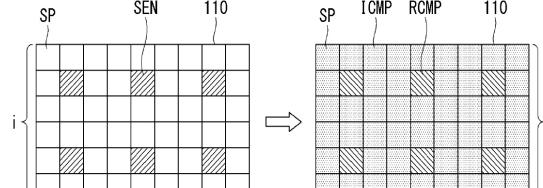
도면27



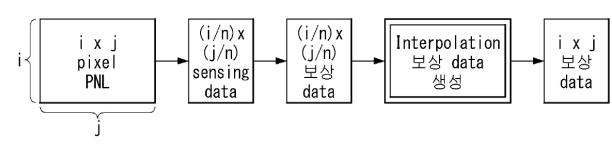
专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190066802A	公开(公告)日	2019-06-14
申请号	KR1020170166573	申请日	2017-12-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이태영 임명기 우경돈 김혁준		
发明人	이태영 임명기 우경돈 김혁준		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0286 G09G2310/0297 G09G2320/043		
外部链接	Espacenet		

摘要(译)

本发明提供了一种EL显示装置，包括显示面板，数据驱动器，扫描驱动器，像素感测电路和补偿值产生器。显示面板显示图像。数据驱动器将数据信号提供给显示面板。扫描驱动器向显示面板提供扫描信号。像素感测电路单元通过包括在显示面板中的像素的参考线获取感测值。补偿值生成器基于感测值准备用于感测像素的补偿值，并且基于感测值和内插方法准备用于未感测像素的补偿值。像素感测电路单元同时感测N个像素（其中N是2或更大的整数），并且将感测目标的位置改变至少一个像素。



(a)



(b)