(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0066748
(43) 공개일자 2019년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/322 (2013.01)
(21) 출원번호 10-2017-0166456
(22) 출원일자 2017년12월06일
심사청구일자 2017년12월06일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
심종식
경기도 파주시 월롱면 엘지로 245
황성환
경기도 파주시 월롱면 엘지로 245
오길환
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤싱크

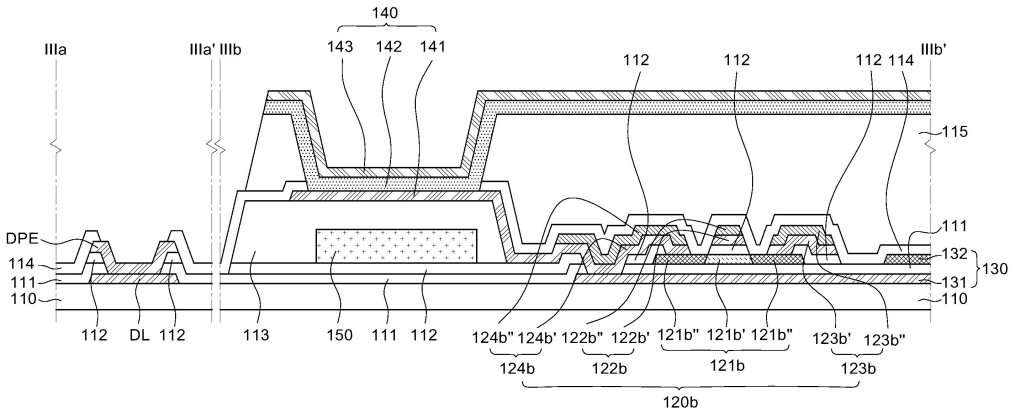
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 **표시 장치 및 표시 장치의 제조 방법**

(57) 요 약

본 발명의 일 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함하는 기판, 기판 상에 배치된 액티브층, 액티브층 상에 배치된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 및 박막 트랜지스터에 전기적으로 연결된 애노드를 포함하는 유기 발광 소자를 포함하고, 게이트 전극, 소스 전극 및 드레인 전극은 제1 도전층 및 제1 도전층 상의 제2 도전층으로 이루어지고, 애노드는 제1 도전층과 동일한 물질로 이루어진다. 따라서, 애노드와 드레인 전극의 제1 도전층을 일체로 형성하여, 애노드와 드레인 전극을 전기적으로 연결하기 위해 별도의 컨택홀이 필요하지 않고, 구조를 간소화할 수 있다.

대 표 도



(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3276 (2013.01)
H01L 51/5203 (2013.01)
H01L 51/5237 (2013.01)
H01L 51/56 (2013.01)

명 세 서

청구범위

청구항 1

표시 영역 및 비표시 영역을 포함하는 기판;

상기 기판 상에 배치된 액티브층, 상기 액티브층 상에 배치된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 및

상기 박막 트랜지스터에 전기적으로 연결된 애노드를 포함하는 유기 발광 소자를 포함하고,

상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극은 제1 도전층 및 상기 제1 도전층 상의 제2 도전층으로 이루어지고,

상기 애노드는 상기 제1 도전층과 동일한 물질로 이루어진, 표시 장치.

청구항 2

제1항에 있어서,

상기 애노드는 상기 소스 전극 또는 상기 드레인 전극의 상기 제1 도전층으로부터 연장된, 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 도전층은 투명 도전성 물질로 이루어지고,

상기 제2 도전층은 금속 물질로 이루어지는, 표시 장치.

청구항 4

제1항에 있어서,

상기 표시 영역 중 상기 박막 트랜지스터가 배치된 영역을 제외한 영역에서 상기 기판과 상기 애노드 사이에 배치된 제1 평탄화층을 더 포함하는 표시 장치.

청구항 5

제4항에 있어서,

상기 기판과 상기 제1 평탄화층 사이에 배치된 컬러 필터를 더 포함하는, 표시 장치.

청구항 6

제4항에 있어서,

상기 비표시 영역에 배치된 제2 평탄화층을 더 포함하고,

상기 제1 평탄화층 및 상기 제2 평탄화층은 서로 이격된, 표시 장치.

청구항 7

제6항에 있어서,

상기 제2 평탄화층은 아일랜드(island) 형상인, 표시 장치.

청구항 8

제1항에 있어서,

상기 표시 영역에 배치되고, 상기 기판과 상기 액티브층 사이에 배치된 데이터 배선; 및

상기 비표시 영역에 배치되고, 상기 데이터 배선과 전기적으로 연결된 패드 전극을 더 포함하고,

상기 패드 전극은 상기 제1 도전층과 동일한 물질로 이루어진, 표시 장치.

청구항 9

제8항에 있어서,

상기 박막 트랜지스터의 상기 액티브층과 중첩하도록 배치되고, 상기 데이터 배선과 동일한 물질로 이루어진 차광층을 더 포함하는, 표시 장치.

청구항 10

제1항에 있어서,

상기 박막 트랜지스터 상에 배치된 패시베이션층을 더 포함하고,

상기 패시베이션층의 하면에 상기 애노드, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극이 접하는, 표시 장치.

청구항 11

표시 영역 및 비표시 영역을 포함하는 기판 상에서, 상기 표시 영역에 박막 트랜지스터의 액티브층을 형성하는 단계;

상기 액티브층 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 제1 도전 물질 및 제2 도전 물질을 순차적으로 형성하는 단계; 및

상기 제1 도전 물질 및 상기 제2 도전 물질을 식각하여, 상기 액티브층 상에 제1 도전층 및 상기 제1 도전층 상의 제2 도전층으로 이루어지는 상기 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극을 형성하고, 상기 제1 도전층과 동일 물질로 이루어지는 유기 발광 소자의 애노드를 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 제1 도전 물질은 투명 도전성 물질이고,

상기 제2 도전 물질은 금속 물질인, 표시 장치의 제조 방법.

청구항 13

제11항에 있어서,

상기 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 상기 애노드를 형성하는 단계는 상기 애노드와 상기 소스 전극 또는 상기 드레인 전극의 상기 제1 도전층을 일체로 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 14

제11항에 있어서,

상기 표시 영역에서 상기 기판과 상기 액티브층 사이에 데이터 배선을 형성하는 단계를 더 포함하고,

상기 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 상기 애노드를 형성하는 단계는, 상기 비표시 영역에서 상기 데이터 배선과 전기적으로 연결되고, 상기 제1 도전 물질로 이루어진 패드 전극을 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 15

제14항에 있어서,

상기 데이터 배선을 형성하는 단계는, 상기 액티브층과 중첩하는 영역에서, 상기 데이터 배선과 동일한 물질로 이루어진 차광층을 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 16

제11항에 있어서,

상기 게이트 절연층을 형성하는 단계는,

상기 액티브층 상에 게이트 절연 물질 및 평탄화 물질을 순차적으로 형성하는 단계;

상기 비표시 영역 및 상기 박막 트랜지스터에 중첩하는 영역에서 상기 평탄화 물질을 식각하여 평탄화층을 형성하는 단계; 및

상기 평탄화 물질이 식각된 영역에서, 상기 액티브층과 상기 소스 전극 및 상기 드레인 전극이 서로 접하는 영역에서 상기 게이트 절연 물질을 식각하여 게이트 절연층을 형성하는 단계를 포함하고,

상기 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 상기 애노드를 형성하는 단계는, 상기 애노드를 상기 평탄화층 상에 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 17

제17항에 있어서,

상기 게이트 절연 물질 및 상기 평탄화 물질을 순차적으로 형성하는 단계는,

상기 액티브층 상에 상기 게이트 절연 물질을 형성하는 단계;

상기 게이트 절연 물질 상에 상기 유기 발광 소자와 중첩하는 영역에서 컬러 필터를 형성하는 단계; 및

상기 컬러 필터 상에 상기 평탄화 물질을 형성하는 단계를 포함하는, 표시 장치의 제조 방법.

청구항 18

제11항에 있어서,

상기 박막 트랜지스터 및 상기 애노드 상에 패시베이션 물질 및 뱅크 물질을 순차적으로 형성하는 단계;

상기 애노드의 적어도 일부 영역 및 상기 비표시 영역에 중첩하는 영역을 제외한 영역에서 상기 뱅크 물질을 식각하여 뱅크를 형성하는 단계; 및

상기 애노드의 적어도 일부 영역에 중첩한 영역을 제외한 영역에서 상기 패시베이션 물질을 식각하여 패시베이션층을 형성하는 단계를 더 포함하는, 표시 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시 장치 및 표시 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 표시 장치의 구조를 간소화하여 표시 장치의 제조 공정에서 사용되는 마스크 개수를 감소시킬 수 있는 표시 장치 및 표시 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근 정보화 시대로 접어듦에 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비 전력화의 우수한 성능을 지닌 여러 가지 다양한 표시 장치(Display Device)가 개발되고 있다. 이와 같은 표시 장치의 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 유기 발광 표시 장치(Organic Light Emitting Display Device: OLED) 등을 들 수 있다.

[0003] 이와 같은 표시 장치들은 구동을 위해 복수 개의 박막 트랜지스터 및 표시 소자를 포함하는 기판을 구비한다. 이때, 표시 소자는 표시 장치의 종류에 따라 달라질 수 있고, 예를 들어, 유기 발광 표시 장치에서 표시 소자는

유기 발광 소자일 수 있다. 이와 같은, 표시 장치의 제조 공정에서는 기판 상에 박막 트랜지스터, 표시 소자, 배선 등을 형성하기 위해, 도전성 물질, 절연 물질 등을 형성하고 이를 패터닝하기 위한 마스크 공정이 여러 차례 수행된다. 이때, 사용되는 마스크의 개수가 증가하는 경우, 제조 비용이 증가하고, 제조 시간이 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 애노드를 하나의 마스크 공정으로 형성하여, 마스크 공정 수를 감소시키고, 제조 비용 및 시간을 절감할 수 있는 표시 장치 및 표시 장치의 제조 방법을 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 다른 과제는 패시베이션층과 뱅크를 하나의 마스크 공정으로 형성하여, 마스크 공정 수를 감소시키고, 제조 공정을 단순화할 수 있는 표시 장치 및 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함하는 기판, 기판 상에 배치된 액티브층, 액티브층 상에 배치된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 및 박막 트랜지스터에 전기적으로 연결된 애노드를 포함하는 유기 발광 소자를 포함하고, 게이트 전극, 소스 전극 및 드레인 전극은 제1 도전층 및 제1 도전층 상의 제2 도전층으로 이루어지고, 애노드는 제1 도전층과 동일한 물질로 이루어진다. 따라서, 애노드와 드레인 전극의 제1 도전층을 일체로 형성하여, 애노드와 드레인 전극을 전기적으로 연결하기 위해 별도의 컨택홀이 필요하지 않고, 구조를 간소화할 수 있다.

[0008] 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 표시 영역 및 비표시 영역을 포함하는 기판 상에서, 표시 영역에 박막 트랜지스터의 액티브층을 형성하는 단계, 액티브층 상에 게이트 절연층을 형성하는 단계, 게이트 절연층 상에 제1 도전 물질 및 제2 도전 물질을 순차적으로 형성하는 단계 및 제1 도전 물질 및 제2 도전 물질을 식각하여, 액티브층 상에 제1 도전층 및 제1 도전층 상의 제2 도전층으로 이루어지는 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극을 형성하고, 제1 도전층과 동일 물질로 이루어지는 유기 발광 소자의 애노드를 형성하는 단계를 포함한다. 따라서, 게이트 전극, 소스 전극 및 드레인 전극과 애노드를 하나의 마스크 공정으로 형성하여, 마스크 공정 수를 감소시키고, 제조 비용 및 시간을 절감할 수 있다.

[0009] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 발명은 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 유기 발광 소자의 애노드를 하나의 마스크 공정으로 형성하므로, 마스크 공정 수 및 제조 비용을 절감할 수 있다.

[0011] 본 발명은 패시베이션층 및 뱅크를 하나의 마스크 공정으로 형성하므로, 마스크 공정 수를 감소시키고, 제조 공정을 단순화할 수 있다.

[0012] 본 발명은 기판 상에 배치된 복수의 배선이 서로 교차하는 지점에서, 배선과 배선 사이에 평탄화층을 배치하여, 배선 간의 쇼트(short)를 저감하고, 배선 간의 이격 거리를 넓혀 기생 커패시턴스를 저감할 수 있다.

[0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 발명 내에 포함되어 있다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.

도 2는 표시 영역의 서브 화소 및 비표시 영역의 패드 전극에 대한 확대도이다.

도 3은 도 2의 IIIa-IIIa' 및 IIIb-IIIb'에 대한 단면도이다.

도 4a 내지 도 4g는 본 발명의 일 실시예에 따른 표시 장치 및 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정도들이다.

도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 표시 장치 및 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정도들이다.

도 6은 본 발명의 또 다른 실시예에 따른 표시 장치에서 도 1의 VI-VI'에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0016] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 제한되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 발명 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0019] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0020] 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.

[0021] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0022] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0023] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0024] 이하에서는 도면을 참조하여 본 발명에 대해 설명하기로 한다.

[0025] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다. 도 1에서는 설명의 편의를 위해 표시 장치(100)의 다양한 구성 중 기판(110), 게이트 구동부(GD), 데이터 구동부(DD), 타이밍 컨트롤러(TC), 클락 배선(CLK1, CLK2, CLK3) 및 복수의 서브 화소(SP)만을 도시하였다.

[0026] 기판(110)은 표시 장치(100)에 포함된 다양한 구성 요소를 지지하기 위한 구성으로, 절연 물질로 이루어질 수 있다. 예를 들어, 기판(110)은 유리 또는 폴리이미드 등과 같은 플라스틱 물질로 이루어질 수 있다.

[0027] 기판(110)은 표시 영역(AA) 및 비표시 영역(NA)을 포함한다.

[0028] 표시 영역(AA)은 복수의 서브 화소(SP)가 배치되어 영상이 표시되는 영역이다. 표시 영역(AA)에는 영상을 표시하기 위한 발광 영역을 포함하는 서브 화소(SP), 서브 화소(SP)를 구동하기 위한 구동 회로가 배치될 수 있다.

[0029] 비표시 영역(NA)은 영상이 표시되지 않는 영역으로, 표시 영역(AA)에 배치된 서브 화소(SP) 및 구동 회로를 구동하기 위한 다양한 배선, 구동 IC 등이 배치되는 영역이다. 비표시 영역(NA)에는 게이트 구동부(GD), 데이터 구동부(DD)와 같은 다양한 구동부들이 배치될 수 있다.

[0030] 게이트 구동부(GD)는 타이밍 컨트롤러(TC)의 제어 하에 게이트 전압과 발광 제어 전압을 출력하여, 게이트 배선(GL), 발광 제어 신호 배선 등과 같은 배선을 통해 데이터 전압이 충전되는 서브 화소(SP)를 선택하고 발광 타이밍을 조정할 수 있다. 게이트 구동부(GD)는 시프트 레지스터(Shift register)를 이용하여 게이트 전압과 발광 제어 전압을 시프트시켜, 게이트 전압과 발광 제어 전압을 순차적으로 공급할 수 있다. 게이트 구동부(GD)는 GIP(gate-driver In Panel) 방식으로, 도 1에 도시된 바와 같이 기판(110) 상에 직접 형성될 수 있으나, 이에 제한되는 것은 아니다.

[0031] 타이밍 컨트롤러(TC)는 수직/수평 동기신호(Vsync, Hsync), 데이터 인에이블 신호(Data Enable), 도트 클락(DCLK) 등의 타이밍 신호를 입력받아 데이터 구동부(DD)와 게이트 구동부(GD)의 동작 타이밍을 제어하기 위한 제어 신호들을 출력할 수 있다. 이때, 제어 신호는 게이트 타이밍 제어 신호와 데이터 타이밍 제어 신호를 포함한다. 또한, 타이밍 컨트롤러(TC)는 데이터 구동부(DD)에 디지털 비디오 데이터를 공급할 수 있다.

[0032] 데이터 구동부(DD)는 타이밍 컨트롤러(TC)의 제어 하에 디지털 비디오 데이터를 데이터 전압으로 출력하여, 데이터 배선(DL)으로 공급할 수 있다.

[0033] 한편, 타이밍 컨트롤러(TC)가 게이트 구동부(GD)를 제어하기 위한 게이트 타이밍 제어 신호는 게이트 스타트 신호, 게이트 시프트 클락 신호 등을 포함한다. 게이트 스타트 신호는 첫 번째 게이트 전압이 발생되도록 하는 시작 신호이고, 게이트 시프트 클락 신호는 게이트 스타트 신호를 시프트시키기 위한 클락 신호이다.

[0034] 복수의 클락 배선(CLK1, CLK2, CLK3)은 타이밍 컨트롤러(TC)로부터 게이트 구동부(GD)로 게이트 시프트 클락 신호를 전달할 수 있다. 복수의 클락 배선(CLK1, CLK2, CLK3)은 제1 클락 배선(CLK1), 제2 클락 배선(CLK2) 및 제3 클락 배선(CLK3)을 포함할 수 있다. 이때, 제1 클락 배선(CLK1) 내지 제3 클락 배선(CLK3)은 게이트 구동부(GD)와 평행하게 배치되고, 제1 클락 배선(CLK1)으로부터 게이트 구동부(GD)에 게이트 시프트 클락 신호를 전달하기 위해, 게이트 구동부(GD)를 향해 연장된 제1 클락 배선(CLK1)의 일 부분은 제2 클락 배선(CLK2) 및 제3 클락 배선(CLK3)에 교차할 수 있다.

[0035] 도 1에서는 설명의 편의를 위해 클락 배선(CLK1, CLK2, CLK3)만을 도시하였으나 다른 배선이 더 배치될 수 있으며, 이에 제한되지 않는다.

[0036] 기판(110) 상에 복수의 서브 화소(SP)가 배치된다. 복수의 서브 화소(SP)는 표시 영역(AA)을 구성하는 최소 단위로, 복수의 서브 화소(SP) 각각은 발광 영역을 포함한다. 이때, 복수의 서브 화소(SP) 각각에는 발광 영역에서 발광을 하기 위한 표시 소자가 배치될 수 있다. 예를 들어, 액정 표시 소자, 유기 발광 소자 등일 수 있으며, 이에 제한되지 않는다. 이하에서는 설명의 편의를 위해 표시 소자가 유기 발광 소자인 것으로 가정하여 설명하기로 한다.

[0037] 이하에서는 도 2 및 도 3을 참조하여 서브 화소에 대하여 보다 상세히 설명하기로 한다.

[0038] 도 2는 표시 영역의 서브 화소 및 비표시 영역의 패드 전극에 대한 확대도이다. 도 3은 도 2의 IIIa-IIIa' 및 IIIb-IIIb'에 대한 단면도이다. 도 2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(100)는 기판(110), 버퍼층(111), 게이트 절연층(112), 평탄화층(113), 패시베이션층(114), 뱅크(115), 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b), 커패시터(130), 유기 발광 소자(140), 데이터 배선(DL), 게이트 배선(GL), 전원 배선(PL), 데이터 패드 전극(DPE), 게이트 패드 전극(GPE) 및 전원 패드 전극(PPE)을 포함한다.

[0039] 기판(110) 상에 데이터 배선(DL), 전원 배선(PL) 및 제1 커패시터 전극(131)이 배치된다.

[0040] 데이터 배선(DL)은 데이터 구동부(DD)로부터 데이터 전압을 서브 화소(SP)로 전달한다. 구체적으로, 데이터 배선(DL)은 데이터 전압을 서브 화소(SP)의 제1 박막 트랜지스터(120a)의 제1 소스 전극(123a)으로 전달한다. 다만, 이에 제한되지 않고, 데이터 전압을 서브 화소(SP)의 제1 박막 트랜지스터(120a)의 제1 드레인 전극(124a)으로 전달할 수도 있다.

[0041] 데이터 배선(DL)은 표시 영역(AA)에서 비표시 영역(NA)에까지 연장될 수 있고, 비표시 영역(NA)에 배치된 데이터 구동부(DD)로부터 데이터 전압을 전달받을 수 있다. 예를 들어, 데이터 배선(DL)은 데이터 배선(DL)의 일단에 배치된 데이터 패드 전극(DPE)를 통해 데이터 구동부(DD)로부터 데이터 전압을 전달받을 수 있다.

[0042] 전원 배선(PL)은 전원 전압을 서브 화소(SP)로 전달한다. 구체적으로, 전원 배선(PL)은 전원 전압을 서브 화소(SP)의 제2 박막 트랜지스터(120b)의 제2 소스 전극(123b)으로 전달한다. 전원 배선(PL)은 표시 영역(AA)에서 비표시 영역(NA)에까지 연장될 수 있고, 비표시 영역(NA)에 배치된 구동 IC로부터 전원 전압을 전달받을 수 있다. 예를 들어, 전원 배선(PL)은 전원 배선(PL)의 일단에 배치된 전원 패드 전극(PPE)를 통해 구동 IC로부터 전원 전압을 전달받을 수 있다.

[0043] 제1 커패시터 전극(131)은 후술하게 될 제2 커패시터 전극(132)과 함께 커패시터(130)에 포함되는 구성이다. 제1 커패시터 전극(131)은 제2 박막 트랜지스터(120b)의 제2 드레인 전극(124b)에 연결될 수 있다. 그리고 제1 커패시터 전극(131)은 제2 박막 트랜지스터(120b)에 중첩하도록 배치된다. 그러나, 제1 커패시터 전극(131)은 플로팅(floating) 되지 않고, 제2 드레인 전극(124b)과 동일한 전위를 가짐에 따라 제1 커패시터 전극(131)에 중첩하도록 배치된 제2 박막 트랜지스터(120b)의 구동에 영향을 주지 않을 수 있다.

[0044] 데이터 배선(DL), 전원 배선(PL) 및 제1 커패시터 전극(131)은 동일 층에서 동일 물질로 이루어질 수 있다. 예를 들어, 데이터 배선(DL), 전원 배선(PL) 및 제1 커패시터 전극(131)은 도전성 물질인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 또는 이에 대한 합금으로 구성될 수 있으나, 이에 제한되는 것은 아니다.

[0045] 제1 커패시터 전극(131)은 제2 박막 트랜지스터(120b)의 하부에서 제2 박막 트랜지스터(120b)의 제2 액티브층(121b)으로 입사하는 광을 차단할 수 있어, 제1 커패시터 전극(131)은 차광층으로 기능할 수 있다. 예를 들어, 제2 액티브층(121b)에 광이 조사되면 누설 전류가 발생하여 제2 박막 트랜지스터(120b)의 특성이 저하되고, 신뢰성의 문제로 이어질 수 있다. 그러나, 투명하지 않은 도전성 물질로 이루어진 제1 커패시터 전극(131)은 제2 박막 트랜지스터(120b)의 하부에까지 배치되므로, 기판(110) 하부에서 제2 박막 트랜지스터(120b)로 입사하는 광을 차단할 수 있다.

[0046] 데이터 배선(DL), 전원 배선(PL) 및 제1 커패시터 전극(131) 상에 버퍼층(111)이 배치된다. 버퍼층(111)은 기판(110)으로부터 수분 또는 불순물의 확산을 최소화할 수 있다. 버퍼층(111)은 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx)의 단일층 또는 복층으로 구성될 수 있으나, 이에 제한되지 않는다.

[0047] 버퍼층(111) 상에 제1 박막 트랜지스터(120a)의 제1 액티브층(121a) 및 제2 박막 트랜지스터(120b)의 제2 액티브층(121b)이 배치된다. 제1 액티브층(121a)과 제2 액티브층(121b)은 서로 이격되고, 제2 액티브층(121b)은 제1 커패시터 전극(131)에 전체가 중첩하도록 배치되고, 제1 액티브층(121a)은 제1 커패시터 전극(131)에 일부가 중첩하도록 배치된다.

[0048] 이때, 제1 커패시터 전극(131)과 중첩하는 제1 액티브층(121a)의 일부 영역은 커패시터(130)의 제2 커패시터 전극(132)으로도 기능할 수 있다.

[0049] 구체적으로, 제1 커패시터 전극(131)과 제2 커패시터 전극(132)이 서로 중첩하여 커패시터(130)를 이룰 수 있다. 커패시터(130)는 데이터 전압을 저장하여, 게이트 배선(GL)에 다음 게이트 전압이 인가될 때까지, 유기발광 소자(140)가 동일한 상태를 유지하도록 할 수 있다.

[0050] 한편, 제1 액티브층(121a)은 제2 커패시터 전극(132)과 일체로 이루어진다. 따라서, 제1 액티브층(121a)의 일부분은 제2 커패시터 전극(132)이 될 수 있고, 제2 커패시터 전극(132)의 일 부분은 제1 액티브층(121a)이 될 수도 있다.

[0051] 이때, 제1 액티브층(121a) 및 제2 커패시터 전극(132)은 동일한 물질로 형성될 수 있다. 다만, 제1 액티브층(121a)은 반도체적 특성을 가져야 제1 박막 트랜지스터(120a)의 제1 액티브층(121a)로 기능할 수 있고, 제2 커패시터 전극(132)은 도체적 특성을 가져야 커패시터(130)의 전극으로 기능할 수 있다.

[0052] 그러므로, 제1 액티브층(121a)의 일 부분에 도체화 공정을 수행할 수 있고, 도체화된 제1 액티브층(121a)의 일부분이 제2 커패시터 전극(132)이 될 수 있다. 따라서, 제1 커패시터 전극(131)에 중첩하고, 도체화된 제1 액티브층(121a)의 일 부분은 제2 커패시터 전극(132)이 될 수 있고, 제1 커패시터 전극(131)에 중첩하지 않고, 도체화되지 않은 제1 액티브층(121a)의 나머지 부분은 제1 박막 트랜지스터(120a)의 제1 액티브층(121a)으로 기능할 수 있다.

[0053] 한편, 제2 액티브층(121b) 또한 일부 영역(121b'')이 도체화될 수 있다. 구체적으로, 후술하게 될 게이트 절연층(112)과 중첩하지 않은 제2 액티브층(121b)의 일부 영역(121b'')이 도체화될 수 있다. 반면, 게이트 절연층(112)과 중첩하는 제2 액티브층(121b)의 다른 일부 영역(121b')은 반도체적 특성을 가질 수 있다.

[0054] 한편, 제1 액티브층(121a) 및 제2 액티브층(121b)은 비정질 실리콘, 다결정 실리콘, 산화물 반도체 또는 유기물

반도체 등으로 형성될 수 있으며, 이에 제한되지 않는다.

[0055] 제1 액티브층(121a) 및 제2 액티브층(121b) 상에 게이트 절연층(112)이 배치된다. 게이트 절연층(112)은 제1 액티브층(121a)과 제1 게이트 전극(122a), 제2 액티브층(121b)과 제2 게이트 전극(122b)을 절연시키기 위한 층으로, 절연 물질로 이루어질 수 있다. 예를 들어, 게이트 절연층(112)은 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx)의 단일층 또는 복층으로 구성될 수 있으나, 이에 제한되지 않는다.

[0056] 한편, 표시 장치(100)는 탑 에미션(Top Emission) 방식의 유기 발광 표시 장치 또는 바텀 에미션(Bottom Emission) 방식의 유기 발광 표시 장치로 구현될 수 있다. 탑 에미션 방식은 유기 발광 소자(140)에서 발광된 광이 유기 발광 소자(140)의 상부로 방출되어, 기판(110)의 상부에서 영상이 구현되는 방식이다. 바텀 에미션 방식은 유기 발광 소자(140)에서 발광된 광이 유기 발광 소자(140)의 하부로 방출되어, 기판(110)의 하부에서 영상이 구현되는 방식이다. 이하에서는, 표시 장치(100)가 바텀 에미션 방식의 유기 발광 표시 장치인 것으로 설명하나 이에 제한되는 것은 아니다.

[0057] 게이트 절연층(112) 상에 컬러 필터(150)가 배치된다. 컬러 필터(150)는 유기 발광 소자(140)에서 발광된 광을 다양한 색상으로 변환할 수 있다. 컬러 필터(150)는 게이트 절연층(112) 상에서, 하나의 유기 발광 소자(140)에 중첩하도록 배치된다. 컬러 필터(150)는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 등을 포함할 수 있다. 다만, 컬러 필터(150)는 유기 발광 소자(140)에서 발광된 광의 색상에 따라 생략될 수도 있다. 즉, 유기 발광 소자(140)가 각각 적색, 녹색, 청색 등의 광을 발광하는 경우, 별도의 컬러 필터(150)가 필요하지 않을 수도 있다.

[0058] 컬러 필터(150) 상에 평탄화층(113)이 배치된다. 평탄화층(113)은 기판(110)의 일부 영역의 상부를 평탄화할 수 있다. 구체적으로, 평탄화층(113)은 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b) 및 커패시터(130)와 중첩하는 영역에는 배치되지 않고, 유기 발광 소자(140)와 게이트 배선(GL), 데이터 배선(DL) 및 전원 배선(PL)이 중첩하는 영역에만 배치될 수 있다. 또한, 실시예에 따라 평탄화층(113)은 비표시 영역(NA)의 전체 또는 일부 영역에 배치되지 않을 수 있다. 즉, 평탄화층(113)은 데이터 배선(DL), 전원 배선(PL) 및 컬러 필터(150) 등의 상부만을 평탄화할 수 있다.

[0059] 평탄화층(113)은 단층 또는 복층으로 구성될 수 있으며, 유기 물질로 이루어질 수 있다. 예를 들어, 평탄화층(113)은 아크릴(acryl)계 유기 물질로 이루어질 수 있으나, 이에 제한되지 않는다.

[0060] 평탄화층(113) 및 게이트 절연층(112) 상에 게이트 배선(GL)이 배치된다. 게이트 배선(GL)은 게이트 전압을 서브 화소(SP)로 전달한다. 구체적으로, 게이트 배선(GL)은 게이트 전압을 제1 박막 트랜지스터(120a)의 제1 게이트 전극(122a)으로 전달한다. 게이트 배선(GL)은 표시 영역(AA)에서 비표시 영역(NA)에까지 연장될 수 있고, 비표시 영역(NA)에 배치된 게이트 구동부(GD)로부터 게이트 전압을 전달받을 수 있다. 예를 들어, 게이트 배선(GL)은 게이트 배선(GL)의 일단에 배치된 게이트 패드 전극(GPE)를 통해 게이트 구동부(GD)로부터 게이트 전압을 전달받을 수 있다.

[0061] 제1 게이트 전극(122a), 제1 소스 전극(123a) 및 제1 드레인 전극(124a)이 제1 액티브층(121a) 상에 배치된다. 제1 게이트 전극(122a), 제1 소스 전극(123a) 및 제1 드레인 전극(124a)은 게이트 배선(GL)과 동일 층에 배치되어, 게이트 배선(GL)과 동일한 물질로 이루어질 수 있다. 이때, 제1 게이트 전극(122a)은 게이트 절연층(112)을 통해 제1 액티브층(121a)과 절연될 수 있다.

[0062] 제1 게이트 전극(122a)은 게이트 배선(GL)과 일체로 형성될 수 있고, 게이트 배선(GL)으로부터 제1 게이트 전극(122a)에 게이트 전압이 인가되면, 제1 박막 트랜지스터(120a)가 턴 온(turn on)될 수 있다.

[0063] 제1 소스 전극(123a)은 제1 액티브층(121a)의 하부에 배치된 데이터 배선(DL)으로부터 데이터 전압을 인가받을 수 있다. 그리고 제1 소스 전극(123a)은 제1 액티브층(121a)에 전기적으로 연결되어 제1 액티브층(121a)으로 데이터 전압을 전달할 수 있다.

[0064] 제1 드레인 전극(124a)은 제1 액티브층(121a)에 전기적으로 연결되어 제1 액티브층(121a)으로부터 인가 받은 전압을 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b)으로 전달할 수 있다.

[0065] 제2 액티브층(121b) 상에 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)이 배치된다. 제2 게이트 전극(122b)은 게이트 절연층(112)을 통해 제2 액티브층(121b)과 절연될 수 있다.

[0066] 제2 소스 전극(123b) 및 제2 드레인 전극(124b)은 각각 게이트 절연층(112)으로부터 노출된 제2 액티브층

(121b)의 일부 영역에 접하여, 제2 액티브층(121b)과 전기적으로 연결될 수 있다. 이때, 제2 소스 전극(123b) 및 제2 드레인 전극(124b)이 접하는 제2 액티브층(121b)의 일부 영역(121b'')은 상술한 바와 같이, 게이트 절연층(112)에 중첩하지 않은 영역으로, 도체화된 영역일 수 있다. 반면, 게이트 절연층(112) 및 제2 게이트 전극(122b)에 중첩하는 제2 액티브층(121b)의 다른 일부 영역(121b')은 도체화되지 않은 영역으로, 반도체적 특성을 가질 수 있다.

[0067] 제2 소스 전극(123b)은 전원 배선(PL)과 전기적으로 연결되어 전원 전압이 인가될 수 있다. 제2 드레인 전극(124b)은 유기 발광 소자(140)와 전기적으로 연결되어, 제2 소스 전극(123b)에 인가된 전원 전압을 유기 발광 소자(140)로 전달할 수 있다.

[0068] 예를 들어, 제1 박막 트랜지스터(120a)는 게이트 배선(GL)으로부터 게이트 전압이 인가되면, 데이터 전압을 제2 박막 트랜지스터(120b)로 전달하여, 제2 박막 트랜지스터(120b)가 턴 온 되도록 할 수 있다. 제2 박막 트랜지스터(120b)가 턴 온 된 경우, 제2 박막 트랜지스터(120b)는 전원 배선(PL)의 전원 전압을 유기 발광 소자(140)에 공급하여 유기 발광 소자(140)가 구동되도록 할 수 있다.

[0069] 한편, 게이트 배선(GL), 제1 박막 트랜지스터(120a)의 제1 게이트 전극(122a), 제1 소스 전극(123a) 및 제1 드레인 전극(124a), 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)은 제1 도전 물질 및 제2 도전 물질의 복층으로 구성될 수 있다.

[0070] 예를 들어, 도 3을 참조하면, 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b)은 제1 도전 물질로 이루어진 제1 도전층(122b') 및 제1 도전층(122b') 상의 제2 도전 물질로 이루어진 제2 도전층(122b'')의 복층으로 구성될 수 있다. 이어서, 제2 소스 전극(123b)은 제1 도전 물질로 이루어진 제1 도전층(123b') 및 제1 도전층(123b') 상의 제2 도전 물질로 이루어진 제2 도전층(123b'')의 복층으로 구성될 수 있다. 제2 드레인 전극(124b)은 제1 도전 물질로 이루어진 제1 도전층(124b') 및 제1 도전층(124b') 상의 제2 도전 물질로 이루어진 제2 도전층(124b'')의 복층으로 구성될 수 있다.

[0071] 여기서, 제1 도전 물질은 투명한 도전성 물질일 수 있다. 예를 들어, 제1 도전 물질은 주석 산화물(Tin Oxide; TO), 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Zinc Tin Oxide; ITZO) 등으로 이루어질 수 있으나, 이에 제한되지 않는다.

[0072] 제2 도전 물질은 금속 물질일 수 있다. 예를 들어, 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 또는 이에 대한 합금으로 구성될 수 있으나, 이에 제한되는 것은 아니다.

[0073] 평탄화층(113) 상에 유기 발광 소자(140)의 애노드(141)가 배치된다. 애노드(141)는 후술하게 될 유기 발광 소자(140)의 유기 발광층(142)으로 정공을 공급할 수 있고, 일함수가 높은 도전성 물질로 이루어질 수 있다. 예를 들어, 주석 산화물(Tin Oxide; TO), 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Zinc Tin Oxide; ITZO) 등으로 이루어질 수 있으나, 이에 제한되지 않는다.

[0074] 한편, 애노드(141)는 제2 박막 트랜지스터(120b)의 제2 드레인 전극(124b)에 전기적으로 연결될 수 있다. 다만, 이에 제한되지 않고 제2 박막 트랜지스터(120b)의 타입에 따라 애노드(141)에 제2 소스 전극(123b)이 연결될 수도 있고, 제2 드레인 전극(124b)이 연결될 수도 있다.

[0075] 제2 박막 트랜지스터(120b)는 N타입 또는 P타입 중 하나로 구현될 수 있다. 예를 들어, 제2 박막 트랜지스터(120b)는 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)을 포함한 3전극 소자이다. 제2 소스 전극(123b)은 캐리어(carrier)를 제2 박막 트랜지스터(120b)에 공급하는 전극이다. 제2 드레인 전극(124b)은 제2 박막 트랜지스터(120b)에서 캐리어가 외부로 나가는 전극이다. 그러므로, 캐리어는 제2 소스 전극(123b)으로부터 제2 드레인 전극(124b)을 향해 흐를 수 있다.

[0076] 만약, 제2 박막 트랜지스터(120b)가 N타입이라면, 캐리어가 전자(electron)이므로, 제2 소스 전극(123b)에서 제2 드레인 전극(124b)으로 전자가 흐르기 때문에, 전류의 방향은 제2 드레인 전극(124b)에서 제2 소스 전극(123b)으로 흐를 수 있다. 만약 제2 박막 트랜지스터(120b)가 P타입이라면, 캐리어가 정공(hole)이므로, 제2 소스 전극(123b)으로부터 제2 드레인 전극(124b)으로 정공이 흐르기 때문에, 전류의 방향은 제2 소스 전극(123b)에서 제2 드레인 전극(124b)으로 흐를 수 있다. 따라서, 제2 박막 트랜지스터(120b)의 타입에 따라 애노드(141)에 제2 소스 전극(123b)이 연결될 수도 있고, 제2 드레인 전극(124b)이 연결될 수도 있다. 이하에서는 설명의 편의를 위해, 제2 박막 트랜지스터(120b)가 N타입이고, 애노드(141)에 제2 드레인 전극(124b)이 연결된 것으로

가정하여 설명하기로 한다.

[0077] 한편, 애노드(141)는 제2 드레인 전극(124b)의 제1 도전층(124b')과 동일한 물질로 이루어질 수 있다. 구체적으로, 애노드(141)는 제2 드레인 전극(124b)의 제1 도전층(124b')이 평탄화층(113)의 상면까지 연장되어 형성될 수 있다. 따라서, 애노드(141)와 제2 박막 트랜지스터(120b)의 제2 드레인 전극(124b)은 일체로 형성되어, 별도의 컨택홀 없이 전기적으로 연결될 수 있다.

[0078] 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b), 커패시터(130), 애노드(141) 및 게이트 배선(GL) 상에 패시베이션층(114)이 배치된다. 패시베이션층(114)은 패시베이션층(114) 하부의 구성을 보호하기 위한 절연층이다. 이때, 패시베이션층(114)은 애노드(141) 상에 배치되나, 애노드(141)의 일부를 개구시키도록 배치될 수 있다. 따라서, 패시베이션층(114)의 하면과 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b), 커패시터(130)의 제2 커패시터 전극(132) 및 애노드(141)의 적어도 일부가 접할 수 있다. 패시베이션층(114)은 게이트 절연층(112)과 동일한 물질로 이루어질 수 있으며, 예를 들어, 패시베이션층(114)은 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx)의 단일층 또는 복층으로 구성될 수 있으나, 이에 제한되지 않는다.

[0079] 패시베이션층(114) 상에 뱅크(115)가 배치된다. 뱅크(115)는 서로 인접한 서브 화소(SP)를 구분하기 위한 절연층이다. 뱅크(115)는 애노드(141)의 일부를 개구시키도록 배치될 수 있고, 뱅크(115)는 애노드(141)의 엣지를 덮도록 배치된 유기 절연 물질일 수 있다.

[0080] 패시베이션층(114) 및 뱅크(115)로부터 개구된 애노드(141)의 일부 영역 상에 유기 발광 소자(140)의 유기 발광층(142)이 배치된다. 유기 발광층(142)은 애노드(141)로부터 정공을 공급받고, 캐소드(143)로부터 전자를 공급받아 빛을 발광할 수 있다. 유기 발광층(142)은 백색 광을 발광하는 유기 발광층(142)일 수 있다. 다만, 이에 제한되지 않고, 유기 발광층(142)은 녹색 광, 청색 광, 적색 광 등 다른 색상의 광을 발광할 수 있다.

[0081] 유기 발광층(142) 상에 유기 발광 소자(140)의 캐소드(143)가 배치된다. 캐소드(143)는 유기 발광층(142)에 전자를 공급할 수 있고, 일함수가 낮은 도전성 물질로 이루어질 수 있다. 예를 들어, 캐소드(143)는 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 등과 같은 금속 및 이들의 합금으로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나, 이에 제한되지 않는다.

[0082] 본 발명의 일 실시예에 따른 표시 장치(100)는 애노드(141)와 제2 드레인 전극(124b)을 전기적으로 연결하기 위해 별도의 컨택홀을 형성할 필요 없이 애노드(141)와 제2 드레인 전극(124b)을 일체로 형성하여 구조를 간소화할 수 있다. 구체적으로, 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)이 동일 층에 배치되고, 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)은 각각 제1 도전 물질 및 제2 도전 물질의 복층으로 이루어진다. 그리고 유기 발광 소자(140)의 애노드(141)는 제2 드레인 전극(124b)과 전기적으로 연결되어 유기 발광 소자(140)가 구동될 수 있다. 이때, 애노드(141)는 제2 드레인 전극(124b)의 제1 도전 물질로 이루어진 제1 도전층(124b')과 동일한 물질로 이루어질 수 있다. 따라서, 제2 드레인 전극(124b)의 제1 도전층(124b')이 평탄화층(113)의 상면까지 연장되도록 배치하여, 제2 드레인 전극(124b)의 제1 도전층(124b')과 동일한 물질로 이루어진 애노드(141)를 배치할 수 있고, 애노드(141)와 제2 드레인 전극(124b)을 전기적으로 연결할 수 있다.

[0083] 또한, 평탄화층(113)이 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b), 커패시터(130)에 중첩하는 영역을 제외한 나머지 영역에 배치된다. 예를 들어, 평탄화층(113)은 데이터 배선(DL), 게이트 배선(GL), 전원 배선(PL), 유기 발광 소자(140) 등에 중첩하도록 배치될 수 있다. 이때, 평탄화층(113) 하에 전원 배선(PL) 및 데이터 배선(DL)이 배치되고, 평탄화층(113) 상에 게이트 배선(GL)이 배치될 수 있다. 즉, 전원 배선(PL) 및 데이터 배선(DL)과 게이트 배선(GL)은 서로 다른 층에 배치되고, 전원 배선(PL) 및 데이터 배선(DL)과 게이트 배선(GL) 사이에는 평탄화층(113)이 배치된다. 이때, 전원 배선(PL) 및 데이터 배선(DL)이 게이트 배선(GL)과 서로 교차하는 지점에서 각 배선의 중첩으로 인한 기생 커패시턴스가 발생할 수 있다. 기생 커패시턴스는 각 배선으로 전달되는 전압 등을 지연시켜 표시 장치(100)의 구동에 영향을 줄 수 있다. 그러나, 전원 배선(PL) 및 데이터 배선(DL)과 게이트 배선(GL) 간의 교차 지점에는 평탄화층(113)이 배치되므로, 각 배선 간의 이격 거리를 넓혀, 기생 커패시턴스를 저감할 수 있다. 또한, 각 배선 간의 이격 거리가 넓어짐에 따라 전원 배선(PL) 및 데이터 배선(DL)과 게이트 배선(GL) 간의 쇼트를 최소화할 수 있다.

[0084] 이하에서는 도 4a 내지 도 4h를 참조하여 본 발명의 일 실시예에 따른 표시 장치(100) 및 표시 장치(100)의 제조 방법을 상세히 설명하기로 한다.

[0085] 도 4a 내지 도 4g는 본 발명의 일 실시예에 따른 표시 장치 및 표시 장치의 제조 방법을 설명하기 위한 개략적

인 공정도들이다. 구체적으로, 도 4a 내지 도 4h의 표시 장치는 도 1 내지 도 3의 표시 장치 및 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정도들이다. 도 4a는 제1 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4b는 제2 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4c는 제3 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4d는 제4 내지 제6 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4e는 제7 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4f는 제8 마스크 공정이 완료된 표시 장치의 단면도이다. 도 4g는 제9 마스크 공정이 완료된 표시 장치의 단면도이다.

[0086] 도 4a를 참조하면, 제1 마스크 공정을 통해 기판(110) 상에 제1 커패시터 전극(131) 및 데이터 배선(DL)을 동시에 형성한다.

[0087] 구체적으로, 기판(110) 상에 도전성 물질을 형성한다. 이어서 제1 마스크 공정에서 도전성 물질을 식각하여 제1 커패시터 전극(131) 및 데이터 배선(DL)을 형성할 수 있다.

[0088] 이어서, 제1 커패시터 전극(131), 데이터 배선(DL) 등을 보호하기 위해, 기판(110) 상에 버퍼층(111)을 형성할 수 있다.

[0089] 도 4b를 참조하면, 제2 마스크 공정을 통해 버퍼층(111) 상에 제2 액티브층(121b) 및 제2 커패시터 전극(132)을 형성할 수 있다.

[0090] 구체적으로, 버퍼층(111) 상에 제2 액티브층(121b)을 이루는 물질, 예를 들어, 반도체 물질을 형성한다. 이어서 제2 마스크 공정을 통해 제2 액티브층(121b)을 이루는 물질을 식각하여, 제2 액티브층(121b) 및 제2 커패시터 전극(132)을 형성할 수 있다.

[0091] 다만, 제2 커패시터 전극(132)은 이후 도체화 공정을 거쳐야만 제2 커패시터 전극(132)으로 기능할 수 있고, 이에 대하여 도 4c를 참조하여 설명하기로 한다.

[0092] 도 4c를 참조하면, 제3 마스크 공정을 통해 제2 액티브층(121b) 상에 게이트 절연층(112)을 형성할 수 있다.

[0093] 구체적으로, 제2 액티브층(121b) 상에 게이트 절연 물질을 형성한다. 이어서 제3 마스크 공정을 통해 게이트 절연 물질에 컨택홀을 형성함으로써 게이트 절연층(112)을 형성할 수 있다.

[0094] 게이트 절연 물질에 컨택홀을 형성하는 영역을 구체적으로 설명하면, 먼저 데이터 배선(DL)의 일단에 중첩하는 영역에서 게이트 절연 물질을 식각하여 컨택홀을 형성할 수 있다. 예를 들어, 데이터 배선(DL)이 데이터 패드 전극(DPE)과 연결될 수 있는 컨택홀을 형성하기 위해, 데이터 배선(DL)의 일단을 덮는 버퍼층(111) 및 게이트 절연 물질을 일부 식각할 수 있다.

[0095] 동시에 제1 커패시터 전극(131)과 제2 드레인 전극(124b)을 전기적으로 연결하기 위한 컨택홀을 형성하기 위해, 제1 커패시터 전극(131)을 덮고 있는 버퍼층(111) 및 게이트 절연 물질을 일부 식각할 수 있다.

[0096] 제2 커패시터 전극(132) 또한 후술하게 될 도체화 공정을 위해 제2 커패시터 전극(132)을 덮고 있는 게이트 절연 물질을 식각할 수 있다.

[0097] 마지막으로, 제2 액티브층(121b)이 제2 소스 전극(123b) 및 제2 드레인 전극(124b) 각각과 연결될 수 있는 컨택홀을 형성하기 위해, 제2 액티브층(121b)의 상면 일부가 드러나도록 제2 액티브층(121b)을 덮고 있는 게이트 절연 물질을 식각할 수 있다. 구체적으로, 제2 액티브층(121b)의 상면에서 중앙 영역에는 제2 게이트 전극(122b)과 제2 액티브층(121b)을 절연시키기 위해 게이트 절연 물질을 남겨두고, 제2 액티브층(121b)의 상면의 양측 단부 부근 영역에서는 게이트 절연 물질을 식각할 수 있다.

[0098] 따라서, 제3 마스크 공정을 통해 게이트 절연 물질을 식각하는 동시에 버퍼층(111)도 일부 식각하여 데이터 배선(DL) 및 제1 커패시터 전극(131)이 다른 구성과 컨택할 수 있도록 컨택홀을 형성할 수 있고, 게이트 절연 물질을 식각하여 제2 액티브층(121b)의 상면 일부가 노출되도록 할 수 있고, 제2 커패시터 전극(132) 또한 외부로 노출시킬 수 있다.

[0099] 한편, 제3 마스크 공정에 사용되는 마스크는 하프톤 마스크일 수 있다. 구체적으로, 제3 마스크 공정에서 게이트 절연 물질만을 식각하는 것이 아니라, 일부 영역에서는 컨택홀 형성을 위해 게이트 절연 물질 하부의 버퍼층(111)까지 함께 식각할 수 있다. 따라서, 게이트 절연층(112)을 형성하기 위한 마스크와 버퍼층(111)에 컨택홀을 형성하기 위한 마스크를 별도로 사용하지 않고, 하프톤 마스크를 이용해 게이트 절연층(112) 및 버퍼층(111)의 컨택홀을 동시에 형성할 수 있다.

[0100] 한편, 게이트 절연 물질 및 버퍼층(111)을 일부 식각하는 제3 마스크 공정이 완료되면, 게이트 절연층(112)으로 덮이지 않은 제2 액티브층(121b)의 일부 영역(121b'') 및 제2 커패시터 전극(132)을 도체화할 수 있다. 제2 커패시터 전극(132)은 도체화 공정을 통해 제1 커패시터 전극(131)과 함께 커패시터(130)로 기능할 수 있다. 그리고 제2 액티브층(121b)은 제2 소스 전극(123b) 및 제2 드레인 전극(124b)과 접하는 영역(121b'')이 도체화될 뿐, 제2 게이트 전극(122b)과 중첩하고, 게이트 절연층(112)으로 덮여 있는 영역(121b')에서는 반도체적 특성을 유지할 수 있다.

[0101] 도 4d를 참조하면, 제4 마스크 공정 내지 제6 마스크 공정을 통해 컬러 필터(150)를 형성할 수 있다. 컬러 필터(150)는 유기 발광 소자(140)에 중첩하도록 배치될 수 있다. 한번의 마스크 공정을 통해 한가지 색상의 컬러 필터(150)를 형성할 수 있다. 그러므로, 표시 장치(100)에서 여러 색상의 컬러 필터(150)를 사용하는 경우, 마스크 공정 또한 추가될 수 있다.

[0102] 예를 들어, 본 발명의 일 실시예에 따른 표시 장치(100)가 적색 컬러 필터, 녹색 컬러 필터 및 청색 컬러 필터를 사용하는 경우, 제4 마스크 공정을 통해 복수의 유기 발광 소자(140) 중 일부의 유기 발광 소자(140)에 중첩하도록 적색 컬러 필터를 형성할 수 있다.

[0103] 이어서 제5 마스크 공정을 통해 복수의 유기 발광 소자(140) 중 다른 일부의 유기 발광 소자(140)에 중첩하도록 녹색 컬러 필터를 형성할 수 있다.

[0104] 마지막으로 제6 마스크 공정을 통해 복수의 유기 발광 소자(140) 중 또 다른 일부의 유기 발광 소자(140)에 중첩하도록 청색 컬러 필터를 형성할 수 있다. 다만, 컬러 필터(150)의 색상 수에 따라 마스크 공정 수 또한 달라질 수 있으며, 이에 제한되지 않는다.

[0105] 도 4e를 참조하면, 제7 마스크 공정을 통해 평탄화층(113)을 형성할 수 있다.

[0106] 구체적으로, 컬러 필터(150)가 형성된 게이트 절연층(112) 상에 평탄화 물질을 형성한다. 이어서 제7 마스크 공정을 통해 비표시 영역(NA), 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b) 및 커패시터(130)에 중첩하는 영역에서 평탄화 물질을 식각하여 평탄화층(113)을 형성할 수 있다. 따라서, 평탄화층(113)은 유기 발광 소자(140), 게이트 배선(GL), 데이터 배선(DL) 및 전원 배선(PL)에 중첩하는 영역에서 기판(110)의 상부를 평탄화할 수 있다.

[0107] 도 4f를 참조하면, 제8 마스크 공정을 통해 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)과 데이터 패드 전극(DPE)을 형성할 수 있다.

[0108] 구체적으로, 평탄화층(113) 및 게이트 절연층(112) 상에 제1 도전 물질 및 제2 도전 물질을 순차적으로 형성한다. 이때, 제1 도전 물질은 제3 마스크 공정에서 형성된 데이터 배선(DL) 및 제1 커패시터 전극(131)을 노출시키는 컨택홀과 게이트 절연층(111)에 덮히지 않고 노출된 제2 액티브층(121b) 상면의 일부 영역을 채우도록 형성되므로, 데이터 배선(DL), 제1 커패시터 전극(131) 및 제2 액티브층(121b)이 각각 제1 도전 물질과 접할 수 있다.

[0109] 이어서 제8 마스크 공정을 통해 일부 영역에서는 제1 도전 물질 및 제2 도전 물질을 모두 식각하거나, 다른 일부 영역에서는 제1 도전 물질을 남기고 제2 도전 물질만을 선택적으로 식각하여 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)과 데이터 패드 전극(DPE)을 형성할 수 있다.

[0110] 먼저, 제1 도전 물질보다 상부에 형성된 제2 도전 물질을 식각할 수 있다. 예를 들어, 비표시 영역(NA)에 형성된 제2 도전 물질을 모두 식각할 수 있다. 동시에 표시 영역(AA)에서는 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)에 중첩하는 영역에서만 제2 도전 물질을 남기고, 이외의 영역에서 제2 도전 물질을 식각할 수 있다. 따라서, 각각 제2 도전 물질로 이루어진 제2 게이트 전극(122b)의 제2 도전층(122b''), 제2 소스 전극(123b)의 제2 도전층(123b'') 및 제2 드레인 전극(124b)의 제2 도전층(124b'')을 형성할 수 있다.

[0111] 이어서, 제2 도전 물질의 식각 후, 순차적으로 제1 도전 물질을 식각할 수 있다. 예를 들어, 비표시 영역(NA)에 형성된 데이터 배선(DL)의 일단을 노출시키는 컨택홀에 중첩하는 영역을 제외한 영역에서 제1 도전 물질을 식각할 수 있다. 동시에 표시 영역(AA)에서는 평탄화층(113), 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)에 중첩하는 영역을 제외한 영역에서 제1 도전 물질을 식각할 수 있다. 따라서, 각각 제1 도전 물질로 이루어진 데이터 패드 전극(DPE), 애노드(141), 제2 게이트 전극(122b)의 제1 도전층(122b'), 제2 소스 전극(123b)의 제1 도전층(123b') 및 제2 드레인 전극(124b)의 제1 도전층(124b')을 형성할 수 있다.

[0112] 정리하면, 데이터 배선(DL)의 일단에 전기적으로 연결된 데이터 패드 전극(DPE), 평탄화층(113)에 상면에 배치된 애노드(141)를 제1 도전 물질로 이루어진 단층으로 형성할 수 있다.

[0113] 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)을 제1 도전 물질 및 제2 도전 물질의 복층으로 형성할 수 있다.

[0114] 한편, 애노드(141)는 제2 박막 트랜지스터(120b)의 제2 드레인 전극(124b)과 연결될 수 있다. 애노드(141)와 제2 드레인 전극(124b)을 연결하기 위해, 제2 드레인 전극(124b)의 제1 도전층(124b')과 애노드(141)를 일체로 형성할 수 있다. 즉, 애노드(141)는 제2 드레인 전극(124b)의 제1 도전층(124b')과 동일한 물질로 이루어질 수 있다.

[0115] 제2 드레인 전극(124b)을 형성하기 위해 제1 도전 물질 및 제2 도전 물질을 식각할 때, 제2 드레인 전극(124b)의 제1 도전층(124b')과 제1 도전 물질로 이루어진 애노드(141)를 일체로 형성할 수 있다. 그리고 제2 드레인 전극(124b)에서 제2 도전 물질을 남기고, 애노드(141)에서만 제2 도전 물질을 식각할 수 있다. 이때, 애노드(141)는 바텀 에미션 방식을 위해 투명한 도전성 물질인 제1 도전 물질으로만 이루어져야 하므로, 애노드(141)에 중첩하는 영역에서 제2 도전 물질을 식각할 수 있다. 따라서, 제1 도전 물질으로만 이루어진 애노드(141), 제1 도전층(124b') 및 제2 도전층(124b'')으로 이루어진 제2 드레인 전극(124b)을 동시에 형성할 수 있다.

[0116] 그리고 제8 마스크 공정에 사용되는 마스크 또한 하프톤 마스크일 수 있다. 구체적으로, 제8 마스크 공정은 제2 도전 물질만을 식각하는 동시에 제1 도전 물질까지 선택적으로 식각할 수 있다. 따라서, 제2 도전 물질을 식각하여, 제2 게이트 전극(122b)의 제2 도전층(122b''), 제2 소스 전극(123b)의 제2 도전층(123b'') 및 제2 드레인 전극(124b)의 제2 도전층(124b'')을 형성하기 위한 마스크, 제1 도전 물질을 식각하여 애노드(141) 및 데이터 패드 전극(DPE)을 형성하기 위한 마스크를 별도로 사용하지 않고, 하프톤 마스크를 이용해 두 개의 마스크를 통합할 수 있다.

[0117] 도 4g를 참조하면, 제9 마스크 공정을 통해 패시베이션층(114) 및 뱅크(115)를 형성할 수 있다.

[0118] 구체적으로, 제2 박막 트랜지스터(120b), 커패시터(130), 애노드(141) 및 비표시 영역(NA) 상에 패시베이션 물질을 형성하고, 패시베이션 물질 상에 뱅크 물질을 형성한다. 이어서 제9 마스크 공정을 통해 일부 영역에서는 패시베이션 물질 및 뱅크 물질을 모두 식각하거나, 다른 일부 영역에서는 패시베이션 물질을 남기고 뱅크 물질만을 선택적으로 식각하여, 패시베이션층(114) 및 뱅크(115)를 형성할 수 있다.

[0119] 먼저, 패시베이션 물질 상에 형성된 뱅크 물질을 식각할 수 있다. 예를 들어, 비표시 영역(NA)에 형성된 뱅크 물질을 식각할 수 있고, 동시에 표시 영역(AA)에서 유기 발광층(142)과 애노드(141)의 상면이 접할 수 있도록 애노드(141)의 상면에 중첩하는 영역에서 뱅크 물질을 식각하여 뱅크(115)를 형성할 수 있다.

[0120] 이때, 뱅크(115)는 평탄화층(113)이 형성되지 않은 영역, 예를 들어 제2 박막 트랜지스터(120b) 및 커패시터(130)의 상부를 평탄화하는 동시에 복수의 서브 화소(SP) 간의 경계에 배치되어, 서브 화소(SP)를 정의하고, 혼색을 저감할 수 있다.

[0121] 이어서, 뱅크 물질을 식각하여 뱅크(115)를 형성한 후, 패시베이션 물질을 식각할 수 있다. 예를 들어, 유기 발광층(142)과 애노드(141)의 상면이 접할 수 있도록 애노드(141)의 상면에 중첩하는 영역, 데이터 패드 전극(DPE)에 접하는 영역에서 패시베이션 물질을 식각하여 패시베이션층(114)을 형성할 수 있다.

[0122] 제9 마스크 공정에 사용되는 마스크는 하프톤 마스크일 수 있다. 구체적으로, 제9 마스크 공정은 애노드(141)에 중첩하는 영역 및 비표시 영역(NA)에서 뱅크 물질만을 식각하는 동시에 애노드(141)에 중첩하는 영역 및 데이터 패드 전극(DPE)에 중첩하는 영역에서 패시베이션 물질까지 선택적으로 식각할 수 있다. 따라서, 뱅크 물질을 식각하여, 뱅크(115)를 형성하기 위한 마스크, 패시베이션 물질을 식각하여 패시베이션층(114)를 형성하기 위한 마스크를 별도로 사용하지 않고, 하프톤 마스크를 이용해 두 개의 마스크를 통합할 수 있다.

[0123] 본 발명의 일 실시예에 따른 표시 장치(100)는 제2 박막 트랜지스터(120b)의 제2 게이트 전극(122b), 제2 소스 전극(123b) 및 제2 드레인 전극(124b)과 애노드(141)를 동일한 물질로 동시에 형성할 수 있어, 서브 화소(SP)의 구조 및 공정을 간소화할 수 있다. 구체적으로, 기판(110) 상에 제2 액티브층(121b)을 형성하고, 제2 액티브층(121b) 상에 게이트 절연층(112) 및 평탄화층(113)을 순차적으로 형성할 수 있다. 이때, 바텀 에미션 방식의 표시 장치(100)인 경우, 게이트 절연층(112) 상에 컬러 필터(150)를 형성하고, 평탄화층(113)을 형성할 수 있다. 이어서, 게이트 절연층(112) 및 평탄화층(113) 상에 제1 도전 물질 및 제2 도전 물질을 형성하고, 하프톤 마스크를 이용해 제1 도전 물질 및 제2 도전 물질을 선택적으로 식각하여, 제2 게이트 전극(122b), 제2 소스 전극

(123b), 제2 드레인 전극(124b) 및 애노드(141)를 동시에 형성할 수 있다. 이때, 애노드(141)와 제2 드레인 전극(124b)을 전기적으로 연결하기 위해 별도의 컨택홀을 형성할 필요 없이 애노드(141)와 제2 드레인 전극(124b)을 일체로 형성하여 구조를 간소화할 수 있다. 따라서, 각 구성을 각각의 마스크 공정으로 형성하지 않고, 하나의 마스크 공정으로 형성함에 따라 마스크 공정 수를 저감하고, 구조를 간소화하여 제조 비용 및 시간을 절감할 수 있다.

[0124] 아울러, 패시베이션층(114) 및 뱅크(115)를 동시에 형성할 수 있어, 공정을 간소화할 수 있다. 구체적으로, 기판(110) 상에 패시베이션 물질 및 뱅크 물질을 순차적으로 형성하고, 하프톤 마스크를 이용해 애노드(141)에 중첩하는 영역에서는 패시베이션 물질 및 뱅크 물질을 식각하고, 비표시 영역(NA)에서는 뱅크 물질을 전체 식각하고, 데이터 패드 전극(DPE)이 노출되도록 패시베이션 물질을 식각할 수 있다. 따라서, 패시베이션층(114) 및 뱅크(115)를 하나의 마스크 공정으로 동시에 형성할 수 있어 마스크 공정 수를 저감하고, 제조 비용 및 시간을 절감할 수 있다.

[0125] 도 5a 및 도 5b는 본 발명의 다른 실시예에 따른 표시 장치 및 표시 장치의 제조 방법을 설명하기 위한 개략적인 공정도들이다. 도 5a 및 도 5b의 표시 장치는 도 4a 내지 도 4g의 표시 장치와 비교하여 제3 내지 제7 마스크 공정이 상이할 뿐, 다른 공정은 실질적으로 동일하므로 중복 설명을 생략한다.

[0126] 도 5a는 제2 액티브층(121b) 및 제2 커패시터 전극(132)을 형성하는 제2 마스크 공정까지 완료된 기판(110) 상에 게이트 절연 물질(212m), 컬러 필터(150), 평탄화 물질(213m)을 형성한 표시 장치의 단면도이다.

[0127] 도 5a를 참조하면, 먼저 제2 액티브층(121b) 및 버퍼층(111)을 덮도록 게이트 절연 물질(212m)을 형성한다. 이어서 게이트 절연 물질(212m) 상에 컬러 필터(150)를 형성할 수 있다. 이때, 컬러 필터(150)는 별도의 마스크 공정을 통해 게이트 절연 물질(212m) 상에 형성될 수 있고, 컬러 필터(150)의 색상 수에 따라 마스크 공정이 더 추가될 수 있다. 마지막으로, 컬러 필터(150)를 형성하기 위한 마스크 공정이 완료되면, 컬러 필터(150) 및 게이트 절연 물질(212m) 상에 평탄화 물질(213m)을 형성한다.

[0128] 도 5b는 하나의 마스크 공정을 통해 게이트 절연 물질(212m) 및 평탄화 물질(213m)을 식각하여, 게이트 절연층(212) 및 평탄화층(213)의 형성이 완료된 표시 장치의 단면도이다.

[0129] 도 5b를 참조하면, 하나의 마스크 공정을 통해 게이트 절연층(212) 및 평탄화층(213)을 형성할 수 있다. 구체적으로, 도 5a에 도시된 바와 같이, 게이트 절연 물질(212m) 및 평탄화 물질(213m)을 순차적으로 형성하면, 게이트 절연 물질(212m)보다 상부에 형성된 평탄화 물질(213m)을 식각할 수 있다. 예를 들어, 마스크 공정을 통해 비표시 영역(NA), 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b) 및 커패시터(130)에 중첩하는 영역에서 평탄화 물질(213m)을 식각하여 평탄화층(213)을 형성할 수 있다.

[0130] 이어서 평탄화 물질(213m)의 식각 후, 순차적으로 게이트 절연 물질(212m)을 식각할 수 있다. 이때, 게이트 절연 물질(212m)과 함께 일부 영역에서 버퍼층(111)까지 식각될 수 있다.

[0131] 예를 들어, 데이터 배선(DL)의 일단에 중첩하는 영역에서 게이트 절연 물질(212m) 및 버퍼층(111)을 식각하여, 데이터 배선(DL)과 데이터 패드 전극(DPE)이 전기적으로 연결될 수 있는 컨택홀을 형성할 수 있다. 동시에 제1 커패시터 전극(131)과 제2 드레인 전극(124b)을 전기적으로 연결하기 위한 컨택홀을 형성하기 위해, 제1 커패시터 전극(131)을 덮고 있는 버퍼층(111) 및 게이트 절연 물질(212m)을 식각할 수 있다. 그리고 제2 커패시터 전극(132)을 덮고 있는 게이트 절연 물질(212m)을 식각할 수 있다. 마지막으로, 제2 액티브층(121b)의 상면 일부가 드러나도록 제2 액티브층(121b)을 덮고 있는 게이트 절연 물질(212m)을 식각하여, 제2 액티브층(121b)과 제2 소스 전극(123b) 및 제2 드레인 전극(123b)이 전기적으로 연결될 수 있는 컨택홀을 형성할 수 있다.

[0132] 그러므로, 데이터 배선(DL)의 일단에 중첩하는 영역, 제1 커패시터 전극(131)과 제2 드레인 전극(124b)가 전기적으로 연결되는 컨택홀 영역, 제2 액티브층(121b)이 제2 소스 전극(123b) 및 제2 드레인 전극(124b)와 각각 전기적으로 연결되는 컨택홀 영역에서 게이트 절연 물질(212m)을 식각하여, 게이트 절연층(213)을 형성할 수 있다.

[0133] 이때, 하프톤 마스크를 사용하여, 평탄화 물질(213m)을 식각하는 동시에 게이트 절연 물질(212m)을 식각하여 평탄화층(213) 및 게이트 절연층(212)을 형성할 수 있다. 따라서, 평탄화층(213)을 형성하기 위한 마스크와 게이트 절연층(212)을 형성하기 위한 마스크를 별도로 사용하지 않고, 하프톤 마스크를 이용해 평탄화층(213) 및 게이트 절연층(212)를 동시에 형성할 수 있다.

[0134] 본 발명의 다른 실시예에 따른 표시 장치 및 표시 장치의 제조 방법은 게이트 절연층(212) 및 평탄화층(213)을

동시에 형성할 수 있어, 공정을 간소화할 수 있다. 구체적으로, 게이트 절연 물질(212m) 및 평탄화 물질(213m)을 순차적으로 형성하고, 데이터 배선(DL)에서 데이터 패드 전극(DPE)이 형성될 위치에서 게이트 절연 물질(212m) 및 평탄화 물질(213m)을 식각하고, 제2 박막 트랜지스터(120b), 제1 박막 트랜지스터(120a) 및 커패시터(130)와 중첩하는 영역에서 평탄화 물질(213m)을 식각할 수 있다. 그리고 제2 액티브층(121b)과 제2 소스 전극(123b) 및 제2 드레인 전극(124b)을 전기적으로 연결하기 위해 제2 액티브층(121b)이 일부 노출되도록 게이트 절연 물질(212m)을 식각하고, 제2 커패시터 전극(132) 또한 게이트 절연 물질(212m)로부터 노출되도록 게이트 절연 물질(212m)을 식각할 수 있다. 따라서, 본 발명의 다른 실시예에 따른 표시 장치 및 표시 장치의 제조 방법은 게이트 절연층(212) 및 평탄화층(213)을 서로 다른 마스크 공정으로 형성하지 않고, 하나의 마스크 공정으로 형성하여 공정 수를 저감하고, 제조 비용 및 시간을 절감할 수 있다.

[0135] 도 6은 본 발명의 또 다른 실시예에 따른 표시 장치에서 도 1의 VI-VI'에 따른 단면도이다. 도 6의 표시 장치는 도 1 내지 도 3의 표시 장치(100)와 비교하여 비표시 영역(NA)에 제2 평탄화층(313)이 더 배치될 뿐, 다른 구성은 실질적으로 동일하므로 중복 설명을 생략한다.

[0136] 도 6을 참조하면, 비표시 영역(NA)에 제2 평탄화층(313)이 더 배치된다. 예를 들어, 평탄화층은 제1 평탄화층(113) 및 제2 평탄화층(313)을 포함할 수 있고, 제1 평탄화층(113)은 표시 영역(AA)에 배치되고, 제2 평탄화층(313)은 비표시 영역(NA)에 배치될 수 있다.

[0137] 제1 평탄화층(113)은 도 1 내지 도 3의 평탄화층(113)과 실질적으로 동일한 구성으로, 제1 평탄화층(113)은 표시 영역(AA)에서 제1 박막 트랜지스터(120a), 제2 박막 트랜지스터(120b), 커패시터(130) 등과 중첩하는 영역에 배치되지 않고, 컬러 필터(150), 게이트 배선(GL), 데이터 배선(DL), 전원 배선(PL), 유기 발광 소자(140) 등에만 중첩하도록 배치된다.

[0138] 제2 평탄화층(313)은 비표시 영역(NA)에서 배치된다. 구체적으로, 제2 평탄화층(313)은 타이밍 컨트롤러(TC)에서 게이트 구동부(GD)로 게이트 시프트 클락 신호를 전달하는 복수의 클락 배선(CLK1, CLK2, CLK3) 들이 서로 교차하는 지점에 배치된다.

[0139] 예를 들어, 기판(110)의 가장 외측에 배치된 제1 클락 배선(CLK1)으로부터 게이트 시프트 클락 신호를 게이트 구동부(GD)로 전달하기 위해, 제1 클락 배선(CLK1)은 제1 클락 배선(CLK1)보다 기판(110)의 내측에 배치된 제2 클락 배선(CLK2) 및 제3 클락 배선(CLK3)을 가로지르도록 배치될 수 있다. 이때, 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2) 및 제3 클락 배선(CLK3)은 서로 다른 층에서 배치되어 특정 영역에서 교차할 수 있다. 그리고, 제2 평탄화층(313)은 복수의 클락 배선(CLK1, CLK2, CLK3) 간의 교차 지점에 배치될 수 있다.

[0140] 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2)이 서로 교차하는 지점에 제2 평탄화층(313)이 배치되고, 제2 평탄화층(313) 하에 제1 클락 배선(CLK1)이 배치되고, 제2 평탄화층(313) 상에 제2 클락 배선(CLK2)이 배치될 수 있다. 따라서, 제2 평탄화층(313)은 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2)이 서로 중첩하는 지점에서 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2) 간의 이격 거리를 넓혀, 기생 커패시턴스를 저감할 수 있다.

[0141] 한편, 제1 평탄화층(113)과 제2 평탄화층(313)은 서로 이격된다. 예를 들어, 제2 평탄화층(313)은 제1 평탄화층(113)과는 이격되어, 비표시 영역(NA)에서 아일랜드(island) 형상으로 배치될 수 있다. 제1 평탄화층(113)은 유기 물질로 이루어져 수분에 취약하다. 따라서, 제1 평탄화층(113)과 제2 평탄화층(313)이 이격되지 않고, 이어진 경우 제2 평탄화층(313)으로 투습한 수분이 표시 영역(AA)에까지 전달되어 표시 장치의 신뢰성이 저감될 수 있다. 다만, 제1 평탄화층(113)과 제2 평탄화층(313)이 서로 이격되어 있으므로, 제2 평탄화층(313)에 수분이 투습되더라도, 제1 평탄화층(113)에까지 영향을 주기 어렵고, 수분으로 인한 표시 장치의 신뢰성 저하를 최소화할 수 있다.

[0142] 본 발명의 또 다른 실시예에 따른 표시 장치는 표시 영역(AA)에 제1 평탄화층(113)이 배치되고, 비표시 영역(NA)에 제2 평탄화층(313)이 배치된다. 그리고 제1 평탄화층(113)과 제2 평탄화층(313)은 서로 이격된다. 제1 평탄화층(113) 및 제2 평탄화층(313)은 유기 물질로 이루어져, 수분에 취약하다. 이때, 비표시 영역(NA)에 배치된 제2 평탄화층(313)에 수분이 침투하더라도, 제1 평탄화층(113)에까지 수분이 전달될 수 없다. 그러므로, 비표시 영역(NA)에 제2 평탄화층(313)이 더 배치되더라도, 제2 평탄화층(313)으로 인해, 표시 영역(AA)에서 수분으로 인한 신뢰성 저하 문제가 발생할 수 없는 구조이다.

[0143] 이때, 제2 평탄화층(313)은 비표시 영역(NA)에서 배선과 배선이 서로 교차하는 지점에 배치될 수 있다. 예를 들어, 비표시 영역(NA)에서 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2)은 서로 다른 층에 배치되어, 서로 교차할 수 있다. 제2 평탄화층(313)은 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2)이 서로 교차하는 지점에서, 제1 클

락 배선(CLK1)과 제2 클락 배선(CLK2) 사이에 배치될 수 있다. 따라서, 제2 평탄화층(313) 하에는 제1 클락 배선(CLK1)이 배치되고, 제2 평탄화층(313) 상에는 제2 클락 배선(CLK2)가 배치되어, 제1 클락 배선(CLK1)과 제2 클락 배선(CLK2) 간의 간격이 넓어질 수 있다. 따라서, 본 발명의 또 다른 실시예에 따른 표시 장치는, 비표시 영역에까지 평탄화층을 배치하여, 각 배선 간의 중첩으로 인한 기생 커패시턴스와 간섭을 저감할 수 있고, 배선과 배선 간의 쇼트 또한 최소화할 수 있다.

[0144] 본 발명의 다양한 실시예들에 따른 표시 장치는 다음과 같이 설명될 수 있다.

[0145] 본 발명의 일 실시예에 따른 표시 장치는, 표시 영역 및 비표시 영역을 포함하는 기판, 기판 상에 배치된 액티브층, 액티브층 상에 배치된 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 및 박막 트랜지스터에 전기적으로 연결된 애노드를 포함하는 유기 발광 소자를 포함하고, 게이트 전극, 소스 전극 및 드레인 전극은 제1 도전층 및 제1 도전층 상의 제2 도전층으로 이루어지고, 애노드는 제1 도전층과 동일한 물질로 이루어진다.

[0146] 본 발명의 다른 특징에 따르면, 애노드는 소스 전극 또는 드레인 전극의 제1 도전층으로부터 연장될 수 있다.

[0147] 본 발명의 또 다른 특징에 따르면, 제1 도전층은 투명 도전성 물질로 이루어지고, 제2 도전층은 금속 물질로 이루어질 수 있다.

[0148] 본 발명의 또 다른 특징에 따르면, 표시 영역 중 박막 트랜지스터가 배치된 영역을 제외한 영역에서 기판과 애노드 사이에 배치된 제1 평탄화층을 더 포함할 수 있다.

[0149] 본 발명의 또 다른 특징에 따르면, 기판과 제1 평탄화층 사이에 배치된 컬러 필터를 더 포함할 수 있다.

[0150] 본 발명의 또 다른 특징에 따르면, 비표시 영역에 배치된 제2 평탄화층을 더 포함하고, 제1 평탄화층 및 제2 평탄화층은 서로 이격될 수 있다.

[0151] 본 발명의 또 다른 특징에 따르면, 제2 평탄화층은 아일랜드(island) 형상일 수 있다.

[0152] 본 발명의 또 다른 특징에 따르면, 표시 영역에 배치되고, 기판과 액티브층 사이에 배치된 데이터 배선 및 비표시 영역에 배치되고, 데이터 배선과 전기적으로 연결된 패드 전극을 더 포함하고, 패드 전극은 제1 도전층과 동일한 물질로 이루어질 수 있다.

[0153] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터의 액티브층과 중첩하도록 배치되고, 데이터 배선과 동일한 물질로 이루어진 차광층을 더 포함할 수 있다.

[0154] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터 상에 배치된 패시베이션층을 더 포함하고, 패시베이션층의 하면에 애노드, 게이트 전극, 소스 전극 및 드레인 전극이 접할 수 있다.

[0155] 본 발명의 일 실시예에 따른 표시 장치의 제조 방법은 표시 영역 및 비표시 영역을 포함하는 기판 상에서, 표시 영역에 박막 트랜지스터의 액티브층을 형성하는 단계, 액티브층 상에 게이트 절연층을 형성하는 단계, 게이트 절연층 상에 제1 도전 물질 및 제2 도전 물질을 순차적으로 형성하는 단계 및 제1 도전 물질 및 제2 도전 물질을 식각하여, 액티브층 상에 제1 도전층 및 제1 도전층 상의 제2 도전층으로 이루어지는 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극을 형성하고, 제1 도전층과 동일 물질로 이루어지는 유기 발광 소자의 애노드를 형성하는 단계를 포함한다.

[0156] 본 발명의 다른 특징에 따르면, 제1 도전 물질은 투명 도전성 물질이고, 제2 도전 물질은 금속 물질일 수 있다.

[0157] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 애노드를 형성하는 단계는 애노드와 소스 전극 또는 드레인 전극의 제1 도전층을 일체로 형성하는 단계를 포함할 수 있다.

[0158] 본 발명의 또 다른 특징에 따르면, 표시 영역에서 기판과 액티브층 사이에 데이터 배선을 형성하는 단계를 더 포함하고, 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 애노드를 형성하는 단계는, 비표시 영역에서 데이터 배선과 전기적으로 연결되고, 제1 도전 물질로 이루어진 패드 전극을 형성하는 단계를 포함할 수 있다.

[0159] 본 발명의 또 다른 특징에 따르면, 데이터 배선을 형성하는 단계는, 액티브층과 중첩하는 영역에서, 데이터 배선과 동일한 물질로 이루어진 차광층을 형성하는 단계를 포함할 수 있다.

[0160] 본 발명의 또 다른 특징에 따르면, 게이트 절연층을 형성하는 단계는, 액티브층 상에 게이트 절연 물질 및 평탄화 물질을 순차적으로 형성하는 단계, 비표시 영역 및 박막 트랜지스터에 중첩하는 영역에서 평탄화 물질을 식

각하여 평탄화층을 형성하는 단계 및 평탄화 물질이 식각된 영역에서, 액티브층과 소스 전극 및 드레인 전극이 서로 접하는 영역에서 게이트 절연 물질을 식각하여 게이트 절연층을 형성하는 단계를 포함하고, 박막 트랜지스터의 게이트 전극, 소스 전극 및 드레인 전극과 애노드를 형성하는 단계는, 애노드를 평탄화층 상에 형성하는 단계를 포함할 수 있다.

[0161] 본 발명의 또 다른 특징에 따르면, 게이트 절연 물질 및 평탄화 물질을 순차적으로 형성하는 단계는, 액티브층 상에 게이트 절연 물질을 형성하는 단계, 게이트 절연 물질 상에 유기 발광 소자와 중첩하는 영역에서 컬러 필터를 형성하는 단계 및 컬러 필터 상에 평탄화 물질을 형성하는 단계를 포함할 수 있다.

[0162] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터 및 애노드 상에 패시베이션 물질 및 뱅크 물질을 순차적으로 형성하는 단계, 애노드의 적어도 일부 영역 및 비표시 영역에 중첩하는 영역을 제외한 영역에서 뱅크 물질을 식각하여 뱅크를 형성하는 단계 및 애노드의 적어도 일부 영역에 중첩한 영역을 제외한 영역에서 패시베이션 물질을 식각하여 패시베이션층을 형성하는 단계를 더 포함할 수 있다.

[0163] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0164] 100 : 표시 장치

110 : 기판

111 : 버퍼층

112, 212 : 게이트 절연층

113, 213 : 평탄화층

114 : 패시베이션층

115 : 뱅크

120a : 제1 박막 트랜지스터

121a : 제1 액티브층

122a : 제1 게이트 전극

122a' : 제1 게이트 전극의 제1 도전층

122a'' : 제1 게이트 전극의 제2 도전층

123a : 제1 소스 전극

123a' : 제1 소스 전극의 제1 도전층

123a'' : 제1 소스 전극의 제2 도전층

124a : 제1 드레인 전극

124a' : 제1 드레인 전극의 제1 도전층

124a'' : 제1 드레인 전극의 제2 도전층

120b : 제2 박막 트랜지스터

121b : 제2 액티브층

121b' : 제2 액티브층의 반도체 영역

121b'' : 제2 액티브층의 도체 영역

122b : 제2 게이트 전극

122b' : 제2 게이트 전극의 제1 도전층

122b'' : 제2 게이트 전극의 제2 도전층

123b : 제2 소스 전극

123b' : 제2 소스 전극의 제1 도전층

123b'' : 제2 소스 전극의 제2 도전층

124b : 제2 드레인 전극

124b' : 제2 드레인 전극의 제1 도전층

124b'' : 제2 드레인 전극의 제2 도전층

130 : 커패시터

131 : 제1 커패시터 전극

132 : 제2 커패시터 전극

140 : 유기 발광 소자

141 : 애노드

142 : 유기 발광층

143 : 캐소드

150 : 컬러 필터

212m : 게이트 절연 물질

213m : 평탄화 물질

313 : 제2 평탄화층

AA : 표시 영역

NA : 비표시 영역

SP : 서브 화소

PL : 전원 배선

GL : 게이트 배선

DL : 데이터 배선

DPE : 데이터 패드 전극

PPE : 전원 패드 전극

GPE : 게이트 패드 전극

GD : 게이트 구동부

DD : 데이터 구동부

TC : 타이밍 컨트롤러

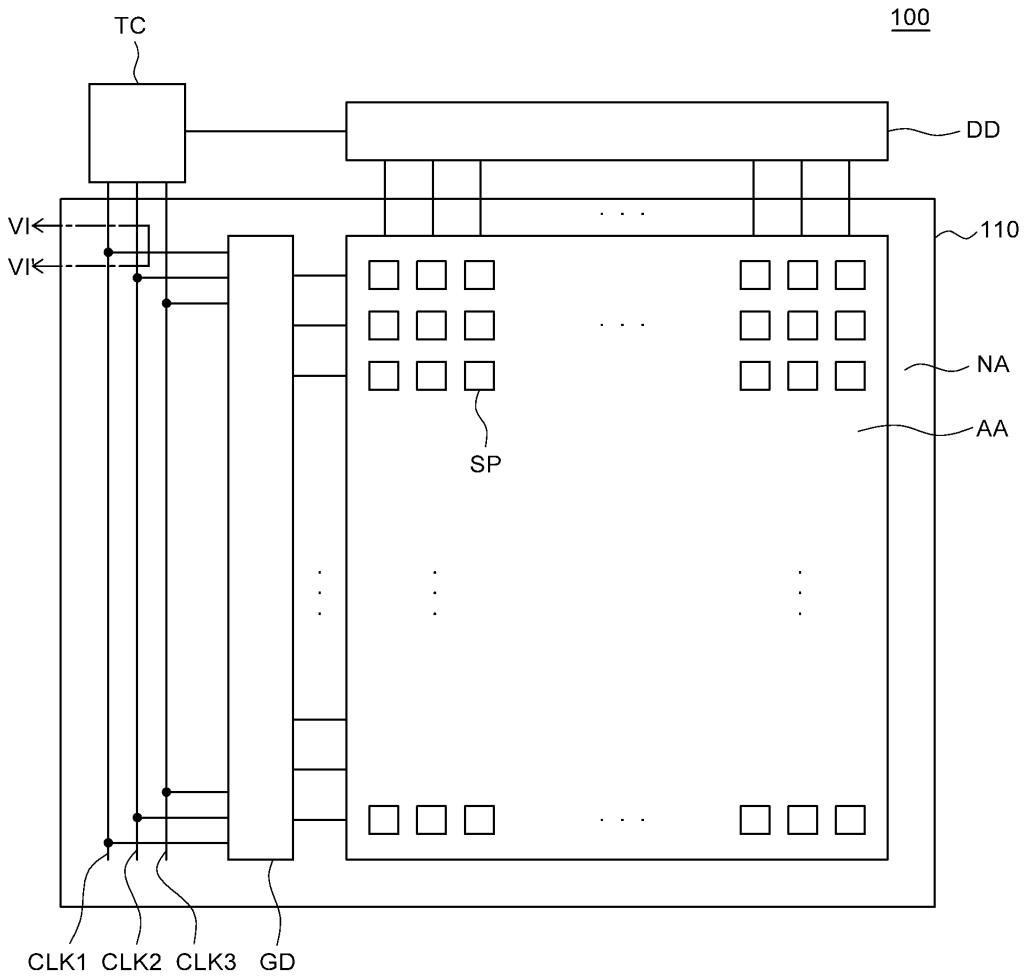
CLK1 : 제1 클락 배선

CLK2 : 제2 클락 배선

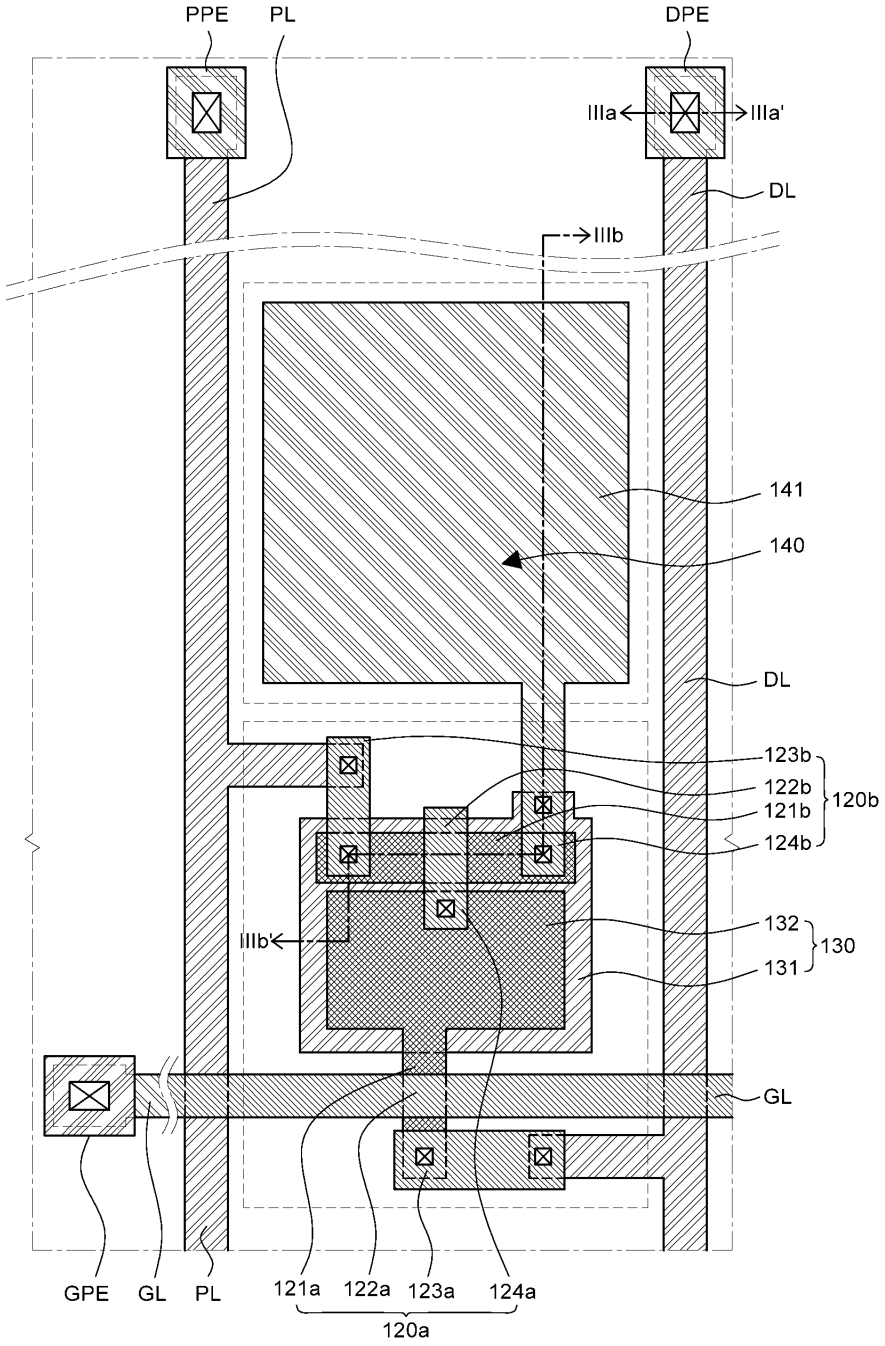
CLK3 : 제3 클락 배선

도면

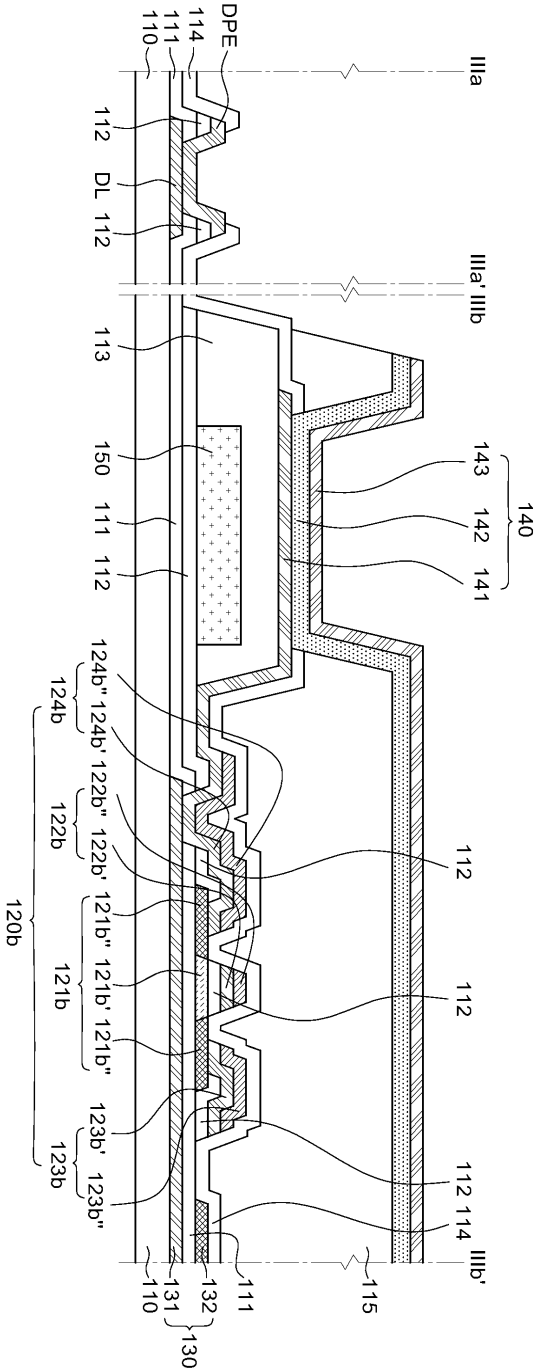
도면1



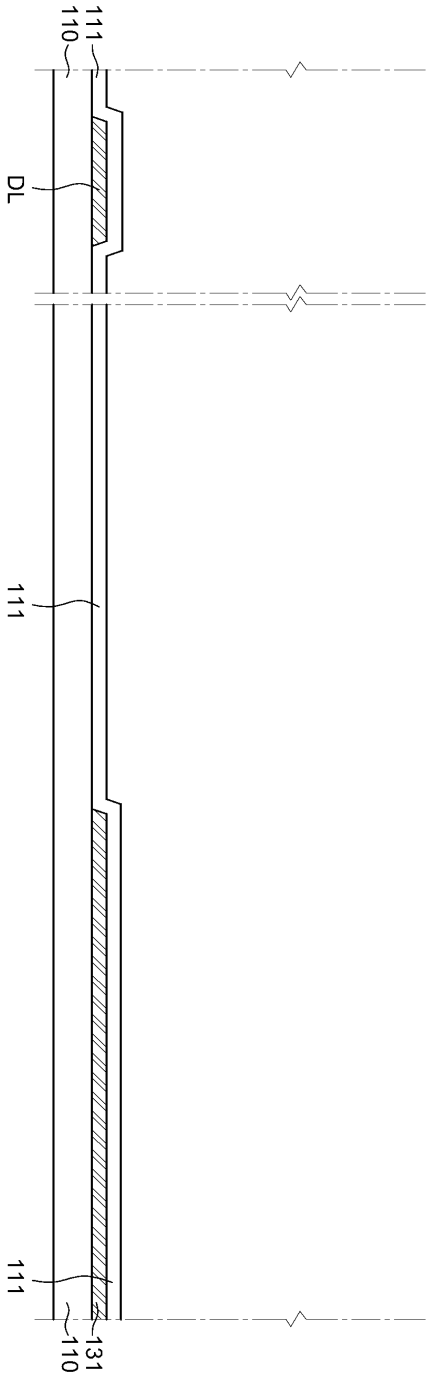
도면2


PPE
PL
DPE
IIIa
IIIa'
DL
IIIb
141
140
DL
123b
122b
121b
124b
120b
132
131
130
IIIb'
GL
GPE
GL
PL
121a
122a
123a
124a
120a

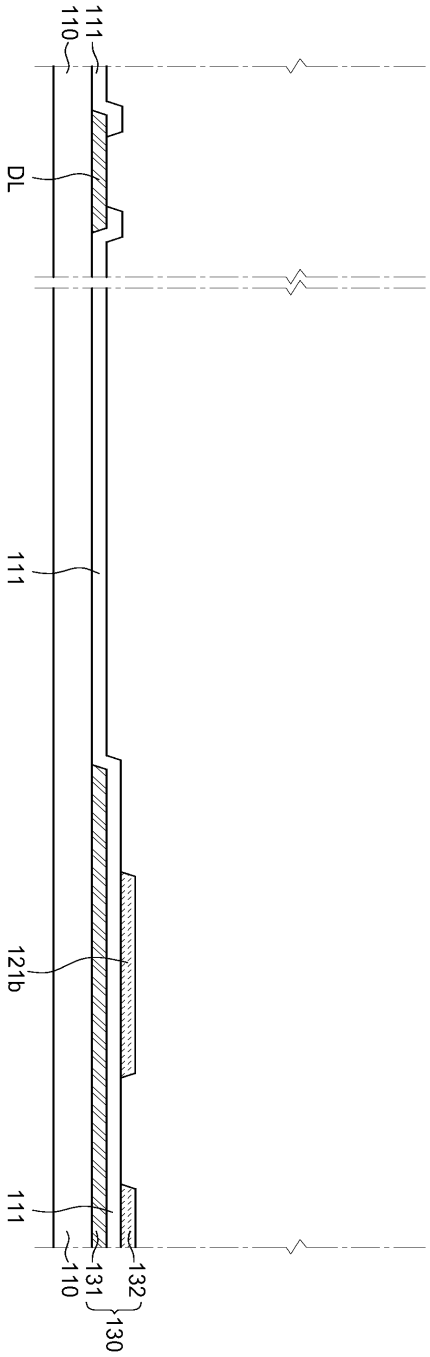
도면3


IIIa
IIIa'
IIIb
IIIb'
DPE
114
111
110
112
DL
113
150
143
142
141
140
124b"
124b'
124b
122b"
122b'
122b
121b"
121b'
121b
120b
123b'
123b"
123b
131
132
130
115

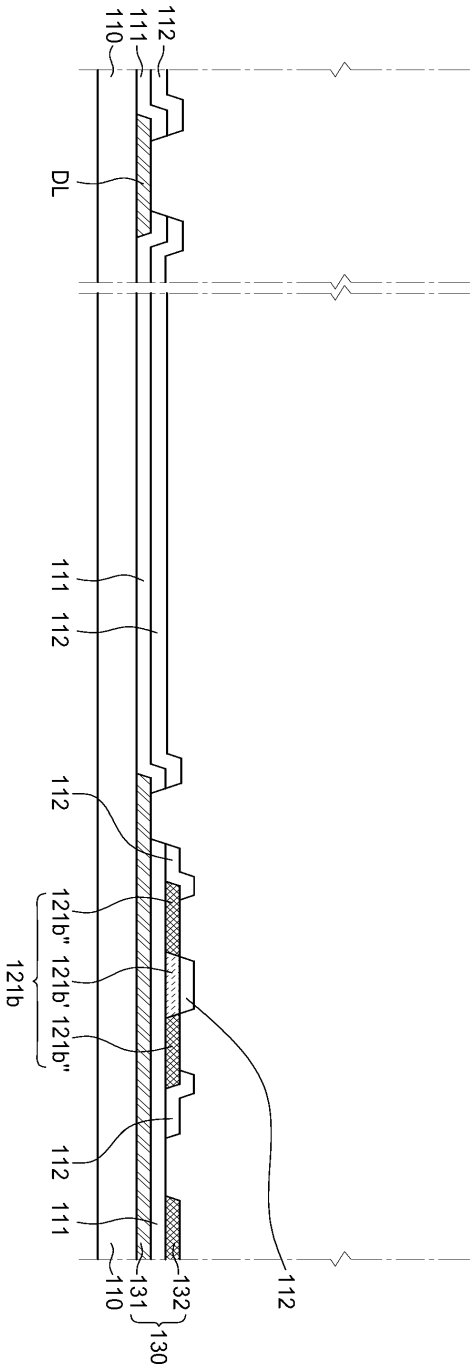
도면4a



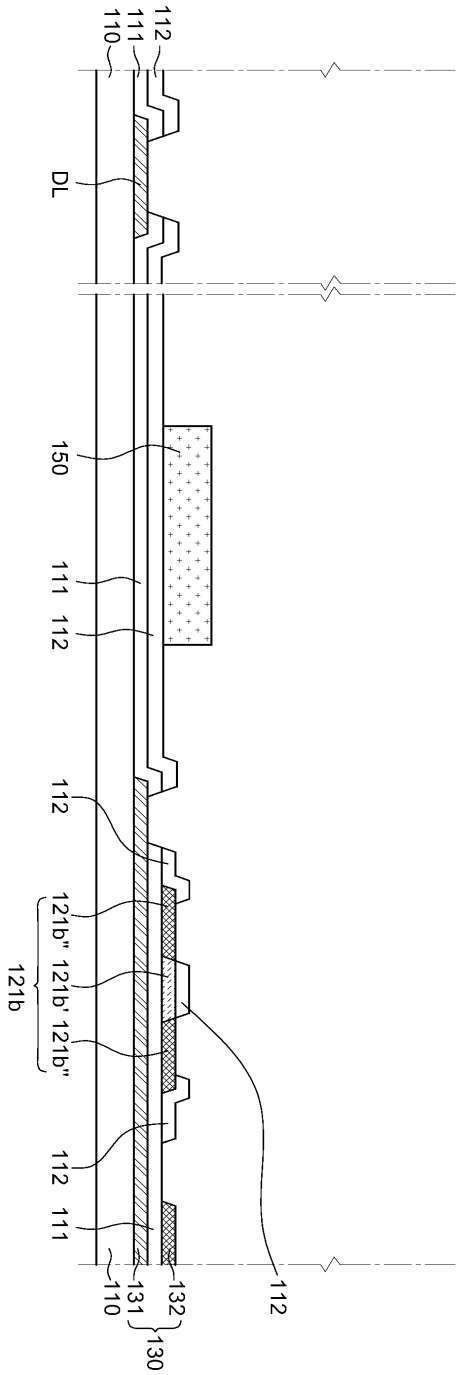
도면4b



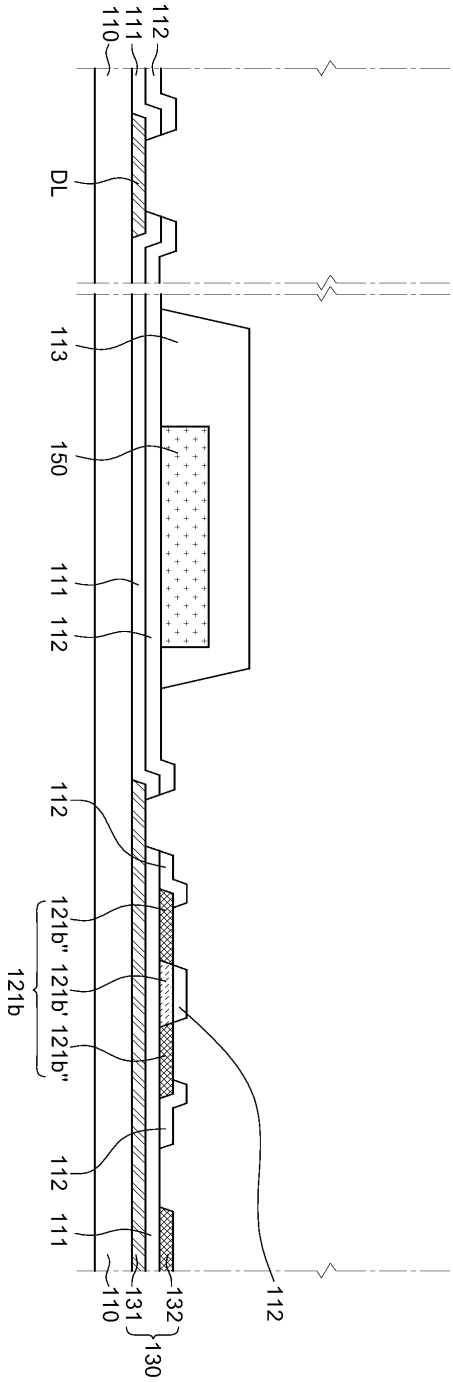
도면4c


112
111
110
DL
111
112
112
121b"
121b'
121b"
121b
112
111
110
131
132
130
112

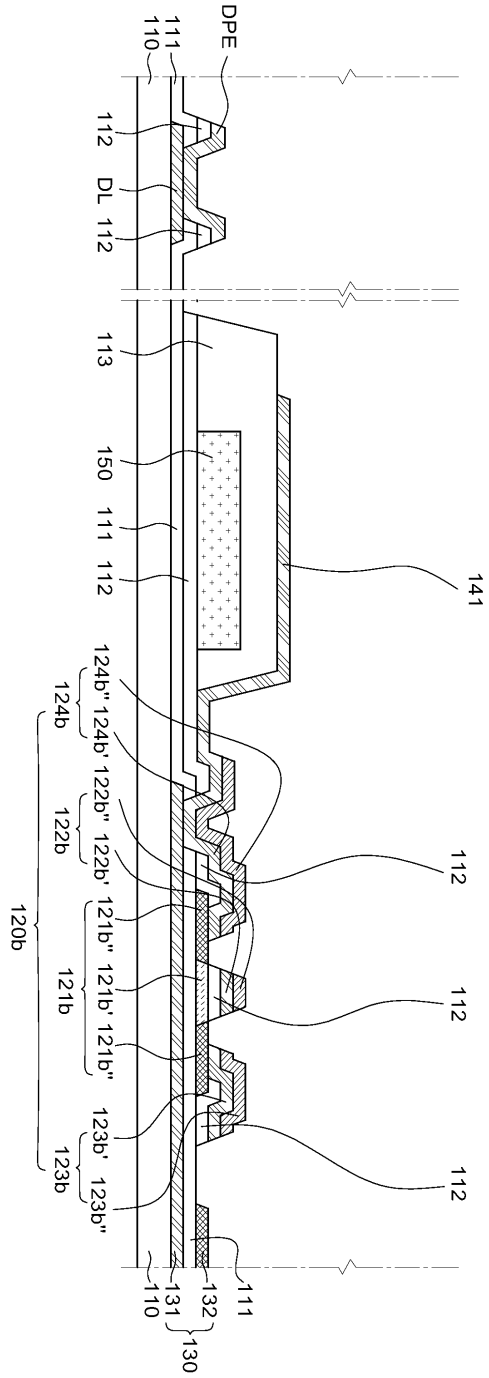
도면4d


112
111
110
DL
150
111
112
112
121b"
121b'
121b"
121b
112
111
110
131
130
132
112

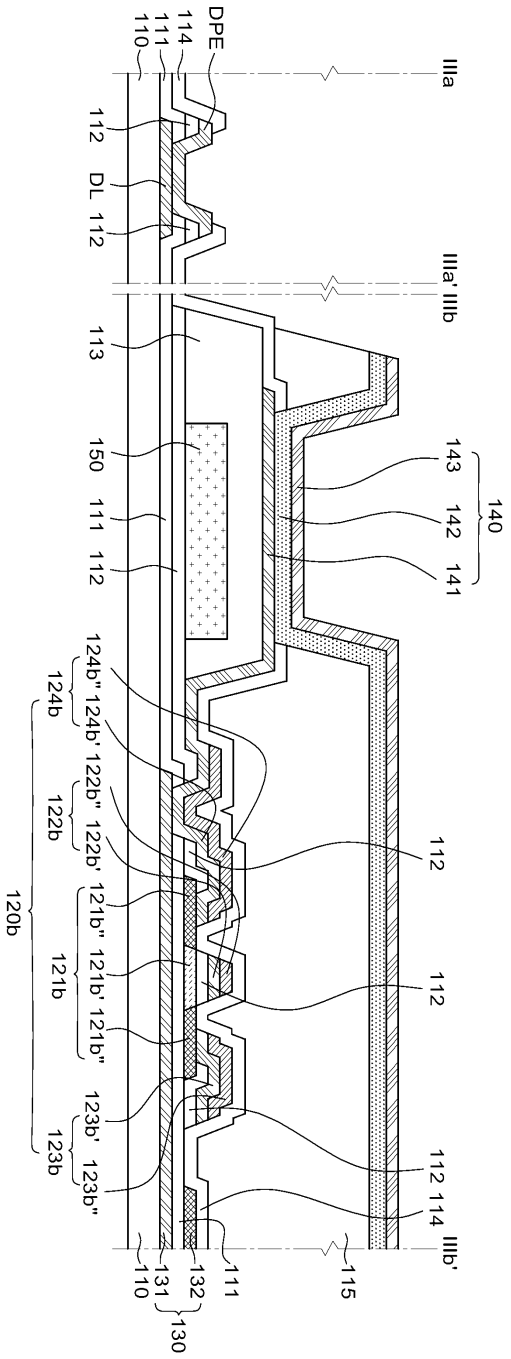
도면4e


112
111
110
DL
113
150
111
112
112
121b"
121b'
121b"
121b
112
111
110
131
130
132
112

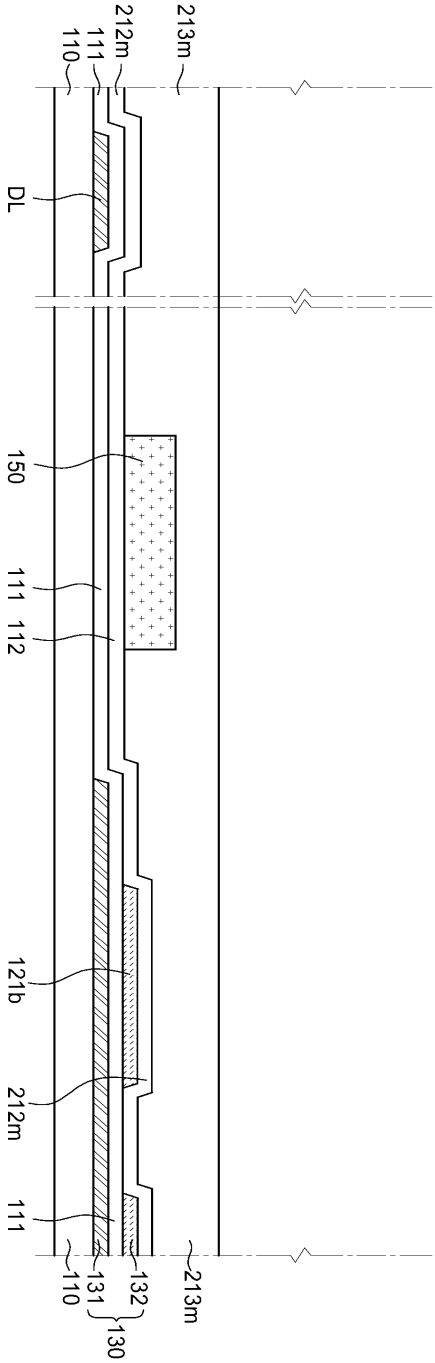
도면4f


DPE
111
110
112
DL
112
113
150
111
112
141
124b"
124b'
124b
122b"
122b'
122b
121b"
121b'
121b
120b
123b'
123b
123b"
112
112
112
111
132
131
110
130

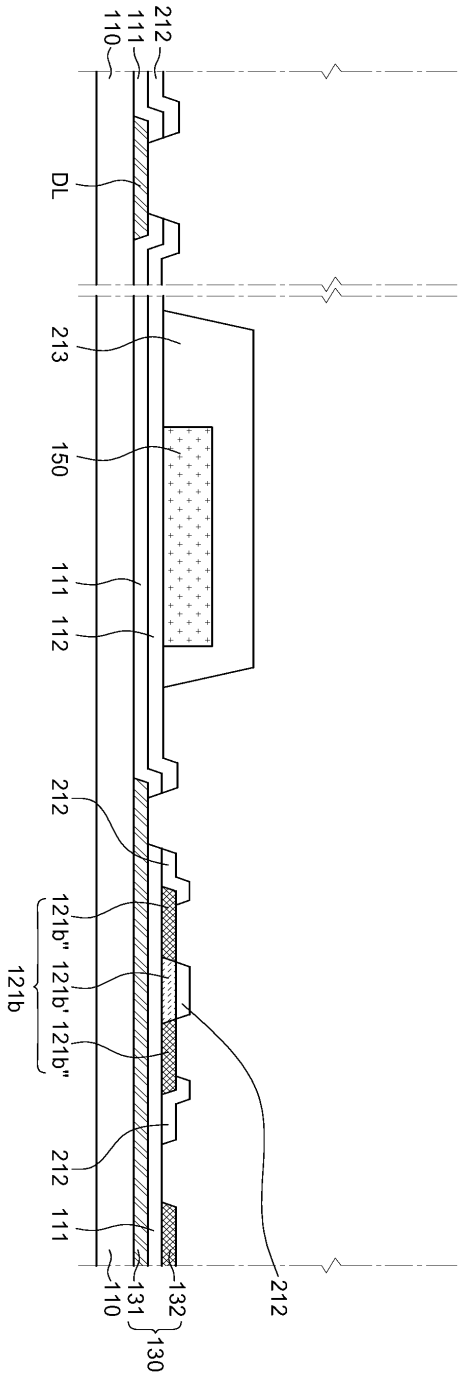
도면4g


IIIa
IIIa' IIIb
IIIb'
DPE
114
111
110
112
DL
112
113
150
111
112
143
142
141
140
124b"
124b'
124b
122b"
122b'
122b
121b"
121b'
121b"
121b
123b'
123b"
123b
120b
112
112
112
114
115
111
132
131
110
130

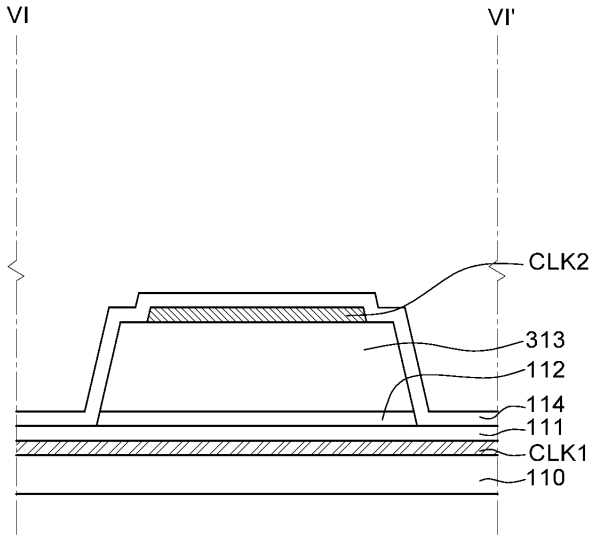
도면5a


213m
212m
111
110
DL
150
111
112
121b
212m
111
110
131
130
132
213m

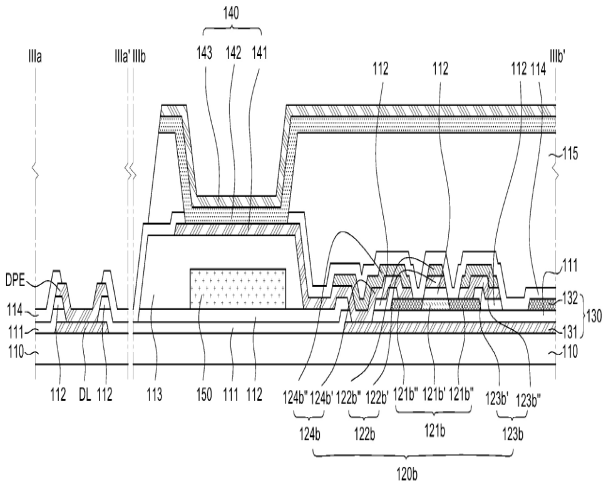
도면5b


212
111
110
DL
213
150
111
112
212
121b"
121b'
121b"
121b
212
111
110
131
130
132
212

도면6



专利名称(译)	显示装置和显示装置的制造方法		
公开(公告)号	KR1020190066748A	公开(公告)日	2019-06-14
申请号	KR1020170166456	申请日	2017-12-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	심종식 황성환 오길환		
发明人	심종식 황성환 오길환		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3262 H01L27/322 H01L27/3258 H01L27/3276 H01L51/5203 H01L51/5237 H01L51/56 H01L27/124 H01L27/1248 H01L27/1255 H01L27/1288 H01L29/41733 H01L29/45 H01L29/458 H01L27/3248 H01L27/3265 H01L27/3272 H01L2227/323		
其他公开文献	KR102092034B1		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，本发明涉及一种显示装置，包括：基板，包括显示区域和非显示区域；一种薄膜晶体管，包括：有源层，其布置在所述基板上；以及栅电极，源电极和漏电极，其布置在所述有源层上。有机发光元件包括电连接至薄膜晶体管的阳极。栅电极，源电极和漏电极由第一导电层和在第一导电层上的第二导电层形成。阳极由与第一导电层相同的材料形成。因此，漏电极的阳极和第一导电层一体地形成，从而不需要用于电连接阳极和漏电极的附加接触孔，从而简化了结构。