



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0081869

(43) 공개일자 2015년07월15일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2014-0001801

(22) 출원일자 2014년01월07일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

남준호

충청남도 천안시 서북구 1공단4길 19, 하랑하우스 406호 (두정동)

(74) 대리인

팬코리아특허법인

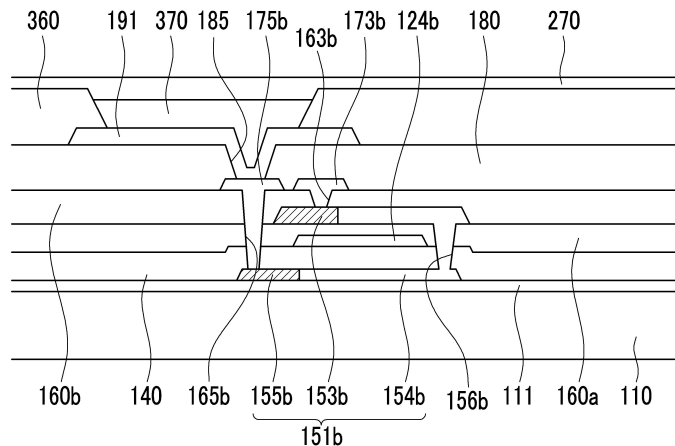
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 제1 부반도체, 상기 제1 부반도체 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 위치하는 게이트 전극, 상기 게이트 전극 위에 위치하는 제1 층간 절연막, 상기 제1 층간 절연막 위에 위치하며, 상기 제1 부반도체와 연결되는 제2 부반도체, 상기 제2 부반도체 위에 위치하며, 상기 제1 부반도체 및 상기 제2 부반도체에 연결되는 소스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결되는 화소 전극, 상기 화소 전극 위에 위치하는 유기 발광 부재, 및 상기 유기 발광 부재 위에 위치하는 공통 전극을 포함한다.

대표도 - 도4



명세서

청구범위

청구항 1

기관,

상기 기관 위에 위치하는 제1 부반도체,

상기 제1 부반도체 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하는 게이트 전극,

상기 게이트 전극 위에 위치하는 제1 층간 절연막,

상기 제1 층간 절연막 위에 위치하며 상기 제1 부반도체와 연결되는 제2 부반도체,

상기 제2 부반도체 위에 위치하며, 상기 제1 부반도체 및 상기 제2 부반도체에 연결되는 소스 전극 및 드레인 전극,

상기 드레인 전극과 전기적으로 연결되는 화소 전극,

상기 화소 전극 위에 위치하는 유기 발광 부재, 및

상기 유기 발광 부재 위에 위치하는 공통 전극을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

반도체는 상기 제1 부반도체 및 상기 제2 부반도체를 포함하며,

상기 반도체는 소스 영역, 드레인 영역 및 채널 영역을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 소스 전극은 상기 소스 영역에 연결되고 상기 드레인 전극은 상기 드레인 영역에 연결되며,

상기 게이트 전극은 상기 채널 영역과 중첩하는 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 제1 부반도체의 너비는 상기 제2 부반도체의 너비보다 긴 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 제2 부반도체 위에 위치하는 제2 층간 절연막을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 게이트 절연막 및 상기 제1 층간 절연막의 재질은 산화규소 및 질화규소 중 어느 하나인 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 유기 발광 부재는 발광층 및 부대층을 포함하는 유기 발광 표시 장치.

청구항 8

준비한 기판 위에 제1 부반도체를 형성하는 단계,

상기 제1 부반도체 위에 게이트 절연막을 적층하고 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계,

상기 게이트 전극 위에 제1 층간 절연막을 적층하고 상기 제1 부반도체 일부를 드러내는 제1 접촉 구멍을 형성하는 단계,

상기 제1 접촉 구멍을 통해 상기 제1 부반도체와 연결되며, 상기 제1 층간 절연막 위에 위치하는 제2 부반도체를 형성하는 단계,

상기 제1 부반도체와 상기 제2 부반도체의 일부를 드러내는 제2 접촉 구멍을 포함하는 제2 층간 절연막을 형성하는 단계,

상기 제2 층간 절연막 위에 위치하며, 상기 제2 접촉 구멍을 통해 상기 제1 부반도체와 상기 제2 부반도체에 연결되는 소스 전극 및 드레인 전극을 형성하는 단계,

상기 드레인 전극과 전기적으로 연결되는 화소 전극을 형성하는 단계, 그리고

상기 화소 전극 위에 위치하는 유기 발광 부재 및 공통 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 9

제8항에서,

반도체는 상기 제1 부반도체 및 상기 제2 부반도체를 포함하며,

상기 반도체는 소스 영역, 드레인 영역 및 채널 영역을 포함하도록 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 10

제9항에서,

상기 소스 전극은 상기 소스 영역에 연결되고 상기 드레인 전극은 상기 드레인 영역에 연결되며,

상기 게이트 전극은 상기 채널 영역과 중첩하도록 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 11

제9항에서,

상기 제1 부반도체의 너비는 상기 제2 부반도체의 너비보다 길게 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 12

제9항에서,

상기 게이트 절연막 및 상기 제1 층간 절연막의 재질은 산화규소 및 질화규소 중 어느 하나인 유기 발광 표시 장치의 제조 방법.

청구항 13

제9항에서,

상기 유기 발광 부재는 발광층 및 부대층을 포함하도록 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 14

제9항에서,

상기 반도체는 레이저를 이용하여 다결정 실리콘을 포함하도록 처리되는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)은 평판 표시 장치로 대체되고 있다.

[0003] 평판 표시 장치에는 액정 표시 장치, 전계 방출 표시 장치, 유기 발광 표시 장치, 플라즈마 표시 패널 등이 있다. 평판 표시 장치 중에서도 유기 발광 표시 장치는 낮은 소비 전력, 빠른 응답 속도, 넓은 시야각, 높은 대비 등으로 인하여 주목받고 있다.

[0004] 유기 발광 표시 장치는 자기 발광 표시 장치로서, 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 과제는 상이한 층상에 위치하면서 상호 연결된 반도체를 통해 일정 길이 이상의 채널 영역을 확보함으로써, 표시 장치의 성능을 향상시키고 균일한 영상을 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 위치하는 제1 부반도체, 상기 제1 부반도체 위에 위치하는 게이트 절연막, 상기 게이트 절연막 위에 위치하는 게이트 전극, 상기 게이트 전극 위에 위치하는 제1 층간 절연막, 상기 제1 층간 절연막 위에 위치하며, 상기 제1 부반도체와 연결되는 제2 부반도체, 상기 제2 부반도체 위에 위치하며, 상기 제1 부반도체 및 상기 제2 부반도체에 연결되는 소스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결되는 화소 전극, 상기 화소 전극 위에 위치하는 유기 발광 부재, 및 상기 유기 발광 부재 위에 위치하는 공통 전극을 포함한다.

[0007] 반도체는 상기 제1 부반도체 및 상기 제2 부반도체를 포함하며, 상기 반도체는 소스 영역, 드레인 영역 및 채널 영역을 포함할 수 있다.

[0008] 상기 소스 전극은 상기 소스 영역에 연결되고 상기 드레인 전극은 상기 드레인 영역에 연결되며, 상기 제어 전극은 상기 채널 영역과 중첩할 수 있다.

[0009] 상기 제1 부반도체의 너비는 상기 제2 부반도체의 너비보다 길 수 있다.

[0010] 상기 제2 부반도체 위에 위치하는 제2 층간 절연막을 더 포함할 수 있다.

[0011] 상기 게이트 절연막 및 상기 제1 층간 절연막의 재질은 산화규소 및 질화규소 중 어느 하나일 수 있다.

[0012] 상기 유기 발광 부재는 발광층 및 부대층을 포함할 수 있다.

[0013] 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 준비한 기판 위에 제1 부반도체를 형성하는 단계, 상기 제1 부반도체 위에 게이트 절연막을 적층하고 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계, 상기 게이트 전극 위에 제1 층간 절연막을 적층하고 상기 제1 부반도체 일부를 드러내는 접촉 구멍을 형성하는 단계, 상기 접촉 구멍을 통해 상기 제1 부반도체와 연결되며, 상기 제1 층간 절연막 위에 위치하는 제2 부반도체를 형성하는 단계, 상기 제1 부반도체와 상기 제2 부반도체의 일부를 드러내는 접촉 구멍을 포함하는 제2 층간 절연막을 형성하는 단계, 상기 제2 층간 절연막 위에 위치하며, 상기 제1 부반도체와 상기 제2 부반도체에 연결되는 소스 전극 및 드레인 전극을 형성하는 단계, 상기 드레인 전극과 연결되는 화소 전극을 형성하는

단계, 그리고 상기 화소 전극 위에 위치하는 유기 발광 부재 및 공통 전극을 형성하는 단계를 포함한다.

- [0014] 반도체는 상기 제1 부반도체 및 상기 제2 부반도체를 포함하며, 상기 반도체는 소스 영역, 드레인 영역 및 채널 영역을 포함하도록 형성될 수 있다.
- [0015] 상기 소스 전극은 상기 소스 영역에 연결되고 상기 드레인 전극은 상기 드레인 영역에 연결되며, 상기 제어 전극은 상기 채널 영역과 중첩하도록 형성될 수 있다.
- [0016] 상기 제1 부반도체의 너비는 상기 제2 부반도체의 너비보다 길게 형성될 수 있다.
- [0017] 상기 게이트 절연막 및 상기 제1 층간 절연막의 재질은 산화규소 및 질화규소 중 어느 하나일 수 있다.
- [0018] 상기 유기 발광 부재는 발광층 및 부대층을 포함하도록 형성될 수 있다.
- [0019] 상기 반도체는 레이저를 이용하여 다결정 실리콘을 포함하도록 처리되는 단계를 포함할 수 있다.

발명의 효과

- [0020] 이상과 같은 유기 발광 표시 장치에 의하면 상이한 층상에 위치하는 반도체가 상호 연결되어, 반도체가 형성되는 면적에 관계없이 소정 길이 이상의 채널 영역을 제공할 수 있다. 이를 통해 화소 사이즈에 관계 없이 우수한 성능의 유기 발광 표시 소자를 제공하고 이를 포함하는 표시 장치는 균일한 영상을 제공할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 배치도이다.
- 도 3은 도 2의 III-III선에 따라 자른 단면도이다.
- 도 4는 도 2의 IV-IV선에 따라 자른 단면도이다.
- 도 5는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 유기 발광 소자의 개략도이다.
- 도 6은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 7는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.
- 도 8은 도 7의 구체적인 배치도이다.
- 도 9는 도 8의 유기 발광 표시 장치를 IX-IX선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0023] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0024] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.
- [0025] 도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0026] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

- [0027] 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.
- [0028] 스위칭 트랜지스터(Qs)는 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)에 인가되는 게이트 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.
- [0029] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(ILD)를 흘린다.
- [0030] 도시하지는 않았지만, 본 발명의 실시예에 따른 유기 발광 표시 장치는 유기 발광 부재를 사이에 두고 중첩하는 화소 전극과 유지 전극에 의한 유지 축전기를 포함한다.
- [0031] 유지 축전기는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- [0032] 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(Vss)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 트랜지스터(Qd)의 출력 전류(ILD)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0033] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- [0034] 그러면, 도 1에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 2 내지 도 5를 참조하여 상세하게 설명한다.
- [0035] 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3 및 도 4는 각각 도 2의 유기 발광 표시 장치를 III-III 선 및 IV-IV' 선을 따라 잘라 도시한 단면도이고, 도 5는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 유기 발광 소자의 개략도이다.
- [0036] 투명한 유리 파위로 만들어진 기판(110) 위에 산화규소 또는 질화규소 등으로 만들어진 차단층(blocking layer)(111)이 형성되어 있다. 본 명세서에서는 단일의 차단층(111)을 도시하였으나 이에 제한되지 않고 이중막 구조를 가질 수 있다.
- [0037] 차단층(111) 위에 다결정 규소 파위로 만들어진 복수 쌍의 제1 및 제2 반도체(151a, 151b)가 형성되어 있다. 섹형 반도체(151a, 151b) 각각은 n형 또는 p형의 도전성 불순물을 포함하는 복수의 불순물 영역(extrinsic region)과 도전성 불순물을 거의 포함하지 않은 적어도 하나의 진성 영역(intrinsic region)을 포함한다.
- [0038] 다결정 규소로 만들어진 반도체(151a, 151b)는 화학 기상 증착법을 이용하여 350℃ ~ 450℃에서 수소화된 비정질 실리콘막을 형성한 후, 실리콘막에 포함된 수소의 함량을 400℃ 이상의 온도에서 열처리를 통해 제거하고, 레이저로 결정화하여 다결정 실리콘막을 형성할 수 있다.
- [0039] 제1 반도체(151a)에서, 불순물 영역은 제1 소스 및 드레인 영역(source/drain region)(153a, 155a)과 중간 영역(intermediate region)(1535)을 포함하며, 이들은 n형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 불순물 영역(153a, 1535, 155a) 사이에 위치한 한 쌍의 제1 채널 영역(channel region)(154a1, 154a2) 등을 포함한다.
- [0040] 제2 반도체(151b)에서, 불순물 영역은 제2 소스 및 드레인 영역(153b, 155b)을 포함하며, 이들은 p형 불순물로 도핑되어 있고 서로 분리되어 있다. 진성 영역은 제2 소스 및 드레인 영역(153b, 155b) 사이에 위치한 제2 채널 영역(154b)을 포함한다.
- [0041] 불순물 영역은 채널 영역(154a1, 154a2, 154b)과 소스 및 드레인 영역(153a, 155a, 153b, 155b) 사이에 위치한 저농도 도핑 영역(lightly doped region)(도시하지 않음)을 더 포함할 수 있다. 이러한 저농도 도핑 영역은 불

순물을 거의 포함하지 않는 오프셋 영역(offset region)으로 대체할 수 있다.

- [0042] 이와는 달리, 제1 반도체(151a)의 불순물 영역(153a, 155a)이 p형 불순물로 도핑되거나, 제2 반도체(151b)의 불순물 영역(153b, 155b)이 n형 불순물로 도핑될 수 있다. p형의 도전성 불순물로는 붕소(B), 갈륨(Ga) 등을 들 수 있고, n형의 도전성 불순물로는 인(P), 비소(As) 등을 들 수 있다.
- [0043] 제2 반도체(151b)는 제1 부반도체(151b1) 및 제2 부반도체(151b2)를 포함할 수 있다. 제1 부반도체(151b1)와 제2 부반도체(151b2)는 상이한 층에 위치하며, 상호 중첩될 수 있다.
- [0044] 제1 부반도체(151b1)는 하나의 불순물 영역과 일부의 진성 영역을 포함하며, 제2 부반도체(151b2)는 다른 하나의 불순물 영역과 일부의 진성 영역을 포함할 수 있다. 이때, 제2 반도체(151b)의 진성 영역은 제2 제어 전극(124b)와 중첩할 수 있다.
- [0045] 제1 부반도체(151b1)의 진성 영역은 후술할 제2 제어 전극(124b)과 중첩할 수 있다. 또한, 제1 부반도체(151b1)의 불순물 영역은 후술할 제2 입력 전극(173b) 또는 제2 출력 전극(175b)과 연결될 수 있으며, 제1 부반도체(151b1)의 불순물 영역이 제2 입력 전극(173b)과 연결되는 경우 제2 부반도체(151b2)의 불순물 영역은 제2 출력 전극(175b)과 연결될 수 있다. 상호 바뀔 수 있음은 물론이다.
- [0046] 반도체(151a, 151b) 및 차단층(111) 위에는 산화규소 또는 질화규소로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0047] 게이트 절연막(140) 위에는 제1 제어 전극(control electrode)(124a)을 포함하는 복수의 게이트선(gate line)(121)과 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체(gate conductor)가 형성되어 있다.
- [0048] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 제1 제어 전극(124a)은 게이트선(121)으로부터 위로 뻗어 제1 반도체(151a)와 교차하는데, 제1 채널 영역(154a1, 154a2)과 중첩한다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 게이트 신호를 생성하는 게이트 구동 회로가 기판(110) 위에 집적되는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.
- [0049] 제2 제어 전극(124b)은 게이트선(121)과 분리되어 있고 제2 반도체(151b)의 제2 채널 영역(154b)과 중첩한다. 제2 제어 전극(124b)은 제1 부반도체(151b1)의 채널 영역 및 제2 부반도체(151b2)의 채널 영역 모두와 중첩할 수 있다.
- [0050] 게이트 도전체(121, 124b)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121, 124b)는 이외에도 여러 가지 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.
- [0051] 게이트 도전체(121, 124b)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30-80° 인 것이 바람직하다.
- [0052] 게이트 도전체(121, 124b) 위에는 제1 층간 절연막(interlayer insulating film)(160a)이 형성되어 있다. 제1 층간 절연막(160a)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진 다. 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등이 그 예이다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 층간 절연막(160a)을 만들 수도 있으며, 층간 절연막(160a)의 표면은 평탄할 수 있다. 일례로써, 게이트 절연막과 제1 층간 절연막은 동일한 재질로 이루어질 수 있으며, 예로써 산화규소 또는 질화규소 등이 있다.
- [0053] 다음 제1 층간 절연막(160a) 위에는 제2 부반도체(151b2)가 위치한다.

- [0054] 제2 부반도체(151b2)는 전술한 바와 같이 하나의 불순물 영역과 진성 영역 일부를 포함한다. 진성 영역은 제2 제어 전극(124b)과 중첩할 수 있으며, 진성 영역은 게이트 절연막(140) 및 제1 층간 절연막(160a)이 제거되어 일부가 드러난 제1 접촉 구멍(156b)을 통해 제1 부반도체(151b1)와 연결될 수 있다. 이때 일부가 노출되는 제1 부반도체(151b1) 역시 진성 영역이 드러날 수 있다.
- [0055] 제2 부반도체(151b2)의 불순물 영역은 제2 입력 전극(173b) 또는 제2 출력 전극(175b)과 연결될 수 있다. 일례로써 제1 부반도체(151b1)의 불순물 영역이 제2 출력 전극(175b)과 연결된 경우, 제2 부반도체(151b2)의 불순물 영역은 제2 입력 전극(173b)과 연결될 수 있다.
- [0056] 본 발명의 일례로써 제2 부반도체(151b2)의 길이가 제1 부반도체(151b1)의 길이보다 길 수 있으나, 이에 제한되지 않고 제1 부반도체(151b1)와 제2 부반도체(151b2)가 각각 입력 전극과 출력 전극에 연결되기 위한 어떠한 형상도 가능하다.
- [0057] 다음, 제2 부반도체(151b2) 위에는 제2 층간 절연막(160b)이 위치한다. 제2 층간 절연막(160b)은 질화규소나 산화규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다. 저유전율 절연물의 유전 상수는 4.0 이하인 것이 바람직하며 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등이 그 예이다. 유기 절연물 중 감광성(photosensitivity)을 가지는 것으로 층간 절연막(160b)을 만들 수도 있으며, 제2 층간 절연막(160b)의 표면은 평탄할 수 있다.
- [0058] 게이트 절연막(140), 제1 층간 절연막(160a) 및 제2 층간 절연막(160b)에는 제1 부반도체(151b1) 또는 제2 부반도체(151b2)를 노출하는 복수의 제2 접촉 구멍(contact hole)(163b, 165b)이 형성되어 있다.
- [0059] 구체적으로, 제1 부반도체(151b1)와 제2 부반도체(151b2)를 연결하는 접촉 구멍(156b)이 게이트 절연막(140)과 제1 층간 절연막(160a)에 위치하며, 제1 부반도체(151b1)를 입력 전극(173b) 또는 출력 전극(175b)과 연결되도록 노출하는 접촉 구멍(165b)이 제2 층간 절연막(160a), 제1 층간 절연막(160b) 및 게이트 절연막(140)에 위치한다. 또한, 제2 부반도체(151b2)의 불순물 영역과 입력 전극(173b) 또는 출력 전극(175b)을 연결하도록 노출하는 접촉 구멍(163b)이 제2 층간 절연막(160b)에 위치한다.
- [0060] 즉, 층간 절연막(160a, 160b)과 게이트 절연막(140)에는 소스 및 드레인 영역(153a, 153b, 155a, 155b)을 드러내는 복수의 접촉 구멍(163a, 163b, 165a, 165b)이 형성되어 있다.
- [0061] 제2 층간 절연막(160b) 위에는 데이터선(data line)(171), 구동 전압선(driving voltage line)(172) 및 제1 및 제2 출력 전극(output electrode)(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.
- [0062] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 접촉 구멍(163a)을 통하여 제1 소스 및 드레인 영역(153a)과 연결되어 있는 복수의 제1 입력 전극(input electrode)(173a)을 포함하며, 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분을 포함할 수 있다. 데이터 신호를 생성하는 데이터 구동 회로가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.
- [0063] 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 구동 전압선(172)은 접촉 구멍(163b)을 통하여 제2 소스 및 드레인 영역(153b)과 연결되어 있는 복수의 제2 입력 전극(173b)을 포함한다.
- [0064] 제1 출력 전극(175a)은 데이터선(171) 및 구동 전압선(172)으로부터 분리되어 있다. 제1 출력 전극(175a)은 접촉 구멍(165a)을 통하여 제1 소스 및 드레인 영역(155a)에 연결되어 있고, 접촉 구멍(164)을 통하여 제2 제어 전극(124b)과 연결되어 있다.
- [0065] 제2 출력 전극(175b)은 데이터선(171), 구동 전압선(172) 및 제1 출력 전극(175a)으로부터 분리되어 있으며, 접촉 구멍(165b)을 통하여 제2 소스 및 드레인 영역(155b)에 연결되어 있다.
- [0066] 데이터 도전체(171, 172, 175a, 175b)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속 따위의 도전막(도시하지 않음)과 저저항 물질 도전막(도시하지 않음)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 172, 175a, 175b)는 이외에도 여러 가지 다양한 여러 가지

금속과 도전체로 만들어질 수 있다.

- [0067] 게이트 도전체(121, 124b)와 마찬가지로 데이터 도전체(171, 172, 175a, 175b) 또한 그 측면이 기판(110) 면에 대하여 약 30-80°의 경사각으로 기울어진 것이 바람직하다.
- [0068] 데이터 도전체(171, 172, 175a, 175b) 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기물, 유기물, 저유전율 절연 물질 따위로 이루어진다.
- [0069] 보호막(180)에는 제2 출력 전극(175b)을 드러내는 복수의 접촉 구멍(185)이 형성되어 있다. 보호막(180)에는 또한 데이터선(171)의 끝 부분을 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성될 수 있으며, 보호막(180)과 층간 절연막(160)에는 게이트선(121)의 끝 부분을 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성될 수 있다.
- [0070] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191)이 형성되어 있다. 화소 전극(191)은 접촉 구멍(185)을 통하여 제2 출력 전극(175b)과 물리적·전기적으로 연결되어 있으며, ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.
- [0071] 보호막(180) 위에는 또한 복수의 접촉 보조 부재(contact assistant)(도시하지 않음) 또는 연결 부재(connecting member)(도시하지 않음)가 형성될 수 있으며, 이들은 게이트선(121)과 데이터선(171)의 노출된 끝 부분과 연결된다.
- [0072] 보호막(180) 위에는 격벽(partition)(360)이 형성되어 있다. 격벽(360)은 화소 전극(191) 가장자리 주변을 둑(bank)처럼 둘러싸서 개구부(opening)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(360)은 또한 검정색 안료를 포함하는 감광제로 만들어질 수 있는데, 이 경우 격벽(360)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.
- [0073] 격벽(360)으로 둘러싸인 화소 전극(191) 위의 영역에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 격벽(360)으로 둘러싸인 영역에 대부분 위치하지만, 격벽(360) 위나 그 외 다른 화소 영역에도 위치한다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 내는 유기 물질로 만들어진다.
- [0074] 유기 발광 부재(370)는, 도 5에 도시한 바와 같이, 발광층(emitting layer)(EML) 외에 발광층(EML)의 발광 효율을 향상하기 위한 부대층(auxiliary layer)을 포함하는 다층 구조를 가진다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(ETL) 및 정공 수송층(hole transport layer)(HTL)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(EIL) 및 정공 주입층(hole injecting layer)(HIL)이 있다. 부대층은 생략될 수 있다.
- [0075] 유기 발광 부재(370) 위에는 복수의 공통 전극(common electrode)(270)이 위치한다.
- [0076] 공통 전극(270)은 공통 전압을 인가 받으며, 칼슘(Ca), 바륨(Ba), 마그네슘(Mg), 알루미늄, 은 등을 포함하는 반사성 금속 또는 ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.
- [0077] 이러한 유기 발광 표시 장치에서, 제1 반도체(151a), 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 반도체(151a)의 채널 영역(154a1, 154a2)에 형성된다. 제2 반도체(151b), 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191)에 연결되어 있는 제2 출력 전극(175b)은 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 반도체(151b)의 채널 영역(154b)에 형성된다. 화소 전극(191), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 다이오드를 이루며, 화소 전극(191)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191)이 캐소드, 공통 전극(270)이 애노드가 된다.
- [0078] 스위칭 박막 트랜지스터(Qs)는 게이트선(121)의 게이트 신호에 응답하여 데이터선(171)의 데이터 신호를 전달한다. 구동 박막 트랜지스터(Qd)는 데이터 신호를 받으면 제2 제어 전극(124b)과 제2 입력 전극(173b) 사이의 전압차에 의존하는 크기의 전류를 흘린다. 제2 제어 전극(124b)과 제2 입력 전극(173b) 사이의 전압차는 또한 유지 축전기(Cst)에 충전되어 스위칭 박막 트랜지스터(Qs)가 턴 오프된 후에도 유지된다. 유기 발광 다이오드는 구동 박막 트랜지스터(Qd)가 흘리는 전류의 크기에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.

- [0079] 앞서 설명하였듯이 유기 발광 부재(370)는 발광층뿐만 아니라 여러 부대층을 포함하는 다층 구조를 가진다. 따라서, 격벽(360)으로 둘러싸인 영역 외에, 격벽(360) 위에는 발광층 또는 여러 부대층 중 적어도 하나의 층이 존재할 수 있다(미도시).
- [0080] 이상에서 설명한 유기 발광 표시 장치에 따르면, 반도체가 위치 가능한 면적이 한정적이라든가, 복수의 층에 위치하면서 상호 연결되는 반도체에 의해 표시 장치가 요구하는 소정의 채널 영역 길이를 충족시킬 수 있다. 따라서 화소 크기가 작아지는 경우에도 우수한 성능의 표시 장치를 제공하는 것이 가능하다.
- [0081] 앞서 스위칭 박막 트랜지스터와 구동 박막 트랜지스터에 대해 설명하였으며, 이하에서는 이를 포함하는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치에 대하여 도 6 내지 도 9를 참고로 상세하게 설명한다.
- [0082] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0083] 도 6에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 하나의 화소(1)는 복수의 신호선(121, 122, 123, 124, 128, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0084] 트랜지스터는 구동 트랜지스터(driving thin film transistor)(T1), 스위칭 트랜지스터(switching thin film transistor)(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함한다.
- [0085] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(123), 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124), 바이패스 박막 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(128), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172)을 포함한다.
- [0086] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.
- [0087] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.
- [0088] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)과 직접 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 일단(Cst1), 초기화 트랜지스터(T4)의 드레인 전극(D4) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 보상 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킨다.
- [0089] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 일단(Cst1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0090] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 트랜지스터

(T5)의 소스 전극(S5)은 구동 전압선(172)와 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(S2)에 연결되어 있다.

[0091] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 발광 전류(Ioled)가 흐르게 된다.

[0092] 바이패스 박막 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(128)과 연결되어 있고, 바이패스 박막 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드와 함께 연결되어 있고, 바이패스 박막 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(124) 및 초기화 박막 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다.

[0093] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 트랜지스터(T1)로부터 발광 전류(Ioled)를 전달받아 발광함으로써 화상을 표시한다.

[0094] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

[0095] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.

[0096] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다.

[0097] 이 때, 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스된다.

[0098] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($Dm+V_{th}$, V_{th} 는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극에 인가된다.

[0099] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압($Dm+V_{th}$)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴 온된다.

[0100] 그러면, 구동 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(I_d)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간 동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(V_{gs})은 ' $(Dm+V_{th})-ELVDD$ '으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 ' $(Dm-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.

[0101] 이 때, 바이패스 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(I_d)의 일부는 바이패스 전류(I_{bp})로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.

[0102] 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(I_d)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(I_{bp})의 전류량만큼 감소된 유기 발광 다이오드의 발광 전류(I_{oled})는 블랙 영상을 확실

하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다.

[0103] 그러면 도 6에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 7 내지 도 9를 도 6과 함께 참고하여 상세하게 설명한다.

[0104] 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이고, 도 8은 도 7의 구체적인 배치도이고, 도 9는 도 8의 유기 발광 표시 장치를 IX-IX선을 따라 자른 단면도이다.

[0105] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 바이패스 신호(BP)를 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)을 포함하고, 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)과 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다. 초기화 전압(Vint)은 초기화 전압선(124)을 통해 유기 발광 다이오드(OLED)로부터 초기화 트랜지스터(T4)를 거쳐 구동 트랜지스터(T1)로 전달된다.

[0106] 또한, 화소에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 그리고 유기 발광 다이오드(OLED)가 형성되어 있다.

[0107] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)는 반도체층(131)을 따라 형성되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(131)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체층(131)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0108] 반도체층(131)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널 영역과, 채널 영역의 양 옆에 형성되어 있으며 채널 영역에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다.

[0109] 이하에서 도 7 및 도 8을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구체적인 평면상 구조에 대해 우선 상세히 설명하고, 도 9를 참조하여 구체적인 단면상 구조에 대해 상세히 설명한다.

[0110] 우선, 도 7 및 도 8에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소(1)는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 그리고 유기 발광 다이오드(OLED)를 포함하며, 이들 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 반도체층(131)을 따라 형성되어 있으며, 이러한 반도체층(131)은 구동 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 반도체층(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 반도체층(131f) 및 바이패스 박막 트랜지스터(T7)에 형성되는 바이패스 반도체층(131g)을 포함한다. 특히, 본 발명의 일 실시예에 따르면 구동 반도체층(131a)는 상이한 층에 위치하는 이중 구조로 형성된다. 이는 전술한 도 4에 상세하게 설명하였으며, 동일한 구성에 대해서는 설명을 생략한다.

- [0111] 구동 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a) 및 구동 드레인 전극(177a)을 포함한다.
- [0112] 구동 반도체층(131a)은 굴곡되어 있으며, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이와 같이, 굴곡된 형상의 구동 반도체층(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 반도체층(131a)을 형성할 수 있다. 따라서, 구동 반도체층(131a)의 구동 채널 영역(131a1)을 길게 형성할 수 있으므로 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 따라서, 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.
- [0113] 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 이때 구동 소스 영역(176a)과 구동드레인 영역(177a)은 상이한 층에 위치할 수 있다. 구동 게이트 전극(125a)은 구동 반도체층(131a)과 중첩하고 있으며, 구동 게이트 전극(125a)은 스캔선(121), 이전 스캔선(122), 발광 제어선(123), 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 초기화 게이트 전극(125d), 동작 제어 게이트 전극(125e), 발광 제어 게이트 전극(125f)과 동일한 물질로 동일한 층에 형성되어 있다.
- [0114] 스위칭 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 게이트 전극(125b)은 스캔선(121)의 일부이다.
- [0115] 데이터선(171)의 일부인 스위칭 소스 전극(176b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 소스 영역(132b)과 연결되어 있으며, 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.
- [0116] 보상 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함하며, 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역(176c)에 해당하고, 보상 드레인 전극(177c)은 불순물이 도핑된 보상 드레인 영역(177c)에 해당한다.
- [0117] 초기화 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 소스 전극(176d)은 불순물이 도핑된 초기화 소스 영역(176d)에 해당하고, 초기화 드레인 전극(177d)은 불순물이 도핑된 초기화 드레인 영역(177d)에 해당한다.
- [0118] 동작 제어 트랜지스터(T5)는 동작 제어 반도체층(131e), 동작 제어 게이트 전극(125e), 동작 제어 소스 전극(176e) 및 동작 제어 드레인 전극(177e)을 포함한다. 구동 전압선(172)의 일부인 동작 제어 소스 전극(176e)은 동작 제어 반도체층(131e)과 연결되어 있고, 동작 제어 드레인 전극(177e)은 동작 제어 반도체층(131e)에서 불순물이 도핑된 동작 제어 드레인 영역(177e)에 해당한다.
- [0119] 발광 제어 트랜지스터(T6)는 발광 제어 반도체층(131f), 발광 제어 게이트 전극(125f), 발광 제어 소스 전극(176f) 및 발광 제어 드레인 전극(177f)을 포함한다. 발광 제어 소스 전극(176f)은 발광 제어 반도체층(131f)에서 불순물이 도핑된 발광 제어 소스 영역(176f)에 해당하고, 발광 제어 드레인 전극(177f)은 발광 제어 반도체층(131f)과 연결되어 있다.
- [0120] 바이패스 박막 트랜지스터(T7)는 바이패스 반도체층(131g), 바이패스 게이트 전극(125g), 바이패스 소스 전극(176g) 및 바이패스 드레인 전극(177g)을 포함한다. 바이패스 소스 전극(176g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 소스 영역(176g)에 해당하고, 바이패스 드레인 전극(177g)은 바이패스 반도체층(131g)에서 불순물이 도핑된 바이패스 드레인 영역(177g)에 해당한다. 바이패스 소스 전극(176g)은 발광 제어 드레인 영역(133f)과 직접 연결되어 있다.
- [0121] 구동 트랜지스터(T1)의 구동 반도체층(131a)의 일단은 스위칭 반도체층(131b) 및 동작 제어 반도체층(131e)과 연결되어 있으며, 구동 반도체층(131a)의 타단은 보상 반도체층(131c) 및 발광 제어 반도체층(131f)과 연결되어 있다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 동작 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 발광 제어 소스 전극(176f)과 연결된다.
- [0122] 스토리지 커패시터(Cst)는 제2 게이트 절연막(142)을 사이에 두고 배치되는 제1 스토리지 축전판(125a)과 제2 스토리지 축전판(126)을 포함한다. 제1 스토리지 축전판(125a)은 구동 게이트 전극(125a)이고, 제2 게이트 절연막(143)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 축전판(125a, 126) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다.

- [0123] 연결 부재(174)는 데이터선(171)과 평행하게 동일한 층에 형성되어 있으며 구동 게이트 전극(125a)과 보상 박막 트랜지스터(T3)의 보상 드레인 전극(177c)을 서로 연결하고 있다. 구동 게이트 전극(125a)인 제1 스토리지 축전판(125a)은 연결 부재(174)와 연결되어 있고, 보상 반도체층(131c)에서 보상 드레인 전극(177c)은 연결 부재(174)와 연결되어 있다.
- [0124] 따라서, 스토리지 커패시터(Cst)는 구동 전압선(172)을 통해 제2 스토리지 축전판(126)에 전달된 구동 전압(ELVDD)과 구동 게이트 전극(125a)의 게이트 전압간의 차에 대응하는 스토리지 커패시턴스를 저장한다.
- [0125] 한편, 스위칭 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되어 있으며, 스위칭 드레인 전극(177b)은 구동 트랜지스터(T1) 및 동작 제어 트랜지스터(T5)와 연결되어 있다. 그리고, 발광 제어 트랜지스터(T6)의 발광 제어 드레인 전극(177f)은 유기 발광 다이오드(70)의 화소 전극(191)과 직접 연결되어 있다.
- [0126] 이하, 도 9를 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다. 이하에서는 구동 트랜지스터(T1)를 중심으로 설명하며 전술한 다른 트랜지스터에 대한 설명은 생략 가능하다. 특히, 동작 제어 트랜지스터(T5)는 발광 제어 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.
- [0127] 기판(110) 위에는 버퍼층(120)이 형성되어 있고, 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.
- [0128] 버퍼층(120) 위에는 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 바이패스 반도체층(131g)이 형성되어 있다.
- [0129] 구동 반도체층(131a)은 구동 채널 영역(131a1) 및 구동 채널 영역(131a1)을 사이에 두고 양 끝단에 위치하는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함하고, 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1) 및 스위칭 채널 영역(131b1)을 사이에 두고 서로 마주보는 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함한다. 그리고, 보상 반도체층(131c)은 보상 채널 영역(131c), 보상 소스 영역(176c) 및 보상 드레인 영역(177c)을 포함하고, 초기화 반도체층(131d)은 초기화 채널 영역(131d), 초기화 소스 영역(176d) 및 초기화 드레인 영역(177d)을 포함하며, 발광 제어 반도체층(131f)은 발광 제어 채널 영역(131f1), 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함하고, 바이패스 반도체층(131g)은 바이패스 채널 영역(131g), 바이패스 소스 영역(176g) 및 바이패스 드레인 영역(177g)을 포함한다.
- [0130] 구동 반도체층(131a)의 일부, 스위칭 반도체층(131b), 보상 반도체층(131c), 초기화 반도체층(131d), 동작 제어 반도체층(131e), 발광 제어 반도체층(131f) 및 바이패스 반도체층(131g) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)를 포함하는 스캔선(121), 초기화 게이트 전극(125d)를 포함하는 이진 스캔선(122), 동작 제어 게이트 전극(125e) 및 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123), 구동 게이트 전극(제1 스토리지 축전판)(125a) 및 바이 패스 게이트 전극(125g)을 포함하는 바이 패스선(128)을 포함하는 게이트 배선(121, 122, 123, 125a, 125b, 125c, 125d, 125e, 125f, 125g, 128)이 형성되어 있다.
- [0131] 게이트 배선(121, 122, 123, 125a, 125b, 125c, 125d, 125e, 125f, 125g, 128) 및 게이트 절연막(140) 위에는 제1 층간 절연막(160a)이 형성되어 있다. 게이트 절연막(14) 및 제1 층간 절연막(160a)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성되어 있다.
- [0132] 제1 층간 절연막(160) 위에는 구동 반도체층(131a)로부터 연장된 채널 영역 및 불순물 영역이 위치한다. 채널 영역은 구동 게이트 전극(125a)과 중첩할 수 있으며, 소정의 위치에 위치하는 접촉 구멍을 통해 제1 층간 절연막(160)에 위치하는 반도체층(131a)의 일부와 게이트 절연막(140) 아래에 위치하는 반도체층(131a)이 연결될 수 있다.
- [0133] 구동 반도체층(131a)의 연장된 채널 영역 및 불순물 영역 위에는 제2 층간 절연막(160b)이 위치하며 다음으로 스위칭 소스 전극(176b)을 포함하는 데이터선(171), 구동 전압선(172), 연결 부재(174), 발광 제어 드레인 전극(177f) 및 초기화 전압선(124)을 포함하는 데이터 배선(171, 172, 174, 176b, 177f, 124)이 형성되어 있다.
- [0134] 스위칭 소스 전극(176b)은 층간 절연막(160)에 형성된 스위칭 상부 접촉 구멍(62)을 통해 스위칭 접촉 부재(22)와 연결되어 있으며, 연결 부재(174)의 일단은 층간 절연막(160)에 형성된 구동 상부 접촉 구멍(61)을 통해

구동 접촉 부재와 연결되어 있고, 연결 부재(174)의 타단은 층간 절연막(160)에 형성된 보상 상부 접촉 구멍(63)을 통해 보상 접촉 부재(23)와 연결되어 있으며, 초기화 전압선(!24)은 층간 절연막(160)에 형성된 초기화 상부 접촉 구멍(64)을 통해 초기화 접촉 부재(24)와 연결되어 있고, 구동 전압선(172)은 층간 절연막(160)에 형성된 동작 제어 상부 접촉 구멍(65)을 통해 동작 제어 접촉 부재(25)와 연결되어 있으며, 발광 제어 드레인 전극(177f)은 층간 절연막(160)에 형성된 발광 제어 상부 접촉 구멍(66)을 통해 발광 제어 접촉 부재(26)와 연결되어 있다.

[0135] 층간 절연막(160) 상에는 데이터 배선(171, 172, 174, 176b, 177f, 124)을 덮는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 보호막(180)에 형성된 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있고, 초기화 전압선(124)은 보호막(180)에 형성된 접촉 구멍(82)을 통해 화소 전극(191)과 연결되어 있다.

[0136] 화소 전극(191)의 가장자리 및 보호막(180) 위에는 격벽(350)이 형성되어 있고, 격벽(350)은 화소 전극(191)을 드러내는 격벽 개구부(351)를 가진다. 격벽(350)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.

[0137] 격벽 개구부(351)로 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되고, 유기 발광층(370) 상에는 공통 전극(270)이 형성된다. 이와 같이, 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기 발광 다이오드(70)가 형성된다.

[0138] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0139] 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다층막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다.

[0140] 유기 발광층(370)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있으며, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 컬러 화상을 구현하게 된다.

[0141] 또한, 유기 발광층(370)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소별로 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소별로 각각 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않아도 된다.

[0142] 다른 예에서 설명한 백색 유기 발광층은 하나의 유기 발광층으로 형성될 수 있음은 물론이고, 복수 개의 유기 발광층을 적층하여 백색을 발광할 수 있도록 한 구성까지 포함한다. 예로, 적어도 하나의 옐로우 유기 발광층과 적어도 하나의 청색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 시안 유기 발광층과 적어도 하나의 적색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 마젠타 유기 발광층과 적어도 하나의 녹색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성 등도 포함할 수 있다.

[0143] 공통 전극(270) 상에는 유기 발광 소자(70)를 보호하는 봉지 부재(도시하지 않음)가 형성될 수 있으며, 봉지 부재는 실런트에 의해 기판(110)에 밀봉될 수 있으며, 유리, 석영, 세라믹, 플라스틱, 및 금속 등 다양한 소재로 형성될 수 있다. 한편, 실런트를 사용하지 않고 공통 전극(270) 상에 무기막과 유기막을 증착하여 박막 봉지층을 형성할 수도 있다.

[0144] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것

은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

[0145]

110 : 기판 111 : 차단층

121, 124b : 게이트 도전체 124a, 124b : 제어전극

140 : 게이트 절연막 151a, 151b : 반도체

160a, 160b : 층간 절연막 171 : 데이터선

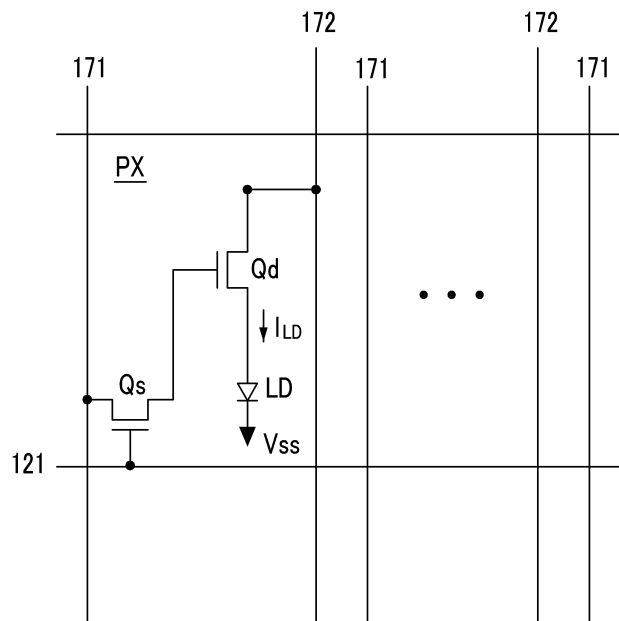
172 : 구동 전압선 180 : 보호막

191 : 화소 전극 270 : 공통 전극

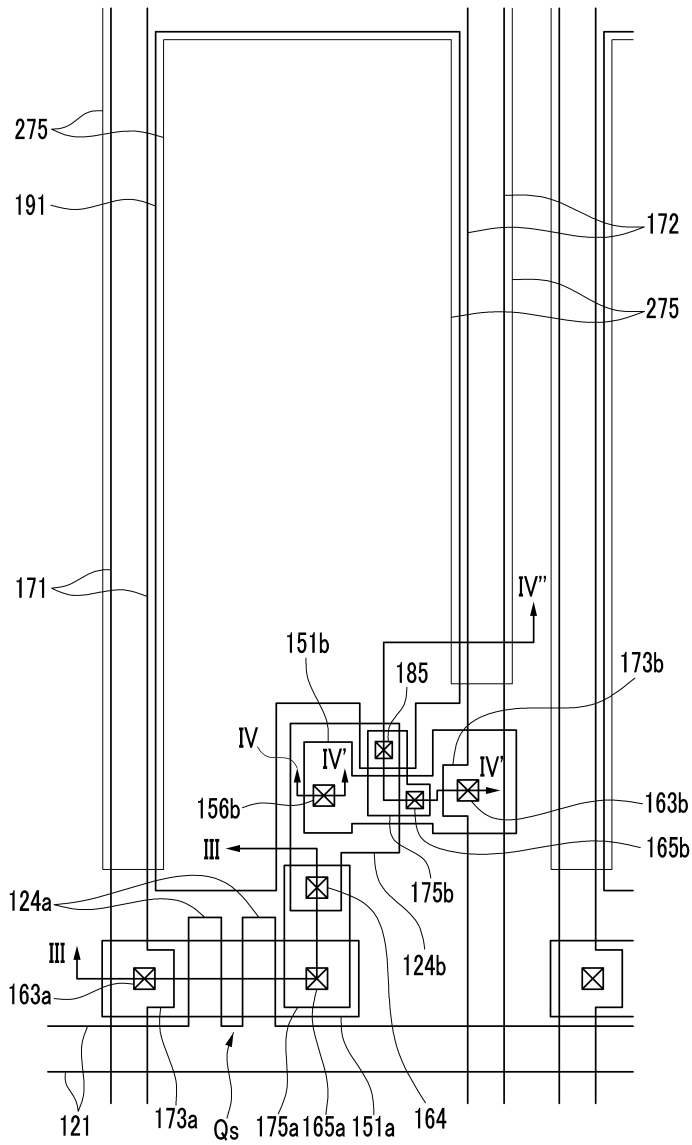
360 : 격벽 370 : 유기 발광 부재

도면

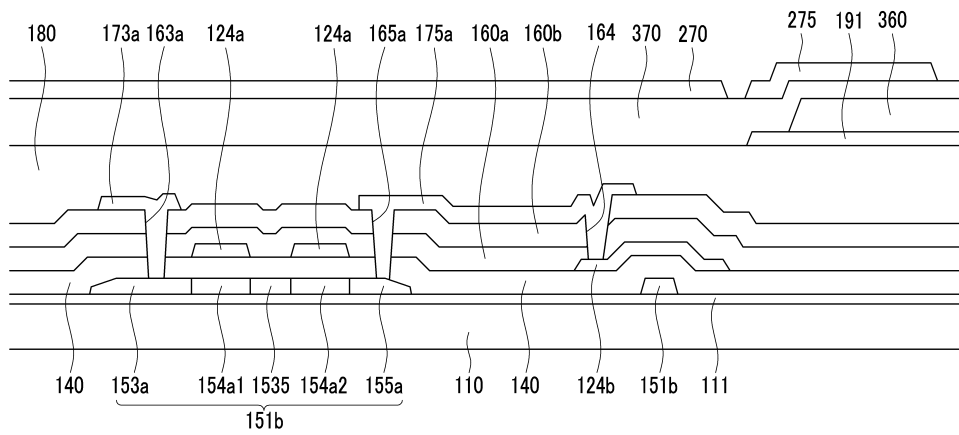
도면1



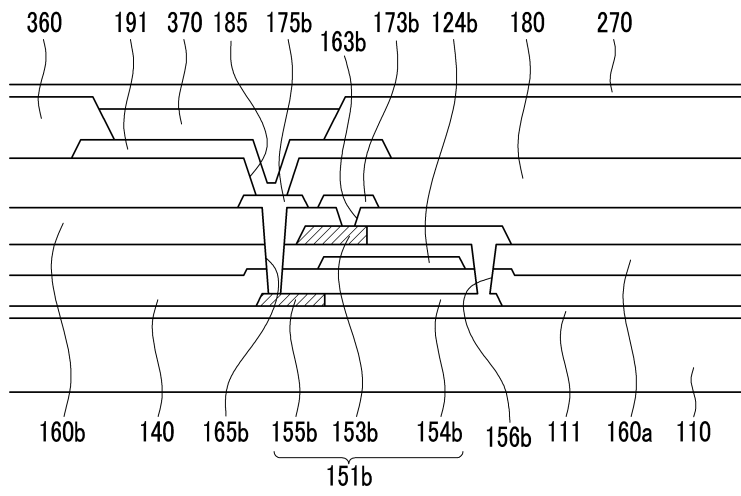
도면2



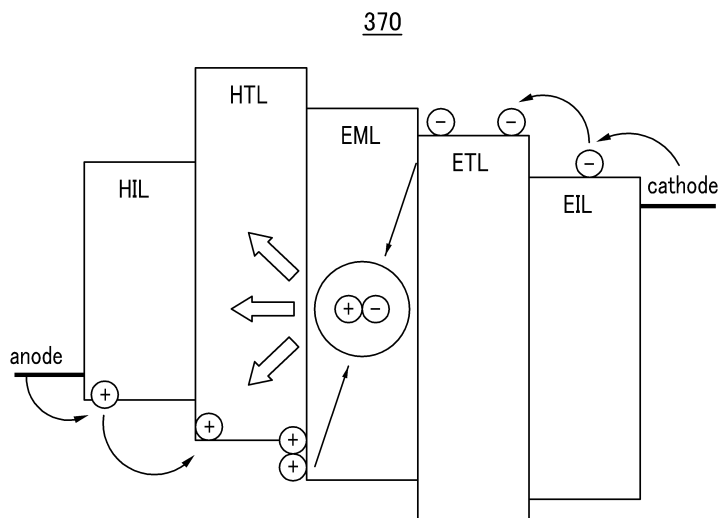
도면3



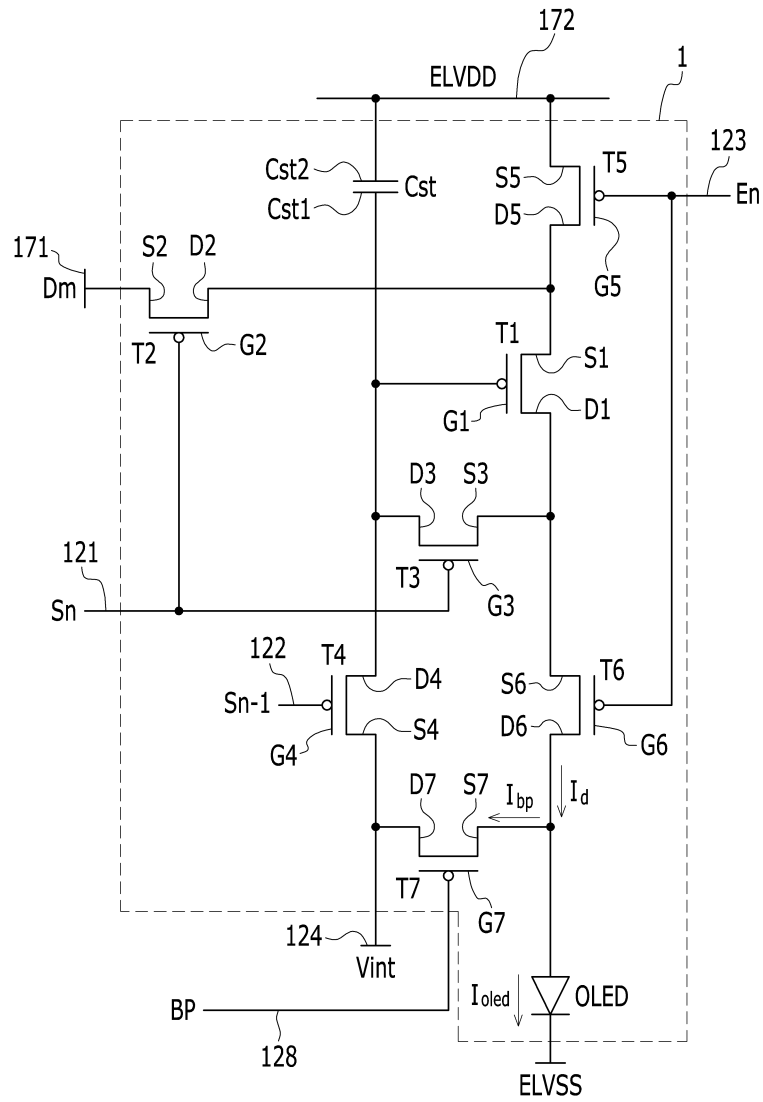
도면4



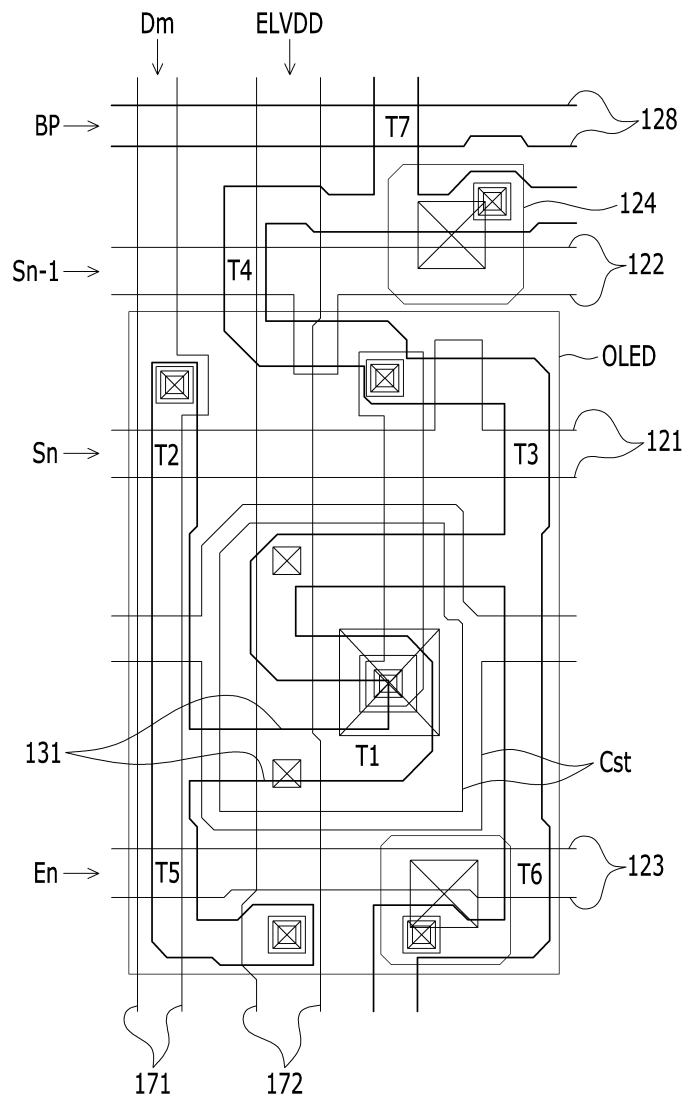
도면5



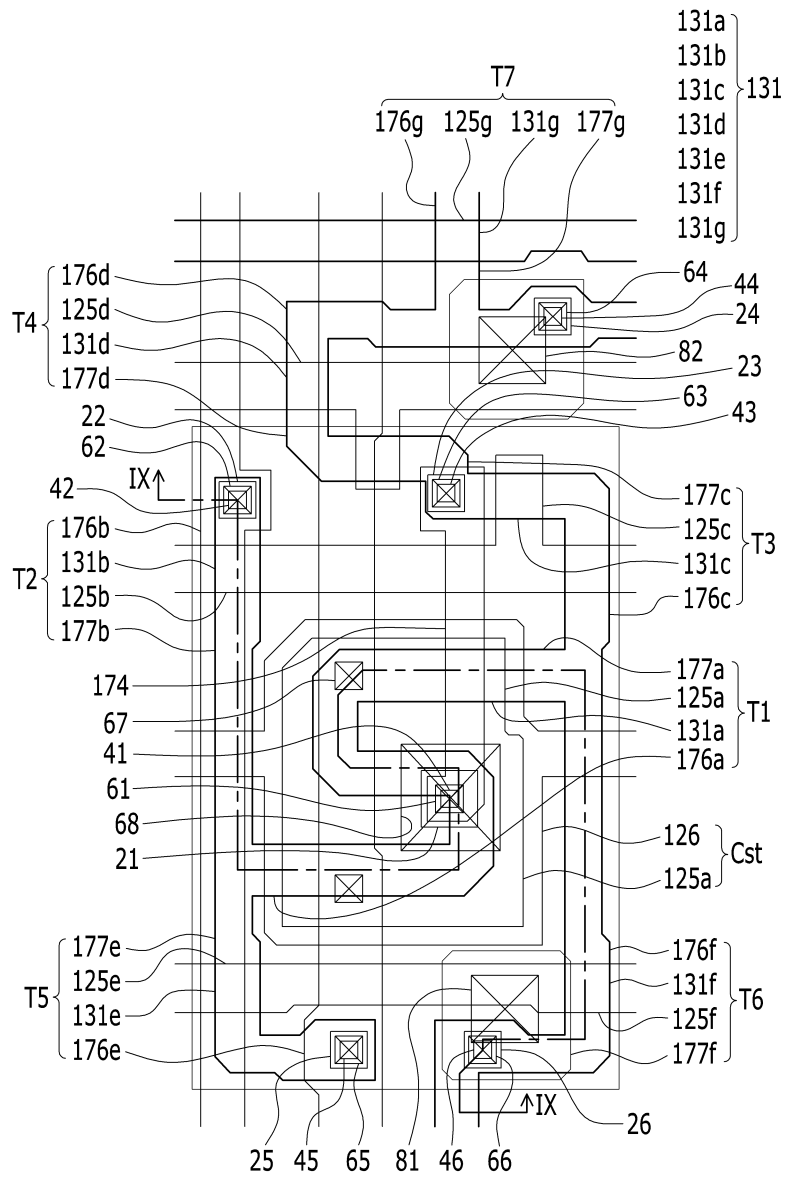
도면6



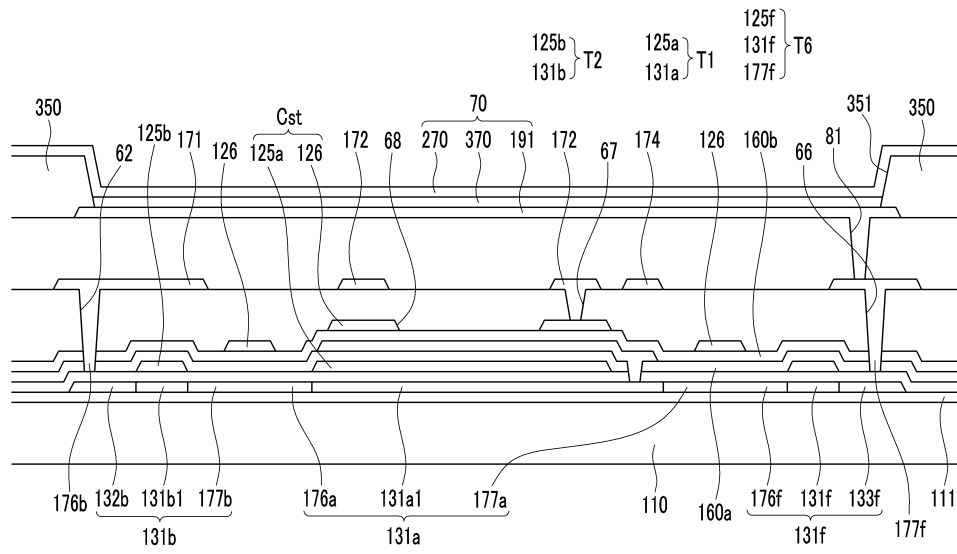
도면7



도면8



도면9



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020150081869A	公开(公告)日	2015-07-15
申请号	KR1020140001801	申请日	2014-01-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	NAM JOON HO		
发明人	NAM, JOON HO		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L29/78696 H01L27/3244 H01L29/78618		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括基板，设置在基板上的第一子半导体，设置在第一子半导体上的栅极绝缘膜，设置在栅极绝缘膜上的栅电极，第二子半导体，位于第一层间绝缘膜上并连接到第一子半导体；第二子半导体，设置在第二子半导体上并连接到第一子半导体和第二子半导体像素电极电连接到漏电极，有机发光元件设置在像素电极上，公共电极设置在有机发光元件上。

