



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0002468
(43) 공개일자 2015년01월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0070124
(22) 출원일자 2014년06월10일
심사청구일자 없음
(30) 우선권주장
1020130075544 2013년06월28일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이준석
서울특별시 관악구 난곡로 55, 214동 601호 (신림동, 관악산휴먼시아2단지아파트)
김은아
충청남도 아산시 아산로117번길 17, 105동 1001호 (실옥동, 대우푸르지오아파트)
(74) 대리인
박영복

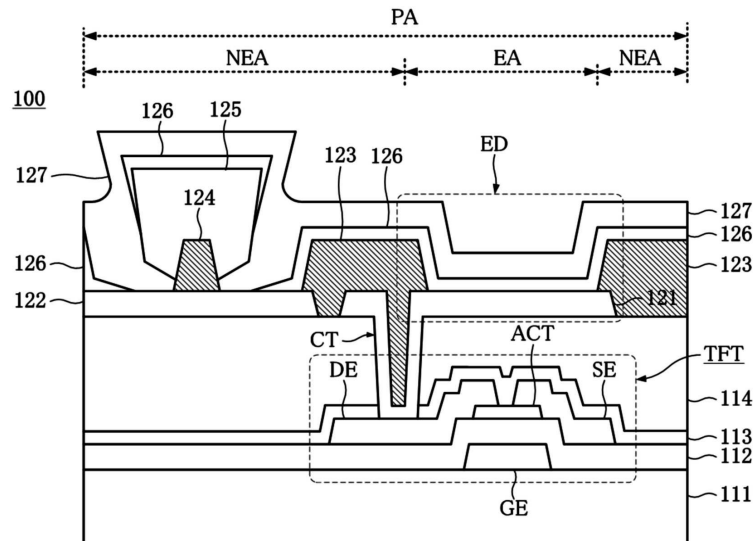
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기발광표시장치 및 그의 제조방법

(57) 요약

본원의 일 실시예는 신뢰도를 향상시킬 수 있는 유기발광표시장치에 관한 것으로, 발광영역과 비발광영역을 각각 포함하는 복수의 화소영역; 상기 각 화소영역의 발광영역에 대응하는 제 1 전극; 상기 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극; 상기 버스전극의 일부 상에 형성되는 점착패턴; 상기 점착패턴의 적어도 일부를 덮도록 형성되고, 역테이퍼형의 단면을 가지는 분리패턴; 상기 버스전극 중 상기 분리패턴에 의해 가려지는 상기 점착패턴 주위의 틈 영역을 제외한 나머지, 상기 제 1 전극 및 상기 분리패턴 각각 상에 형성되고, 발광층을 포함하는 유기층; 및 상기 유기층 상에 형성되고, 상기 틈 영역을 통해 상기 버스전극과 연결되는 제 2 전극을 포함하는 유기발광표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

발광영역과 비발광영역을 각각 포함하는 복수의 화소영역;

상기 각 화소영역의 발광영역에 대응하는 제 1 전극;

상기 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극;

상기 버스전극의 일부 상에 형성되는 점착패턴;

상기 점착패턴의 적어도 일부를 덮도록 형성되고, 역테이퍼형의 단면을 가지는 분리패턴;

상기 버스전극 중 상기 분리패턴에 의해 가려지는 상기 점착패턴 주위의 틈 영역을 제외한 나머지, 상기 제 1 전극 및 상기 분리패턴 각각 상에 형성되고, 발광층을 포함하는 유기층; 및

상기 유기층 상에 형성되고, 상기 틈 영역을 통해 상기 버스전극과 연결되는 제 2 전극을 포함하는 유기발광표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 전극의 테두리를 덮는 뱅크를 더 포함하고,

상기 점착패턴은 상기 뱅크와 동일층에, 상기 뱅크와 동일한 재료로, 정테이퍼형을 갖도록 형성되는 유기발광표시장치.

청구항 3

제 1 항에 있어서,

상기 분리패턴은 네거티브 포토레지스트 물질로 형성되는 유기발광표시장치.

청구항 4

제 1 항에 있어서,

상기 분리패턴은 상기 점착패턴을 완전히 덮도록 형성되는 유기발광표시장치.

청구항 5

제 1 항에 있어서,

상기 분리패턴의 단면의 적어도 일측은 상측모서리에 접하고 제 1 기울기로 경사진 제 1 사이드, 및 상기 제 1 사이드로부터 연장되고 상기 제 1 기울기보다 완만한 제 2 기울기로 경사진 제 2 사이드를 포함하고,

상기 제 1 기울기는 45° 이상 및 90° 이하의 범위이고,

상기 제 2 기울기는 0° 이상 및 상기 제 1 기울기 미만의 범위인 유기발광표시장치.

청구항 6

제 1 항에 있어서,

상기 버스전극은 상기 제 1 전극과 동일층에, 상기 제 1 전극과 동일한 재료로, 상기 제 1 전극으로부터 절연되도록 형성되는 유기발광표시장치.

청구항 7

복수의 화소영역에 대응하는 복수의 박막트랜지스터를 형성하는 단계;

상기 복수의 박막트랜지스터를 덮는 오버코트층 상에, 상기 각 화소영역의 발광영역에 대응하는 제 1 전극, 및

상기 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극을 형성하는 단계;

상기 버스전극의 적어도 일부 상에 점착패턴을 형성하는 단계;

상기 점착패턴의 적어도 일부를 덮고 역테이퍼형의 단면을 갖는 분리패턴을 형성하는 단계;

상기 버스전극 중 상기 분리패턴에 의해 가려지는 상기 점착패턴 주위의 틈 영역을 제외한 나머지, 상기 제 1 전극 및 상기 분리패턴 각각 상에 유기층을 형성하는 단계; 및

상기 유기층 상에, 상기 틈 영역을 통해 상기 버스전극과 연결되는 제 2 전극을 형성하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 점착패턴을 형성하는 단계에서, 상기 오버코트층 상에 상기 제 1 전극의 테두리를 덮는 बैं크를 더 형성하고,

상기 점착패턴 및 상기 बैं크는 정테이퍼형의 단면을 갖도록 형성되는 유기발광표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 분리패턴을 형성하는 단계는,

상기 오버코트층 상의 전면에 상기 제 1 전극, 상기 버스전극, 상기 बैं크 및 상기 점착패턴을 덮는 재료층을 형성하는 단계;

상기 버스전극 중 상기 점착패턴 주위의 적어도 일부에 대응하는 마스크를 이용하여, 상기 재료층을 일부 두께만큼 선택적으로 활성화하는 단계; 및

상기 활성화된 재료층을 현상하여 상기 분리패턴을 형성하는 단계를 포함하는 유기발광표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 재료층을 활성화하는 단계 이후에, 상기 활성화된 재료층의 두께는 상기 재료층의 전체 두께보다 작고,

상기 활성화된 재료층을 현상하는 단계에서, 상기 활성화된 재료층이 현상되는 중에 흘러서 상기 점착패턴의 상부를 덮는 분리패턴이 형성되며,

상기 분리패턴의 단면의 적어도 일측은 상측모서리에 접하고 제 1 기울기로 경사진 제 1 사이드, 및 상기 제 1 사이드로부터 연장되고 상기 제 1 기울기보다 완만한 제 2 기울기로 경사진 제 2 사이드를 포함하고,

상기 제 1 기울기는 45° 이상 및 90° 이하의 범위이며,

상기 제 2 기울기는 0° 이상 및 상기 제 1 기울기 미만의 범위인 유기발광표시장치의 제조방법.

청구항 11

제 9 항에 있어서,

상기 재료층을 형성하는 단계에서,

상기 재료층은 네거티브 포토레지스트 물질로 형성되는 유기발광표시장치의 제조방법.

청구항 12

제 9 항에 있어서,

상기 재료층을 활성화하는 단계에서, 상기 활성화된 재료층은 상기 점착패턴으로부터 이격되는 유기발광표시장치의 제조방법.

청구항 13

제 7 항에 있어서,

상기 유기층을 형성하는 단계에서, 이방성 증착 방식을 이용하여 상기 유기층을 형성하고,

상기 제 2 전극을 형성하는 단계에서, 등방성 증착 방식을 이용하여 상기 제 2 전극을 형성하는 유기발광표시장치의 제조방법.

명세서

기술분야

[0001] 본원은 신뢰도를 향상시킬 수 있는 유기발광표시장치 및 그를 제조하는 방법에 관한 것이다.

배경기술

[0002] 본격적인 정보화 시대로 접어들에 따라, 전기적 정보신호를 시각적으로 표시하는 디스플레이(display) 분야가 급속도로 발전하고 있다. 이에, 여러 가지 다양한 평판표시장치(Flat Display Device)에 대해 박형화, 경량화 및 저소비전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003] 이 같은 평판표시장치의 대표적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표시장치(Electro Luminescence Display device: ELD), 전기습윤표시장치(Electro-Wetting Display device: EWD) 및 유기발광표시장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

[0004] 이와 같은 평판표시장치들은 공통적으로, 영상을 구현하기 위한 평판표시패널을 필수적으로 포함한다. 평판표시패널은 고유의 발광물질 또는 편광물질을 사이에 둔 한 쌍의 기관이 대면 합착된 구조이고, 표시영역과 그의 외곽인 비표시영역이 정의되는 표시면을 포함한다. 표시영역은 복수의 화소영역으로 정의된다.

[0005] 이 중 유기발광표시장치(OLED)는 자체 발광형 소자인 유기발광소자를 이용하여, 화상을 표시한다. 즉 유기발광표시장치는 복수의 화소영역에 대응하는 복수의 유기발광소자를 포함한다.

[0006] 유기발광소자는 상호 대향하는 제 1 및 제 2 전극, 및 제 1 및 제 2 전극 사이의 유기물질로 형성되고 제 1 및 제 2 전극 사이의 구동전류에 기초하여 루미네스스(Electro Luminescence)를 발생시키는 유기층을 포함한다.

[0007] 제 1 및 제 2 전극 중 어느 하나(이하, "제 1 전극"이라 가정함)는 각 화소영역에 대응하도록 형성되고, 다른 하나(이하, "제 2 전극"이라 가정함)는 복수의 화소영역에 공통으로 대응하도록 형성된다.

[0008] 즉, 각 화소영역에 대응하는 제 1 전극과 달리, 제 2 전극은 복수의 화소영역 전체에 대응함에 따라, 제 1 전극에 비해 높은 저항을 갖는다. 특히, 유기발광표시장치가 제 2 전극을 투과하는 경로로 광을 방출하는 형태인 경우, 각 화소영역의 광 방출 효율, 즉 휘도를 높이기 위하여, 제 2 전극은 되도록 얇은 두께의 투명도전성재료로 형성될 수 있다. 그로 인해, 제 2 전극의 저항은 더욱 높아진다.

[0009] 이와 같이, 제 2 전극의 저항이 높을수록, 더 큰 폭의 전압강하(voltage drop: IR drop)가 발생되므로, 전원과의 거리에 따라 각 화소영역의 휘도가 달라질 수 있다. 즉, 제 2 전극의 높은 저항으로 인해 각 화소영역의 휘도에 대한 균일도가 저하되는 문제점이 있다.

[0010] 또한, 제 2 전극의 높은 저항으로 인한 전압 강하에도 불구하고, 임계 이상의 휘도를 확보하기 위해, 유기발광표시장치의 소비전력이 상승하는 문제점이 있다.

[0011] 특히, 유기발광표시장치가 대면적일수록, 제 2 전극의 높은 저항으로 인한 휘도 균일도의 저하 및 소비전력의 상승이 더욱 심화됨에 따라, 유기발광표시장치의 대면적화에 한계가 있는 문제점이 있다.

[0012] 이러한 문제점을 해소하기 위하여, 일반적인 유기발광표시장치는 제 2 전극의 저항을 낮추기 위하여, 제 2 전극보다 낮은 저항을 갖는 재료로 형성되고 제 2 전극과 연결되는 버스전극을 더 포함할 수 있다.

[0013] 이때, 버스전극은 유기층을 사이에 두고 제 2 전극과 대향하도록 형성된다. 이에 따라, 버스전극과 제 2 전극을 상호 전기적으로 연결시키기 위해서는, 버스전극의 적어도 일부가 유기층 사이로 노출되어야 한다.

[0014] 일 예로, 버스전극의 적어도 일부를 노출시키기 위해, 유기층을 선택적으로 식각할 수 있는데, 이와 같이 하면,

식각공정에 의해 유기층이 전반적으로 손상될 뿐만 아니라, 식각된 유기물질이 불순물로 남아있을 수 있어, 유기발광표시장치의 신뢰도가 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0015] 본원은 식각공정을 통해 유기층을 선택적으로 제거하지 않고서도, 버스전극과 제 2 전극 사이를 연결시킬 수 있어, 신뢰도를 향상시킬 수 있는 유기발광표시장치 및 그의 제조방법을 제공하기 위한 것이다.

과제의 해결 수단

[0016] 이와 같은 과제를 해결하기 위하여, 본원은 발광영역과 비발광영역을 각각 포함하는 복수의 화소영역; 상기 각 화소영역의 발광영역에 대응하는 제 1 전극; 상기 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극; 상기 버스전극의 일부 상에 형성되는 점착패턴; 상기 점착패턴의 적어도 일부를 덮도록 형성되고, 역테이퍼형의 단면을 가지는 분리패턴; 상기 버스전극 중 상기 분리패턴에 의해 가려지는 상기 점착패턴 주위의 틈 영역을 제외한 나머지, 상기 제 1 전극 및 상기 분리패턴 각각 상에 형성되고, 발광층을 포함하는 유기층; 및 상기 유기층 상에 형성되고, 상기 틈 영역을 통해 상기 버스전극과 연결되는 제 2 전극을 포함하는 유기발광표시장치를 제공한다.

[0017] 그리고 본원은 복수의 화소영역에 대응하는 복수의 박막트랜지스터를 형성하는 단계; 상기 복수의 박막트랜지스터를 덮는 오버코트층 상에, 상기 각 화소영역의 발광영역에 대응하는 제 1 전극, 및 상기 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극을 형성하는 단계; 상기 버스전극의 적어도 일부 상에 점착패턴을 형성하는 단계; 상기 점착패턴의 적어도 일부를 덮고 역테이퍼형의 단면을 갖는 분리패턴을 형성하는 단계; 상기 버스전극 중 상기 분리패턴에 의해 가려지는 상기 점착패턴 주위의 틈 영역을 제외한 나머지, 상기 제 1 전극 및 상기 분리패턴 각각 상에 유기층을 형성하는 단계; 및 상기 유기층 상에, 상기 틈 영역을 통해 상기 버스전극과 연결되는 제 2 전극을 형성하는 단계를 포함하는 유기발광표시장치의 제조방법을 제공한다.

발명의 효과

[0018] 본원의 일 실시예에 따른 유기발광표시장치는 전면에 형성되는 제 2 전극과 연결되는 버스전극을 포함함으로써, 제 2 전극의 저항을 낮출 수 있어, 제 2 전극의 높은 저항에 의한 휘도 저하 및 소비전력 증가를 방지할 수 있다.

[0019] 그리고, 분리패턴에 의한 틈 영역을 통해 버스전극 및 제 2 전극이 상호 전기적으로 연결될 수 있다. 이에, 버스전극 및 제 2 전극 사이의 전기적 연결을 위한 유기층의 식각 공정이 불필요하므로, 유기층의 손상이 방지되어, 장치의 신뢰도가 향상될 수 있다.

[0020] 또한, 분리패턴은 버스전극의 적어도 일부 상에 형성된 점착패턴의 상부를 덮도록 형성된다. 그러므로, 분리패턴의 용이한 이탈을 방지할 수 있어, 얼룩현상 및 그로 인한 화질 저하를 방지할 수 있다. 그리고, 틈 영역의 너비를 소정 범위 이내로 한정할 수 있어, 틈 영역에 대한 균일도가 향상될 수 있으므로, 유기발광표시장치의 신뢰도가 더욱 향상될 수 있다.

[0021] 더불어, 본원의 일 실시예에 따른 유기발광표시장치의 제조방법에 따르면, 뱅크와 함께 점착패턴을 형성함으로써, 별도의 공정이 추가되지 않으므로, 공정시간 및 공정비용의 증가를 방지할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본원의 일 실시예에 따른 유기발광표시장치를 나타낸 등가회로도이다.

도 2는 도 1의 각 화소영역을 나타낸 단면도이다.

도 3a 및 도 3b는 도 2의 버스전극, 점착패턴 및 분리패턴을 상세히 나타낸 도면이다.

도 4는 도 1의 공통용 패드를 나타낸 단면도이다.

도 5는 본원의 일 실시예에 따른 유기발광표시장치의 제조방법을 나타낸 순서도이다.

도 6은 도 5의 "분리패턴을 형성하는 단계"를 나타낸 순서도이다.

도 7a 내지 도 7i는 도 5 및 도 6의 각 단계를 나타낸 공정도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본원의 일 실시예에 따른 유기발광표시장치 및 그의 제조방법에 대하여 첨부한 도면을 참고로 하여 상세히 설명하기로 한다.
- [0024] 먼저, 도 1 내지 도 4를 참조하여, 본원의 일 실시예에 따른 유기발광표시장치에 대해 설명한다.
- [0025] 도 1은 본원의 일 실시예에 따른 유기발광표시장치를 나타낸 등가회로도이다. 도 2는 도 1의 각 화소영역을 나타낸 단면도이다. 도 3a 및 도 3b는 도 2의 버스전극, 점착패턴 및 분리패턴을 상세히 나타낸 도면이다. 그리고, 도 4는 도 1의 공통용 패드를 나타낸 단면도이다.
- [0026] 도 1에 도시한 바와 같이, 본원의 일 실시예에 따른 유기발광표시장치(100)는 복수의 화소영역(PA)이 정의되도록 상호 교차하여 형성되는 게이트라인(GL)과 데이터라인(DL), 복수의 화소영역(PA)에 대응하는 복수의 박막트랜지스터(TFT) 및 복수의 화소영역(PA)에 대응하는 복수의 유기발광소자(ED)를 포함한다.
- [0027] 그리고, 유기발광표시장치(100)는 복수의 유기발광소자(ED)에 공통으로 연결되고, 외부회로와 접속되는 공통용 패드(CPD: Common Pad)를 더 포함한다.
- [0028] 각 유기발광소자(ED)는 박막트랜지스터(TFT)에 연결된다. 이러한 유기발광소자(ED)는 박막트랜지스터(TFT)와 공통용 패드(CPD) 사이의 전위차에 대응한 구동전류에 기초하여 광을 방출한다.
- [0029] 도 2에 도시한 바와 같이, 각 화소영역(PA)은 실질적으로 광이 방출되는 발광영역(EA)과 발광영역(EA)을 제외한 나머지인 비발광영역(NEA)을 포함한다.
- [0030] 유기발광표시장치(100)는 기관(111), 기관(111) 상에 형성되는 박막트랜지스터(TFT) 및 박막트랜지스터(TFT)를 덮는 보호층(113) 및 보호층(113) 상에 평평하게 형성되는 오버코트층(114)을 포함한다.
- [0031] 박막트랜지스터(TFT)는 기관(111) 상에 형성되고 게이트라인(도 1의 GL)에 연결되는 게이트전극(GE), 게이트전극(GE)을 덮는 게이트절연막(112) 상에 형성되고 게이트전극(GE)과 오버랩하는 액티브층(ACT), 액티브층(ACT)의 양측 상에 접하고 상호 이격되는 소스전극(SE)과 드레인전극(DE)을 포함한다. 이때, 소스전극(SE)과 드레인전극(DE) 중 어느 하나(예를 들면, 소스전극(SE))는 데이터라인(도 1의 DL)과 연결되고, 다른 나머지 하나(예를 들면, 드레인전극(DE))는 유기발광소자(ED)와 연결된다.
- [0032] 다만, 도 2는 박막트랜지스터(TFT)의 예시를 도시한 것일 뿐이고, 본원의 일 실시예에 따른 박막트랜지스터(TFT)는 도 2의 도시와 다른 단면 구조일 수도 있음은 당연하다.
- [0033] 그리고, 유기발광표시장치(100)는 각 화소영역(PA)의 발광영역(EA)에 대응하는 제 1 전극(121), 복수의 화소영역(PA)의 비발광영역(NEA) 중 적어도 일부에 대응하는 버스전극(122), 제 1 전극(121)의 테두리를 덮는 बैं크(123), 버스전극(122)의 적어도 일부 상에 형성되는 점착패턴(124), 점착패턴(124)의 적어도 일부를 덮도록 형성되고 역테이퍼형의 단면을 갖는 분리패턴(125), 제 1 전극(121) 상에 형성되는 유기층(126) 및 유기층(126) 상에 형성되는 제 2 전극(127)을 포함한다.
- [0034] 여기서, 버스전극(122) 중 점착패턴(124) 주위의 적어도 일부는 분리패턴(125)에 의해 가려져서, 유기층(126)의 형성이 방지되는 틈 영역이다. 즉, 유기층(126)은 제 1 전극(121), 버스전극(122), बैं크(123), 점착패턴(124) 및 분리패턴(125)을 포함한 전면 중 틈 영역을 제외한 나머지 상에 형성된다. 달리 설명하면, 유기층(126)은 제 1 전극(121), बैं크(123) 및 분리패턴(125) 각각 상에 형성될 뿐만 아니라, 버스전극(122) 중 틈 영역을 제외한 나머지 상에도 형성된다.
- [0035] 그리고, 제 2 전극(127)은 유기층(126) 상에 형성되고, 유기층(126)이 형성되지 않은 버스 전극(122)의 틈 영역에도 형성되어, 버스전극(122)과 전기적으로 연결된다.
- [0036] 제 1 전극(121)은 각 화소영역(PA)의 발광영역(EA)에 대응하고, 오버코트층(114) 상에 형성된다. 그리고, 박막트랜지스터(TFT)의 드레인전극(DE) 중 일부를 노출하도록 오버코트층(114) 및 보호층(113)을 관통하는 콘택홀(CT)을 통해, 제 1 전극(121)은 박막트랜지스터(TFT)와 연결된다.
- [0037] 버스전극(122)은 복수의 화소영역(PA)의 비발광영역(NEA) 중 적어도 일부에 대응하고, 오버코트층(114) 상에 형성된다. 그리고, 버스전극(122)은 제 1 전극(121)과 절연되도록 제 1 전극(121)으로부터 이격된다. 이러한 버스

전극은 공통용 패드(도 1의 CPD)와 연결된다.

[0038] 제 1 전극(121) 및 버스전극(122)은 도전성재료로 형성된다.

[0039] 예시적으로, 유기발광표시장치(100)가 후면발광형인 경우, 제 1 전극(121) 및 버스전극(122)은 유기층(126)과 일함수가 유사한 투명도전성재료로 형성된다. 일 예로, 제 1 전극(121) 및 버스전극(122)은 ITO로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0040] 또는, 유기발광표시장치(100)가 전면발광형인 경우, 제 1 전극(121) 및 버스전극(122)은 반사성을 갖는 도전성 재료를 포함할 수 있다. 일 예로, 제 1 전극(121) 및 버스전극(122)은 Al 및 Ag 중 어느 하나 또는 이의 합금으로 형성되는 제 1 층, 및 유기층(126)과 일함수가 유사한 재료로 형성되는 제 2 층을 포함하는 구조일 수 있다. 이때, 제 2 층은 ITO일 수 있다.

[0041] 이와 같이, 제 1 전극(121) 및 버스전극(122)은 1회의 노광공정을 통해 동일한 재료 및 구조로 동시에 형성될 수 있다. 그러나, 본원의 일 실시예는 이에 국한되지 않으며, 제 1 전극(121)과 버스전극(122)은 2회의 노광공정을 통해 서로 상이한 재료 및 구조로 형성될 수도 있음은 당연하다.

[0042] 그리고, 도 2에서 상세히 도시되어 있지 않으나, 버스전극(122)은 제 1 전극(121)으로부터 절연되는 범위 내에서 어떠한 형태로든 패터닝될 수 있다. 예를 들어, 버스전극(122)은 제 1 전극(121)으로부터 소정 간격으로 이격되고, 게이트라인(도 1의 GL) 및 데이터라인(도 1의 DL) 중 적어도 하나와 동일 방향으로 나열되는 것일 수 있다. 또는, 버스전극(122)은 메쉬 형태로 형성될 수도 있다.

[0043] 뱅크(123)는 오버코트층(114) 상에 형성된다. 뱅크(123)는 제 1 전극(121) 및 버스전극(122) 각각의 테두리를 덮도록 형성될 수 있다.

[0044] 뱅크(123)는 유기층(126)과의 점착력을 고려하여, 유기재료로 형성된다. 예시적으로, 뱅크(123)는 폴리이미드계 재료 또는 포토아크릴(photo acrylic)로 형성될 수 있다.

[0045] 그리고, 뱅크(123)는 사다리꼴(정테이퍼형)의 단면을 가질 수 있다.

[0046] 이러한 뱅크(123)에 의해, 제 1 전극(121) 및 버스전극(122) 각각의 단차영역이 가려지므로, 단차영역에 의한 유기층(126)의 빠른 열화를 방지할 수 있다.

[0047] 점착패턴(124)은 버스전극(122)의 적어도 일부 상에 형성된다.

[0048] 이러한 점착패턴(124)은 뱅크(123)와 함께 형성될 수 있다. 즉, 뱅크(123)와 점착패턴(124)은 동일한 노광공정을 통해 오버코트층(114) 상의 유기재료물질을 패터닝함으로써, 동시에 형성될 수 있다.

[0049] 이에, 점착패턴(124)은 뱅크(123)과 동일층에, 뱅크(123)과 동일 재료로 형성되고, 뱅크(123)와 마찬가지로 정테이퍼형의 단면을 가질 수 있다.

[0050] 도 2 및 도 3a에 도시한 바와 같이, 분리패턴(125)은 점착패턴(124)의 상부를 덮는 역테이퍼형으로 형성된다. 즉, 분리패턴(125)은 점착패턴(124)의 상면으로부터 일부 두께만큼 덮도록 형성된다. 이에, 점착패턴(124)의 상면을 포함한 적어도 일부 두께만큼은 분리패턴(125)으로 덮인다. 이때, 분리패턴(125)은 점착패턴(124)의 상부에만 접하도록 형성되고, 버스전극(122)으로부터 이격된다.

[0051] 또는, 도 3b에 도시한 바와 같이, 분리패턴(125)은 점착패턴(124)을 완전히 덮도록 형성되어, 버스전극(122)과 접할 수도 있다.

[0052] 이와 같이 분리패턴(125)은 점착패턴(124) 위에 소정 두께를 갖도록 형성됨에 따라, 오버코트층(114)을 기준으로, 분리패턴(125)의 상면 높이는 뱅크(123) 및 점착패턴(124)의 상면 높이보다 높다.

[0053] 또한, 분리패턴(125)은 점착패턴(124)의 상부를 덮고, 점착패턴(124)보다 넓은 너비 및 역테이퍼형의 단면을 갖도록 형성되므로, 유기층(126) 형성 시, 분리패턴(125)은 버스전극(122) 중 점착패턴(124) 주위의 일부를 가려서 유기층(126)의 형성을 방지하는 차양막이 된다.

[0054] 도 3a에 도시한 바와 같이, 역테이퍼형의 단면을 갖는 분리패턴(125)은 상측모서리(125a)와, 상측모서리(125a)로부터 점착패턴(124)을 따라 버스전극(122) 측으로 연장되고 서로 다른 둘 이상의 기울기(A1, A2)로 경사진 좌측 및 우측모서리를 포함한다. 그리고, 분리패턴(125)은 좌우 대칭하는 형태일 수 있다.

[0055] 예시적으로, 분리패턴(125)의 단면의 양측 중 적어도 일측은 상측모서리(125a)에 접하고 제 1 기울기(A1)로 경

사진 제 1 사이드(125b), 및 제 1 사이드(125b)로부터 점착패턴(124) 측으로 연장되고 제 1 기울기(A1)보다 완만한 제 2 기울기(A2)로 경사진 제 2 사이드(125c)를 포함한다.

[0056] 제 1 기울기(A1)는 45° 이상 및 90° 이하의 범위($45^\circ \leq A1 \leq 90^\circ$)일 수 있고, 제 2 기울기(A2)는 0° 이상 및 제 1 기울기(A1) 미만의 범위($0^\circ \leq A2 \leq A1$)일 수 있다.

[0057] 이와 같이, 분리패턴(125)은 점착패턴(124)보다 넓은 너비의 상면과, 양측 중 적어도 일측의 모서리가 서로 다른 제 1 및 제 2 기울기(A1, A2)로 경사진 역테이퍼형의 단면을 갖도록 형성된다. 이때, 분리패턴(125)의 양측 중 적어도 일측에서 버스전극(122)에 인접한 제 2 사이드(125c)의 제 2 기울기(A2)는 상측모서리(125a)에 접하는 제 1 사이드(125b)의 제 1 기울기(A1) 보다 작으므로, 버스전극(122) 중 점착패턴(124) 주위의 일부는 상하 방향에서 분리패턴(125)에 의해 가려지는 틈 영역(125d)이 된다.

[0058] 그리고, 제 2 기울기(A2)가 0° 에 가까울수록, 분리패턴(125)의 두께 대비 틈 영역(125d)의 너비(W_{CV})가 더욱 넓어질 수 있다. 이에 따라, 분리패턴(125)에 의한 차양막 기능이 더욱 강화되는 장점이 있다.

[0059] 또한, 분리패턴(125)은 점착패턴(124)의 적어도 상부에 형성되므로, 틈 영역(125d)의 너비(W_{CV})는 제 1 및 제 2 사이드(125b, 125c)의 접점에서 점착패턴(124)까지로 한정된다. 이로 인해, 틈 영역(125d)의 너비(125d)에 대한 균일도가 향상될 수 있다.

[0060] 그리고, 분리패턴(125)은 둘 이상의 기울기로 기울어진 측면을 갖는 역테이퍼형으로 패터닝될 수 있는 재료라면 어느 것으로든 형성될 수 있다. 예시적으로, 분리패턴(125)은 네거티브 포토레지스트(negative photo resist) 물질을 활성화(initiation)하고, 현상(development: polymerization)하여 형성되는 것일 수 있다. 일 예로, 분리패턴(125)은 노볼락(novolac) 계열, 폴리이미드(polyimide) 계열 및 폴리아크릴(polyacryl) 계열 중 어느 하나의 물질로 형성될 수 있다.

[0061] 만일 분리패턴(125)과 버스전극(122) 사이에 점착패턴(124)이 구비되지 않고, 분리패턴(125)이 무기재료로 이루어진 버스전극(122) 상에 직접 형성되는 경우, 분리패턴(125)과 버스전극(122) 간의 낮은 점착력으로 인해, 분리패턴(125)이 쉽게 필링(peeling)될 수 있다. 그로 인해, 얼룩현상이 발생하여 화질이 저하될 뿐만 아니라, 유기발광표시장치의 신뢰도가 저하되는 문제점이 있다.

[0062] 그러나, 본원의 일 실시예에 따르면, 버스전극(122) 상에 무기재료보다 분리패턴(125)과의 점착력이 높은 유기재료로 이루어진 점착패턴(124)이 형성되므로, 분리패턴(125)의 부착부분이 점착패턴(124)과 접하는 면적만큼 확보됨에 따라, 분리패턴(125)의 필링(peeling)이 방지될 수 있다. 그러므로, 얼룩현상으로 인한 화질 저하가 방지될 수 있고, 유기발광표시장치의 신뢰도가 향상될 수 있다.

[0063] 그리고, 분리패턴(125)의 점착에 대한 신뢰도를 향상시키기 위하여, 분리패턴(125)의 크기, 즉 상, 하면의 단면적을 증가시킬 필요가 없으므로, 분리패턴(125)의 크기가 감소될 수 있어, 결과적으로, 개구율을 증가시키는 데에 유리해질 수 있다.

[0064] 또한, 점착패턴(124)에 의해, 분리패턴(125)의 제 2 사이드(125c)와 버스전극(122) 사이에 발생하는 틈 영역(125d)은 임계범위 이내의 너비(W_{CV})를 가지므로, 틈 영역(125d)의 너비(W_{CV})에 대한 균일도가 향상될 수 있고, 틈 영역(125d)을 통한 버스전극(122) 및 제 2 전극(127) 사이의 전기적 연결에 대한 신뢰도가 향상될 수 있다.

[0065] 도 2에 도시한 바와 같이, 유기층(126)은 제 1 전극(121), 버스전극(122), 뱅크(123) 및 분리패턴(125) 상에 형성되고, 유기발광재료로 이루어진 발광층(미도시)을 포함한다.

[0066] 이때, 유기층(126)은 이방성 증착 방식으로 형성되기 때문에, 분리패턴(125)에 의한 틈 영역(125d)에 대응하는 버스전극(122)의 일부 상에는 형성되지 않는다. 즉, 틈 영역(125d)에 대응하는 버스전극(122)의 일부는 분리패턴(125)에 의해 가려져서, 유기층(126)이 형성되지 않고 노출된다.

[0067] 더불어, 도 2에 상세히 도시되어 있지 않으나, 유기층(126)은 발광층을 포함하고, 서로 다른 성분 또는 조성을 갖는 유기물질로 이루어진 다중층 구조로 이루어질 수 있다. 일 예로, 유기층(126)은 전자주입층, 전자수송층, 발광층, 정공수송층 및 정공주입층을 포함하는 다중층 구조일 수 있다.

[0068] 제 2 전극(127)은 유기층(126) 상에 형성된다. 이때, 제 2 전극(127)은 ALD(Atomic Layer Deposition) 및 스퍼터링(sputtering)과 같은 등방성 증착 방식으로 형성되기 때문에, 틈 영역(125d)에 대응하는 버스전극(122)의 노출된 일부 상에도 형성된다. 그러므로, 분리패턴(125)에 의해 발생된 틈 영역(125d)을 통해 버스전극(122) 및

제 2 전극(127)이 상호 전기적으로 연결된다.

- [0069] 이로써, 각 화소영역(PA)의 발광영역에, 상호 대향하는 제 1 및 제 2 전극(121, 127), 그리고 이들 사이에 개재된 유기층(126)을 포함하는 유기발광소자(ED)가 형성된다.
- [0070] 도 4에 도시한 바와 같이, 공통용 패드(CPD)는 표시영역의 외곽인 비표시영역(NA)에 형성된다. 그리고, 공통용 패드(CPD)는 게이트라인(GL)과 데이터라인(DL) 중 적어도 하나와 함께 형성되는 제 1 패드층(CPD1), 및 오버코트층(114) 상에 형성되는 제 2 패드층(CPD2)을 포함할 수 있다. 이때, 제 2 패드층(CPD2)은 제 1 전극(121) 및 버스전극(122)과 함께 형성될 수 있다. 그리고, 제 1 및 제 2 패드층(CPD1, CPD2)은 오버코트층(114), 보호층(113) 및 게이트절연막(112)을 관통하는 콘택홀을 통해 상호 연결된다.
- [0071] 그리고, 공통용 패드(CPD)의 제 2 패드층(CPD2)는 버스전극(122)과 연속하도록 형성됨으로써, 공통용 패드(CPD)와 버스전극(122)은 상호 연결된다.
- [0072] 다음, 도 5, 도 6 및 도 7a 내지 도 7i를 참조하여, 본원의 일 실시예에 따른 유기발광표시장치의 제조방법에 대해 설명한다.
- [0073] 도 5는 본원의 일 실시예에 따른 유기발광표시장치의 제조방법을 나타낸 순서도이고, 도 6은 도 5의 "분리패턴을 형성하는 단계"를 나타낸 순서도이다. 그리고, 도 7a 내지 도 7i는 도 5 및 도 6의 각 단계를 나타낸 공정도이다.
- [0074] 도 5에 도시한 바와 같이, 본원의 일 실시예에 따른 유기발광표시장치의 제조방법은, 복수의 화소영역에 대응하는 복수의 박막트랜지스터를 형성하는 단계(S110), 복수의 박막트랜지스터를 덮는 오버코트층 상에, 각 화소영역의 발광영역에 대응하는 제 1 전극, 및 복수의 화소영역의 비발광영역 중 적어도 일부에 대응하는 버스전극을 형성하는 단계(S120), 오버코트층 상에 제 1 전극의 테두리를 덮는 뱅크를 형성하고, 버스전극의 적어도 일부 상에 점착패턴을 형성하는 단계(S130), 점착패턴의 적어도 일부를 덮고 역테이퍼형의 단면을 갖는 분리패턴을 형성하는 단계(S140), 버스전극 중 틈 영역을 제외한 나머지, 제 1 전극 및 분리패턴 각각 상에 유기층을 형성하는 단계(S150), 및 틈 영역을 통해 버스전극과 연결되는 제 2 전극을 유기층 상에 형성하는 단계(S160)를 포함한다.
- [0075] 그리고, 도 6에 도시한 바와 같이, 분리패턴을 형성하는 단계는 오버코트층 상에 제 1 전극, 버스전극, 뱅크 및 점착패턴을 덮는 재료층을 형성하는 단계(S141), 재료층 중 일부 두께만큼 선택적으로 활성화하는 단계(S142), 및 활성화된 재료층을 현상(development)하여, 분리패턴을 형성하는 단계(S143)를 포함한다.
- [0076] 도 7a에 도시한 바와 같이, 기판(111), 기판(111) 상에 복수의 화소영역(PA)에 대응하는 복수의 박막트랜지스터(TFT)를 형성한다. (S110)
- [0077] 예시적으로, 박막트랜지스터(TFT)를 형성하는 단계(S110)는 기판(111) 상에 게이트라인(도 1의 GL) 및 게이트라인(GL)에 연결되는 게이트전극(GE)을 형성하는 단계, 게이트라인(GL)과 게이트전극(GE)을 덮는 게이트절연막(112)을 형성하는 단계, 게이트절연막(112) 상에 게이트전극(GE)과 오버랩하는 액티브층(ACT)을 형성하는 단계, 게이트절연막(112) 상에 게이트라인(GL)에 교차하는 데이터라인(DL)과, 액티브층(ACT)의 양측 상에 접하고 상호 이격되는 소스전극(SE) 및 드레인전극(DE)을 형성하는 단계, 게이트절연막(112) 상의 전면에 데이터라인(DL), 소스전극(SE) 및 드레인전극(DE)을 덮는 보호층(113)을 형성하는 단계, 및 보호층(113) 상에 평평한 오버코트층(114)을 형성하는 단계를 포함할 수 있다. 이때, 소스전극(SE)과 드레인전극(DE) 중 어느 하나(예를 들면, 소스전극(SE))는 데이터라인(도 1의 DL)과 연결된다.
- [0078] 그리고, 박막트랜지스터(TFT)를 형성하는 단계(S110)는 오버코트층(114)을 형성한 이후에, 소스전극(SE)과 드레인전극(DE) 중 데이터라인(DL)에 연결되지 않은 나머지 하나(예를 들면, 드레인전극(DE))의 일부를 노출하도록 보호층(113) 및 오버코트층(114)을 관통하는 콘택홀(CT)을 형성하는 단계를 더 포함할 수 있다.
- [0079] 또한, 별도로 도시하고 있지 않으나, 박막트랜지스터(TFT)를 형성하는 단계(S110) 중 게이트전극(GE)을 형성하는 단계 또는 소스전극(SE) 및 드레인전극(DE)을 형성하는 단계에서, 공통용 패드(CPD)의 제 1 패드층(CPD1)이 더 형성될 수 있고, 콘택홀(CT)을 형성하는 단계에서, 제 1 패드층(CPD1)의 적어도 일부를 노출하도록 적어도 보호층(113) 및 오버코트층(114)을 관통하는 콘택홀을 더 형성할 수 있다.
- [0080] 도 7b에 도시한 바와 같이, 오버코트층(114) 상에 각 화소영역(PA)의 발광영역(EA)에 대응하는 제 1 전극(121) 및 복수의 화소영역(PA)의 비발광영역(NEA) 중 적어도 일부에 대응하는 버스전극(121, 122)을 형성한다. (S120)

- [0081] 제 1 전극 및 버스전극(121, 122)을 형성하는 단계(S120)는 오버코트층(114) 상의 전면에 도전성재료막(미도시)을 형성한 다음, 도전성재료막(미도시)을 패터닝하여, 상호 절연되는 제 1 전극(121) 및 버스전극(122)을 형성한다.
- [0082] 제 1 전극(121)은 콘택홀(CT)을 통해, 박막트랜지스터(TFT)와 전기적으로 연결된다.
- [0083] 버스전극(122)은 제 1 전극(121)과 소정 간격으로 이격된 메쉬(MESH) 형태일 수 있다.
- [0084] 제 1 전극(121) 및 버스전극(122)은 투명도전성재료로 형성될 수 있다. 또는 전면발광형의 유기발광표시장치인 경우, 제 1 전극(121) 및 버스전극(122)은 반사성을 갖는 도전성재료를 포함한 다중층으로 형성될 수도 있다. 일 예로, 제 1 전극(121) 및 버스전극(122)은 Al 및 Ag 중 어느 하나 또는 이의 합금으로 형성되는 제 1 층, 및 유기층(126)과 일함수가 유사한 재료로 형성되는 제 2 층을 포함하는 다중층 구조일 수 있다. 이때, 제 2 층은 ITO일 수 있다.
- [0085] 별도로 도시하고 있지 않으나, 제 1 전극(121) 및 버스전극(122)을 형성하는 단계(S120)에서, 적어도 보호층(113) 및 오버코트층(114)을 관통하는 콘택홀을 통해 제 1 패드층(CPD1)과 접하는 제 2 패드층(CPD2)을 더 형성할 수 있다.
- [0086] 도 7c에 도시한 바와 같이, 오버코트층(114) 상에 제 1 전극(121) 및 버스전극(122) 각각의 테두리를 덮는 बैं크(123)를 형성하고, 이와 동시에, 버스전극(122)의 적어도 일부 상에 점착패턴(124)을 형성한다. (S130)
- [0087] बैं크(123) 및 점착패턴(124)을 형성하는 단계(S130)는 오버코트층(114) 상의 전면에 제 1 전극(121) 및 버스전극(122)을 덮는 유기절연막(미도시)을 형성하는 단계, 유기절연막(미도시)을 패터닝하여, बैं크(123) 및 점착패턴(124)을 형성하는 단계를 포함한다.
- [0088] 이때, 유기절연막(미도시), 즉 बैं크(123)와 점착패턴(124)은 폴리이미드계 재료 또는 포토아크릴(photo acrylic)로 선택될 수 있다.
- [0089] बैं크(123)과 점착패턴(124)은 동일한 노광 공정을 통해 형성되므로, 오버코트층(114)을 기준으로 동일 높이의 상면을 포함한다. 그리고, बैं크(123)과 점착패턴(124)은 유기절연막(미도시)의 재료 특성을 활용하여 정테이퍼형으로 형성될 수 있다.
- [0090] 다음, 도 7d에 도시한 바와 같이, 전면에 재료층(130)을 형성한다. (S141) 이때, 재료층(130)은 활성화 및 현상을 통해 서로 다른 둘 이상의 기울기로 경사진 측면을 포함하는 역테이퍼형으로 형성될 수 있는 절연재료라면 어느 것으로든 선택될 수 있다.
- [0091] 예시적으로, 재료층(130)은 네거티브 포토레지스트 물질일 수 있다. 즉, 재료층(130)은 노볼락(novolac) 계열, 폴리이미드(polyimide) 계열 및 폴리아크릴(polyacrylic) 계열 중 어느 하나의 물질로 형성될 수 있다.
- [0092] 도 7e에 도시한 바와 같이, 재료층(130) 상에 마스크(200)를 정렬시킨 상태에서, 재료층(130) 측으로 광(LIGHT)을 조사하여, 재료층(130) 중 일부(131)를 일부 두께(TH_I)만큼 선택적으로 활성화시킨다. (S142)
- [0093] 마스크(200)는 버스전극(122) 중 점착패턴(124) 주위의 일부에 대응하는 개구부(201) 및 개구부(201) 외곽의 차단부(202)를 포함한다.
- [0094] 재료층(130)을 활성화시키는 단계(S142)에서, 재료층(130)에 광(LIGHT)을 조사하는 공정시간에 따라, 재료층(130) 중 광(LIGHT)에 의해 활성화되는 일부(131)의 두께(TH_I)는 재료층(130)의 전체 두께(TH_A) 미만이다.
- [0095] 일 예로, 재료층(130) 중 활성화되는 일부(131)의 두께(TH_I)는 점착패턴(124) 상에 적층된 재료층(130)의 전체 두께(TH_A')보다 작을 수 있다. 즉, 활성화된 재료층(131)은 점착패턴(124)으로부터 이격된다.
- [0096] 이와 같이, 재료층(130) 중 마스크(200)의 개구부(201)에 대응하는 일부(131)를 재료층(130)의 전체 두께(TH_A) 미만인 두께(TH_I)만큼만 활성화시키는 것은, 분리패턴(125)을 둘 이상의 서로 다른 기울기로 기울어진 측면을 포함하는 역테이퍼형으로 형성하기 위한 것이다. 즉, 재료층(130) 중 마스크(200)의 개구부(201)에 대응하는 일부(131)가 전체 두께(TH_A)만큼 활성화되면, 단 하나의 기울기로만 경사진 측면을 포함하는 역테이퍼형의 분리패턴(125)이 형성되기 때문이다.
- [0097] 다음, 활성화된 재료층(도 7e의 131)을 현상(development)하여, 분리패턴(125)을 형성한다. (S143)
- [0098] 예시적으로, 도 7f에 도시한 바와 같이, 재료층(130)의 일부를 활성화한 후, 열(HEAT)을 이용하여 현상하면, 활

성화된 재료층(도 7e의 131)은 고분자화(polymerization)된다. 이때, 고분자화된 재료층(132)은 열(HEAT)에 의해 고분자화됨과 동시에, 고분자화된 재료층(132)의 적어도 일부는 점착패턴(124) 측으로 유동한다.

[0099] 이후, 재료층(도 7f의 130) 중 고분자화된 재료층(도 7f의 132)을 제외한 나머지를 제거한다.

[0100] 이로써, 도 7g에 도시한 바와 같이, 점착패턴(124)의 상부를 덮는 역테이퍼형의 분리패턴(125)이 형성된다.

[0101] 분리패턴(125)은 점착패턴(124)의 상면을 포함한 적어도 일부 두께만큼을 덮고, 점착패턴(124)보다 넓은 너비의 상면 및 서로 다른 둘 이상의 기울기(도 3a의 A1, A2)로 경사진 측면을 포함하는 역테이퍼형의 단면을 갖도록 형성된다.

[0102] 예시적으로, 분리패턴(125)의 단면의 양측 중 적어도 일측은 상측모서리(125a)에 접하고 제 1 기울기(A1)로 경사진 제 1 사이드(125b), 및 제 1 사이드(125b)로부터 점착패턴(124) 측으로 연장되고 제 1 기울기(A1)보다 완만한 제 2 기울기(A2)로 경사진 제 2 사이드(125c)를 포함한다.

[0103] 제 1 기울기(A1)는 45° 이상 및 90° 이하의 범위($45^\circ \leq A1 \leq 90^\circ$)일 수 있고, 제 2 기울기(A2)는 0° 이상 및 제 1 기울기(A1) 미만의 범위($0^\circ \leq A2 \leq A1$)일 수 있다.

[0104] 이때, 제 1 및 제 2 기울기(A1, A2)는 재료층(130)을 활성화하는 단계(S141)의 공정시간 및 활성화된 재료층(131)을 현상하는 단계(S142)의 공정시간에 대응한다.

[0105] 이와 같이, 분리패턴(125)은 점착패턴(124)의 상부를 덮고, 점착패턴(124)보다 넓은 너비의 상면과, 양측 중 적어도 일측의 모서리가 서로 다른 제 1 및 제 2 기울기(A1, A2)로 경사진 역테이퍼형의 단면을 갖도록 형성된다. 이에, 버스전극(122) 중 점착패턴(124) 주위의 일부는 상하방향에서 분리패턴(125)에 의해 가려지는 틈 영역(125d)이 된다.

[0106] 이어서, 도 7h에 도시한 바와 같이, 제 1 전극(121), 버스전극(122), 뱅크(123) 및 분리패턴(125)을 포함한 전면에 유기층(126)을 형성한다. (S150)

[0107] 유기층(126)을 형성하는 단계(S150)는 이방성 증착 방식으로 실시되므로, 유기층(126)은 버스전극(122) 중 분리패턴(125)에 의한 틈 영역(125d) 상에는 형성되지 않는다. 즉, 버스전극(122)의 틈 영역(125d)은 분리패턴(125)에 의해 가려져서, 유기층(126)이 형성되지 않고 노출된다.

[0108] 도 7h에 상세히 도시되어 있지 않으나, 유기층(126)은 발광층을 포함하는 다중층 구조일 수 있다. 예시적으로, 유기층(126)은 서로 다른 성분 또는 조성을 갖는 유기물질로 이루어진 전자주입층, 전자수송층, 발광층, 정공수송층 및 정공주입층을 포함하는 다중층 구조일 수 있다.

[0109] 도 7i에 도시한 바와 같이, 유기층(126) 상에 도전성재료를 적층하여, 제 2 전극(127)을 형성한다. (S160)

[0110] 이때, 제 2 전극(127)을 형성하는 단계(S160)는 ALD(Atomic Layer Deposition) 및 스퍼터링(sputtering)과 같은 등방성 증착 방식으로 실시되므로, 틈 영역(125d)에 대응하는 버스전극(122)의 노출된 일부 상에도 제 2 전극(127)이 형성된다. 이로써, 제 2 전극(127)은 틈 영역(125d)을 통해 버스전극(122)과 전기적으로 연결된다.

[0111] 이상과 같이, 본원의 일 실시예에 따른 유기발광표시장치는 전면에 형성되는 제 2 전극(127)의 저항을 낮추기 위한 버스전극(122)을 포함하고, 분리패턴(125)에 의한 틈 영역(125d)을 이용하여 버스전극(122)과 제 2 전극(127) 사이를 전기적으로 연결한다. 즉, 유기층(126)의 패터닝 과정 없이도 버스전극(122) 및 제 2 전극(127) 사이를 연결시킬 수 있다. 이와 같이, 제 2 전극(127)이 버스전극(122)과 연결되어, 제 2 전극(127)의 저항이 감소될 수 있으므로, 제 2 전극(127)의 높은 저항으로 인한 휘도 저하 및 소비전력 상승이 방지될 수 있다.

[0112] 그리고, 분리패턴(125)은 버스전극(122)의 적어도 일부 상에 형성된 점착패턴(124)의 상부를 덮도록 형성된다. 즉, 분리패턴(125)은 버스전극(122)에 고정된 것이 아니라, 점착패턴(124) 상부에 고정되므로, 분리패턴(125)의 점착면 너비가 확보될 수 있다. 이에, 분리패턴(125)의 용이한 이탈이 방지될 수 있으므로, 열룩현상 및 그로 인한 화질 저하를 방지할 수 있다.

[0113] 이 뿐만 아니라, 분리패턴(125)에 의한 틈 영역(125d)의 너비(W_{CV})가 점착패턴(124)에 의해 소정 범위 이내로 한정될 수 있어, 틈 영역(125d)에 대한 균일도가 향상될 수 있다. 그러므로, 버스전극(122) 및 제 2 전극(127) 간의 연결에 대한 신뢰도가 향상될 수 있고, 결과적으로 유기발광표시장치의 신뢰도가 향상될 수 있다.

[0114] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서

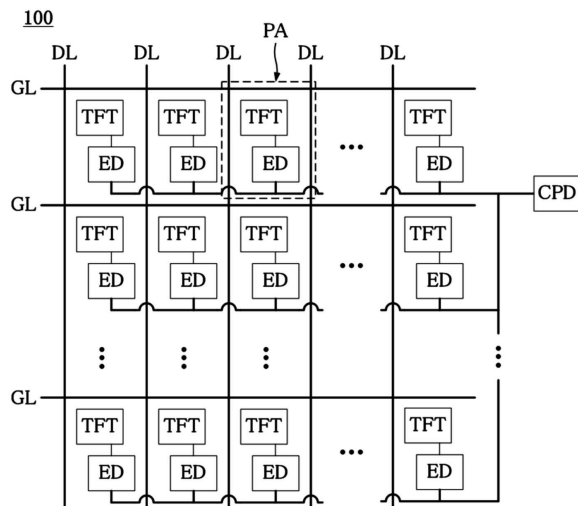
종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

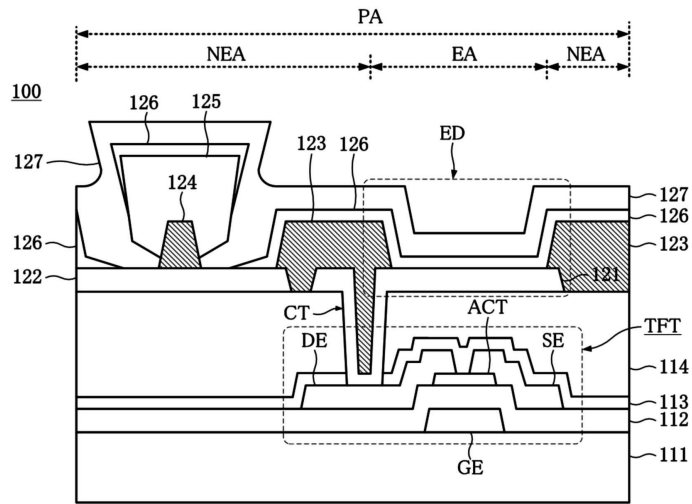
[0115]	100: 유기발광표시장치	GL: 게이트라인
	DL: 데이터라인	TFT: 박막트랜지스터
	ED: 유기발광소자	CPD: 공통용 패드
	PA: 화소영역	
	EA: 발광영역	NEA: 비발광영역
	111: 기관	112: 게이트절연막
	113: 보호층	114: 오버코트층
	121: 제 1 전극	122: 버스전극
	123: बैं크	124: 점착패턴
	125: 분리패턴	125d: 틈 영역
	126: 유기층	127: 제 2 전극
	W _{CV} : 틈 영역의 너비	
	CPD1, CPD2: 공통용 패드의 제 1 및 제 2 패드층	

도면

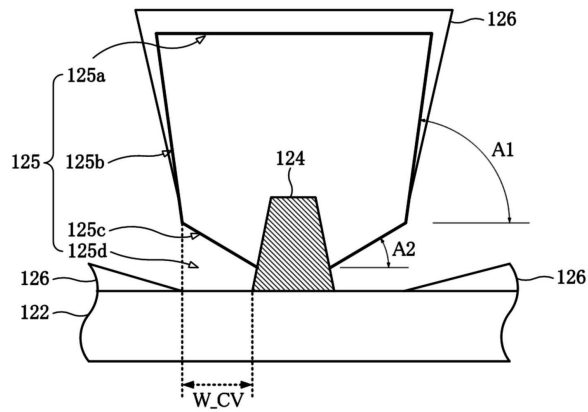
도면1



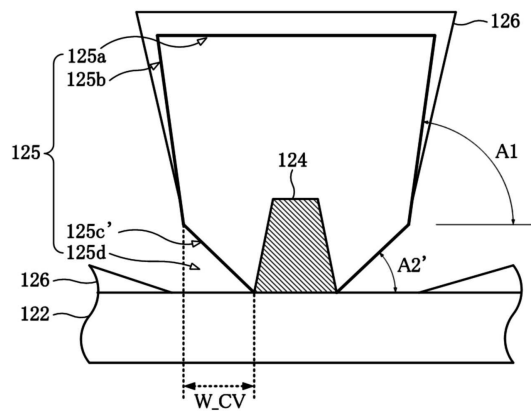
도면2



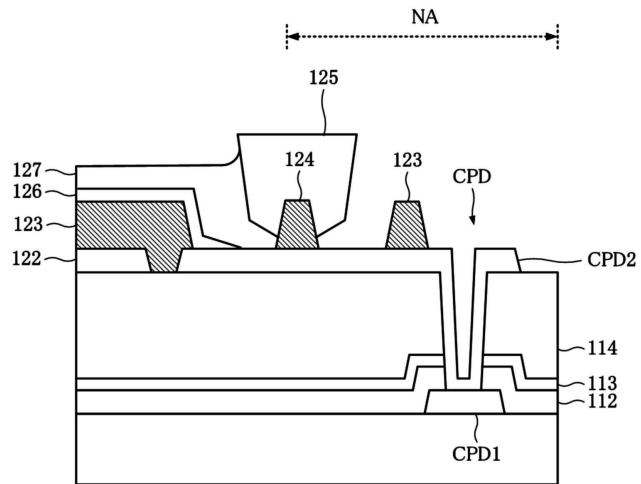
도면3a



도면3b



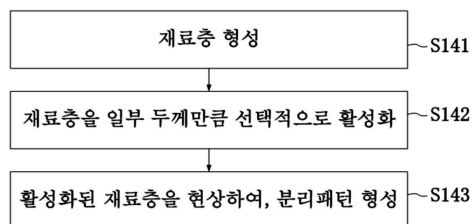
도면4



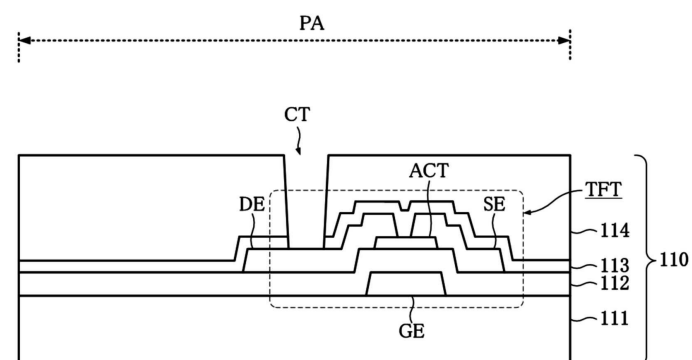
도면5



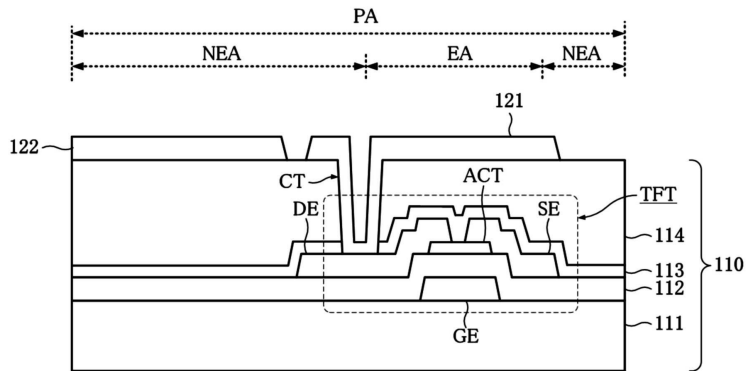
도면6



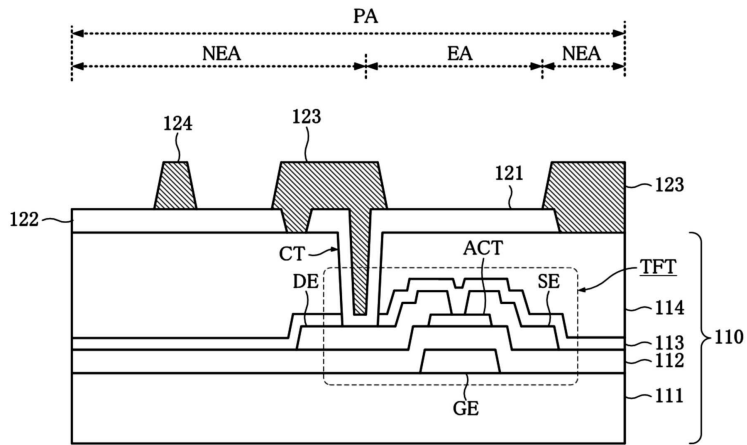
도면7a



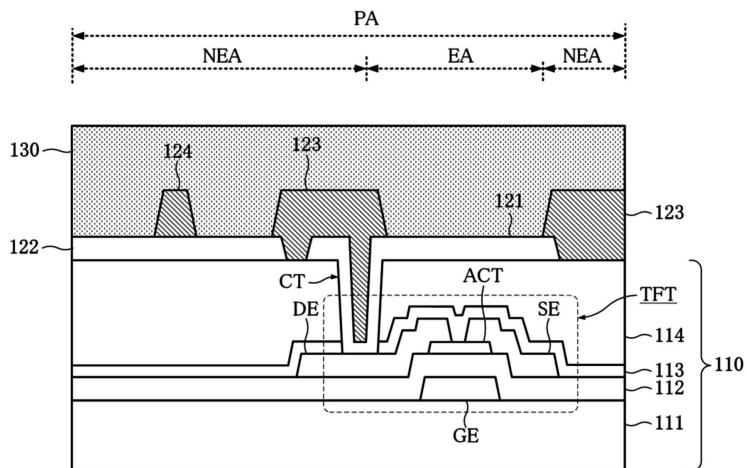
도면7b



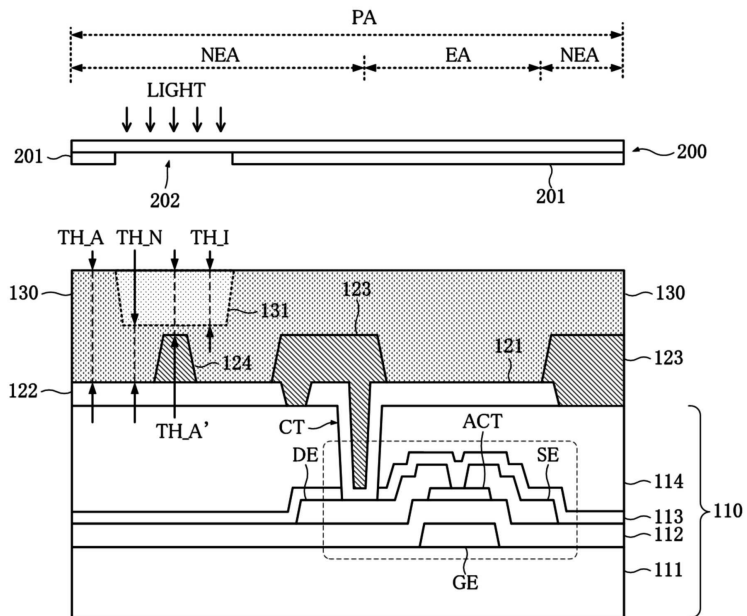
도면7c



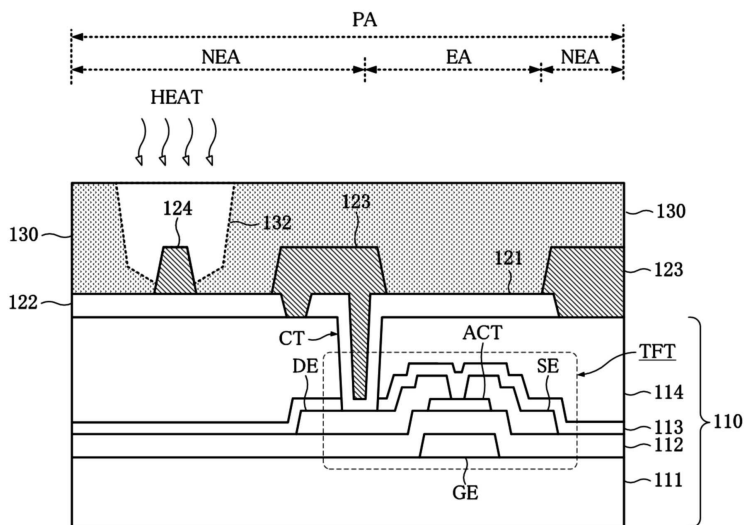
도면7d



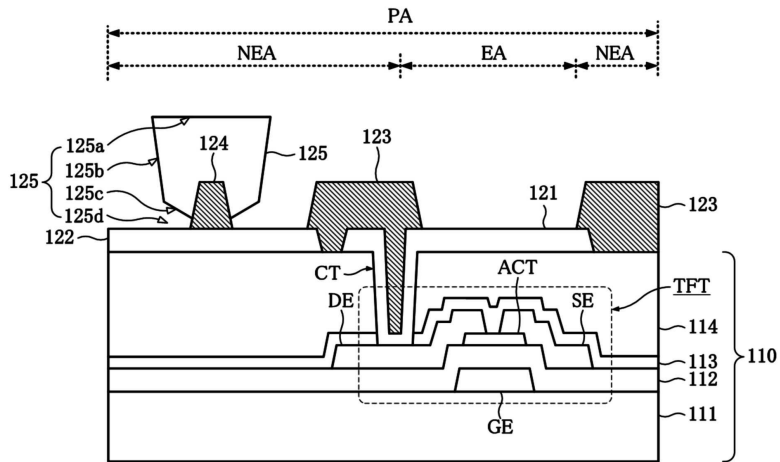
도면7e



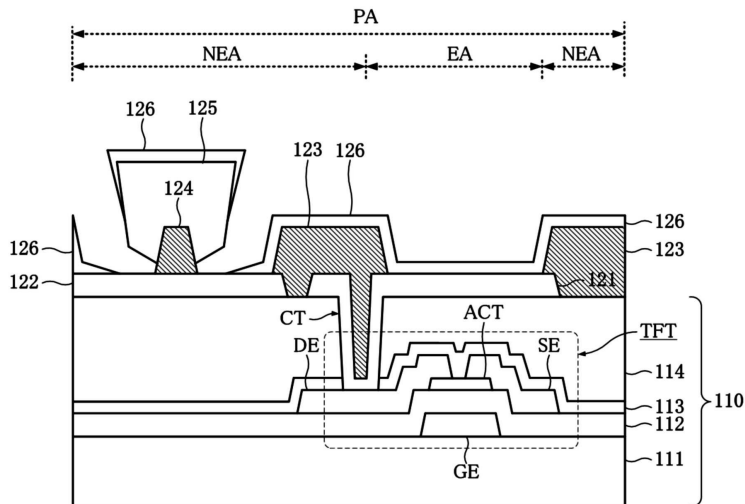
도면7f



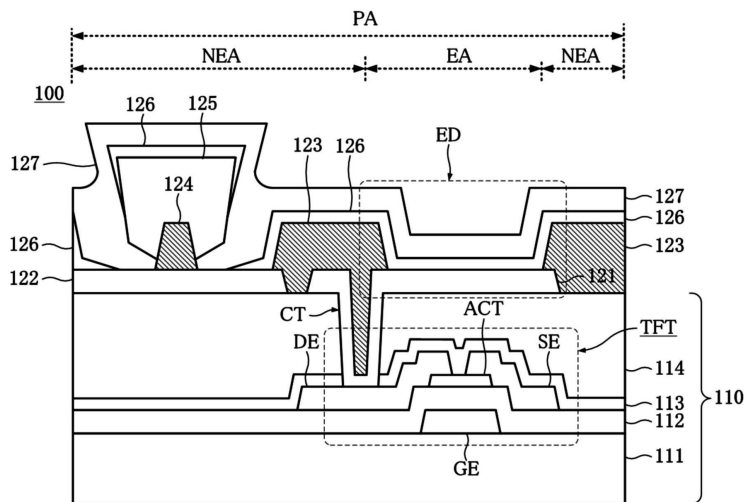
도면7g



도면7h



도면7i



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020150002468A	公开(公告)日	2015-01-07
申请号	KR1020140070124	申请日	2014-06-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JOON SUK 이준석 KIM EUN AH 김은아		
发明人	이준석 김은아		
IPC分类号	H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L27/3276 H01L27/3246 H01L27/3248		
代理人(译)	PARK , YOUNG BOK		
优先权	1020130075544 2013-06-28 KR		
外部链接	Espacenet		

摘要(译)

本发明的一个实施方式涉及一种能够提高可靠性的有机发光显示装置，包括：多个像素区域，每个像素区域包括发光区域和非发光区域；第一电极对应于每个像素区域的发光区域；总线电极对应于多个像素区域的至少一部分非发光区域；形成在汇流电极的一部分上的粘附图案；形成分离图案以覆盖粘附图案的至少一部分并具有倒锥形横截面；除了在汇流电极中由分离图案覆盖的粘附图案周围的间隙区域之外，在第一电极和分离图案中的每一个上形成有机层，该有机层包括发光层；并且第二电极形成在有机层上并通过间隙区域连接到汇流电极。

