



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0085739  
(43) 공개일자 2014년07월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/30 (2006.01) H01L 51/50 (2006.01)  
(21) 출원번호 10-2012-0154827  
(22) 출원일자 2012년12월27일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
최성민  
광주광역시 광산구 수완동 대방노블랜드 APT 110  
동 1301호  
김일호  
경기 과천시 탄현면 사슴벌레로 45, 214동 402호  
(유승양브와즈2단지)  
(74) 대리인  
특허법인천문

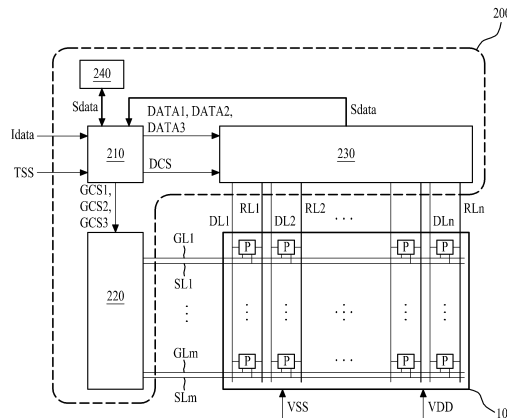
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 구동 방법

(57) 요약

외부 보상을 위한 실시간 센싱에 의해 센싱 라인의 휘도 저하 및 시인성 문제를 해결할 수 있는 본 발명에 따른 유기 발광 표시 장치는 유기 발광 소자를 발광시키는 구동 트랜지스터를 갖는 복수개의 화소를 포함하는 표시 패널; 및 상기 표시 패널을 제 1 표시 구간, 센싱 구간 및 제 2 표시 구간으로 설정하고, 상기 제 1 표시 구간 동안 센싱 라인의 각 화소에 화소 데이터를 표시하고, 상기 센싱 구간 동안 상기 센싱 라인의 화소들에 포함된 상기 구동 트랜지스터의 특성 변화를 센싱한 후, 상기 제 2 표시 구간 동안 상기 센싱 라인의 휘도 감소분이 보상된 휘도 보상 데이터를 상기 센싱 라인의 각 화소에 표시하는 패널 구동부를 포함하여 구성되는 것을 특징으로 한다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

유기 발광 소자를 발광시키는 구동 트랜지스터를 갖는 복수개의 화소를 포함하는 표시 패널; 및

상기 표시 패널을 제 1 표시 구간, 센싱 구간 및 제 2 표시 구간으로 설정하고, 상기 제 1 표시 구간 동안 센싱 라인의 각 화소에 화소 데이터를 표시하고, 상기 센싱 구간 동안 상기 센싱 라인의 화소들에 포함된 상기 구동 트랜지스터의 특성 변화를 센싱한 후, 상기 제 2 표시 구간 동안 상기 센싱 라인의 휘도 감소분이 보상된 휘도 보상 데이터를 상기 센싱 라인의 각 화소에 표시하는 패널 구동부를 포함하여 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 2

제 1 항에 있어서,

상기 패널 구동부는 상기 각 센싱 라인의 위치별 제 1 표시 구간 비율, 센싱 구간 비율 및 제 2 표시 구간 비율이 저장되어 있는 메모리를 포함하여 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 3

제 2 항에 있어서,

상기 패널 구동부는,

상기 제 1 표시 구간에 상기 센싱 라인에 공급될 각 화소의 화소 데이터를 저장하고,

상기 메모리에 저장된 센싱 라인에 해당되는 제 1 표시 구간 비율 및 제 2 표시 구간 비율에 기초하여 휘도 보상 값을 산출하고, 산출된 휘도 보상 값을 상기 저장된 각 화소의 화소 데이터에 반영하여 상기 휘도 보상 데이터를 생성하는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 4

제 3 항에 있어서,

상기 휘도 보상 값은 1과 상기 제 1 표시 구간 비율의 감산 값과 상기 제 2 표시 구간 비율의 제산 연산 값인 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 5

제 3 항에 있어서,

상기 메모리에는 상기 각 센싱 라인의 위치별 최대 입력 계조 값이 저장되어 있고,

상기 패널 구동부는 상기 휘도 보상 데이터의 생성시, 상기 휘도 보상 값에 반영되는 화소 데이터가 상기 최대 입력 계조 값을 초과하는 경우 상기 화소 데이터의 비트 수에 따른 최대 계조 값을 상기 화소 데이터의 계조 값으로 설정하는 것을 특징으로 하는 유기 발광 표시 장치.

### 청구항 6

유기 발광 소자를 발광시키는 구동 트랜지스터를 갖는 복수개의 화소를 가지는 표시 패널을 포함하는 유기 발광 표시 장치의 구동 방법에 있어서,

상기 표시 패널을 제 1 표시 구간, 센싱 구간 및 제 2 표시 구간으로 설정하는 단계;

상기 제 1 표시 구간 동안 센싱 라인의 각 화소에 화소 데이터를 표시하는 단계; 및

상기 센싱 구간 동안 상기 센싱 라인의 화소들에 포함된 상기 구동 트랜지스터의 특성 변화를 센싱한 후, 상기 제 2 표시 구간 동안 상기 센싱 라인의 휘도 감소분이 보상된 휘도 보상 데이터를 상기 센싱 라인의 각 화소에 표시하는 단계를 포함하여 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

**청구항 7**

제 6 항에 있어서,

상기 각 센싱 라인의 위치별 제 1 표시 구간 비율, 센싱 구간 비율 및 제 2 표시 구간 비율을 메모리에 저장하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

**청구항 8**

제 7 항에 있어서,

상기 제 1 표시 구간 동안 상기 센싱 라인에 공급될 각 화소의 화소 데이터를 저장하는 단계를 더 포함하고,

상기 메모리에 저장된 센싱 라인에 해당되는 제 1 표시 구간 비율 및 제 2 표시 구간 비율에 기초하여 휘도 보상 값을 산출하고, 산출된 휘도 보상 값을 상기 저장된 각 화소의 화소 데이터에 반영하여 상기 휘도 보상 데이터를 생성하는 단계를 더 포함하여 이루어지는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

**청구항 9**

제 8 항에 있어서,

상기 휘도 보상 값은 1과 상기 제 1 표시 구간 비율의 감산 값과 상기 제 2 표시 구간 비율의 제산 연산 값인 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

**청구항 10**

제 9 항에 있어서,

상기 메모리에는 상기 각 센싱 라인의 위치별 최대 입력 계조 값이 저장되어 있고,

상기 휘도 보상 데이터의 생성시, 상기 휘도 보상 값에 반영되는 화소 데이터가 상기 최대 입력 계조 값을 초과하는 경우 상기 화소 데이터의 비트 수에 따른 최대 계조 값을 상기 화소 데이터의 계조 값으로 설정하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

**명세서**

**기술분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 구체적으로는, 외부 보상을 위한 실시간 센싱에 의해 센싱 라인의 휘도 저하 및 시인성 문제를 해결할 수 있는 유기 발광 표시 장치 및 이의 구동 방법에 관한 것이다.

**배경기술**

[0002] 최근, 멀티미디어의 발달과 함께 평판 표시 장치의 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치, 플라즈마 표시 장치, 유기 발광 표시 장치 등의 평판 표시 장치가 상용화되고 있다.

[0003] 평판 표시 장치 중에서 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시하는 것으로, 고속의 응답속도를 가지며, 자체 발광이므로 시야각에 문제가 없어 차세대 평판 표시 장치로 주목받고 있다.

[0004] 일반적인 유기 발광 표시 장치의 한 화소는 유기 발광 소자와 이를 구동하기 위한 구동 트랜지스터를 포함하는 화소 회로로 이루어진다. 그러나, 일반적인 유기 발광 표시 장치는 박막 트랜지스터의 제조 공정의 불균일 및 구동 시간에 따라 각 화소마다 구동 트랜지스터의 문턱 전압/이동도 특성이 다르기 때문에 동일한 데이터 전압을 인가하더라도 각 화소의 구동 트랜지스터에 흐르는 전류량이 서로 달라지게 된다. 이러한 각 화소의 구동 트랜지스터에 흐르는 전류량 편차는 각 화소 간의 휘도 편차를 유발시켜 화질의 균일도를 저하시킨다. 이와 같은 문제점을 해결하기 위해, 대한민국 공개특허공보 제10-2010-0047505호(이하, "선행특허문헌"이라 함)에서는 각 화소별로 구동 스위칭 소자의 문턱 전압을 검출하고, 이 검출된 문턱 전압에 따라 각 화소에 공급되는 데이터 전압을 보정하여 화소간 휘도 편차를 방지함으로써 화질 저하를 방지할 수 있는 유기발광다이오드표시장치가 개시되어 있다.

[0005] 그러나, 상기 선행특허문헌은 각 수평 라인의 각 화소를 센싱 구간, 데이터 프로그래밍 기간, 및 발광 기간으로

나누어 구동하는데, 센싱 구간 동안 한 수평 라인의 화소들에는 전류가 흐르지 않기 때문에 이들 화소의 휘도가 저하된다. 즉, 한 수평 라인의 휘도는 한 프레임 동안 데이터에 해당하는 휘도를 가져야 하지만, 센싱 구간 동안 블랙 휘도가 삽입되어 휘도가 저감된다. 예를 들어, 수직 동기 신호가 120Hz일 경우, 한 프레임은 8.33ms이고, 센싱 구간이 200us ~ 250us일 경우, 약 2.4 ~ 3%의 휘도가 저감될 수 있으며, 255의 계조 값을 기준으로 3%는 약 7.5의 계조 값에 해당하는데 이는 시청자의 눈에 인지되는 수준이다.

[0006] 따라서, 선행특허문헌은, 도 1에 도시된 바와 같이, 1 수평 라인씩 순차적으로 실시간 센싱에 따른 블랙 휘도로 인해 수평 라인인 휘도 편차가 발생될 뿐만 아니라 표시 패널(10)에 센싱 라인(SL)이 인지되는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 외부 보상을 위한 실시간 센싱에 의해 센싱 라인의 휘도 저하 및 시인성 문제를 해결할 수 있는 유기 발광 표시 장치 및 이의 구동 방법을 제공하는 것을 기술적 과제로 한다.

[0008] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 유기 발광 소자를 발광시키는 구동 트랜지스터를 갖는 복수개의 화소를 포함하는 표시 패널; 및 상기 표시 패널을 제 1 표시 구간, 센싱 구간 및 제 2 표시 구간으로 설정하고, 상기 제 1 표시 구간 동안 센싱 라인의 각 화소에 화소 데이터를 표시하고, 상기 센싱 구간 동안 상기 센싱 라인의 화소들에 포함된 상기 구동 트랜지스터의 특성 변화를 센싱한 후, 상기 제 2 표시 구간 동안 상기 센싱 라인의 휘도 감소분이 보상된 휘도 보상 데이터를 상기 센싱 라인의 각 화소에 표시하는 패널 구동부를 포함하여 구성되는 것을 특징으로 한다.

[0010] 상기 패널 구동부는 상기 각 센싱 라인의 위치별 제 1 표시 구간 비율, 센싱 구간 비율 및 제 2 표시 구간 비율이 저장되어 있는 메모리를 포함하여 구성되는 것을 특징으로 한다.

[0011] 상기 패널 구동부는 상기 제 1 표시 구간에 상기 센싱 라인에 공급될 각 화소의 화소 데이터를 저장하고, 상기 메모리에 저장된 센싱 라인에 해당되는 제 1 표시 구간 비율 및 제 2 표시 구간 비율에 기초하여 휘도 보상 값을 산출하고, 산출된 휘도 보상 값을 상기 저장된 각 화소의 화소 데이터에 반영하여 상기 휘도 보상 데이터를 생성하는 것을 특징으로 한다.

[0012] 상기 휘도 보상 값은 1과 상기 제 1 표시 구간 비율의 감산 값과 상기 제 2 표시 구간 비율의 제산 연산 값인 것을 특징으로 한다.

[0013] 상기 메모리에는 상기 각 센싱 라인의 위치별 최대 입력 계조 값이 저장되어 있고, 상기 패널 구동부는 상기 휘도 보상 데이터의 생성시, 상기 휘도 보상 값에 반영되는 화소 데이터가 상기 최대 입력 계조 값을 초과하는 경우 상기 화소 데이터의 비트 수에 따른 최대 계조 값을 상기 화소 데이터의 계조 값으로 설정하는 것을 특징으로 한다.

[0014] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 구동 방법은 유기 발광 소자를 발광시키는 구동 트랜지스터를 갖는 복수개의 화소를 가지는 표시 패널을 포함하는 유기 발광 표시 장치의 구동 방법에 있어서, 상기 표시 패널을 제 1 표시 구간, 센싱 구간 및 제 2 표시 구간으로 설정하는 단계; 상기 제 1 표시 구간 동안 센싱 라인의 각 화소에 화소 데이터를 표시하는 단계; 및 상기 센싱 구간 동안 상기 센싱 라인의 화소들에 포함된 상기 구동 트랜지스터의 특성 변화를 센싱한 후, 상기 제 2 표시 구간 동안 상기 센싱 라인의 휘도 감소분이 보상된 휘도 보상 데이터를 상기 센싱 라인의 각 화소에 표시하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

[0015] 상기 유기 발광 표시 장치의 구동 방법은 상기 각 센싱 라인의 위치별 제 1 표시 구간 비율, 센싱 구간 비율 및 제 2 표시 구간 비율을 메모리에 저장하는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.

[0016] 상기 유기 발광 표시 장치의 구동 방법은 상기 제 1 표시 구간 동안 상기 센싱 라인에 공급될 각 화소의 화소

데이터를 저장하는 단계; 및 상기 메모리에 저장된 센싱 라인에 해당되는 제 1 표시 구간 비율 및 제 2 표시 구간 비율에 기초하여 휘도 보상 값을 산출하고, 산출된 휘도 보상 값을 상기 저장된 각 화소의 화소 데이터에 반영하여 상기 휘도 보상 데이터를 생성하는 단계를 더 포함하여 이루어지는 것을 특징으로 한다.

[0017] 상기 휘도 보상 값은 1과 상기 제 1 표시 구간 비율의 감산 값과 상기 제 2 표시 구간 비율의 제산 연산 값인 것을 특징으로 한다.

[0018] 상기 메모리에는 상기 각 센싱 라인의 위치별 최대 입력 계조 값이 저장되어 있고, 상기 휘도 보상 데이터의 생성시, 상기 휘도 보상 값에 반영되는 화소 데이터가 상기 최대 입력 계조 값을 초과하는 경우 상기 화소 데이터의 비트 수에 따른 최대 계조 값을 상기 화소 데이터의 계조 값으로 설정하는 것을 특징으로 한다.

**발명의 효과**

[0019] 상기 과제에 해결 수단에 의하면, 본 발명에 따른 유기 발광 표시 장치 및 그의 구동 방법은 다음과 같은 효과가 있다.

[0020] 첫째, 센싱 라인의 실시간 보상으로 인한 수평 라인 간의 휘도 편차를 최소화할 수 있다.

[0021] 둘째, 센싱 라인의 블랙 휘도로 센싱 라인이 인식되는 센싱 라인의 시인성 문제를 해결할 수 있다.

**도면의 간단한 설명**

[0022] 도 1은 종래의 센싱 방법에 의해 화면에 센싱 라인이 인지되는 문제점을 나타내는 도면이다.

도 2는 본 발명의 실시 예에 따른 유기 발광 표시 장치를 설명하기 위한 도면이다.

도 3은 도 2에 도시된 한 화소의 구조를 나타내는 도면이다.

도 4는 도 3에 도시된 화소의 구동을 설명하기 위한 파형도이다.

도 5는 도 2에 도시된 타이밍 제어부의 구성을 설명하기 위한 블록도이다.

도 6a 및 도 6b는 본 발명에 따른 센싱 라인별 제 1 표시 구간 비율, 센싱 구간 비율, 및 제 2 표시 구간 비율을 설명하기 위한 도면이다.

도 7은 본 발명에 따른 센싱 라인별 최대 입력 계조 값을 설명하기 위한 도면이다.

도 8a 및 도 8b는 본 발명에 따른 센싱 라인의 제 2 표시 구간에 표시될 휘도 보상 데이터의 생성 방법을 설명하기 위한 도면이다.

도 9는 도 2에 도시된 컬럼(column) 구동부의 구성을 설명하기 위한 도면이다.

도 10은 본 발명의 실시 예에 따른 제 1 및 제 2 표시 구간의 구동 파형을 나타내는 파형도이다.

도 11은 본 발명의 실시 예에 따른 센싱 구간의 구동 파형을 나타내는 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

[0023] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0024] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.

[0025] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0026] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다.

[0027] "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우 뿐만 아니라 이들 구성들 사이에 제3의

구성이 개제되는 경우까지 포함하는 것을 의미한다.

- [0028] 이하에서는 본 발명에 따른 유기 발광 표시 장치 및 이의 구동 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명한다.
- [0029] 도 2는 본 발명의 실시 예에 따른 유기 발광 표시 장치를 설명하기 위한 도면이고, 도 3은 도 2에 도시된 한 화소의 구조를 나타내는 도면이며, 도 4는 도 3에 도시된 화소의 구동을 설명하기 위한 파형도이다.
- [0030] 도 2 내지 도 4를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 표시 패널(100), 및 패널 구동부(200)를 포함한다.
- [0031] 표시 패널(100)은 복수개의 화소(P)를 포함한다. 복수개의 화소(P)는 서로 교차하는 복수개의 게이트 라인 그룹(GL1 내지 GLm), 복수개의 데이터 라인(DL1 내지 DLn), 및 복수개의 데이터 라인(DL1 내지 DLn)에 나란한 복수개의 레퍼런스 라인(RL1 내지 RLn)에 의해 정의되는 화소 영역에 형성된다. 그리고, 상기 표시 패널(100)에는 복수개의 데이터 라인(DL1 내지 DLn) 각각에 나란하게 형성되어 전압 공급부(미도시)로부터 구동 전압(VDD)이 공급되는 복수개의 구동 전압 라인(PL)이 형성되어 있다.
- [0032] 복수개의 화소(P) 각각은 화소 회로(PC) 및 유기 발광 소자(OLED)를 포함한다. 이때 복수개의 화소(P) 각각은 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나일 수 있다. 하나의 영상을 표시하는 하나의 단위 화소는 인접한 적색 화소, 녹색 화소, 및 청색 화소를 포함하거나, 인접한 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소를 포함할 수 있다.
- [0033] 일 실시 예에 있어서, 화소 회로(PC)는 제 1 스위칭 트랜지스터(Tsw1), 제 2 스위칭 트랜지스터(Tsw2), 구동 트랜지스터(Tdr), 및 커패시터(Cst)를 포함할 수 있다. 여기서, 트랜지스터(Tsw1, Tsw2, Tdr)는 N형 박막 트랜지스터(TFT)로서 a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 등이 될 수 있다.
- [0034] 제 1 스위칭 트랜지스터(Tsw1)는 제 1 게이트 라인(GLa)에 접속된 게이트 전극, 인접한 데이터 라인(DL)에 접속된 제 1 전극, 및 구동 트랜지스터(Tdr)의 게이트 전극인 제 1 노드(n1)에 접속된 제 2 전극을 포함한다. 이러한, 상기 제 1 스위칭 트랜지스터(Tsw1)는 제 1 게이트 라인(GLa)에 공급되는 게이트 온 전압 레벨의 제 1 게이트 신호(GSa)에 따라 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)을 제 1 노드(n1), 즉 구동 트랜지스터(Tdr)의 게이트 전극에 공급한다.
- [0035] 제 2 스위칭 트랜지스터(Tsw2)는 제 2 게이트 라인(GLb)에 접속된 게이트 전극, 인접한 레퍼런스 라인(RL)에 접속된 제 1 전극, 및 구동 트랜지스터(Tdr)의 소스 전극인 제 2 노드(n2)에 접속된 제 2 전극을 포함한다. 이러한 제 2 스위칭 트랜지스터(Tsw2)는 제 2 게이트 라인(GLb)에 공급되는 게이트 온 전압 레벨의 제 2 게이트 신호(GSb)에 따라 레퍼런스 라인(RL)에 공급되는 기준 전압(Vref)(또는 프리차징 전압(Vpre))을 제 2 노드(n2), 즉 구동 트랜지스터(Tdr)의 소스 전극에 공급한다.
- [0036] 커패시터(Cst)는 구동 트랜지스터(Tdr)의 게이트 전극과 소스 전극, 즉 제 1 및 제 2 노드(n1, n2) 간에 접속되는 제 1 및 제 2 전극을 포함한다. 이러한 커패시터(Cst)는 제 1 및 제 2 노드(n1, n2) 각각에 공급되는 전압의 차 전압을 충전한 후, 충전된 전압에 따라 구동 트랜지스터(Tdr)를 스위칭시킨다.
- [0037] 구동 트랜지스터(Tdr)는 제 1 스위칭 트랜지스터(Tsw1)의 제 2 전극과 커패시터(Cst)의 제 1 전극에 공통적으로 접속된 게이트 전극, 제 2 스위칭 트랜지스터(Tsw2)의 제 1 전극과 커패시터(Cst)의 제 2 전극 및 유기 발광 소자(OLED)에 공통적으로 접속된 소스 전극, 및 구동 전압 라인(PL)에 접속된 드레인 전극을 포함한다. 이러한 구동 트랜지스터(Tdr)는 커패시터(Cst)의 전압에 의해 턴-온됨으로써 구동 전압 라인(PL)으로부터 유기 발광 소자(OLED)로 흐르는 전류량을 제어한다.
- [0038] 상술한 실시 예에 있어서 화소 회로(PC)가 3개의 트랜지스터와 하나의 커패시터로 구성되는 것으로 설명하였지만, 화소 회로(PC)를 구성하는 트랜지스터 및 커패시터의 개수는 다양하게 변형 가능할 것이다.
- [0039] 유기 발광 소자(OLED)는 화소 회로(PC), 즉 구동 트랜지스터(Tdr)로부터 공급되는 데이터 전류(Ioled)에 의해 발광하여 데이터 전류(Ioled)에 대응되는 휘도를 가지는 단색 광을 방출한다. 이를 위해, 유기 발광 소자(OLED)는 화소 회로(PC)의 제 2 노드(n2)에 접속된 애노드 전극(미도시), 애노드 전극 상에 형성된 유기층(미도시), 및 유기층 상에 형성된 캐소드 전극을 포함한다. 이때, 유기층은 정공 수송층/유기 발광층/전자 수송층의 구조 또는 정공 주입층/정공 수송층/유기 발광층/전자 수송층/전자 주입층의 구조를 가지도록 형성될 수 있다. 나아가, 상기 유기층은 유기 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층을 더 포함하여 이루어질 수 있다. 그리고, 캐소드 전극은 복수의 화소(P) 각각에 개별적으로 형성되거나, 복수의 화소(P)에 공

통적으로 접속되도록 형성될 수 있으며, 이러한 캐소드 전극에는 전압 공급부(미도시)로부터 일정한 전압 레벨, 예를 들어 0(zero)의 전압 레벨을 가지는 캐소드 전압(VSS)이 공급된다.

- [0040] 복수개의 게이트 라인 그룹(GL1 내지 GLm) 각각은 표시 패널(100)의 제 1 방향, 예컨대 가로 방향을 따라 나란하게 형성된다. 이때, 복수개의 게이트 라인 그룹(GL1 내지 GLm) 각각은 서로 인접한 제 1 및 제 2 게이트 라인(GLa, GLb)으로 이루어진다. 이러한, 각 게이트 라인 그룹(GL1 내지 GLm)의 제 1 및 제 2 게이트 라인(GLa, GLb)에는 패널 구동부(200)로부터 서로 다른 제 1 및 제 2 게이트 신호(GSa, GSb)가 개별적으로 공급된다.
- [0041] 복수개의 데이터 라인(DL1 내지 DLn) 각각은 복수의 게이트 라인 그룹(GL1 내지 GLm) 각각과 교차하도록 표시 패널(100)의 제 2 방향, 예컨대 세로 방향을 따라 나란하게 형성된다. 이러한 각 데이터 라인(DL1 내지 DLn)에는 패널 구동부(200)로부터 데이터 전압(Vdata)이 공급된다.
- [0042] 복수개의 레퍼런스 라인(RL1 내지 RLn) 각각은 복수개의 데이터 라인(DL1 내지 DLn) 각각과 나란하게 형성된다. 이러한, 각 레퍼런스 라인(RL1 내지 RLn)에는 패널 구동부(200)로부터 기준 전압(Vref) 또는 프리차징 전압(Vpre)이 선택적으로 공급된다.
- [0043] 패널 구동부(200)는 표시 패널(100)의 각 수평 라인에 형성된 각 화소(P)를 1 수평 기간 단위로 1 수평 라인씩 순차적으로 구동하여 한 프레임 단위로 영상을 표시하되, 프레임마다 수평 라인들 중 선택되는 적어도 하나의 수평 라인을 센싱 라인으로 설정하고, 설정된 센싱 라인을 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP)으로 구동한다. 즉, 상기 센싱 라인의 각 화소(P)의 경우, 센싱 구간(SP)에 따른 블랙 휘도로 인해 휘도 저하로 인해 제 1 표시 구간(FDP)에 표시된 데이터에 따른 휘도가 다음 프레임의 데이터가 공급될 때까지 유지되지 않기 때문에 상기 패널 구동부(200)는 센싱 라인의 휘도 감소분을 제 1 표시 구간(FDP)의 데이터에 보상하여 센싱 구간(SP) 이후의 제 2 표시 구간(SDP)에 센싱 라인에 표시함으로써 센싱 라인의 센싱 구간(SP)을 인한 휘도 저하를 보상한다.
- [0044] 제 1 표시 구간(FDP)은 매 프레임(Fn)의 데이터 유효 기간으로 설정된다. 즉, 제 1 표시 구간(FDP)은 수직 동기 신호(Vsync)의 수직 액티브 구간(Vactive) 또는 데이터 인에이블 신호(DE)의 유효 데이터 구간으로 설정된다.
- [0045] 또한, 센싱 구간(SP)은 수직 동기 신호(Vsync)의 수직 블랭크 구간(BP)에 중첩되는 구간으로써 현재 프레임(Fn)에서 마지막 데이터 인에이블 신호(DE)의 마지막 데이터 유효 신호와 수직 동기 신호(Vsync)의 라이징 시점 사이의 구간으로 설정될 수 있다. 즉, 센싱 구간(SP)은 현재 프레임(Fn)의 수직 블랭크 구간(BP)과 백 포치 구간(Vbp)을 포함하도록 설정될 수 있다. 여기서, 백 포치 구간(Vbp)은 마지막 데이터 유효 신호와 수직 동기 신호(Vsync)의 폴링 시점 사이의 구간을 의미한다.
- [0046] 제 2 표시 구간(SDP)은 센싱 구간(SP)의 종료 시점부터 다음 프레임(Fn+1)의 데이터가 표시되기 직전까지의 구간으로 설정될 수 있다. 이러한, 제 2 표시 구간(SDP)은 휘도 보상 데이터를 표시하여 센싱 구간(SP)에 따른 센싱 라인의 휘도 감소분을 보상하는 구간으로서, 휘도 보상 데이터는 제 2 표시 구간(SDP) 중 수직 동기 신호(Vsync)의 라이징 시점과 첫번째 데이터 인에이블 신호(DE)의 라이징 시점 사이인 프러트 포치 구간(Vfp)에 센싱 라인의 각 화소(P)에 공급된다.
- [0047] 전술한, 제 1 표시 구간(FDP)과 센싱 구간(SP) 및 제 2 표시 구간(SDP) 각각은 동일한 한 프레임의 주기를 갖는다. 이때, 제 1 표시 구간(FDP)과 제 2 표시 구간(SDP)은 수평 라인들의 구동 시점 및 표시 패널(100) 상의 형성 위치에 따라 달라질 수 있다. 즉, 현재 프레임의 제 1 표시 구간(FDP)에 표시되는 각 수평 라인에 표시되는 영상은 다음 프레임의 데이터가 공급될 때까지 1 프레임 동안 유지되기 때문이다.
- [0048] 전술한, 패널 구동부(200)는 타이밍 제어부(210), 로우(row) 구동부(220), 및 컬럼(column) 구동부(230)를 포함한다.
- [0049] 타이밍 제어부(210)는 외부로부터 공급되는 타이밍 동기 신호(TSS)에 기초하여 외부로부터 공급되는 타이밍 동기 신호(TSS) 중 수직 동기 신호(Vsync)와 데이터 인에이블 신호(DE)에 기초하여 수평 라인들 중 현재 프레임(Fn)에 대응되는 센싱 라인을 설정하고, 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP) 각각에 대응되는 제 1 내지 제 3 게이트 제어 신호(GCS1, GCS2, GCS3)와 데이터 제어 신호(DCS)를 생성하여 로우(row) 구동부(220)와 컬럼(column) 구동부(230) 각각의 구동 타이밍을 제어한다. 특히, 타이밍 제어부(210)는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync) 및 메인 클럭(미도시)에 기초하여 제 2 표시 구간(SDP)에 보조 데이터 인에이블 신호(DE')를 생성함으로써 제 2 표시 구간(SDP) 동안 제 1 표시 구간(FDP)의 데이터에 센싱 라인의

회도 감소분에 대한 오프셋(offset)이 보상된 회도 보상 데이터가 센싱 라인의 각 화소(P)에 표시되도록 한다.

[0050] 타이밍 제어부(210)는 외부로부터 입력되는 입력 데이터(Idata)를 표시 패널(100)의 화소 배치 구조 및 구동 방식에 따라 화소 데이터(DATA1)로 정렬하고, 화소 데이터(DATA1) 중 센싱 라인의 각 화소(P)에 공급될 화소 데이터(DATA1)를 센싱 라인의 위치 정보와 함께 메모리부(240)에 저장하고, 제 1 표시 구간(FDP) 동안에 각 수평 라인에 공급될 화소 데이터(DATA1)를 1 수평 기간 단위로 컬럼(column) 구동부(230)에 공급한다. 또한, 타이밍 제어부(210)는 센싱 구간(SP) 동안 센싱 라인의 각 화소(P)에 공급될 센싱용 데이터(DATA2)를 생성하여 컬럼(column) 구동부(230)에 공급한다. 그리고, 타이밍 제어부(210)는 제 2 표시 구간(SDP) 동안 메모리부(240)에 저장된 센싱 라인의 화소 데이터(DATA1)에 센싱 라인의 회도 감소분에 대한 오프셋을 보상해 센싱 라인의 각 화소(P)에 공급될 회도 보상 데이터(DATA3)를 생성하여 컬럼(column) 구동부(230)에 공급한다.

[0051] 한편, 타이밍 제어부(210)는 센싱 구간(SP) 동안 컬럼(column) 구동부(230)로부터 공급되는 각 화소(P)에 포함된 구동 트랜지스터의 문턱 전압 및 이동도 중 적어도 하나(이하, "구동 트랜지스터의 특성 변화"라 함)에 대응되는 센싱 데이터(Sdata)를 메모리부(240)에 저장하고, 제 1 표시 구간(FDP) 동안 메모리부(240)에 저장된 각 화소(P)의 센싱 데이터(Sdata)에 기초하여 입력 데이터(Idata)를 보정하여 컬럼(column) 구동부(230)에 공급한다. 이때, 현재 프레임(Fn)의 센싱 구간(SP)에 센싱된 센싱 데이터(Sdata)는 다음 프레임(Fn+1)의 제 1 표시 구간(FDP)에 적용되거나, 표시 패널(100)의 모든 화소(P)에 대한 센싱 데이터(Sdata)를 취득한 이후에 일괄적으로 적용될 수 있다.

[0052] 로우(row) 구동부(220)는 복수의 게이트 라인 그룹(GL1 내지 GLm)에 연결되어 타이밍 제어부(210)로부터 선택적으로 공급되는 제 1 내지 제 3 게이트 제어 신호(GCS1, GCS2, GCS3)에 따라 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP) 각각에 대응되는 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 복수의 게이트 라인 그룹(GL1 내지 GLm)에 공급한다. 여기서, 제 1 내지 제 3 게이트 제어 신호(GCS1, GCS2, GCS3) 각각은 게이트 스타트 신호, 및 게이트 쉬프트 클럭 등으로 이루어질 수 있다.

[0053] 구체적으로, 제 1 표시 구간(FDP) 동안, 상기 로우(row) 구동부(220)는 제 1 게이트 제어 신호(GCS1)에 따라 각 수평 라인의 화소들을 데이터 충전 기간과 발광 기간으로 구동하기 위한 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 복수의 게이트 라인 그룹(GL1 내지 GLm)에 순차적으로 공급한다. 또한, 센싱 구간(SP) 동안, 상기 로우(row) 구동부(220)는 제 2 게이트 제어 신호(GCS2)에 따라 센싱 라인의 화소들을 초기화 기간, 전압 충전 기간, 및 전압 센싱 구간으로 구동하기 위한 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 센싱 라인의 게이트 라인 그룹에 공급한다. 그리고, 제 2 표시 구간(SDP) 동안, 상기 로우(row) 구동부(220)는 제 3 게이트 제어 신호(GCS3)에 따라 센싱 라인의 화소들을 데이터 충전 기간과 발광 기간으로 구동하기 위한 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 센싱 라인의 게이트 라인 그룹에 공급한다.

[0054] 컬럼(column) 구동부(230)는 복수의 데이터 라인(DL1 내지 DLn) 각각과 복수의 레퍼런스 라인(RL1 내지 RLn) 각각에 연결되어 타이밍 제어부(210)로부터 선택적으로 공급되는 데이터 제어 신호(DCS)에 따라 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP) 각각에 대응되도록 타이밍 제어부(210)로부터 공급되는 데이터(DATA1, DATA2, DATA3)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급함과 동시에 기준 전압(Vref) 또는 프리차징 전압(Vpre)을 선택적으로 레퍼런스 라인(RL1 내지 RLn)에 공급한다.

[0055] 구체적으로, 제 1 표시 구간(FDP) 동안, 상기 컬럼(column) 구동부(230)는 데이터 제어 신호(DCS)에 따라 각 수평 라인의 데이터 충전 기간에 화소 데이터(DATA1)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급함과 동시에 기준 전압(Vref)을 선택적으로 레퍼런스 라인(RL1 내지 RLn)에 공급한다. 또한, 센싱 구간(SP) 동안, 상기 컬럼(column) 구동부(230)는 데이터 제어 신호(DCS)에 따라 센싱 라인의 초기화 기간과 전압 충전 기간에 센싱용 데이터(DATA2)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급함과 동시에 초기화 기간에 프리차징 전압(Vpre)을 레퍼런스 라인(RL1 내지 RLn)에 공급한 후, 전압 충전 기간에 레퍼런스 라인(RL1 내지 RLn)과 플로팅(Floating)된 후, 전압 센싱 구간에 레퍼런스 라인(RL1 내지 RLn)의 전압, 즉 해당 화소의 구동 트랜지스터(Tdr)의 특성 변화를 센싱하여 센싱 데이터(Sdata)를 생성해 타이밍 제어부(210)에 공급한다. 그리고, 제 2 표시 구간(SDP) 동안, 상기 컬럼(column) 구동부(230)는 데이터 제어 신호(DCS)에 따라 센싱 라인의 데이터 충전 기간에 회도 보상 데이터(DATA3)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급함과 동시에 기준 전압(Vref)을 선택적으로 레퍼런스 라인(RL1 내지 RLn)에 공급한다.

[0056] 도 5는 도 2에 도시된 타이밍 제어부의 구성을 설명하기 위한 블록도이다.

- [0057] 도 4 및 도 5를 참조하면, 본 발명에 따른 타이밍 제어부(210)는 구간 제어부(211), 데이터 처리부(213), 휘도 보상부(215), 제어 신호 생성부(217), 및 데이터 출력부(219)를 포함한다.
- [0058] 구간 제어부(211)는 외부의 시스템 본체(미도시) 또는 그래픽 카드(미도시)로부터 입력되는 타이밍 동기 신호(TSS)의 수직 동기 신호(Vsync), 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)에 기초하여 전술한 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP)을 설정한다. 특히, 구간 제어부(211)는 프레임 단위로 각 수평 라인들 중 어느 하나의 수평 라인을 센싱 라인으로 설정하여 센싱 구간(SP)의 동작을 제어한다.
- [0059] 데이터 처리부(213)는 컬럼(column) 구동부(230)로부터 공급되는 센싱 데이터(Sdata)를 메모리부(240)에 저장한다. 그리고, 데이터 처리부(213)는 구간 제어부(211)에 의해 설정된 제 1 표시 구간(FDP) 동안 외부의 시스템 본체(미도시) 또는 그래픽 카드(미도시)로부터 입력되는 입력 데이터(Idata)를 표시 패널(100)의 화소 배치 구조 및 구동 방식에 따라 화소 데이터(DATA1)로 정렬하여 데이터 출력부(219)에 공급한다. 이때, 데이터 처리부(213)는 메모리부(240)에서 입력 데이터(Idata)에 해당되는 센싱 데이터(Sdata)를 리드(read)하고, 리드된 센싱 데이터(Sdata)에 기초하여 입력 데이터(Idata)를 보정하여 화소 데이터(DATA1)를 생성할 수 있다.
- [0060] 또한, 데이터 처리부(213)는 구간 제어부(211)에 의해 설정된 센싱 구간(SP) 동안 메모리부(240)에 저장되거나 설정된 센싱용 데이터(DATA2)를 생성하여 데이터 출력부(219)에 공급한다.
- [0061] 휘도 보상부(215)는 구간 제어부(211)에 의해 설정된 제 2 표시 구간(SDP) 동안 센싱 라인에 공급될 휘도 보상 데이터(DATA3)를 생성하여 데이터 출력부(219)에 공급한다. 이를 위해, 휘도 보상부(215)는 라인 카운터(215a), 라인 메모리부(215b), 룩 업 테이블(LUT), 및 휘도 보상 데이터 생성부(215c)를 포함한다.
- [0062] 라인 카운터(215a)는 수직 동기 신호(Vsync)에 기초하여 데이터 인에이블 신호(DE)에 따른 각 수평 라인의 카운팅 정보를 생성한다. 예를 들어, 라인 카운터(215a)는 수직 동기 신호(Vsync)의 라이징 신호에 의해 인에이블 상태가 되어 데이터 인에이블 신호(DE)의 라이징 신호마다 카운팅하여 카운팅 정보를 출력하고, 수직 동기 신호(Vsync)의 폴링 신호에 의해 리셋될 수 있다.
- [0063] 라인 메모리(215b)는 구간 제어부(211)의 구간 제어에 기초하여, 제 1 표시 구간(FDP)에 데이터 처리부(213)로부터 출력되는 화소 데이터(DATA1) 중 설정된 센싱 라인의 각 화소(P)에 공급될 1 수평 라인분의 화소 데이터(DATA1)를 저장한다. 예를 들어, 도 4에 도시된 바와 같이, 현재 프레임(Fn)에서, 첫번째 수평 라인이 센싱 라인으로 설정된 경우, 라인 메모리(215b)는 데이터 처리부(213)로부터 출력되는 첫번째 수평 라인의 각 화소(P)에 공급될 1 수평 라인분의 화소 데이터(DATA1)를 저장한다. 이러한 라인 메모리(215b)에는 센싱 구간(SP)에 설정되는 센싱 라인의 개수에 대응되는 수평 라인들의 화소 데이터(DATA1)가 수평 라인 단위로 저장될 수 있다.
- [0064] 룩 업 테이블(LUT)은 한 프레임의 시간을 기준으로 제 1 표시 구간(FDP)이 차지하는 제 1 표시 구간 비율, 센싱 구간(SP)이 차지하는 센싱 구간 비율, 및 제 2 표시 구간(SDP)이 차지하는 제 2 표시 구간 비율이 각 수평 라인 별로 저장되어 있다. 즉, 각 수평 라인들의 각 화소는 현재 프레임의 데이터를 순차적으로 표시하여 다음 프레임의 데이터가 공급되기 직전까지 유지한다. 그리고, 센싱 구간(SP)은 수직 동기 신호(Vsync)의 블랭크 구간에 중첩되는 구간이므로, 각 수평 라인의 제 1 표시 구간(FDT)은 첫번째 수평 라인에서부터 마지막 수평 라인으로 갈수록 점점 감소하게 된다. 예를 들어, 도 6a 및 도 6b에서 알 수 있듯이, 첫번째 수평 라인과 n-1 번째 수평 라인 각각의 제 1 표시 구간(FDT) 각각이 상이하하며, 이와 더불어 제 2 표시 구간(SDT) 역시 상이하게 된다. 이에 따라, 제 2 표시 구간(SDT)을 통해 휘도 보상이, 모든 센싱 라인에 동일한 보상 값을 적용할 경우 균일한 휘도 보상을 할 수 없기 때문에 제 2 표시 구간(SDT) 동안 정확한 휘도 보상을 위한 수평 라인, 즉 센싱 라인의 제 1 표시 구간(FDT)의 구간 비율에 대한 정보가 필요하게 된다. 따라서, 룩 업 테이블(LUT)에는 사전 실험을 통해 취득된 각 수평 라인의 제 1 표시 구간 비율, 센싱 구간 비율, 및 제 2 표시 구간 비율이 수평 라인별로 저장되어 있다.
- [0065] 그리고, 룩 업 테이블(LUT)에는 각 수평 라인별 최대 입력 계조 값이 더 저장되어 있다. 이때, 각 수평 라인별 최대 입력 계조 값은, 도 7에 도시된 바와 같이, 사전 실험을 통해 각 수평 라인의 위치마다 각기 다른 값으로 설정되어 저장된다. 즉, 제 2 표시 구간(SDP) 동안 표시되는 휘도 보상 데이터(DATA3)는 라인 메모리(215b)에 저장된 수평 라인의 화소 데이터(DATA1)와 센싱 라인의 휘도 감소분에 대한 오프셋(offset)에 의해 설정되는데, 이때 데이터의 비트 수에 따른 최대 계조 값을 초과하는 경우에 발생하게 된다. 이에 따라, 각 수평 라인별 최대 입력 계조 값은 상기 휘도 보상 데이터(DATA3)의 계조 값을 데이터의 비트 수에 따른 최대 계조 값으로 클리핑(Clipping) 하기 위한 기준 값이 된다. 예를 들어, 도 7에서와 같이, 데이터가 8비트이고, k번째 수평 라인의 최대 입력 계조 값이 "200"으로 설정된 경우에 있어서, k번째 수평 라인의 휘도 보상 데이터(DATA3)는 화소

데이터(DATA1)의 계조 값이 "200"을 초과하는 경우 "255"로 클리핑된다.

[0066] 다시 도 4 및 도 5에서, 휘도 보상 데이터 생성부(215c)는 구간 제어부(211)의 구간 제어에 기초하여, 룩 업 테이블(LUT)에 저장된 각 수평 라인의 제 1 표시 구간 비율, 센싱 구간 비율, 제 2 표시 구간 비율, 및 최대 입력 계조 값과 라인 메모리(215b)에 저장된 센싱 라인의 각 화소(P)의 화소 데이터(DATA1)에 기초하여 센싱 라인의 각 화소(P)에 공급될 휘도 보상 데이터(DATA3)를 생성하여 데이터 출력부(219)에 공급한다. 이때, 휘도 보상 데이터 생성부(215c)는 제 2 표시 구간(SDP) 이전에 휘도 보상 데이터(DATA3)를 생성할 수 있다.

[0067] 구체적으로, 휘도 보상 데이터 생성부(215c)는 화소 데이터(DATA1)가 최대 입력 계조 값을 초과하는지를 판단하고, 화소 데이터(DATA1)가 최대 입력 계조 값을 초과할 경우 화소 데이터(DATA1)를 데이터의 비트 수에 따른 최대 계조 값으로 보정하고, 아래의 수학적 식 1과 같이, 제 1 표시 구간 비율(FDT)과 제 2 표시 구간 비율(SDT)에 기초하여 휘도 보상 값(1-FDT)/SDT))을 산출하고, 산출된 휘도 보상 값(1-FDT)/SDT))에 최대 계조 값으로 보정된 화소 데이터(DATA1)를 승산 연산(×)하여 휘도 보상 데이터(DATA3)를 생성한다. 반면에, 휘도 보상 데이터 생성부(215c)는 화소 데이터(DATA1)가 최대 입력 계조 값을 초과하지 않을 경우 화소 데이터(DATA1)를 보정하지 않고, 아래의 수학적 식 1과 같이, 제 1 표시 구간 비율(FDT)과 제 2 표시 구간 비율(SDT)에 기초하여 휘도 보상 값(1-FDT)/SDT))을 산출하고, 산출된 휘도 보상 값(1-FDT)/SDT))에 화소 데이터(DATA1)를 승산 연산(×)하여 휘도 보상 데이터(DATA3)를 생성한다.

**수학적 식 1**

$$DATA3 = \frac{1 - FDT}{SDT} \times DATA1$$

[0068]

[0069] 일 예로서, 도 8a에 도시된 바와 같이, 한 프레임 동안 "200"의 계조 값을 가지는 화소 데이터(DATA1)의 영상을 표시하는 i 번째 센싱 라인에 포함된 화소(P)를 예로 들어 휘도 보상 데이터(DATA3)를 생성 방법을 설명하면 다음과 같다.

[0070] 먼저, 휘도 보상 데이터 생성부(215c)는 룩 업 테이블(LUT)에서 i 번째 센싱 라인에 대한 최대 입력 계조 값을 리드(read)하여 화소 데이터(DATA1)와 비교한다. 이하에서는 화소 데이터(DATA1)가 최대 입력 계조 값을 초과하지 않는 것으로 가정하기로 한다.

[0071] 그런 다음, 휘도 보상 데이터 생성부(215c)는 룩 업 테이블(LUT)에서 i 번째 센싱 라인에 대한 제 1 표시 구간 비율(FDT), 센싱 구간 비율(ST), 및 제 2 표시 구간 비율(SDT)을 리드(Read)하고, 상기의 수학적 식 1의 연산을 통해 휘도 보상 데이터(DATA3)를 생성한다. 여기서, i 번째 센싱 라인에 포함된 화소(P)의 경우, 휘도 보상 데이터(DATA3)는 "220"의 계조 값을 가지도록 생성되게 된다. 이때, 수학적 식 1의 제산 연산(÷)은 소수점 3자리에서 올림 연산하는 것이 바람직하다.

[0072] 다른 예로서, 도 8b에 도시된 바와 같이, 한 프레임 동안 "200"의 계조 값을 가지는 화소 데이터(DATA1)의 영상을 표시하는 j 번째 센싱 라인에 포함된 화소(P)를 예로 들어 휘도 보상 데이터(DATA3)를 생성 방법을 설명하면 다음과 같다.

[0073] 먼저, 휘도 보상 데이터 생성부(215c)는 룩 업 테이블(LUT)에서 j 번째 센싱 라인에 대한 최대 입력 계조 값을 리드(read)하여 화소 데이터(DATA1)와 비교한다. 이하에서는 화소 데이터(DATA1)가 최대 입력 계조 값을 초과하지 않는 것으로 가정하기로 한다.

[0074] 그런 다음, 휘도 보상 데이터 생성부(215c)는 룩 업 테이블(LUT)에서 j 번째 센싱 라인에 대한 제 1 표시 구간 비율(FDT), 센싱 구간 비율(ST), 및 제 2 표시 구간 비율(SDT)을 리드(Read)하고, 상기의 수학적 식 1의 연산을 통해 휘도 보상 데이터(DATA3)를 생성한다. 여기서, j 번째 센싱 라인에 포함된 화소(P)의 경우, 휘도 보상 데이터(DATA3)는 "210"의 계조 값을 가지도록 생성되게 된다. 이때, 수학적 식 1의 제산 연산(÷)은 소수점 3자리에서 올림 연산하는 것이 바람직하다.

[0075] 다시 도 4 및 도 5에서, 제어 신호 생성부(217)는 구간 제어부(211)의 구간 제어에 기초하여, 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP) 각각에 대응되는 제 1 내지 제 3 게이트 제어 신호(GCS1, GCS2, GCS3)와 데이터 제어 신호(DCS)를 생성하여 로우(row) 구동부(220)와 컬럼(column) 구동부(230) 각각에 공급한

다.

- [0076] 구체적으로, 제어 신호 생성부(217)는 구간 제어부(211)에 따른 제 1 표시 구간(FDP)의 제어에 기초하여, 타이밍 동기 신호(TSS)에 따라 제 1 표시 구간(FDP) 동안 각 게이트 라인 그룹(GL1 내지 GLm)에 게이트 신호(GSa, GSb)를 순차적으로 공급하기 위한 제 1 게이트 제어 신호(GCS1)를 생성하고, 이와 동기되도록 각 수평 기간마다 각 수평 라인의 각 화소(P)에 데이터 전압을 공급하기 위한 데이터 제어 신호(DCS)를 생성한다.
- [0077] 또한, 제어 신호 생성부(217)는 구간 제어부(211)에 따른 센싱 구간(SP)의 제어에 기초하여, 타이밍 동기 신호(TSS)에 따라 센싱 구간(SP) 동안 해당 센싱 라인의 게이트 라인 그룹에 게이트 신호(GSa, GSb)를 공급하기 위한 제 2 게이트 제어 신호(GCS2)를 생성하고, 이와 동기되도록 센싱 라인의 각 화소(P)에 데이터 전압을 공급하기 위한 데이터 제어 신호(DCS)를 생성한다.
- [0078] 또한, 제어 신호 생성부(217)는 구간 제어부(211)에 따른 제 2 표시 구간(SDP)의 제어에 기초하여, 타이밍 동기 신호(TSS)에 따라 제 2 표시 구간(SDP) 동안 해당 센싱 라인의 게이트 라인 그룹에 게이트 신호(GSa, GSb)를 공급하기 위한 제 3 게이트 제어 신호(GCS3)를 생성하고, 이와 동기되도록 센싱 라인의 각 화소(P)에 데이터 전압을 공급하기 위한 데이터 제어 신호(DCS)를 생성한다. 이때, 제어 신호 생성부(217)는 제 2 표시 구간(SDP)의 시작 시점시 제 3 게이트 제어 신호(GCS3)의 게이트 쉬프트 클럭을 생성하는 클럭 카운터의 카운팅 설정 값을 감소시켜 제 1 표시 구간(FDP) 보다 빠른 주파수를 가지는 게이트 스타트 신호와 게이트 쉬프트 클럭을 생성한 후, 센싱 라인에 해당하는 시점에서는 상기 클럭 카운터의 카운팅 설정 값을 기준 설정 값으로 복원하여 적어도 1 수평 기간의 펄스 폭을 가지는 게이트 쉬프트 클럭을 생성함으로써 센싱 라인의 게이트 라인 그룹에 정상적인 게이트 신호(GSa, GSb)를 공급되도록 한다.
- [0079] 그리고, 제어 신호 생성부(217)는 구간 제어부(211)에 따른 제 2 표시 구간(SDP)의 제어에 기초하여, 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync) 및 메인 클럭(Mclk)에 기초하여 휘도 보상 데이터(DATA3)를 센싱 라인의 각 화소(P)에 표시하기 위한 보조 데이터 인에이블 신호(DE')를 생성하고, 생성된 보조 데이터 인에이블 신호(DE')를 데이터 출력부(219)에 공급한다. 즉, 제어 신호 생성부(217)는, 도 4에 도시된 바와 같이, 수직 동기 신호(Vsync)의 라이징 시점과 첫번째 데이터 인에이블 신호의 라이징 시점 사이에 발생하는 수평 동기 신호(Hsync)를 이용하여 보조 데이터 인에이블 신호(DE')를 생성하여 데이터 출력부(219)에 공급한다.
- [0080] 데이터 출력부(219)는 구간 제어부(211)의 구간 제어에 기초하여 데이터 처리부(213)로부터 공급되는 화소 데이터(DATA1) 또는 센싱용 데이터(DATA2)를 컬럼(column) 구동부(230)에 공급하거나, 휘도 보상부(215)로부터 공급되는 휘도 보상 데이터(DATA3)를 컬럼(column) 구동부(230)에 공급한다. 즉, 데이터 출력부(219)는 데이터 인에이블 신호(DE)에 기초하여 구간 제어부(211)에 따른 제 1 표시 구간(FDP)의 제어에 따라 화소 데이터(DATA1)를 컬럼(column) 구동부(230)에 공급하고, 데이터 인에이블 신호(DE)에 기초하여 구간 제어부(211)에 따른 센싱 구간(SP)의 제어에 따라 센싱용 데이터(DATA2)를 컬럼(column) 구동부(230)에 공급하며, 제어 신호 생성부(217)로부터 공급되는 보조 데이터 인에이블 신호(DE')에 기초하여 구간 제어부(211)에 따른 제 2 표시 구간(SDP)의 제어에 따라 휘도 보상 데이터(DATA3)를 컬럼(column) 구동부(230)에 공급한다.
- [0081] 전술한 타이밍 제어부(210)는 적색, 녹색, 및 청색의 RGB 입력 데이터, 상기 RGB 입력 데이터로부터 변환된 RGBW 입력 데이터를 기반으로 전술한 휘도 보상 데이터의 생성 알고리즘을 적용하거나, 상기 RGB 입력 데이터 또는 RGBW 입력 데이터를 휘도 성분과 색차 성분으로 변환하고 변환된 휘도 성분을 기반으로 전술한 휘도 보상 데이터의 생성 알고리즘을 적용할 수 있다.
- [0082] 도 9는 도 2에 도시된 컬럼(column) 구동부의 구성을 설명하기 위한 도면이다.
- [0083] 도 2 및 도 9를 참조하면, 본 발명에 따른 컬럼(column) 구동부(230)는 데이터 구동부(232), 및 센싱부(234)를 포함한다.
- [0084] 데이터 구동부(232)는 제 1 표시 구간(FDP), 센싱 구간(SP) 및 제 2 표시 구간(SDP)에 따라 상기 타이밍 제어부(210)로부터 공급되는 데이터(DATA1, DATA2, DATA3)를 공급받아 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL)에 공급한다. 즉, 제 1 표시 구간(FDP) 동안, 데이터 구동부(232)는 데이터 제어 신호(DCS)에 따라 각 수평 라인의 데이터 충전 기간에 화소 데이터(DATA1)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급한다. 또한, 센싱 구간(SP) 동안, 데이터 구동부(232)는 데이터 제어 신호(DCS)에 따라 센싱 라인의 초기화 기간과 전압 충전 기간에 센싱용 데이터(DATA2)를 데이터 전압(Vdata)으로 변환하여 데이터 라인(DL1 내지 DLn)에 공급한다. 그리고, 제 2 표시 구간(SDP) 동안, 데이터 구동부(232)는 데이터 제어 신호(DCS)에 따라 센싱 라인의 데이터 충전 기간에 휘도 보상 데이터(DATA3)를 데이터 전압(Vdata)으로 변환하여 데이터 라인

(DL1 내지 DLn)에 공급한다.

- [0085] 상기 데이터 구동부(232)는 상기 타이밍 제어부(210)로부터 공급되는 데이터 스타트 신호와 데이터 쉬프트 신호에 기초하여 샘플링 신호를 생성하는 쉬프트 레지스터, 샘플링 신호에 따라 데이터(DATA)를 래치하는 래치부, 복수의 기준 감마 전압을 이용하여 복수의 계조 전압을 생성하는 계조 전압 생성부, 복수의 계조 전압 중에서 래치된 데이터에 대응되는 계조 전압을 데이터 전압(Vdata)으로 선택하여 출력하는 디지털-아날로그 컨버터, 및 데이터 출력 신호에 따라 상기 데이터 전압(Vdata)을 데이터 라인(DL)으로 출력하는 출력부를 포함하여 구성될 수 있다.
- [0086] 한편, 도 9에서는 상기 데이터 구동부(232)가 하나의 데이터 라인(DL)에 접속되는 것으로 도시하였지만, 설정된 채널 수에 대응되는 데이터 라인에 접속된다.
- [0087] 센싱부(234)는 각 화소(P)의 레퍼런스 라인(RL)마다 접속되는 것으로, 스위칭부(234a), 및 아날로그-디지털 컨버터(234b)를 포함한다.
- [0088] 상기 스위칭부(234a)는 기준 전압(Vref)이 공급되는 기준 전압 공급 라인(RVL), 프리차징 전압(Vpre)이 공급되는 프리차징 전압 공급 라인(PVL), 및 아날로그-디지털 컨버터(234b)를 선택적으로 레퍼런스 라인(RL)에 접속시킨다. 즉, 스위칭부(234a)는, 제 1 표시 구간(FDP) 또는 제 2 표시 구간(SDP) 동안, 기준 전압 공급 라인(RVL)을 레퍼런스 라인(RL)에 접속시킨다. 그리고, 스위칭부(234a)는, 상기 센싱 구간(SP)의 초기화 기간 동안 프리차징 전압 공급 라인(PVL)을 레퍼런스 라인(RL)에 접속시키고, 상기 센싱 구간(SP)의 데이터 충전 기간 동안 레퍼런스 라인(RL)을 플로팅(floating)시키며, 상기 센싱 구간(SP)의 전압 센싱 구간 동안 레퍼런스 라인(RL)을 아날로그-디지털 컨버터(234b)에 접속시킨다.
- [0089] 기준 전압(Vref)은 상기 데이터 구동부(232)의 계조 전압 생성부에서 출력되는 계조 전압 중 어느 한 전압일 수 있으며, 이 경우 기준 전압 공급 라인(RVL)은 상기 계조 전압 생성부에 연결된다. 여기서, 상기 기준 전압(Vref)은 0(Zero)의 전압 레벨을 가지거나, 상기 유기 발광 소자(OLED)의 도통 전압 미만의 전압 레벨을 가질 수 있다.
- [0090] 또한, 상기 프리차징 전압(Vpre) 역시 계조 전압 생성부에서 출력되는 계조 전압 중 어느 한 전압일 수 있으며, 이 경우 프리차징 전압 공급 라인(PVL)은 상기 계조 전압 생성부에 연결된다.
- [0091] 상기 아날로그-디지털 컨버터(234b)는 상기 스위칭부(234a)의 스위칭에 의해 레퍼런스 라인(RL)에 접속되면, 레퍼런스 라인(RL)에 충전된 전압을 센싱하고, 센싱된 전압을 디지털 변환하여 센싱 데이터(Sdata)를 생성하고, 생성된 센싱 데이터(Sdata)를 타이밍 제어부(210)에 공급한다.
- [0092] 도 10은 본 발명의 실시 예에 따른 제 1 및 제 2 표시 구간의 구동 파형을 나타내는 파형도이다.
- [0093] 도 10을 도 2 및 도 3과 결부하여, 도 3에 도시된 화소의 제 1 및 제 2 표시 구간(FDP, SDP)의 구동 방법을 설명하면 다음과 같다.
- [0094] 먼저, 한 화소는 제 1 및 제 2 표시 구간(FDP, SDP) 동안, 초기화 기간(t1), 데이터 충전 기간(t2), 및 발광 기간(t3)으로 구동된다.
- [0095] 상기 초기화 기간(t1)에서는, 상기 로우(row) 구동부(220)의 구동에 의해 게이트 오프 전압 레벨의 제 1 게이트 신호(GSa)가 제 1 게이트 라인(GLa)에 공급되고, 게이트 온 전압 레벨의 제 2 게이트 신호(GSb)가 제 2 게이트 라인(GLb)에 공급되며, 상기 컬럼(column) 구동부(230)의 구동에 의해 기준 전압(Vref)이 레퍼런스 라인(RL)에 공급된다. 이에 따라, 상기 초기화 기간(t1)에서는, 제 1 게이트 신호(GSa)에 의해 제 1 스위칭 트랜지스터(Tsw1)가 턴-오프되고, 제 2 게이트 신호(GSb)에 의해 제 2 스위칭 트랜지스터(Tsw2)가 턴-온됨으로써 레퍼런스 라인(RL)에 공급되는 기준 전압(Vref)이 제 2 노드(n2)에 공급되고, 이로 인해 제 2 노드(n2)의 전압과 커패시터(Cst)의 전압은 상기 기준 전압(Vref)으로 초기화된다.
- [0096] 이어서, 상기 데이터 충전 기간(t2)에서는 상기 로우(row) 구동부(220)의 구동에 의해 게이트 온 전압 레벨의 제 1 게이트 신호(GSa)가 제 1 게이트 라인(GLa)에 공급되고, 제 2 게이트 라인(GLb)에 공급되는 제 2 게이트 신호(GSb)가 게이트 온 전압 레벨로 유지되며, 상기 컬럼(column) 구동부(230)의 구동에 의해 레퍼런스 라인(RL)에는 기준 전압(Vref)이 계속 공급되고, 데이터 전압(Vdata)이 데이터 라인(DL)에 공급된다. 이때, 상기 데이터 전압(Vdata)은 센싱 데이터(Sdata)에 따른 구동 트랜지스터(Tdr)의 특성 변화에 대응되는 전압이 반영된 전압 레벨 또는 휘도 보상 데이터(DATA3)로부터 변환된 전압 레벨을 갖는다. 이에 따라, 상기 데이터 충전 기간(t2)에서는, 제 1 게이트 신호(GSa)에 의해 제 1 스위칭 트랜지스터(Tsw1)가 턴-온되고, 제 2 게이트 신호

(GSb)에 의해 제 2 스위칭 트랜지스터(Tsw2)의 턴-온 상태가 유지됨으로써 제 1 노드(n1)에는 데이터 전압(Vdata)이 공급되고, 제 2 노드(n2)에는 기준 전압(Vref)이 공급된다.

[0097] 따라서, 상기 데이터 충전 기간(t2)에서, 커패시터(Cst)에는 상기 데이터 전압(Vdata)과 상기 기준 전압(Vref)의 차 전압(Vdata-Vref)이 충전된다.

[0098] 이어서, 상기 발광 기간(t3)에서는, 상기 로우(row) 구동부(220)의 구동에 의해 게이트 오프 전압 레벨의 제 1 및 제 2 게이트 신호(GSa, GSb)가 제 1 및 제 2 게이트 라인(GLa, GLb)에 공급된다. 이에 따라, 상기 발광 기간(t3)에서는 제 1 및 제 2 스위칭 트랜지스터(Tsw1, Tsw2) 각각이 상기 제 1 및 제 2 게이트 신호(GSa, GSb)에 의해 턴-오프됨으로써 구동 트랜지스터(Tdr)가 상기 커패시터(Cst)에 저장된 전압에 의해 턴-온된다.

[0099] 따라서, 상기 발광 기간(t3) 동안 상기 턴-온된 구동 트랜지스터(Tdr)는, 하기의 수학식 2와 같이, 상기 데이터 전압(Vdata)과 상기 기준 전압(Vref)의 차 전압(Vdata-Vref)에 의해 결정되는 데이터 전류(Ioled)를 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)가 발광되도록 한다. 즉, 상기 발광 기간(t3)에서, 제 1 및 제 2 스위칭 트랜지스터(Tsw1, Tsw2)가 턴-오프되면, 구동 전압 라인(VL)에 공급되는 구동 전압(EVDD)에 의해 구동 트랜지스터(Tdr)에 전류가 흐르고, 이 전류에 비례하여 발광 소자(OLED)가 발광을 시작하면서 제 2 노드(n2)의 전압이 상승하게 되며, 커패시터(Cst)에 의해 제 2 노드(n2)의 전압 상승만큼 제 1 노드(n1)의 전압이 상승함으로써 커패시터(Cst)의 전압에 의해 구동 트랜지스터(Tdr)의 게이트-소스 전압(Vgs)이 지속적으로 유지되어 발광 소자(OLED)가 다음 초기화 기간(t1)까지 발광을 지속하게 된다.

**수학식 2**

$$I_{oled} = k(V_{data} - V_{ref})^2$$

[0100]

[0101] 상기 수학식 2에서, "k"는 비례 상수로서 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 값으로, 구동 트랜지스터(DT)의 이동도(mobility) 및 구동 트랜지스터(DT)의 채널 폭(W)과 채널 길이(L)의 비인 "W/L" 등에 의해서 결정될 수 있다.

[0102] 상기 수학식 2에서 알 수 있듯이, 상기 발광 기간(t3) 동안 발광 소자(OLED)에 흐르는 데이터 전류(Ioled)는 전술한 전류 편차에 따라 조절된 기준 전압(Vref)에 의해 구동 트랜지스터(DT)의 문턱 전압(Vth)/이동도의 변화에 영향을 받지 않고, 단지 전술한 전류 편차에 따라 조절된 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 것을 알 수 있다.

[0103] 한편, 전술한 설명에서 초기화 기간(t1)은 생략될 수 있다. 즉, 전술한 바와 같이, 상기 데이터 충전 기간(t2) 동안 제 2 노드(n2)에 기준 전압(Vref)이 공급되기 때문에 초기화 기간(t1) 없이도 커패시터(Cst)에 데이터 전압(Vdata)과 기준 전압(Vref)의 차 전압(Vdata-Vref)을 충전할 수 있다.

[0104] 도 11은 본 발명의 실시 예에 따른 센싱 구간의 구동 파형을 나타내는 파형도이다.

[0105] 도 11을 도 2 및 도 3과 결부하여, 도 3에 도시된 화소의 센싱 구간(SP)의 구동 방법을 설명하면 다음과 같다.

[0106] 먼저, 한 화소는 센싱 간(SP) 동안, 초기화 기간(t1), 전압 충전 기간(t2), 및 전압 센싱 기간(t3)으로 구동된다.

[0107] 상기 초기화 기간(t1)에서는, 상기 로우(row) 구동부(220)에 의해 게이트 온 전압 레벨의 제 1 및 제 2 게이트 신호(GSa, GSb)가 제 1 및 제 2 게이트 라인(GLa, GLb)에 공급되고, 상기 컬럼(column) 구동부(230)에 의해 센싱용 데이터(DATA2)로부터 변환된 센싱용 데이터 전압(Vdata)이 데이터 라인(DL)에 공급됨과 동시에 프리차징 전압(Vpre)이 센싱 라인(SLi)에 공급된다. 이에 따라, 상기 서브 화소(P)의 제 1 및 제 2 스위칭 트랜지스터(Tsw1, Tsw2) 각각이 상기 게이트 온 전압 레벨의 제 1 및 제 2 게이트 신호(GSa, GSb)에 의해 턴-오프됨으로써 상기 제 1 노드(n1)에는 상기 데이터 전압(Vdata)이 공급되고, 제 2 노드(n2)의 전압은 상기 프리차징 전압(Vpre)으로 초기화됨으로써 커패시터(Cst)에는 상기 데이터 전압(Vdata)과 상기 프리차징 전압(Vpre)의 차 전압(Vdata-Vpre)이 충전된다.

[0108] 이어서, 상기 전압 충전 기간(t2)에서는, 상기 로우(row) 구동부(220)에 따라 게이트 온 전압 레벨의 제 1 및 제 2 게이트 신호(GSa, GSb)가 제 1 및 제 2 게이트 라인(GLa, GLb)에 공급되고, 상기 컬럼(column) 구동부

(230)의 구동에 의해 센싱용 데이터 전압(Vdata)이 데이터 라인(DL)에 계속 공급됨과 동시에 상기 레퍼런스 라인(RL)이 플로팅된다. 이에 따라, 상기 전압 충전 기간(t2)에서는, 센싱용 데이터 전압(Vdata)에 의해 구동 트랜지스터(Tdr)가 턴-온되고, 턴-온된 구동 트랜지스터(Tdr)에 흐르는 전류에 대응되는 전압이 플로팅 상태의 레퍼런스 라인(RL)에 충전된다. 이때, 레퍼런스 라인(RL)에는 구동 트랜지스터(Tdr)의 문턱 전압(Vth)에 대응되는 전압이 충전된다.

[0109] 이어서, 상기 전압 센싱 기간(t3)에서는, 상기 로우(row) 구동부(220)에 의해 게이트 오프 전압 레벨의 제 1 게이트 신호(GSa)가 제 1 게이트 라인(GLa)에 공급됨과 동시에 게이트 온 전압 레벨의 제 2 게이트 신호(GSb)가 제 2 게이트 라인(GLb)에 공급되고, 플로팅된 레퍼런스 라인(RL)이 컬럼(column) 구동부(230)에 다시 접속된다. 이에 따라, 상기 전압 센싱 기간(t3) 동안, 상기 컬럼(column) 구동부(230)는 접속된 레퍼런스 라인(RL)에 충전된 전압을 검출하고, 검출된 전압, 즉 구동 트랜지스터(Tdr)의 문턱 전압에 대응되는 센싱 데이터를 생성하여 타이밍 제어부(210)에 제공한다.

[0110] 한편, 상기 화소(P)의 제 1 스위칭 트랜지스터(Tsw1)가 상기 초기화 기간(t1) 동안에만 턴-온되고 센싱용 데이터 전압(Vdata)이 상기 초기화 기간(t1) 동안에만 공급될 경우, 상기 컬럼(column) 구동부(230)는 레퍼런스 라인(RL)을 통해 구동 트랜지스터(Tdr)의 이동도에 대응되는 센싱 데이터를 생성하여 타이밍 제어부(210)에 제공하게 된다.

[0111] 다른 한편, 본 발명에 따른 유기 발광 표시 장치의 화소 구조와 화소의 표시 구간 및 센싱 구간 각각의 구동 과정은 전술한 설명에 의해 한정되지 않으며, 구동 트랜지스터의 특성 변화를 표시 패널의 외부에서 센싱하여 보상하는 어떠한 화소 구조에도 동일하게 적용될 수 있다.

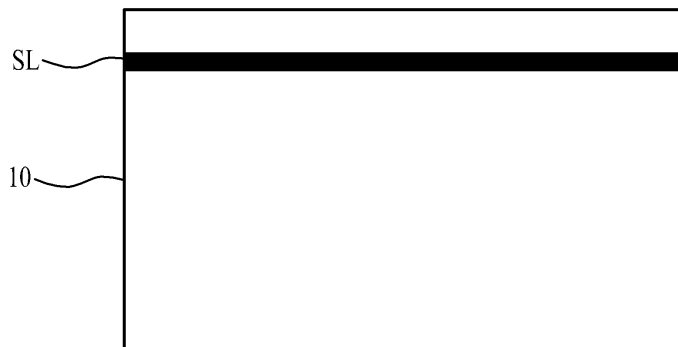
[0112] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

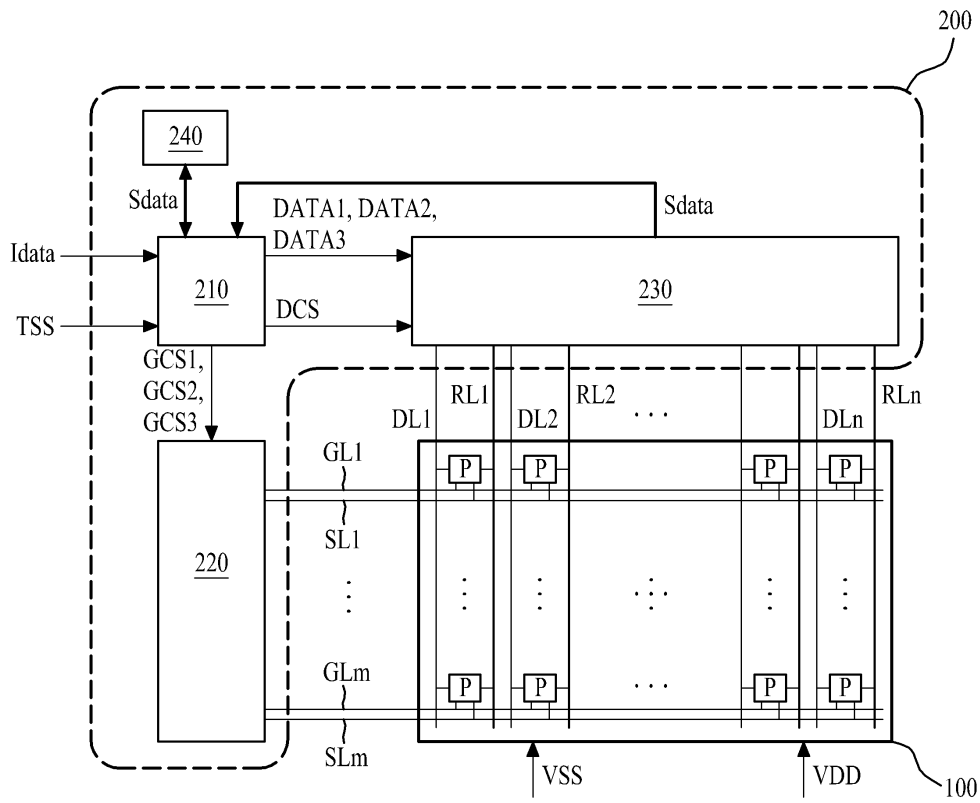
- |        |                    |                     |
|--------|--------------------|---------------------|
| [0113] | 100: 표시 패널         | 200: 패널 구동부         |
|        | 210: 타이밍 제어부       | 211: 구간 제어부         |
|        | 213: 데이터 처리부       | 215: 휘도 보상부         |
|        | 217: 휘도 보상 데이터 생성부 | 219: 데이터 출력부        |
|        | 230: 로우(row) 구동부   | 240: 컬럼(column) 구동부 |

**도면**

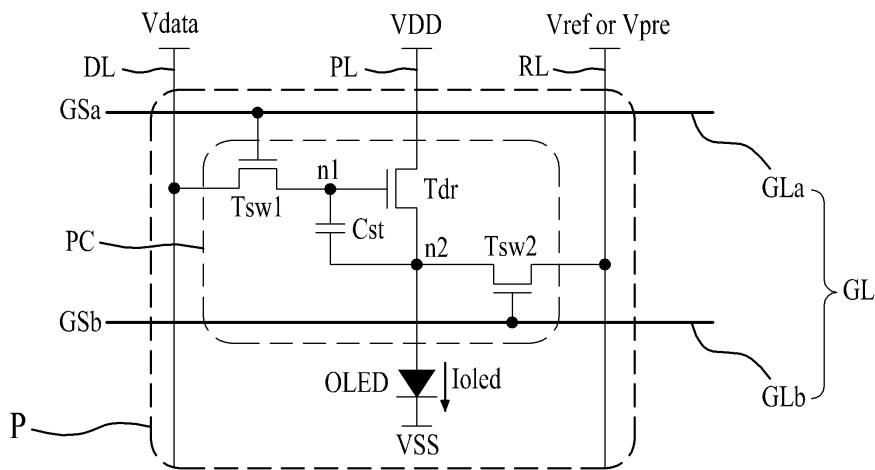
**도면1**



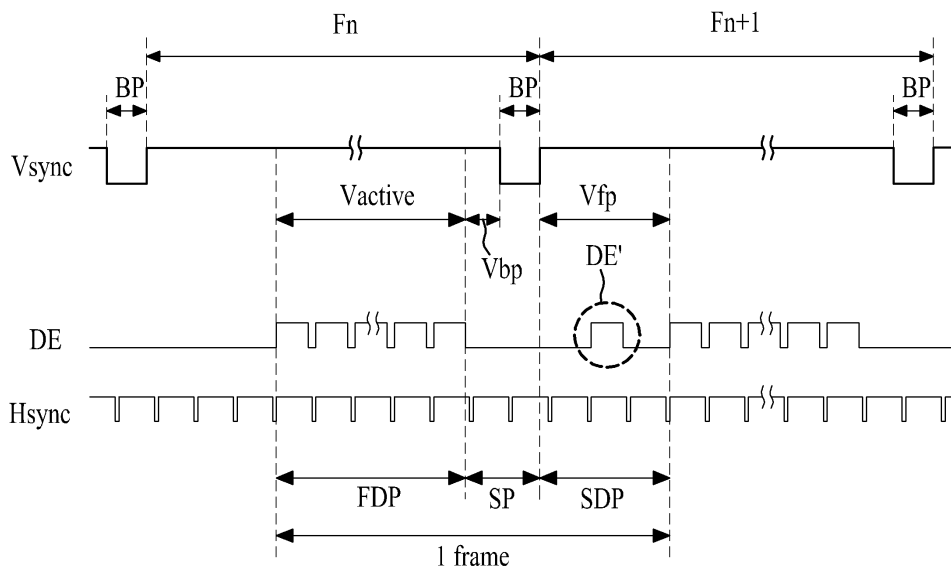
도면2



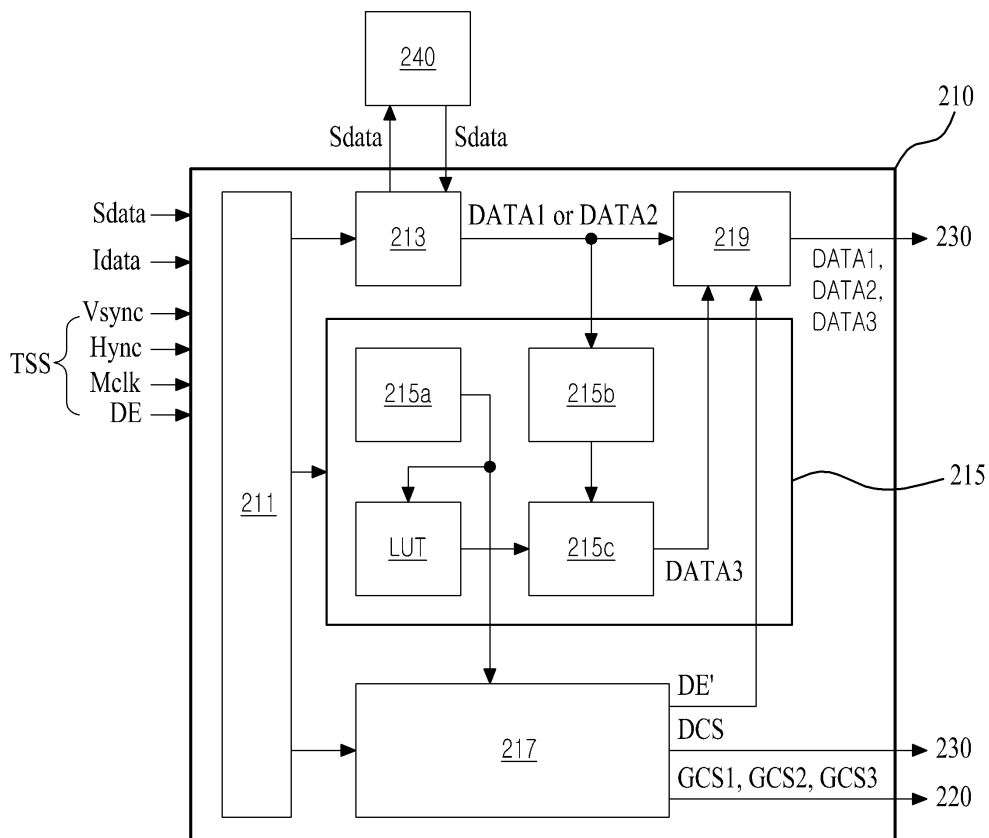
도면3



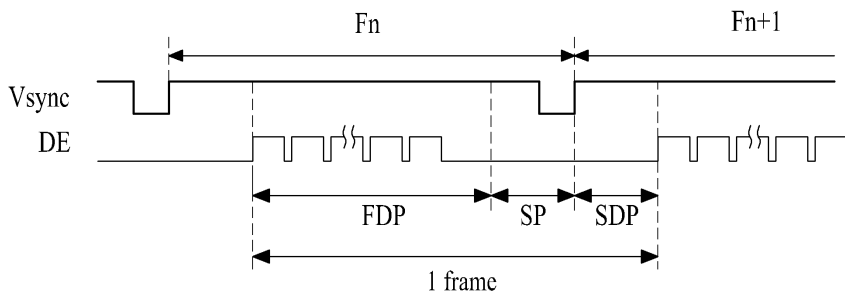
도면4



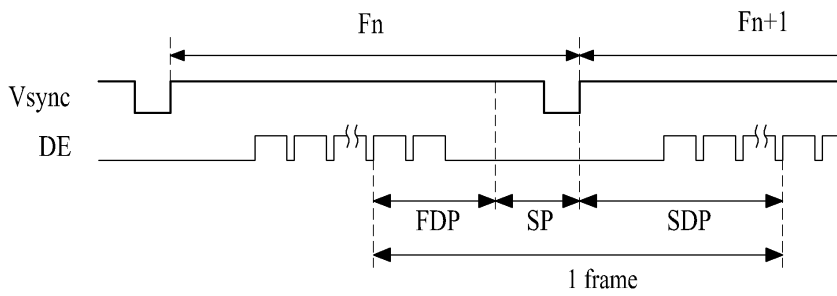
도면5



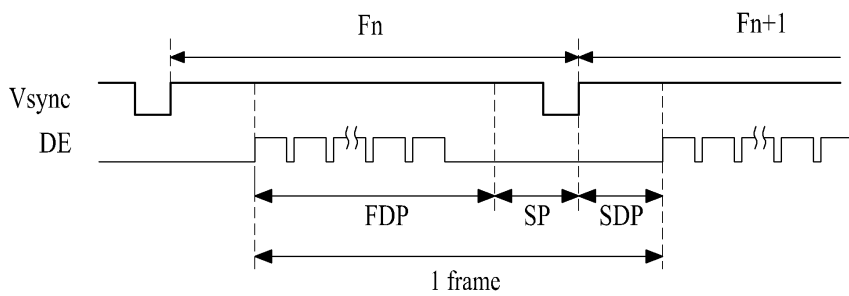
도면6a



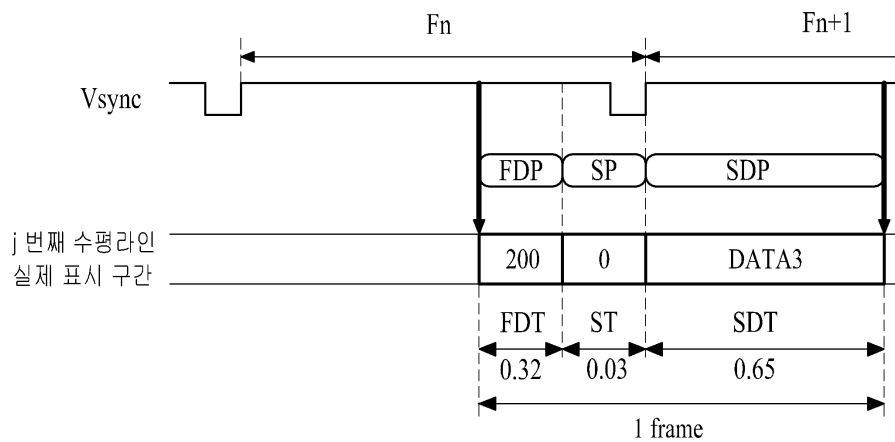
도면6b



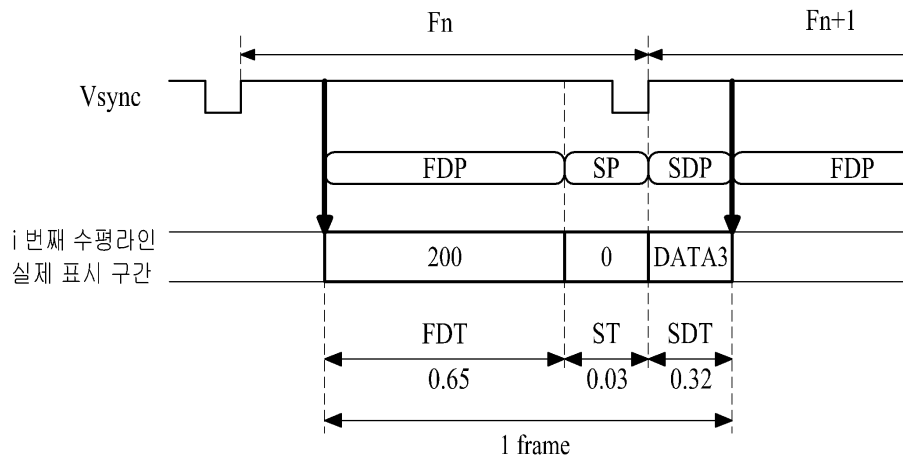
도면7



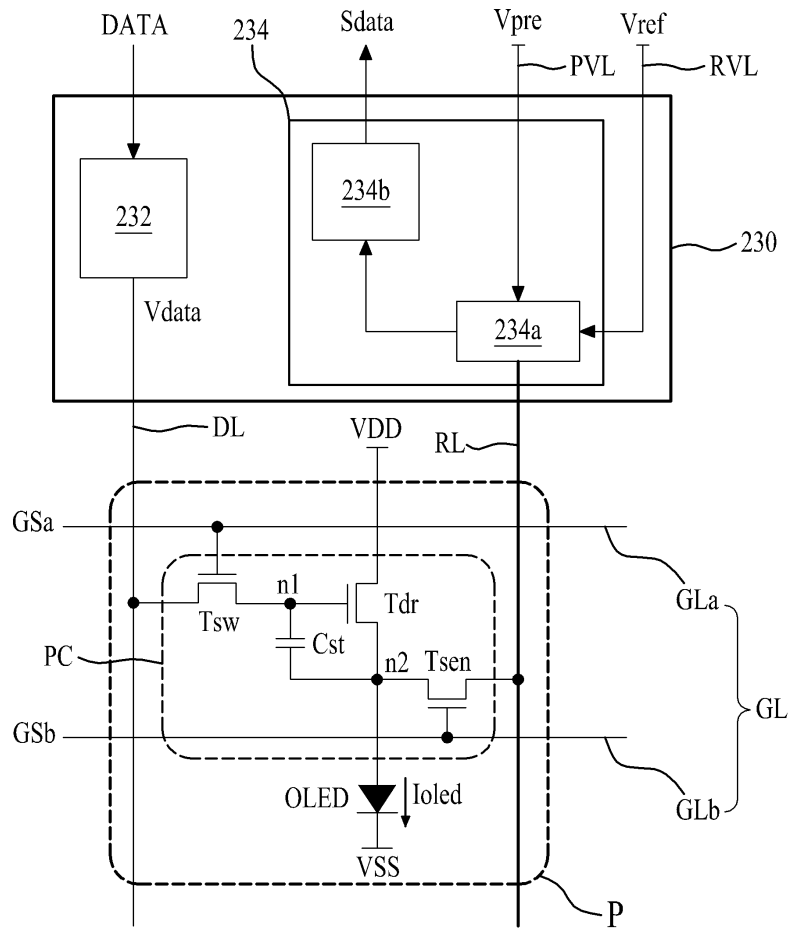
도면8a



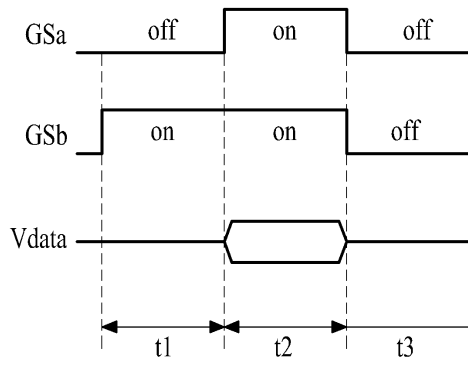
도면8b



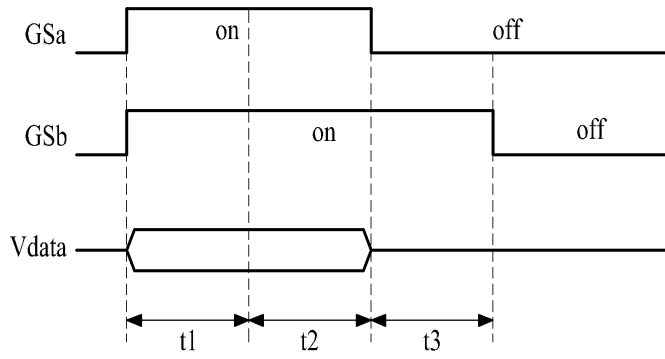
도면9



도면10



도면11



专利名称(译)	OLED显示器及其驱动方法		
公开(公告)号	<a href="#">KR1020140085739A</a>	公开(公告)日	2014-07-08
申请号	KR1020120154827	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEONGMIN CHOI 최성민 ILHO KIM 김일호		
发明人	최성민 김일호		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G2320/0626 G09G3/3208		
其他公开文献	KR101987078B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的有机发光显示装置，其解决了由于用于外部校正的实时感测而导致的感测线的可见性和亮度劣化的问题，包括显示面板，该显示面板包括具有驱动晶体管的多个像素。用于使有机发光器件发光；以及将显示面板设置为第一显示间隔，感测间隔和第二显示间隔的面板驱动部件，在第一显示间隔期间在感测线的每个像素上显示像素数据，感测包括的驱动晶体管的特性变化在感测间隔期间感测线的像素中，并且在感测线的每个像素处显示亮度校正数据，其中在第二显示间隔期间感测线的亮度减小被校正。

