

(72) 발명자

유춘기

경기도 용인시 기흥구 삼성2로 95 (농서동)

조규식

경기도 용인시 기흥구 삼성2로 95 (농서동)

박중현

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관 상에 구비된 활성층;

상기 활성층을 덮도록 상기 기관 상에 구비되며, 제1개구부를 포함하고 상기 제1개구부 내에 상기 제1개구부의 내측과 이격된 제1절연층을 포함하는 제1절연층;

상기 활성층과 절연되도록 상기 제1절연층 상에 구비되며, 게이트하부전극 및 게이트상부전극을 포함하는 게이트전극;

상기 제1절연층 상에 구비되며, 상기 게이트하부전극과 동일층에 형성된 화소전극;

상기 게이트전극과 절연되며 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극;

상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 구비되고, 상기 화소전극 전체를 노출시키는 제2개구부를 포함하는 제2절연층;

상기 제1개구부 및 상기 제2개구부 내에 구비되고, 상기 화소전극을 둘러싸는 광반사부;

상기 화소전극의 상부에 구비되며, 유기발광층을 포함하는 중간층; 및

상기 중간층을 사이에 두고 상기 화소전극과 대향하여 배치되는 대향전극;

을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1개구부와 상기 제2개구부는 내측면이 서로 연결된 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 화소전극의 가장자리 외측면과 상기 제2개구부 내측면 사이에는 갭이 존재하고, 상기 갭이 형성된 영역에 상기 광반사부가 배치되는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 광반사부의 일측은 상기 화소전극 상면의 높이까지 구비되고, 상기 광반사부의 타측은 상기 제2절연층 상면의 높이까지 구비된 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 광반사부는 상기 화소전극과 직접 접촉하는 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 광반사부는 상기 소스전극 및 드레인전극과 동일한 물질을 포함하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 소스전극 및 드레인전극 및 상기 광반사부 상에 구비되며, 상기 화소전극의 상면의 가장자리를 덮고 중앙

부를 노출하는 제3개구부를 포함하는 제3절연층;
을 더 포함하는 유기발광표시장치.

청구항 8

제1항에 있어서,
상기 기판과 상기 활성층 사이에 구비된 보조층; 을 더 포함하며,
상기 보조층은 상기 제1개구부 및 상기 제2개구부와 내측면이 서로 연결된 제4개구부 및 상기 제4개구부 내에
상기 제4개구부의 내측과 이격된 제2절연층을 포함하는 유기발광표시장치.

청구항 9

제8항에 있어서,
상기 광반사부는 상기 제4개구부 내에도 구비되는 유기발광표시장치.

청구항 10

제1항에 있어서,
상기 게이트하부전극 및 상기 화소전극은 투명한 도전물질을 포함하는 유기발광표시장치.

청구항 11

제10항에 있어서,
상기 투명한 도전물질은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO),
징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide:
IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을
포함하는 유기발광표시장치.

청구항 12

제10항에 있어서,
상기 대향전극은 광반사 전극인 유기발광표시장치.

청구항 13

제1항에 있어서,
상기 활성층과 동일층에 구비되며, 불순물이 도핑된 반도체 물질을 포함하는 커패시터하부전극; 및
상기 커패시터하부전극에 대응하여 상기 게이트하부전극과 동일층에 구비되며, 투명한 도전물질을 포함하는 커패시터상부전극;
을 더 포함하는 유기발광표시장치.

청구항 14

제13항에 있어서,
상기 제2절연층은 상기 커패시터상부전극 전체를 노출시키는 제5개구부를 더 포함하는 유기발광표시장치.

청구항 15

제14항에 있어서,
상기 제1절연층은 상기 제5개구부와 내측면이 서로 연결된 제6개구부 및 상기 제6개구부 내에 상기 제6개구부
내측과 이격되고 상기 커패시터상부전극과 대응하는 제3절연층을 포함하는 유기발광표시장치.

청구항 16

기판 상에 반도체층을 형성한 후, 패터닝하여 활성층을 형성하는 제1마스크공정단계;

상기 활성층 상에 제1절연층, 제1도전층 및 제2도전층을 순차 적층한 후, 상기 제1도전층 및 상기 제2도전층을 패터닝하여 제1전극패턴 및 게이트전극을 형성하는 제2마스크공정단계;

상기 제1전극패턴 및 게이트전극 상에 제2절연층을 형성한 후, 상기 제1절연층 및 상기 제2절연층을 패터닝하여 상기 제1전극패턴 전체 및 상기 활성층의 일부를 노출하는 개구들을 형성하는 제3마스크공정단계;

상기 제2절연층 상에 제3도전층을 형성한 후, 패터닝하여 상기 활성층과 전기적으로 연결된 소스전극 및 드레인 전극을 형성하고, 상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여 화소전극을 형성하며, 상기 개구 내에 구비되고 상기 화소전극을 둘러싸는 광반사부를 형성하는 제4마스크공정단계; 및

상기 화소전극 및 상기 광반사부 상에 제3절연층을 형성한 후 패터닝하여 상기 화소전극의 중앙부를 노출하는 제5마스크공정단계;

를 포함하는 유기발광표시장치의 제조방법.

청구항 17

제16항에 있어서,

상기 제2마스크공정단계 이후에,

상기 활성층을 불순물로 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 18

제16항에 있어서,

상기 제3마스크공정단계는,

상기 제2절연층을 패터닝하여 상기 제1전극패턴 전체를 노출하는 제2개구부를 형성하고, 동시에 상기 제1절연층을 패터닝하여 상기 제2개구부와 연결된 제1개구부 및 상기 제1개구부 내에 상기 제1개구부의 내측과 이격되고 상기 제1전극패턴에 대응하는 제1절연층을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 19

제18항에 있어서,

상기 기판 상에 보조층을 형성하는 단계; 를 더 포함하며,

상기 제3마스크공정단계는, 상기 보조층을 패터닝하여 상기 제1개구부 및 상기 제2개구부와 연결된 제4개구부 및 제4개구부 내에 상기 제4개구부의 내측과 이격되고 상기 제1절연층에 대응하는 제2절연층을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 20

제16항에 있어서,

상기 제5마스크공정단계 이후에,

상기 화소전극 상부에 발광층을 포함하는 중간층 및 대향전극을 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 21

제16항에 있어서,

상기 제1마스크공정단계는, 상기 반도체층을 패터닝하여 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고,

상기 제2마스크공정단계는, 상기 제1도전층 및 상기 제2도전층을 패터닝하여 상기 커패시터하부전극에 대응하여 커패시터상부전극을 형성하기 위한 제2전극패턴을 형성하는 단계; 를 더 포함하는 유기발광표시장치의

제조방법.

청구항 22

제21항에 있어서,

상기 제3마스크공정단계는,

상기 제1절연층 및 상기 제2절연층을 패터닝하여 상기 제2전극패턴 전체를 노출하는 개구를 형성하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

청구항 23

제22항에 있어서,

상기 제4마스크공정단계는, 상기 제2전극패턴을 구성하는 상기 제2도전층을 제거하여 상기 커패시터상부전극을 형성하며,

상기 제4마스크공정단계 이후에, 상기 커패시터하부전극을 불순물로 도핑하는 단계; 를 더 포함하는 유기발광표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명의 일 측면은 유기발광표시장치 및 그 제조방법에 관한 것으로, 상세하게는 제조 공정이 단순화되고, 광 효율이 향상된 유기발광표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 유기발광표시장치, 액정 디스플레이 장치 등과 같은 평판 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다. 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0003] 그러나, 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 측면은 제조 공정이 단순화되고, 광 효율이 향상된 유기발광표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 구비된 활성층; 상기 활성층을 덮도록 상기 기판 상에 구비되며, 제1개구부를 포함하고 상기 제1개구부 내에 상기 제1개구부의 내측과 이격된 제1절연층을 포함하는 제1절연층; 상기 활성층과 절연되도록 상기 제1절연층 상에 구비되며, 게이트하부전극 및 게이트상부전극을 포함하는 게이트전극; 상기 제1절연층 상에 구비되며, 상기 게이트하부전극과 동일층에 형성된 화소전극; 상기 게이트전극과 절연되며 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극; 상기 게이트전극과 상기 소스전극 및 드레인전극 사이에 구비되고, 상기 화소전극 전체를 노출시키는 제2개구부를 포함하는 제2절연층; 상기 제1개구부 및 상기 제2개구부 내에 구비되고, 상기 화소전극을 둘러싸는 광반사부; 상기 화소전극의 상부에 구비되며, 유기발광층을 포함하는 중간층; 및 상기 중간층을 사이에 두고 상기 화소전극과 대향하여 배치되는 대향전극; 을 포함하는 유기발광표시장치를 제공한다.

- [0006] 본 발명의 다른 특징에 따르면, 상기 제1개구부와 제2개구부는 내측면이 서로 연결된다.
- [0007] 본 발명의 다른 특징에 따르면, 상기 화소전극의 가장자리 외측면과 상기 제2개구부 내측면 사이에는 갭이 존재하고, 상기 갭이 형성된 영역에 상기 광반사부가 배치된다.
- [0008] 본 발명의 다른 특징에 따르면, 상기 광반사부의 일측은 상기 화소전극 상면의 높이까지 구비되고, 상기 광반사부의 타측은 상기 제2절연층 상면의 높이까지 구비된다.
- [0009] 본 발명의 다른 특징에 따르면, 상기 광반사부는 상기 화소전극과 직접 접촉한다.
- [0010] 본 발명의 다른 특징에 따르면, 상기 광반사부는 상기 소스전극 및 드레인전극과 동일한 물질을 포함한다.
- [0011] 본 발명의 다른 특징에 따르면, 상기 소스전극 및 드레인전극 및 상기 광반사부 상에 구비되며, 상기 화소전극의 상면의 가장자리를 덮고 중앙부를 노출하는 제3개구부를 포함한다.
- [0012] 본 발명의 다른 특징에 따르면, 상기 기판과 상기 활성층 사이에 구비된 보조층; 을 더 포함하며, 상기 보조층은 상기 제1개구부 및 상기 제2개구부와 내측면이 서로 연결된 제4개구부 및 상기 제4개구부 내에 상기 제4개구부의 내측과 이격된 제2절연층을 포함한다.
- [0013] 본 발명의 다른 특징에 따르면, 상기 광반사부는 상기 제4개구부 내에도 구비된다.
- [0014] 본 발명의 다른 특징에 따르면, 상기 게이트하부전극 및 상기 화소전극은 투명한 도전물질을 포함한다.
- [0015] 본 발명의 다른 특징에 따르면, 상기 투명한 도전물질은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함한다.
- [0016] 본 발명의 다른 특징에 따르면, 상기 대향전극은 광반사 전극이다.
- [0017] 본 발명의 다른 특징에 따르면, 상기 활성층과 동일층에 구비되며, 불순물이 도핑된 반도체 물질을 포함하는 커패시터하부전극; 및 상기 커패시터하부전극에 대응하여 상기 게이트하부전극과 동일층에 구비되며, 투명한 도전물질을 포함하는 커패시터상부전극; 을 더 포함한다.
- [0018] 본 발명의 다른 특징에 따르면, 상기 제2절연층은 상기 커패시터상부전극 전체를 노출시키는 제5개구부를 더 포함한다.
- [0019] 본 발명의 다른 특징에 따르면, 상기 제1절연층은 상기 제5개구부와 내측면이 서로 연결된 제6개구부 및 상기 제6개구부 내에 상기 제6개구부 내측과 이격되고 상기 커패시터상부전극과 대응하는 제3절연층을 포함한다.
- [0020] 상기와 같은 과제를 달성하기 위한 본 발명의 일 실시예에 따르면, 기판 상에 반도체층을 형성한 후, 패터닝하여 활성층을 형성하는 제1마스킹공정단계; 상기 활성층 상에 제1절연층, 제1도전층 및 제2도전층을 순차 적층한 후, 상기 제1도전층 및 상기 제2도전층을 패터닝하여 제1전극패턴 및 게이트전극을 형성하는 제2마스킹공정단계; 상기 제1전극패턴 및 게이트전극 상에 제2절연층을 형성한 후, 상기 제1절연층 및 상기 제2절연층을 패터닝하여 상기 제1전극패턴 전체 및 상기 활성층의 일부를 노출하는 개구들을 형성하는 제3마스킹공정단계; 상기 제2절연층 상에 제3도전층을 형성한 후, 패터닝하여 상기 활성층과 전기적으로 연결된 소스전극 및 드레인전극을 형성하고, 상기 제1전극패턴을 구성하는 상기 제2도전층을 제거하여 화소전극을 형성하며, 상기 개구 내에 구비되고 상기 화소전극을 둘러싸는 광반사부를 형성하는 제4마스킹공정단계; 및 상기 화소전극 및 상기 광반사부 상에 제3절연층을 형성한 후 패터닝하여 상기 화소전극의 중앙부를 노출하는 제5마스킹공정단계; 를 포함하는 유기발광표시장치의 제조방법을 제공한다.
- [0021] 본 발명의 다른 특징에 따르면, 상기 제2마스킹공정단계 이후에, 상기 활성층을 불순물로 도핑하여 소스영역 및 드레인영역을 형성하는 단계; 를 더 포함한다.
- [0022] 본 발명의 다른 특징에 따르면, 상기 제3마스킹공정단계는, 상기 제2절연층을 패터닝하여 상기 제1전극패턴 전체를 노출하는 제2개구부를 형성하고, 동시에 상기 제1절연층을 패터닝하여 상기 제2개구부와 연결된 제1개구부 및 상기 제1개구부 내에 상기 제1개구부의 내측과 이격되고 상기 제1전극패턴에 대응하는 제1절연층을 형성하는 단계; 를 더 포함한다.
- [0023] 본 발명의 다른 특징에 따르면, 상기 기판 상에 보조층을 형성하는 단계; 를 더 포함하며, 상기 제3마스킹공정

단계는, 상기 보조층을 패터닝하여 상기 제1개구부 및 상기 제2개구부와 연결된 제4개구부 및 제4개구부 내에 상기 제4개구부의 내측과 이격되고 상기 제1절연층에 대응하는 제2절연층을 형성하는 단계; 를 더 포함한다.

[0024] 본 발명의 다른 특징에 따르면, 상기 제5마스크공정단계 이후에, 상기 화소전극 상부에 발광층을 포함하는 중간층 및 대향전극을 형성하는 단계; 를 더 포함한다.

[0025] 본 발명의 다른 특징에 따르면, 상기 제1마스크공정단계는, 상기 반도체층을 패터닝하여 상기 활성층과 동일층에 커패시터하부전극을 형성하는 단계; 를 더 포함하고, 상기 제2마스크공정단계는, 상기 제1도전층 및 상기 제2도전층을 패터닝하여 상기 커패시터하부전극에 대응하여 커패시터상부전극을 형성하기 위한 제2전극패턴을 형성하는 단계; 를 더 포함한다.

[0026] 본 발명의 다른 특징에 따르면, 상기 제3마스크공정단계는, 상기 제1절연층 및 상기 제2절연층을 패터닝하여 상기 제2전극패턴 전체를 노출하는 개구를 형성하는 단계; 를 더 포함한다.

[0027] 본 발명의 다른 특징에 따르면, 상기 제4마스크공정단계는, 상기 제2전극패턴을 구성하는 상기 제2도전층을 제거하여 상기 커패시터상부전극을 형성하며, 상기 제4마스크공정단계 이후에, 상기 커패시터하부전극을 불순물로 도핑하는 단계; 를 더 포함한다.

발명의 효과

[0028] 이상과 같은 본 발명의 일 실시예에 따르면, 첫째, 유기발광표시장치의 제조공정이 단순화된다. 둘째, 발광영역의 면적이 증가함으로써 개구율이 향상된다. 셋째, 광반사부에 의해 광 효율이 증대되는 효과를 얻을 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 도시한 단면도이다.

도 2는 도 1의 발광영역을 개략적으로 도시한 단면도이다.

도 3은 도 1의 발광영역을 개략적으로 도시한 평면도이다.

도 4 내지 도 10은 도 1의 유기발광표시장치의 제조방법을 개략적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0031] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0032] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 한편, 하기에서 사용된 "/"는 상황에 따라 "및"으로 해석될 수도 있고 "또는"으로 해석될 수도 있다.

[0033] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0034] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치(1)를 개략적으로 도시한 단면도이다.

[0035] 도 1을 참조하면, 유기발광표시장치(1)는 유기발광소자(EL)가 구비된 발광영역(100), 유기발광소자(EL)를 구동하기 위한 구동 박막트랜지스터(TFT) 및/또는 스위칭 박막트랜지스터(TFT)가 구비된 박막트랜지스터영역(200), 커패시터(Cst)가 구비된 저장영역(300)을 포함한다.

[0036] 박막트랜지스터영역(200)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는 유기발광소자(EL)와 전기적으로 연결되어 전류를 공급하는 구동 박막트랜지스터(TFT), 및 커패시터(Cst) 등과 전기적으

로 연결되는 스위칭 박막트랜지스터(TFT) 등을 포함한다. 박막트랜지스터(TFT)는 활성층(212), 게이트전극(210) 및 소스/드레인전극(216s,d)을 포함한다. 게이트전극(210)은 게이트하부전극(214)과 게이트상부전극(215)으로 구성되고, 이 때 게이트하부전극(214)은 투명한 도전물질로 형성된다. 게이트전극(210)과 활성층(212) 사이에는 이들간의 절연을 위한 게이트절연막인 제1절연층(13)이 개재된다. 활성층(212)의 양쪽 가장자리에는 채널영역(212c)을 가운데 두고 고농도의 불순물이 도핑된 소스/드레인영역(212s,d)이 형성되며, 이들은 각각 소스/드레인전극(216s,d)과 전기적으로 연결된다. 도 1에서는 탑게이트타입(top gate type)의 박막트랜지스터(TFT)가 도시되었으나, 이에 한정되지 않고 바텀게이트타입(bottom gate type) 등 다양한 타입의 박막트랜지스터(TFT)가 적용될 수 있다.

[0037] 저장영역(300)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 스위칭 박막트랜지스터(TFT)가 오프(off)된 뒤에도 구동 박막트랜지스터(TFT)로 인가되는 신호를 충전한다. 커패시터(Cst)는 커패시터하부전극(312) 및 커패시터상부전극(314)을 양 전극으로 하고, 그 사이에 유전층으로써 제1절연층(13)이 개재된다. 여기서 커패시터하부전극(312)은 활성층(212)과 동일한 층에 형성될 수 있다. 커패시터하부전극(312)은 반도체물질로 이루어지며, 불순물이 도핑되어 있어 전기전도성이 향상된다. 한편, 커패시터상부전극(314)은 게이트하부전극(214) 및 화소전극(114)과 동일한 층에 동일한 물질로 형성될 수 있다.

[0038] 발광영역(100)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 구동 박막트랜지스터(TFT)의 소스/드레인전극(216s,d) 중 하나와 전기적으로 연결된 화소전극(114), 화소전극(114)과 대향 배치된 대향전극(119) 및 화소전극(114)과 대향전극(119) 사이에 개재된 중간층(118)을 포함한다. 화소전극(114)은 게이트하부전극(214)과 동일한 층에 형성되며 투명한 도전물질을 포함한다. 대향전극(119)은 광반사 전극으로 구비된다. 중간층(118)은 유기발광층을 포함한다. 이로부터 도 1의 유기발광표시장치(1)는 기관(10)쪽으로 광을 방출하는 배면발광타입(bottom emission type)이 된다. 본 발명의 일 실시예에 의하면 유기발광소자(EL)는 화소전극(114)을 둘러싸고, 중간층(118)에서 사방으로 방출되는 광을 기관(10) 쪽으로 모아주는 광반사부(116)를 더 포함한다.

[0039] 도 2는 도 1의 발광영역(100)을 개략적으로 나타낸 단면도이고, 도 3은 도 1의 발광영역(100)을 개략적으로 나타낸 평면도이다.

[0040] 도 2를 참조하면, 발광영역(100)에는 보조층(11), 제1절연층(13) 및 제2절연층(17)이 순차적으로 구비되는데, 보조층(11), 제1절연층(13) 및 제2절연층(17)에는 서로 연결된 개구들(H1, H2, H4)이 형성된 것을 특징으로 한다. 개구들(H1, H2, H4) 내부에는 개구들(H1, H2, H4)의 내측과 이격되어 갭(G1)을 사이에 두고 형성되며 화소전극(114)의 하부에 배치되는 절연섬들(131, 112)이 형성된다. 화소전극(114)은 이 절연섬들(131, 112) 상에 형성되어 있다. 광반사부(116)는 이러한 갭(G1)에 충전되어 형성되어 있다. 광반사부(116)의 일측은 화소전극(114)의 가장자리 외측면, 절연섬들(131, 112)의 외측면을 둘러싸고, 광반사부(116)의 타측은 보조층(11), 제1절연층(13) 및 제2절연층(17)의 개구들(H1, H2, H4) 내측면을 둘러싸도록 형성된다. 또한 광반사부(116)의 일측은 화소전극(114) 상면의 높이까지 형성되고, 광반사부(116)의 타측은 제2절연층(17) 상면의 높이까지 형성된다.

[0041] 광반사부(116)는 유기발광소자(EL)에서 사방으로 방출되는 빛을 기관(10)의 방향으로 모아주어 유기발광표시장치(1)의 광 효율을 증대시킨다. 광반사부(116)는 소스/드레인전극(216s,d)과 동일한 층에 동일한 물질로 형성된다. 즉, 광반사부(116)는 소스/드레인전극(216s,d)을 형성할 때 함께 형성하여 유기발광표시장치(1)의 제조공정을 증가시키지 않는 장점이 있다. 그리고, 광반사부(116)는 절연층들(17, 13)을 사이에 두지 않고 화소전극(114)과 직접 접촉함으로써 절연층으로 손실되는 광을 줄이고 광 반사 효율을 보다 증대시킬 수 있다. 또한, 광반사부(116)는 화소전극(114)보다 높은 위치까지 형성되어 화소전극(114)의 상면으로 방출되는 광을 기관(10)쪽으로 효과적으로 반사시킬 수 있다. 한편, 광반사부(116)는 화소전극(114)의 하부에 위치하는 복수의 절연섬들(112,131)까지 둘러싸도록 형성되어 절연섬들(112, 131)을 통해 진행되는 광까지도 기관(10)쪽으로 효과적으로 반사시킬 수 있다.

[0042] 도 3을 참조하면, 광반사부(116)는 화소전극(114)을 폐루프(closed-loop)로 둘러싸도록 형성되어 중간층(118)에서 방출되는 광을 보다 효율적으로 기관(10)쪽으로 반사시킬 수 있게 된다. 광반사부(116)는 화소전극(114)과 직접 접촉하며, 광반사부(116)는 구동 박막트랜지스터(TFT)에 접촉하여 화소전극(114)과 구동 박막트랜지스터(TFT)를 전기적으로 연결할 수도 있을 것이다. 그러나 도 3에 도시된 바에 한정되지 않고, 화소전극(114)과 구동 박막트랜지스터(TFT)는 광반사부(116)를 통하지 않고 다른 방식으로 전기적으로 연결될 수도 있을 것이다. 한편, 도 1 및 도 3에서 표시된 A1은 제2개구(H2)를 형성하는 영역이다.

[0043] 도 4 내지 도 10은 도 1의 유기발광표시장치(1)의 제조방법을 개략적으로 도시한 단면도들이다.

- [0044] 먼저, 도 4를 참조하면, 기판(10) 상부에 보조층(11)을 형성한다. 상세히, 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0045] 한편, 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0046] 보조층(11) 상부에 박막트랜지스터영역(200)에는 활성층(212)을 형성하고, 저장영역(300)에는 커패시터하부전극(312)을 형성한다.
- [0047] 상세히, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 그리고, 이와 같이 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 활성층(212) 및 커패시터하부전극(312)으로 패터닝된다.
- [0048] 본 실시예에서는, 활성층(212)과 커패시터하부전극(312)이 분리 형성되었으나, 활성층(212)과 커패시터하부전극(312)을 일체로 형성할 수도 있다.
- [0049] 다음으로 도 5를 참조하면, 활성층(212)과 커패시터하부전극(312)이 형성된 기판(10)의 전면에 제1절연층(13), 제1도전층(14) 및 제2도전층(15)을 순차로 형성한다.
- [0050] 제1절연층(13)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(13)은, 활성층(212)과 게이트전극(210) 사이에 개재되어 박막트랜지스터(TFT)의 게이트절연막 역할을 하며, 커패시터상부전극(도 1의 314)과 커패시터하부전극(312) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0051] 제1도전층(14)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 추후 상기 제1도전층(14)은 화소전극(도 1의 114), 게이트하부전극(도 1의 214) 및 커패시터상부전극(도 1의 314)으로 패터닝 될 수 있다.
- [0052] 한편, 제2도전층(15)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 바람직하게, 제2도전층(15)은 Mo - Al - Mo의 3층 구조로 형성될 수도 있다. 추후 제2도전층(15)은 게이트상부전극(도 1의 215)으로 패터닝 될 수 있다.
- [0053] 다음으로 도 6을 참조하면, 기판(10) 상에 제1전극패턴(110), 게이트전극(210) 및 제2전극패턴(310)을 형성한다.
- [0054] 상세히, 기판(10) 전면에 차례로 적층된, 제1도전층(도 5의 14) 및 제2도전층(도 5의 15)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0055] 이때, 트랜지스터영역(200)에는 활성층(212) 상부에 게이트전극(210)이 형성되고, 게이트전극(210)은 제1도전층(도 5의 14)의 일부로 형성된 게이트하부전극(214)과 제2도전층(도 5의 15)의 일부로 형성된 게이트상부전극(215)을 포함한다.
- [0056] 여기서, 게이트전극(210)은 활성층(212)의 중앙에 대응하도록 형성되며, 게이트전극(210)을 셀프 얼라인(self align) 마스크로 하여 활성층(212)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(210)의 양측에 대응하는 활성층(212)의 가장자리에 소스/드레인영역(212s,d)과 이들 사이의 채널영역(216c)을 형성한다. 여기서 불순물은 붐(B) 이온 또는 인(P) 이온일 수 있다.
- [0057] 저장영역(300)에는 추후 커패시터상부전극(314)을 형성하기 위한 제2전극패턴(310)이 커패시터하부전극(312) 상부에 형성되고, 발광영역(100)에는 추후 화소전극(114)을 형성하기 위한 제1전극패턴(110)이 형성된다.

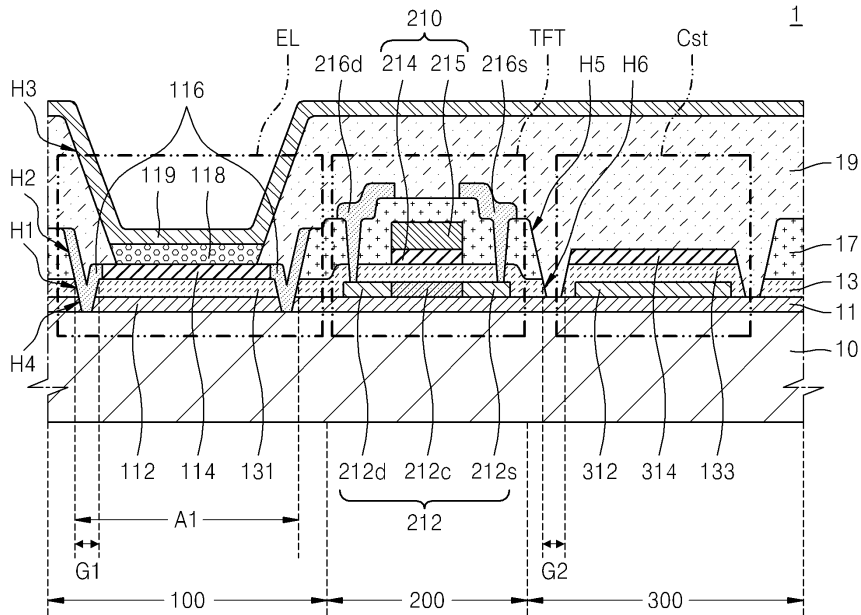
- [0058] 다음으로, 도 7을 참조하면, 도 6의 결과물에 제2절연층(17)을 증착한 후, 제1절연층(13) 및 제2절연층(17)을 모두 패터닝하여 활성층(212)의 소스/드레인영역(212sd)의 일부, 제1전극패턴(110)의 전체 및 제2전극패턴(310)의 전체를 노출하는 개구들(CTd, CTs, H1, H2, H4, H5, H6)을 형성한다.
- [0059] 제2절연층(17)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스펀 코팅 등의 방법으로 형성된다. 제2절연층(17)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(13)보다 두껍게 형성되어, 게이트전극(210)과 소스/드레인전극(216s,d) 사이의 층간절연막 역할을 수행한다. 한편, 제2절연층(17)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연층(13)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0060] 상세히, 제1절연층(13) 및 제2절연층(17)은 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝됨으로써 개구들(CTs, CTd, H1, H2, H4, H5, H6)을 형성한다.
- [0061] 여기서, 컨택홀들(CT2, CTd)은 소스/드레인 영역(212s,d)의 일부를 각각 노출시키기 위해 제1절연층(13) 및 제2절연층(17)에 형성하는 개구들이다.
- [0062] 한편, 제1전극패턴(110)의 전체를 노출시키기 위해, 제2절연층(17)에 제2개구(H2)를 형성한다. 여기서, 제1전극패턴(110)의 외측 가장자리와 제2개구(H2) 사이에는 소정의 제1갭(G1)이 형성된다. 제1갭(G1)을 형성하기 위하여 제2절연층(17)을 에칭할 때, 에칭액 및 에칭방법 등에 따라 제2절연층(17) 하부에 위치하는 제1절연층(13) 및 보조층(11)이 오버(over) 에칭되어 언더컷(under-cut)될 수 있다. 따라서, 제2개구(H2)를 형성하는 것과 동시에, 제1절연층(13)에 제2개구(H2)와 내측면이 서로 연결된 제1개구(H1)를 형성한다. 이 때, 제1전극패턴(110) 하부의 제1절연층(13)은 제1개구(H1)의 내측과 이격된 제1절연섬(131)으로 패터닝된다. 제1개구(H1)를 형성하는 것과 동시에, 보조층(11)에 제1개구(H1) 및 제2개구(H2)와 내측면이 서로 연결된 제4개구(H4)를 형성한다. 이 때 제1전극패턴(110) 및 제1절연섬(131) 하부의 보조층(11)은 제4개구(H4)의 내측과 이격된 제2절연섬(112)으로 패터닝된다. 추후에 상세히 설명하겠으나, 제2절연층(17), 제1절연층(13) 및 보조층(11)의 개구들(H1, H2, H4)에는 광반사부(도 1의 116)가 형성된다.
- [0063] 한편, 제2전극패턴(310) 전체를 노출시키기 위해 제2절연층(17)에 제5개구(H5)를 형성한다. 여기서, 제2전극패턴(310)의 외측 가장자리와 제5개구(H5) 사이에는 소정의 제2갭(G2)이 형성된다. 제5개구(H5)를 형성하는 것과 동시에 제1절연층(13)에 제5개구(H5)와 내측면이 서로 연결된 제6개구(H6)를 형성한다. 이 때, 제2전극패턴(310) 하부의 제1절연층(13)은 제6개구(H6)의 내측과 이격된 제3절연섬(133)으로 패터닝된다. 한편, 도 7에서는 제2갭(G2)을 형성하기 위해 제2절연층(17)을 에칭할 때 제1절연층(13)이 오버 에칭되어 언더컷되는 구성만을 도시하였는데, 이에 한정되지 않고 본 발명의 다른 실시예로써, 보조층(11)에 언더컷이 더 나타나는 경우 및 제1절연층(13)에 언더컷이 나타나지 않는 경우도 고려할 수 있다. 또한, 도 7에 도시된 바와 같이 제5개구(H5)가 제2전극패턴(310) 전체를 노출시키도록 형성될 수도 있으나, 이에 한정된 것은 아니며, 필요에 따라 제2전극패턴(310)의 일부만 노출시키도록 형성될 수도 있다. 추후에 상세히 설명하겠으나, 제2절연층(17) 및 제1절연층(13)의 개구들(H1, H2, H5, H6)에는 제3절연층(도 1의 19)이 충전되어 오버 에칭에 의해 나타날 수 있는 전기적 문제들을 해결할 수 있다.
- [0064] 다음으로, 도 8을 참조하면, 제2절연층(17)을 덮도록 기판(10)의 전면에서 제3도전층(16)을 형성한다.
- [0065] 제3도전층(16)은 전술한 제1도전층(도 5의 14) 또는 제2도전층(도 5의 15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H4, H5) 사이를 충전할 수 있을 정도로 충분한 두께로 증착된다.
- [0066] 다음으로 도 9를 참조하면, 제3도전층(도 8의 16)을 패터닝하여 소스/드레인전극(216s,d), 광반사부(116) 화소전극(114) 및 커패시터상부전극(314), 를 각각 형성한다.
- [0067] 상세히, 상기 제3도전층(16)을 제4마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 소스/드레인전극(216s,d) 및 광반사부(116)를 형성한다.
- [0068] 도시되지 않았으나, 소스/드레인전극(216s,d) 중 하나의 전극(본 실시예의 경우 드레인전극(216d))은 화소전극(114)과 접촉하도록 형성된다. 예를 들어, 화소전극(114)을 둘러싸는 광반사부(116)와 드레인전극(216d)이 접촉하여 드레인전극(216d)으로부터 화소전극(114)으로 전기적 신호를 전달할 수 있다. 그러나, 드레인전극(216d)과 화소전극(114)이 접촉하는 방법은 이에 한정되지 않고 다양하게 구현될 수 있다.

- [0069] 본 발명의 일 실시예에 의하면, 소스/드레인전극(216s,d)을 형성함과 동시에, 광반사부(116)를 형성한다. 상세히, 도 8에서 제3도전층(도 8의 16)은 제1개구(H1), 제2개구(H2) 및 제4개구(H4)에도 충전되어 있으므로, 제1개구(H1), 제2개구(H2) 및 제4개구(H4)의 내측면을 둘러싸고, 제1절연섬(131) 및 제2절연섬(112)의 외측면 및 제1전극패턴(110)의 외측가장자리를 둘러싸는 광반사부(116)를 형성할 수 있다. 광반사부(116)의 일측은 이후 형성될 화소전극(114)의 상면 높이까지 형성되고, 타측은 제2절연층(17) 상면 높이까지 형성한다. 이로부터, 화소전극(114) 상부에 배치된 중간층(도 1의 118)으로부터 사방으로 방출되는 광을 기관(10)의 방향으로 효율적으로 모아줄 수 있게 된다.
- [0070] 한편, 소스/드레인전극(216s,d) 및 광반사부(116)를 형성함과 동시에 화소전극(114) 및 커패시터상부전극(314)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(216s,d) 및 광반사부(116)를 형성한 후 추가 식각에 의해 화소전극(114) 및 커패시터상부전극(314)을 각각 형성할 수도 있다. 상세히, 제1전극패턴(도 8의 110)은 노출된 상부 제2도전층(15)을 제거하여 화소전극(114)을 형성한다. 그리고, 상기 제2전극패턴(도 8의 310)은 노출된 상부 제2도전층(15)을 제거하여 커패시터상부전극(314)을 형성한다. 따라서 게이트하부전극(214), 커패시터상부전극(314) 및 화소전극(114)은 동일층에서 동일 물질로 형성된다. 그러나, 본 발명의 일 실시예는 설명한 바에 한정되지 않고, 커패시터상부전극(314)을 하프톤(half-tone) 마스크를 사용하여 제2전극패턴(도 8의 310)의 형성없이 한번에 형성할 수도 있을 것이다.
- [0071] 여기서, 제2전극패턴(도 8의 310)의 상부 제2도전층(15)이 제거되었으므로, 제5개구(H5)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터하부전극(312)을 도핑할 수 있다. 상기 도핑 시 주입되는 불순물은 상기 활성층(212)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다. 한편, 본 실시예에서는, 제5개구(H5)에 의해 제2전극패턴(도 8의 310) 전체가 노출되므로, 커패시터하부전극(312)과 연결되는 미도시된 배선부가 모두 이온 불순물로 도핑될 수 있다. 따라서, 커패시터하부전극(312)과 배선부에 이온 도핑이 안 되는 영역이 발생하지 않기 때문에, 정전 용량을 크게 하고 신호 전달 품질을 향상시킬 수 있다.
- [0072] 다음으로 도 10을 참조하면, 기관 상에 화소정의막(pixel define layer: PDL)(19)을 형성한다.
- [0073] 상세히, 화소전극(114), 소스/드레인전극(216s,d) 및 커패시터상부전극(314)이 형성된 기관(10) 전면에 제3절연층(19)을 증착한다.
- [0074] 이때 상기 제3절연층(19)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스�핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3절연층(19)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(19)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0075] 한편, 제2갭(G2)이 형성된 영역에는 제3절연층(19)이 개재되어 있다. 이때, 제3절연층(19)이 유기절연물로 형성될 경우, 제2갭(G2)을 유기절연물이 적절히 메꿈으로써 커패시터하부전극(312)과 커패시터상부전극(314) 사이에 발생할 수 있는 쇼트를 방지할 수 있다.
- [0076] 제3절연층(19)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(114)의 중앙부가 노출되도록 제3개구(H3)를 형성함으로써, 픽셀을 정의하게 된다.
- [0077] 이후 도 2에 도시된 바와 같이, 화소전극(114)을 노출하는 제3개구(H3)에 발광층을 포함하는 중간층(118) 및 대향전극(119)을 형성한다.
- [0078] 중간층(118)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.
- [0079] 상기 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다.
- [0080] 유기 발광층이 저분자 유기물로 형성되는 경우, 중간층(118)은 유기 발광층을 중심으로 화소전극(114)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향전극(119) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등

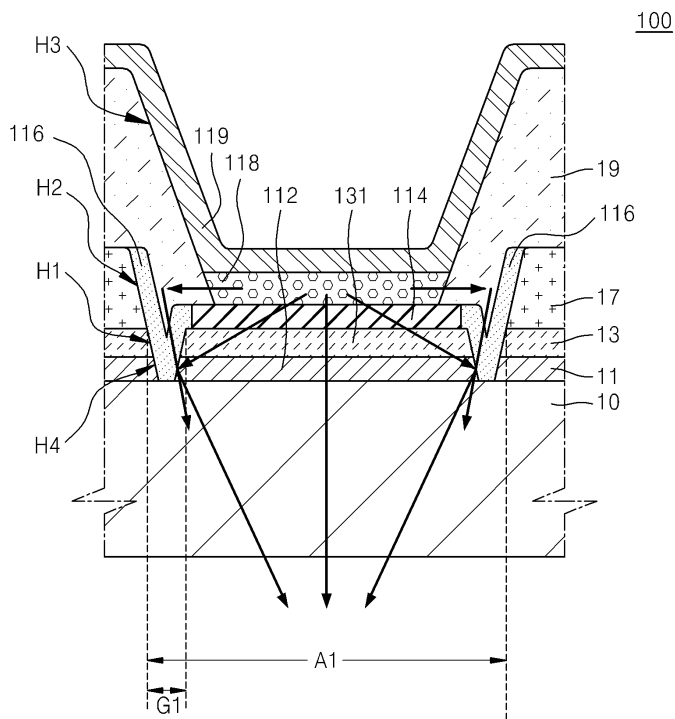
- 131, 112: 절연점들
- 300: 저장영역
- 310: 제2전극패턴
- 312: 커패시터하부전극
- 314: 커패시터상부전극

도면

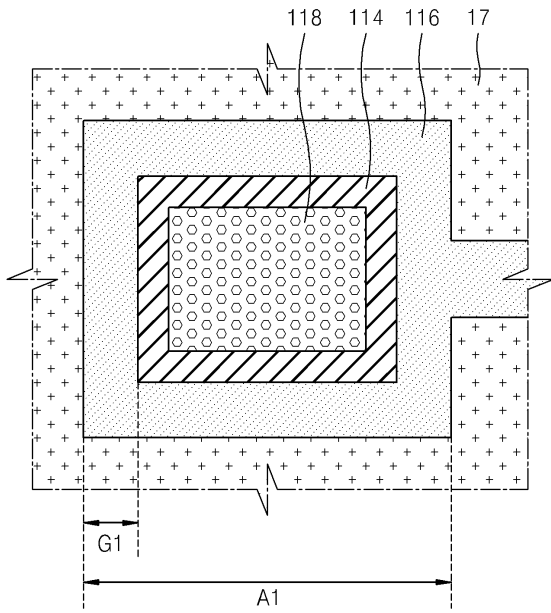
도면1



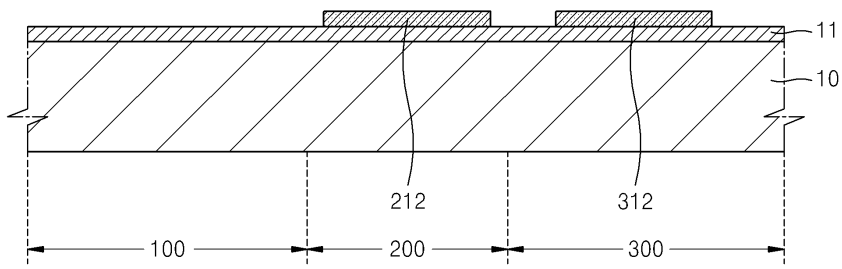
도면2



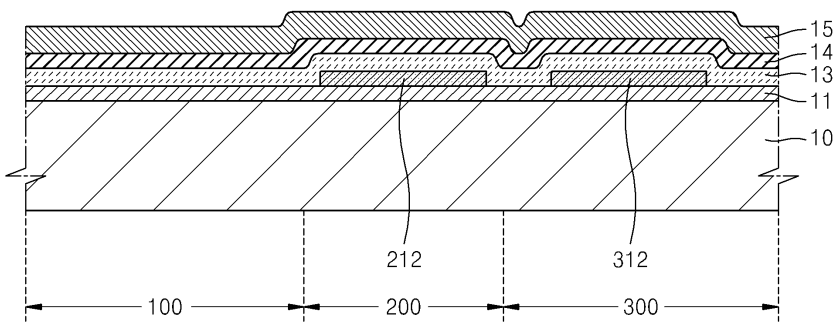
도면3



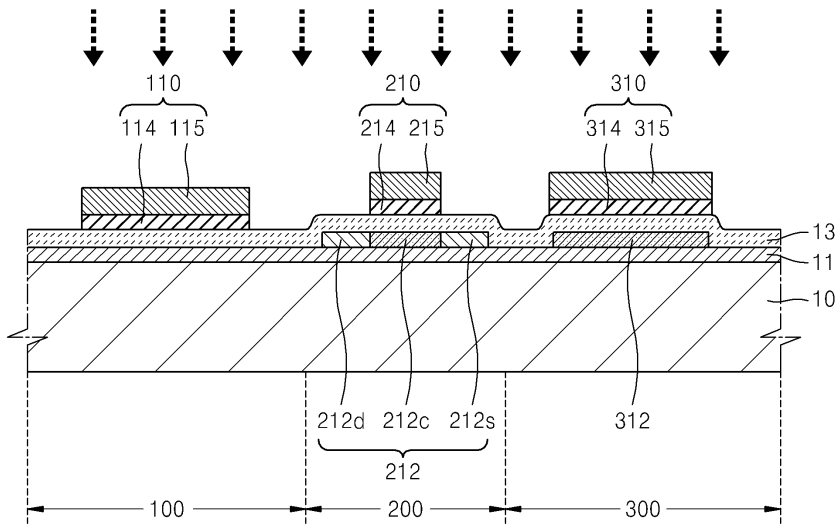
도면4



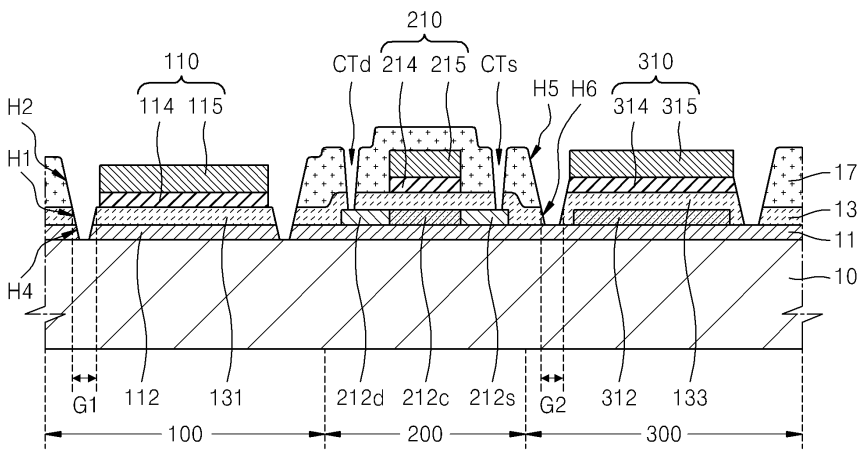
도면5



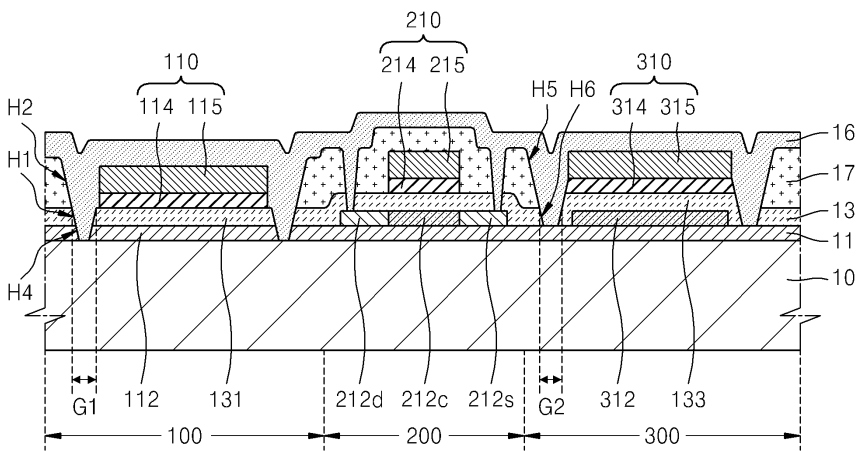
도면6



도면7



도면8



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020130015704A	公开(公告)日	2013-02-14
申请号	KR1020110077848	申请日	2011-08-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	MOON SANG HO 문상호 CHOI JOON HOO 최준후 YOU CHUN GI 유춘기 CHO KYU SIK 조규식 PARK JONG HYUN 박중현		
发明人	문상호 최준후 유춘기 조규식 박중현		
IPC分类号	H01L51/50 H01L51/56 H05B33/26 H01L H05B		
CPC分类号	H01L51/5271 H01L51/56 H01L27/326 H01L27/3248 H01L27/32 H01L51/52 H01L51/0014 H01L27/1259		
其他公开文献	KR101811703B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光显示装置及其制造方法，以通过简化制造工艺来增加发光面积而容易地形成开口部。组成：第一绝缘层（13）形成在基板上以覆盖有源层并且包括第一开口部分。栅极（210）包括栅极底部电极和栅极顶部电极。像素电极（114）形成在与栅极底部电极相同的层上。源电极和漏电极电连接到有源层。第二绝缘层（17）包括暴露像素电极的第二开口部分。

