(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0023072
(43) 공개일자 2020년03월04일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0099448
(22) 출원일자 2018년08월24일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김태한
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인 정안

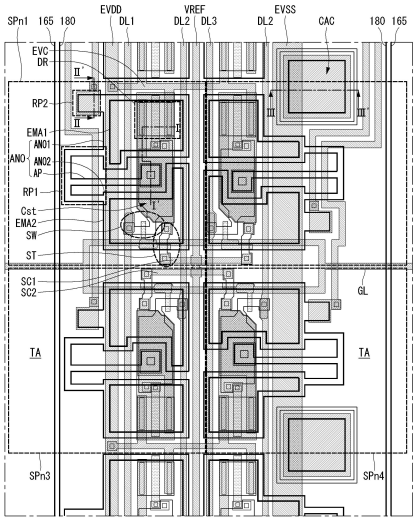
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **표시장치**

(57) 요 약

본 발명은 투과부의 손실을 최대한 방지하면서 발광부의 개구율을 향상시킬 수 있는 표시장치를 제공한다. 본 발명의 일 실시예에 따른 표시장치는 기판 상에 투과부 및 발광부를 포함하는 복수의 서브픽셀, 및 상기 발광부는 구동 트랜지스터, 상기 구동 트랜지스터에 연결된 유기발광 다이오드를 포함하며, 상기 투과부에서 상기 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인과 상기 유기발광 다이오드의 제1 전극이 연결된다.

대 표 도 - 도4



(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 51/52 (2013.01)

명 세 서

청구범위

청구항 1

기판 상에 투과부 및 발광부를 포함하는 복수의 서브픽셀; 및

상기 발광부는 구동 트랜지스터, 상기 구동 트랜지스터에 연결된 유기발광 다이오드를 포함하며,

상기 투과부에서 상기 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인과 상기 유기발광 다이오드의 제1 전극이 연결되는 것을 특징으로 하는 표시장치.

청구항 2

제1 항에 있어서,

상기 복수의 서브픽셀은 게이트 라인, 데이터 라인, 센싱 라인, 전원 라인 및 캐소드 전원 라인의 교차로 구획되며,

각각의 상기 서브픽셀은 스위칭 트랜지스터, 센싱 트랜지스터 및 커패시터를 더 포함하는 표시장치.

청구항 3

제2 항에 있어서,

상기 발광부는 상기 구동 트랜지스터와 중첩되는 제1 발광부 및 상기 센싱 및 스위칭 트랜지스터와 중첩되는 제2 발광부를 포함하는 표시장치.

청구항 4

제3 항에 있어서,

상기 연장 라인은 상기 제1 발광부와 상기 제2 발광부 사이를 가로지르며 상기 데이터 라인과 교차하는 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 전극은 상기 제1 발광부에 위치한 제1 애노드 전극 및 상기 제2 발광부에 위치한 제2 애노드 전극을 포함하는 표시장치.

청구항 6

제5 항에 있어서,

상기 제1 애노드 전극과 상기 제2 애노드 전극은 상기 투과부로 연장되어 서로 일체로 연결되며, 상기 제1 애노드 전극과 상기 제2 애노드 전극이 서로 연결되어 제1 리페어부를 이루는 표시장치.

청구항 7

제6 항에 있어서,

상기 제1 리페어부에서 상기 연장 라인은 상기 제1 애노드 전극 및 상기 제2 애노드 전극과 컨택하는 표시장치.

청구항 8

제5 항에 있어서,

상기 전원 라인의 일측에서 상기 전원 라인과 나란하게 연장되어 이웃한 서브픽셀로 연장된 리페어 라인;

상기 리페어 라인과 컨택하는 제1 연결패턴; 및

상기 제1 연결패턴과 중첩하는 상기 제1 애노드 전극을 포함하는 제2 리페어부를 더 포함하는 표시장치.

청구항 9

제5 항에 있어서,

상기 캐소드 전원 라인과 상기 유기발광 다이오드의 제2 전극이 중첩하는 캐소드 컨택부를 더 포함하는 표시장치.

청구항 10

제1 리페어부를 포함하는 투과부 및 발광부를 포함하는 기판;

상기 기판 상에 위치하며, 적어도 드레인 전극을 포함하는 박막트랜지스터;

상기 드레인 전극으로부터 연장된 연장 라인;

상기 박막트랜지스터 및 상기 연장 라인 상에 위치하며, 상기 연장 라인을 노출시키는 패시베이션막;

상기 패시베이션막 상에 위치하며, 상기 발광부에 대응하되 상기 제1 리페어부로부터 이격된 오버코트층;

상기 오버코트층 상에 위치하는 제1 전극;

상기 제1 전극 상에 위치하며 상기 제1 전극을 노출시키는 뱅크층;

상기 노출된 제1 전극과 상기 뱅크층 상에 위치하는 발광층; 및

상기 발광층 상에 위치하는 제2 전극을 포함하며,

상기 제1 리페어부에서 상기 패시베이션막에 형성된 콘택홀을 통해 상기 제1 전극과 상기 연장 라인이 컨택하는 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 개구율을 향상시킬 수 있는 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 최근에는 표시장치의 전면에서 후면을 투과하여 볼 수 있는 투명 표시장치가 개발되고 있다. 예를 들어, 투명 유기발광표시장치는 각 화소영역이 광을 발광하는 발광부와 외광이 투과하는 투과부로 이루어져 투명 표시장치를 구현한다. 화소영역은 발광부가 커지면 투과부가 작아지고 투과부가 커지면 발광부가 작아지는 트레이드-오프(trade-off) 관계를 가지기 때문에, 발광부의 개구율을 증가시키기 어려운 문제가 있다. 따라서, 투명 표시장치에서 투과부가 작아지지 않으면서 발광부의 개구율을 증가시킬 수 있는 연구가 계속되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 투과부의 손실을 최대한 방지하면서 발광부의 개구율을 향상시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 기판 상에 투과부 및 발광부를 포함하는 복수의 서브픽셀, 및 상기 발광부는 구동 트랜지스터, 상기 구동 트랜지스터에 연결된 유기발광 다이오드를 포함하며, 상기 투과부에서 상기 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인과 상기 유기발광 다이오드의 제1 전극이 연결된다.

[0007] 일례로, 상기 복수의 서브픽셀은 게이트 라인, 데이터 라인, 센싱 라인, 전원 라인 및 캐소드 전원 라인의 교차로 구획되며, 각각의 상기 서브픽셀은 스위칭 트랜지스터, 센싱 트랜지스터 및 커패시터를 더 포함한다.

[0008] 일례로, 상기 발광부는 상기 구동 트랜지스터와 중첩되는 제1 발광부 및 상기 센싱 및 스위칭 트랜지스터와 중첩되는 제2 발광부를 포함한다.

[0009] 일례로, 상기 연장 라인은 상기 제1 발광부와 상기 제2 발광부 사이를 가로지르며 상기 데이터 라인과 교차한다.

[0010] 일례로, 상기 제1 전극은 상기 제1 발광부에 위치한 제1 애노드 전극 및 상기 제2 발광부에 위치한 제2 애노드 전극을 포함한다.

[0011] 일례로, 상기 제1 애노드 전극과 상기 제2 애노드 전극은 상기 투과부로 연장되어 서로 일체로 연결되며, 상기 제1 애노드 전극과 상기 제2 애노드 전극이 서로 연결되어 제1 리페어부를 이룬다.

[0012] 일례로, 상기 제1 리페어부에서 상기 연장 라인은 상기 제1 애노드 전극 및 상기 제2 애노드 전극과 컨택한다.

[0013] 일례로, 상기 전원 라인의 일측에서 상기 전원 라인과 나란하게 연장되어 이웃한 서브픽셀로 연장된 리페어 라인, 상기 리페어 라인과 컨택하는 제1 연결패턴, 및 상기 제1 연결패턴과 중첩하는 상기 제1 애노드 전극을 포함하는 제2 리페어부를 더 포함한다.

[0014] 일례로, 상기 캐소드 전원 라인과 상기 유기발광 다이오드의 제2 전극이 중첩하는 캐소드 컨택부를 더 포함한다.

[0015] 또한, 본 발명의 일 실시예에 따른 표시장치는 제1 리페어부를 포함하는 투과부 및 발광부를 포함하는 기판, 상기 기판 상에 위치하며, 적어도 드레인 전극을 포함하는 박막트랜지스터, 상기 드레인 전극으로부터 연장된 연장 라인, 상기 박막트랜지스터 및 상기 연장 라인 상에 위치하며, 상기 연장 라인을 노출시키는 패시베이션막, 상기 패시베이션막 상에 위치하며, 상기 발광부에 대응하되 상기 제1 리페어부로부터 이격된 오버코트층, 상기 오버코트층 상에 위치하는 제1 전극, 상기 제1 전극 상에 위치하며 상기 제1 전극을 노출시키는 뱅크층, 상기 노출된 제1 전극과 상기 뱅크층 상에 위치하는 발광층, 및 상기 발광층 상에 위치하는 제2 전극을 포함하며, 상기 제1 리페어부에서 상기 패시베이션막에 형성된 콘택홀을 통해 상기 제1 전극과 상기 연장 라인이 컨택한다.

발명의 효과

[0016] 본 발명의 실시예들에 따른 유기발광표시장치는 제1 및 제2 리페어부를 구비하여, 서브픽셀의 오작동 또는 결함이 발견될 시 리페어할 수 있는 이점이 있다.

[0017] 또한, 본 발명의 실시예들에 따른 유기발광표시장치는 커패시터 상부전극인 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인을 통해 제1 전극과 구동 트랜지스터의 컨택부를 제1 리페어부에 형성함으로써, 개구율을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

[0018] 도 1은 유기발광표시장치의 개략적인 블록도.

도 2는 서브픽셀의 개략적인 회로 구성도.

도 3은 서브픽셀의 상세 회로 구성 예시도.

도 4는 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면도.

도 5는 도 4의 절취선 I-I'에 따라 절취한 단면도.

도 6은 도 4의 절취선 Ⅱ-Ⅱ'에 따라 절취한 단면도.

도 7은 도 4의 절취선 Ⅲ-Ⅲ'에 따라 절취한 단면도.

도 8은 본 발명의 제2 실시예에 따른 유기발광표시장치의 평면도.

도 9는 도 8의 절취선 Ⅳ-Ⅳ'에 따라 절취한 단면도.

도 10은 도 8의 절취선 Ⅴ-Ⅴ'에 따라 절취한 단면도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0020] 본 발명에 따른 표시장치는 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.

[0021] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브픽셀의 개략적인 회로 구성도이며, 도 3은 서브픽셀의 상세 회로 구성 예시도이다.

[0022] 도 1에 도시된 바와 같이, 유기발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0023] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0026] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0027] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.

[0028] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 백색 서브픽셀, 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0029] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst),

보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.

[0030] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0031] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.

[0032] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱 라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0033] 스위칭 트랜지스터(SW)는 데이터 라인(DL)에 소스 전극 또는 드레인 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 소스 전극 또는 드레인 전극 중 나머지 하나가 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 제1 전극에 소스 전극 또는 드레인 전극 중 나머지 하나가 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 하부 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 상부 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 제1 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극인 제2 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 소스 전극 또는 드레인 전극이 연결되고 센싱 노드인 유기발광다이오드(OLED)의 제1 전극 및 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 소스 전극 또는 드레인 전극 중 나머지 하나가 연결된다.

[0034] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공통으로 공유하도록 연결될 수 있다.

[0035] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0036] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0037] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0038] 도 4는 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면도이고, 도 5는 도 4의 절취선 I-I'에 따라 절취한 단면도이고, 도 6은 도 4의 절취선 Ⅱ-Ⅱ'에 따라 절취한 단면도이며, 도 7은 도 4의 절취선 Ⅲ-Ⅲ'에 따라 절취한 단면도이다.

[0039] 도 4를 참조하면, 본 발명의 유기발광표시장치는 게이트 라인(GL)과 제1 내지 제4 데이터 라인(DL1~DL4)이 교차하여 제1 내지 제4 서브픽셀(SPn1~SPn4)이 정의된다. 제1 내지 제4 서브픽셀(SPn1~SPn4)은 제1 및 제2 발광부(EMA1, EMA2)와 투과부(TA)를 포함한다.

[0040] 구체적으로, 제1 내지 제4 데이터 라인(DL1~DL4)과 각각 연결되는 제1 내지 제4 서브픽셀(SPn1~SPn4)은 센싱라인(VREF)에 공통으로 연결되어 있다. 센싱라인(VREF)은 제1 센싱연결라인(SC1)을 통해 제1 서브픽셀(SPn1)과 제3 서브픽셀(SPn3)이 연결되고, 제2 센싱연결라인(SC2)을 통해 제2 서브픽셀(SPn2)과 제4 서브픽셀(SPn4)이 연결된다. 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)의 일측에는 전원 라인(EVDD)이 배치되고, 제1 내지 제4 서브픽셀(SPn1~SPn4)이 전원연결라인(EVC)을 통해 전원 라인(EVDD)에 각각 연결된다. 제3 및 제4 서브픽셀(SPn3, SPn4)의 일측에는 캐소드 전원라인(EVSS)이 배치되어 캐소드인 제2 전극(미도시)에 연결된다.

[0041] 각 서브픽셀들의 제1 발광부(EMA1)에 제1 애노드 전극(ANO1)이 배치되고 제2 발광부(EMA2)에 제2 애노드 전극(ANO2)이 배치되어, 유기발광다이오드의 제1 전극(ANO)이 배치된다. 이들 제1 애노드 전극(ANO1)과 제2 애노드 전극(ANO2)은 서로 연결되어 서브픽셀의 제1 전극(ANO)을 구성한다. 각 서브픽셀들에는 구동 트랜지스터(DR), 커패시터(Cst), 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)가 배치된다. 제1 발광부(EMA1)는 구동 트랜지스터(DR)와 중첩되고 제2 발광부(EMA2)는 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)와 중첩된다.

[0042] 센싱라인(VREF)은 제1 및 제2 센싱연결라인(SC1, SC2)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVC)을 통해 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 구동 트랜지스터(DR)에 연결된다. 전원 연결라인(EVC)은 4개의 서브픽셀들에 각각 연결된다. 게이트 라인들(GL)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.

[0043] 제1 전극(ANO)은 제1 애노드 전극(ANO1), 제2 애노드 전극(ANO2) 및 애노드 연결전극(AP)을 포함한다. 애노드 연결전극(AP)은 구동 트랜지스터(DR)와 연결되어 제1 애노드 전극(ANO1)과 제2 애노드 전극(ANO2)으로 분기된다. 제1 애노드 전극(ANO1), 제2 애노드 전극(ANO2) 및 애노드 연결전극(AP)은 일체(one body)로 이루어진다.

[0044] 제1 전극(ANO)의 제1 애노드 전극(ANO1)과 제2 애노드 전극(ANO2)이 서로 연결되는 영역에는 제1 리페어부(RP1)가 배치된다. 제1 리페어부(RP1)는 공정 중에 발생할 수 있는 이물 등에 의해 어느 하나의 발광부가 오작동하게 될 때 제1 발광부(EMA1)의 제1 애노드 전극(ANO1) 또는 제2 발광부(EMA2)의 제2 애노드 전극(ANO2)을 단락시켜(CUT) 서브픽셀을 리페어할 수 있다.

[0045] 또한, 제1 애노드 전극(EMA1) 또는 제2 애노드 전극(ANO2)에 제2 리페어부(RP2)가 배치된다. 제2 리페어부(RP2)는 서브픽셀이 공정 중에 발생할 수 있는 이물 등에 의해 어느 하나의 발광부가 오작동하게 될 때 제1 리페어부(RP1)의 제1 애노드 전극(ANO1) 또는 제2 애노드 전극(ANO2)을 단락시킨 후, 단락된 애노드 전극을 인접한 다른 서브픽셀의 제1 전극(애노드 전극)에 연결하여 리페어할 수 있다. 제2 리페어부(RP2)는 전원 라인(EVDD)의 일측에서 전원 라인(EVDD)과 나란하게 연장되어 이웃한 서브픽셀로 연장된 리페어 라인(RPL)이 배치된다.

[0046] 전술한 바와 같이, 제1 전극(ANO)은 제1 리페어부(RP1)를 구비하기 위해 제1 발광부(EMA1)의 제1 애노드 전극(ANO1)과 제2 발광부(EMA2)의 제2 애노드 전극(ANO2)으로 분기되어 배치된다. 이하, 구체적인 제1 전극(ANO)의 연결 관계를 살펴보면 다음과 같다.

[0047] 도 5를 참조하여 전술한 제1 서브픽셀(SPn1)의 단면 구조를 대표로 살펴보면, 본 발명의 실시예에 따른 유기발광표시장치는 기판(110) 상에 광차단층(120)이 위치한다. 광차단층(120)은 외부의 광이 입사되는 것을 차단하여 박막 트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(120) 상에 버퍼층(125)이 위치한다. 버퍼층(125)은 광차단층(120)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(125)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0048] 버퍼층(125) 상에 구동 트랜지스터(DR)의 반도체층(130)이 위치하고 이와 이격되어 커패시터 하부전극(LCst)이 위치한다. 반도체층(130)과 커패시터 하부전극(LCst)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100㎠/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(130)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다. 커패시터 하부전극(LCst)도 불순물이 도핑되어 도체화된다.

[0049] 반도체층(130)과 커패시터 하부전극(LCst) 상에 게이트 절연막(135)이 위치한다. 게이트 절연막(135)은 실리콘

산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(135) 상에 상기 반도체층(130)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(140)이 위치한다. 게이트 전극(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(140)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0050] 게이트 전극(140) 상에 게이트 전극(140)을 절연시키는 층간 절연막(145)이 위치한다. 층간 절연막(145)은 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(145) 상에 소스 전극(150a) 및 드레인 전극(150b)이 위치한다. 소스 전극(150a) 및 드레인 전극(150b)은 반도체층(130)의 소스 영역을 노출하는 콘택홀을 통해 반도체층(130)에 연결된다. 소스 전극(150a) 및 드레인 전극(150b)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(150a) 및 드레인 전극(150b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(150a) 및 드레인 전극(150b)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(130), 게이트 전극(140), 소스 전극(150a) 및 드레인 전극(150b)을 포함하는 구동 트랜지스터(DR)가 구성된다. 또한, 커패시터 하부전극(LCst)은 드레인 전극(150b)이 커패시터 상부전극으로 작용하여 커패시터(Cst)를 구성한다.

[0051] 구동 트랜지스터(DR) 및 커패시터(Cst)를 포함하는 기판(110) 상에 패시베이션막(160)이 위치한다. 패시베이션막(160)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 패시베이션막(160) 상에 오버코트층(165)이 위치한다. 오버코트층(165)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(165)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다. 오버코트층(165)의 일부 영역에는 패시베이션막(160)을 노출하여 드레인 전극(150b)을 노출시키는 비아홀(VIA)이 위치한다.

[0052] 오버코트층(165) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(165) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 제1 전극(ANO)과 연결된 애노드 연결전극(AP)을 통해 구동 트랜지스터(DR)의 드레인 전극(150b)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 본 발명의 유기발광표시장치(100)는 전면발광 구조로, 제1 전극(ANO)은 반사 전극으로 이루어질 수 있다. 따라서, 제1 전극(ANO)은 반사층(미도시)을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

[0053] 제1 전극(ANO)을 포함하는 기판(110) 상에 화소를 구획하는 뱅크층(180)이 위치한다. 뱅크층(180)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(180)은 제1 전극(ANO)을 노출시키는 화소정의부(185)가 위치한다. 기판(110) 전면에는 제1 전극(ANO)에 컨택하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.

[0054] 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(A/A) 전면에 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)은 투과 전극일 수 있으며, 광이 투과될 수 있을 정도로 얇은 두께로 이루어진다.

[0055] 한편, 본 발명의 제1 서브픽셀(SPn1)은 구동 트랜지스터(DR)의 드레인 전극(150b)이 애노드 연결전극(AP)을 통해 제1 애노드 전극(ANO1) 및 제2 애노드 전극(ANO2)에 연결된다. 구체적으로, 패시베이션막(160)과 오버코트층(165)에 형성된 비아홀(VIA)을 통해 애노드 연결전극(AP)이 드레인 전극(150b)에 연결된다. 이렇게 구동 트랜지스터(DR)의 드레인 전극(150b)과 연결된 애노드 연결전극(AP)은 제1 리페어부(RP1)로 연장된다. 도 4에 도시된 바와 같이, 애노드 연결전극(AP)은 제1 리페어부(RP1)에서 제1 애노드 전극(ANO1)과 제2 애노드 전극(ANO2)으로 분기된다. 제1 리페어부(RP1)에서는 공정 중에 발생할 수 있는 이물 등에 의해 어느 하나의 발광부가 오작동하게 될 때 제1 애노드 전극(ANO1) 또는 제2 애노드 전극(ANO2)을 단락(CUT)시켜 발광부를 리페어할 수 있다.

[0056] 한편, 본 발명은 제1 애노드 전극(ANO1) 또는 제2 애노드 전극(ANO2)에 연결된 제2 리페어부(RP2)가 배치된다. 하기에서는 제1 애노드 전극(ANO1)에 연결된 제2 리페어부(RP2)를 예로 설명한다.

[0057] 도 6을 참조하면, 제2 리페어부(RP2)는 기판(110) 상에 리페어 라인(RPL)이 위치하고 리페어 라인(RPL) 상에 버퍼층(125), 층간 절연막(145)이 위치한다. 버퍼층(125) 및 층간 절연막(145)은 하부의 리페어 라인(RPL)을 노출시키는 제1 콘택홀(CNH1)이 구비된다. 층간 절연막(145) 상에 제1 콘택홀(CNH1)을 통해 리페어 라인(RPL)에 컨택하는 제1 연결패턴(SDP1)이 위치한다. 제1 연결패턴(SDP1)은 소스 전극과 동일한 물질로 이루어진다. 제1 연결패턴(SDP1) 상에 패시베이션막(160)이 위치하고, 패시베이션막(160) 상에 제1 연결패턴(SDP1)과 중첩하는 제1 애노드 연결패턴(AN1)이 위치한다. 제1 애노드 연결패턴(AN1)은 도 4에 도시된 바와 같이, 제1 발광부(EMA1)의 제1 애노드 전극(ANO1)과 일체로 이루어진다. 제1 애노드 연결패턴(AN1) 상에 뱅크층(180), 발광층(EML) 및 제2 전극(CAT)이 차례로 적층되어 위치한다.

[0058] 제2 리페어부(RP2)는 공정 중에 발생할 수 있는 이물 등에 의해 서브픽셀의 어느 하나의 발광부가 오작동하게 될 때 제1 리페어부(RP1)의 제1 애노드 전극(ANO1)을 단락시킨 후 인접한 다른 서브픽셀의 제1 전극에 연결하여 리페어할 수 있다. 구체적으로, 제2 리페어부(RP2)에 레이저를 조사하여, 제1 연결패턴(SDP1)과 제1 애노드 연결패턴(AN1) 사이의 패시베이션막(160)을 제거하면 제1 연결패턴(SDP1)과 제1 애노드 연결패턴(AN1)이 서로 컨택하게 되어 전기적으로 연결될 수 있다. 따라서, 인접한 다른 서브픽셀(예를 들어, 제3 서브픽셀(SPn3)의 하측 서브픽셀)의 제1 전극에 인가되는 전압이 제1 서브픽셀(SPn1)의 제1 발광부(EMA1)의 제1 애노드 전극(ANO1)에 인가될 수 있어, 리페어가 가능하다.

[0059] 한편, 도 4에 도시된 바와 같이, 본 발명은 제2 전극(CAT)에 저전위전압을 인가하는 캐소드 전원 라인(EVSS)이 배치된다. 캐소드 전원라인(EVSS)은 캐소드 컨택부(CAC)에서 캐소드 전원라인(EVSS)과 중첩된 제2 전극(CAT)에 연결된다.

[0060] 구체적으로 도 7을 참조하면, 캐소드 컨택부(CAC)는 기판(110) 상에 캐소드 전원라인(EVSS)이 위치하고, 캐소드 전원라인(EVSS) 상에 버퍼층(125)과 층간 절연막(145)이 위치한다. 버퍼층(125) 및 층간 절연막(145)은 하부의 캐소드 전원라인(EVSS)을 노출시키는 제2 콘택홀(CNH2)이 구비된다. 층간 절연막(145) 상에 제2 콘택홀(CNH2)을 통해 캐소드 전원라인(EVSS)이 연결되는 제2 연결패턴(SDP2)이 위치한다. 제2 연결패턴(SDP2)은 소스 전극과 동일한 물질로 이루어진다. 제2 연결패턴(SDP2) 상에 패시베이션막(160)이 위치하고, 패시베이션막(160)은 하부의 제2 연결패턴(SDP2)을 노출시키는 제3 콘택홀(CNH3)이 구비된다. 패시베이션막(160) 상에 오버코트층(165)이 위치하고 오버코트층(165)은 하부의 제2 연결패턴(SDP2)을 노출시키는 제4 콘택홀(CNH4)이 구비된다. 오버코트층(165) 상에 제2 애노드 연결패턴(AN2)이 위치하여 제3 및 제4 콘택홀(CNH3, CNH4)을 통해 제2 연결패턴(SDP2)에 연결된다. 제2 애노드 연결패턴(AN2) 상에 뱅크층(180)이 위치하고, 뱅크층(180)은 하부의 제2 애노드 연결패턴(AN2)을 노출시키는 제5 콘택홀(CNH5)이 구비된다. 뱅크층(180) 상에 발광층(EML) 및 제2 전극(CAT)이 차례로 적층되어 위치한다.

[0061] 캐소드 컨택부(CAC)는 제2 전극(CAT)에 저전위전압을 인가하면서 저항을 낮추는 역할을 한다. 따라서, 제2 전극(CAT)의 저항을 낮추기 위해 선택적으로 캐소드 컨택부(CAC)에 레이저를 조사하여 제2 전극(CAT)과 캐소드 전원라인(EVSS)을 연결시킬 수 있다. 구체적으로, 캐소드 컨택부(CAC)에 레이저를 조사하면, 발광층(EML)이 제거되어 제2 전극(CAT)과 제2 애노드 연결패턴(AN2)이 서로 컨택하게 되어 전기적으로 연결될 수 있다. 따라서, 제2 전극(CAT)은 제2 애노드 연결패턴(AN2)을 통해 캐소드 전원라인(EVSS)에 연결되어 제2 전극(CAT)의 저항을 낮출 수 있다.

[0062] 한편, 도 4와 도 5를 참조하면, 제1 발광부(EMA1)와 제2 발광부(EMA2) 사이에 배치된 비아홀(VIA) 마진으로 인해 제1 발광부(EMA1)와 제2 발광부(EMA2)의 면적이 줄어들게 된다.

[0063] 하기에서는 제1 발광부(EMA1)와 제2 발광부(EMA2)의 면적 즉, 개구율을 향상시킬 수 있는 본 발명의 제2 실시예를 개시한다.

[0064] 도 8은 본 발명의 제2 실시예에 따른 유기발광표시장치의 평면도이고, 도 9는 도 8의 절취선 Ⅳ-Ⅳ'에 따라 절취한 단면도이고, 도 10은 도 8의 절취선 V-V'에 따라 절취한 단면도이다. 하기에서는 전술한 제1 실시예와 동일한 구성에 대해서는 그 설명을 간략히 하기로 한다.

[0065] 도 8을 참조하면, 본 발명의 제2 실시예에 따른 유기발광표시장치는 게이트 라인(GL)과 제1 내지 제4 데이터 라인(DL1~DL4)이 교차하여 제1 내지 제4 서브픽셀(SPn1~SPn4)이 정의된다. 제1 내지 제4 서브픽셀(SPn1~SPn4)은 제1 및 제2 발광부(EMA1, EMA2)와 투과부(TA)를 포함한다.

[0066] 제1 내지 제4 데이터 라인(DL1~DL4)과 각각 연결되는 제1 내지 제4 서브픽셀(SPn1~SPn4)은 센싱라인(VREF)에 공통으로 연결되어 있다. 센싱라인(VREF)은 제1 센싱연결라인(SC1)을 통해 제1 서브픽셀(SPn1)과 제3 서브픽셀(SPn3)이 연결되고, 제2 센싱연결라인(SC2)을 통해 제2 서브픽셀(SPn2)과 제4 서브픽셀(SPn4)이 연결된다. 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)의 일측에는 전원 라인(EVDD)이 배치되고, 제1 내지 제4 서브픽셀(SPn1~SPn4)이 전원연결라인(EVC)을 통해 전원 라인(EVDD)에 각각 연결된다. 제3 및 제4 서브픽셀(SPn3, SPn4)의 일측에는 캐소드 전원라인(EVSS)이 배치되어 캐소드인 제2 전극(미도시)에 연결된다.

[0067] 각 서브픽셀들의 제1 발광부(EMA1)에 제1 애노드 전극(ANO1)이 배치되고, 제2 발광부(EMA2)에 제2 애노드 전극(ANO2)이 배치된다. 각 서브픽셀들에는 구동 트랜지스터(DR), 커패시터(Cst), 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)가 배치된다. 센싱라인(VREF)은 제1 및 제2 센싱연결라인(SC1, SC2)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVC)을 통해 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 구동 트랜지스터(DR)에 연결된다. 게이트 라인들(GL)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.

[0068] 제1 전극(ANO)은 제1 애노드 전극(ANO1) 및 제2 애노드 전극(ANO2)을 포함한다. 제1 애노드 전극(ANO1)과 제2 애노드 전극(ANO2)이 분기된 영역에는 제1 리페어부(RP1)가 배치되고, 제1 애노드 전극(ANO1) 일측에는 제2 리페어부(RP2)가 배치된다. 또한, 반도체층(130)으로부터 연장된 부분이 커패시터 하부전극(LCst)을 구성하고, 드레인 전극(150b)으로부터 연장된 부분이 커패시터 상부전극으로 작용하여 커패시터(Cst)를 구성한다. 특히, 커패시터 상부전극인 드레인 전극(150b)의 일부로부터 전원 라인(EVDD)과 교차하도록 돌출된 연장 라인(SEL)이 배치된다. 연장 라인(SEL)은 커패시터 상부전극인 드레인 전극(150b)에서 투과부(TA)에 위치한 제1 리페어부(RP1)로 연장되어 제1 애노드 전극(ANO1) 및 제2 애노드 전극(ANO2)에 전기적으로 연결된다. 연장 라인(SEL)은 제1 발광부(EMA1)와 제2 발광부(EMA2) 사이를 가로지르며 데이터 라인(DL1)과 교차한다.

[0069] 이하, 구체적인 연장 라인(SEL)과 제1 전극(ANO)의 연결 관계를 살펴보면 다음과 같다.

[0070] 도 9 및 도 10을 참조하면, 본 발명의 제2 실시예에 따른 유기발광표시장치는 기판(110) 상에 광차단층(120)이 위치하고, 광차단층(120) 상에 버퍼층(125)이 위치한다. 버퍼층(125) 상에 반도체층(130)이 위치하고, 반도체층(130) 상에 게이트 절연막(135)이 위치한다. 게이트 절연막(135) 상에 게이트 전극(140)이 위치하고, 게이트 전극(140) 상에 층간 절연막(145)이 위치한다. 층간 절연막(145) 상에 소스 전극(150a) 및 드레인 전극(150b)이 위치한다. 따라서, 반도체층(130), 게이트 전극(140), 소스 전극(150a) 및 드레인 전극(150b)을 포함하는 구동 트랜지스터(DR)가 구성된다. 또한, 반도체층(130)으로부터 연장된 부분이 커패시터 하부전극(LCst)을 구성하고, 드레인 전극(150b)으로부터 연장된 부분이 커패시터 상부전극으로 작용하여 커패시터(Cst)가 구성된다.

[0071] 구동 트랜지스터(DR) 및 커패시터(Cst)를 포함하는 기판(110) 상에 패시베이션막(160)이 위치한다. 패시베이션막(160)은 연장 라인(SEL)의 일부를 노출하는 제6 콘택홀(CH6)이 구비된다. 제6 콘택홀(CH6)은 제1 리페어부(RP1)에 배치된다. 패시베이션막(160) 상에 오버코트층(165)이 위치한다. 오버코트층(165)은 도 8과 같이 투과부(TA)에는 형성되지 않고, 제1 리페어부(RP1)의 제6 콘택홀(CH6)을 노출하도록 형성된다. 앞서 설명한 도 5와 같이, 오버코트층(165)은 유기물로서 습식 식각으로 콘택홀이 형성되기 때문에 콘택홀의 크기가 커질 수밖에 없다. 본 발명의 제1 실시예에서는 발광부들 사이에서 오버코트층(165)을 생략할 수 없다. 그러나, 본 발명의 제2 실시예에서는 연장 라인(SEL)을 통해 투과부(TA)에서 제1 전극(ANO)과 컨택함으로써, 투과부(TA)에서 오버코트층(165)이 생략될 수 있다.

[0072] 오버코트층(165) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게, 도 9와 같이, 오버코트층(165)이 형성되지 않은 패시베이션막(160) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 제1 리페어부(RP1)에서 패시베이션막(160) 상에 형성되며 제6 콘택홀(CH6)을 통해 연장 라인(SEL)에 직접 컨택한다. 패시베이션막(160)의 제6 콘택홀(CH6)은 건식 식각을 통해 형성됨으로써, 그 크기가 매우 작게 형성될 수 있다. 따라서, 제1 전극(ANO)이 제6 콘택홀(CH6)을 통해 연장 라인(SEL)에 직접 컨택함으로써, 제1 전극(ANO)과 연장 라인(SEL)의 컨택 면적을 현저하게 줄일 수 있다.

[0073] 전술한 도 4와 같이, 제1 전극(ANO)과 드레인 전극(150b)이 컨택하는 컨택부는 오버코트층(165)의 비아홀(VIA)을 통해 연결되어야 한다. 오버코트층(165)은 유기물로 습식 식각을 통해 비아홀(VIA)이 형성되기 때문에 비아홀(VIA)의 크기가 매우 크다. 따라서, 도 5와 같이, 제1 발광부(EMA1)와 제2 발광부(EMA2)가 상기 비아홀(VIA)을 피해 그 면적이 좁아진다.

[0074] 반면, 도 8과 같이, 제1 전극(ANO)과 드레인 전극(150b)의 연장 라인(SEL)이 컨택하는 제6 콘택홀(CH6)은 제1

리페어부(RP1)에 형성됨으로써, 크기가 작은 제6 콘택홀(CH6)로 인해 투과부(TA)의 면적이 거의 감소되지 않으면서 제1 발광부(EMA1)와 제2 발광부(EMA2)의 면적을 증가시킬 수 있다. 따라서, 도 10과 같이, 본 발명의 제2 실시예에서는 서브픽셀의 제1 발광부(EMA1)와 제2 발광부(EMA2)의 면적을 향상시킬 수 있는 이점이 있다.

[0075] 도 10을 참조하면, 제1 전극(ANO)을 포함하는 기판(110) 상에 화소를 구획하는 뱅크층(180)이 위치하고, 제1 전극(ANO)을 노출시키는 화소정의부(185)가 위치한다. 기판(110) 전면에는 제1 전극(ANO)에 컨택하는 유기막층(EML)이 위치하고, 유기막층(EML) 상에 제2 전극(CAT)이 위치한다.

[0076] 이와 같이 구성된 본 발명의 제2 실시예에 따른 유기발광표시장치는 제1 실시예 대비하여 개구율이 현저하게 향상된다. 하기 표 1은 제1 및 제2 실시예에 따른 유기발광표시장치의 개구율을 모델별로 나타내었다.

표 1

[0077]

	제1 실시예	제2 실시예
#1 55인치 UHD(80.6ppi)	24.4%	29.3%
#2 55인치 FHD(40.3ppi)	29.8%	31.6%

[0078] 상기 표 1을 참조하면, 본 발명의 제2 실시예에 따른 유기발광표시장치는 제1 실시예(100% 기준) 대비하여 약 20% 및 6%의 개구율이 향상되었다.

[0079] 전술한 본 발명의 제2 실시예에 따른 유기발광표시장치는 커패시터 상부전극인 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인을 통해 제1 전극과 구동 트랜지스터의 컨택부를 제1 리페어부에 형성함으로써, 개구율을 향상시킬 수 있는 이점이 있다.

[0080] 상기와 같이, 본 발명의 실시예들에 따른 유기발광표시장치는 제1 및 제2 리페어부를 구비하여, 서브픽셀의 오작동 또는 결함이 발견될 시 리페어할 수 있는 이점이 있다.

[0081] 또한, 본 발명의 실시예들에 따른 유기발광표시장치는 커패시터 상부전극인 구동 트랜지스터의 드레인 전극으로부터 연장된 연장 라인을 통해 제1 전극과 구동 트랜지스터의 컨택부를 제1 리페어부에 형성함으로써, 개구율을 향상시킬 수 있는 이점이 있다.

[0082] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0083] EVDD : 전원 라인 DL1~DL4 : 제1 내지 제4 데이터 라인

VREF : 센싱 라인 EVSS : 캐소드 전원 라인

GL : 게이트 라인 ST : 센싱 트랜지스터

DR : 구동 트랜지스터 SW : 스위칭 트랜지스터

Cst : 커패시터 ANO : 제1 전극

ANO1 : 제1 애노드 전극 ANO2 : 제2 애노드 전극

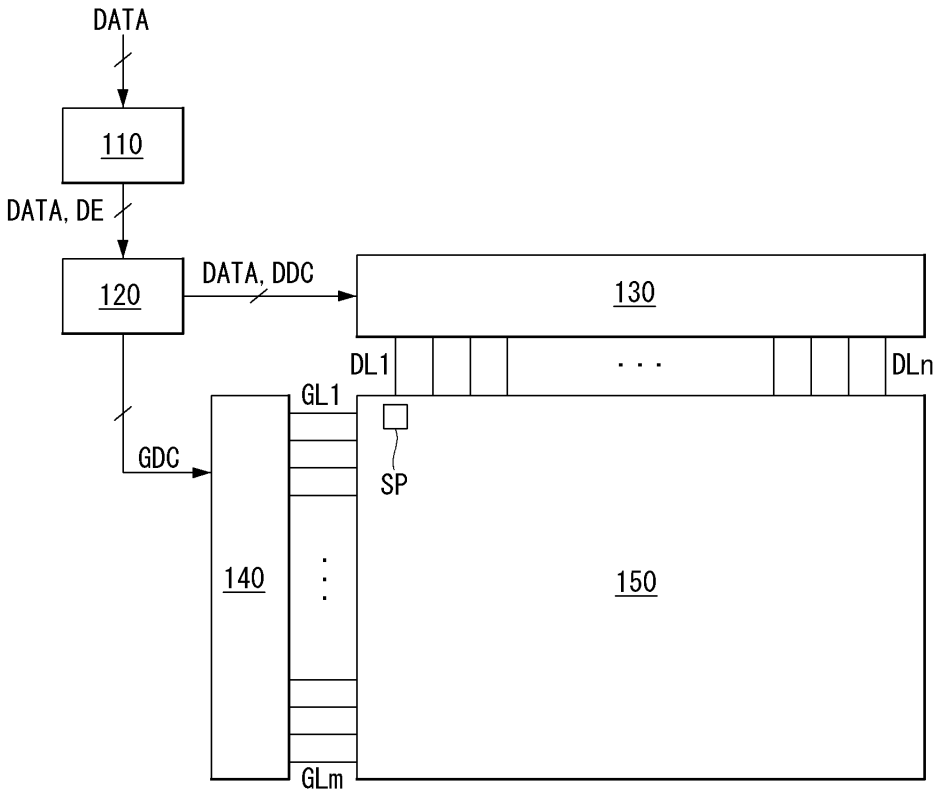
RP1 : 제1 리페어부 RP2 : 제2 리페어부

CAC : 캐소드 컨택부 EMA1 : 제1 발광부

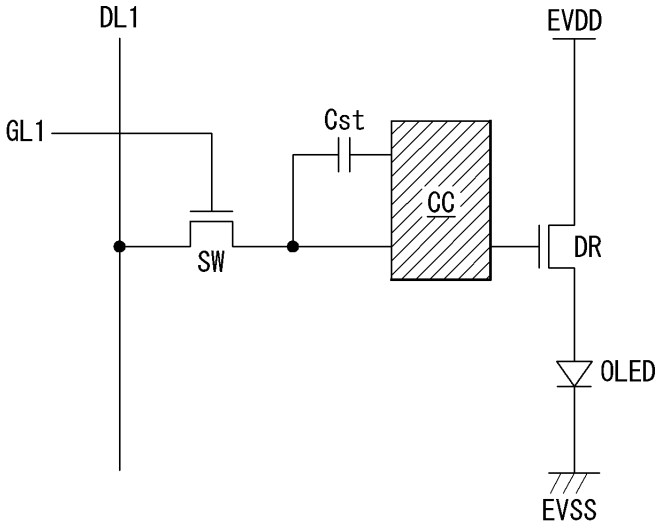
EMA2 : 제2 발광부

도면

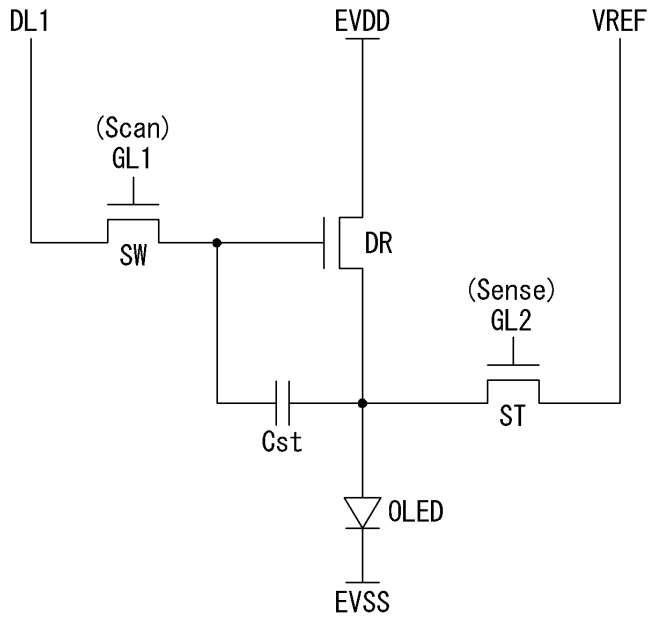
도면1


DATA
110
DATA, DE
120
DATA, DDC
130
DL1
DLn
GL1
GDC
SP
140
150
GLm

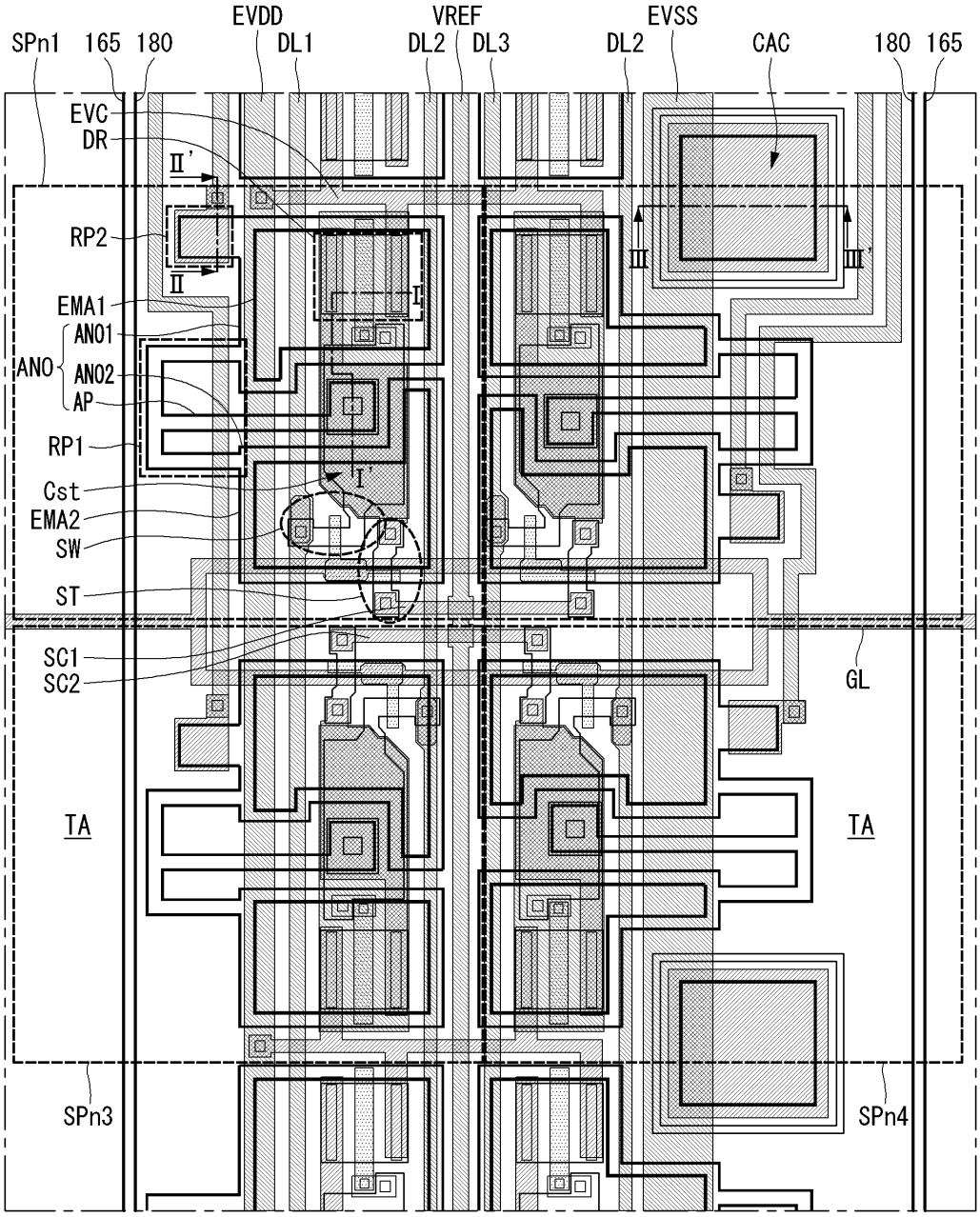
도면2


DL1
EVDD
GL1
Cst
CC
SW
DR
OLED
EVSS

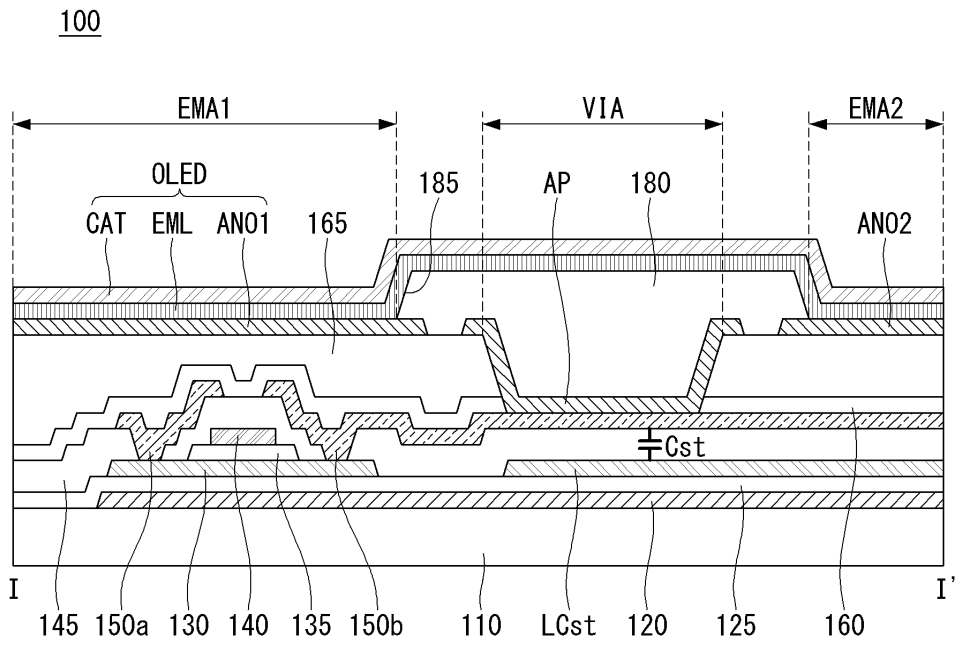
도면3



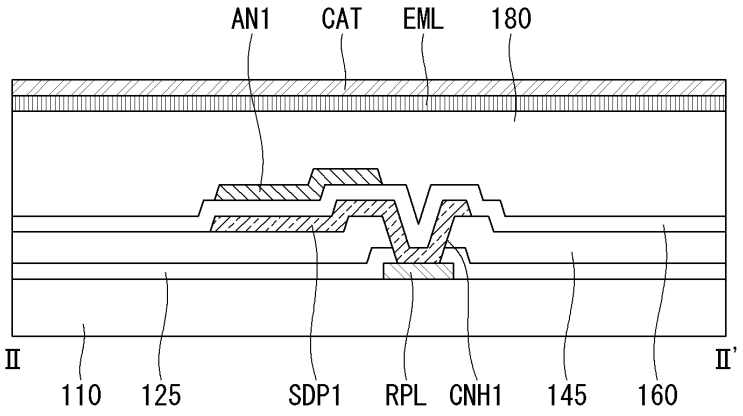
도면4


SPn1
165
180
EVDD
DL1
VREF
DL2
DL3
DL2
EVSS
CAC
180
165
EVC
DR
II'
RP2
II
EMA1
ANO1
ANO
ANO2
AP
RP1
Cst
EMA2
SW
ST
I
I'
III
III'
SC1
SC2
GL
TA
TA
SPn3
SPn4

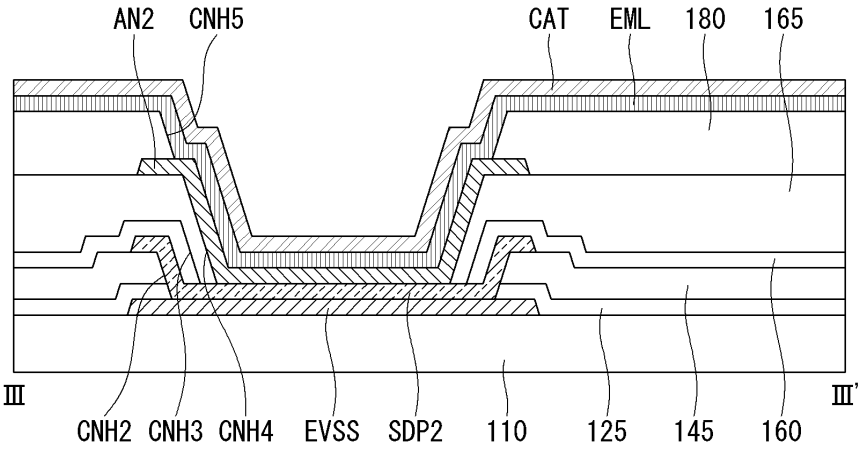
도면5


100
EMA1
VIA
EMA2
OLED
CAT
EML
ANO1
165
185
AP
180
ANO2
Cst
I
I'
145
150a
130
140
135
150b
110
LCst
120
125
160

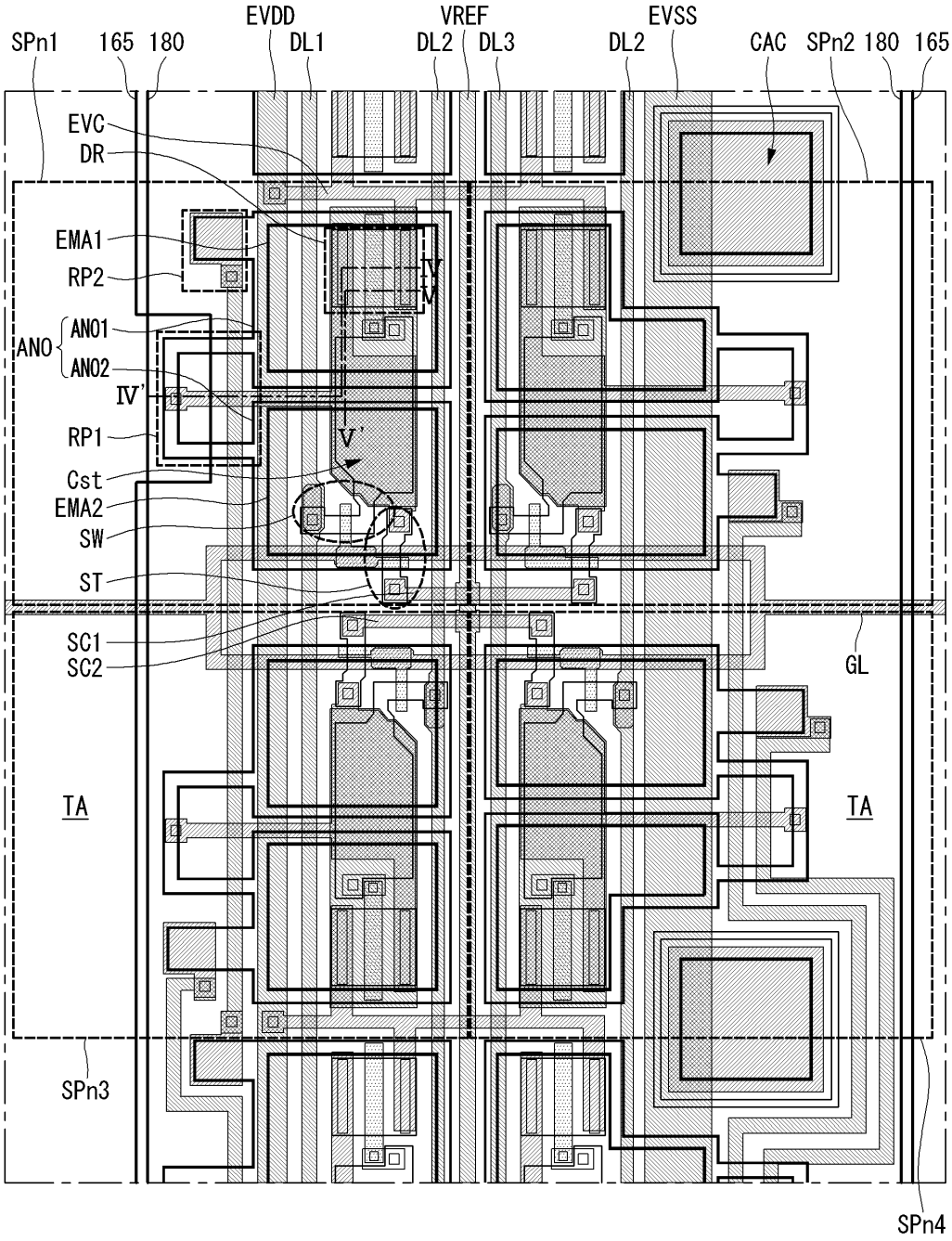
도면6


AN1
CAT
EML
180
II
II'
110
125
SDP1
RPL
CNH1
145
160

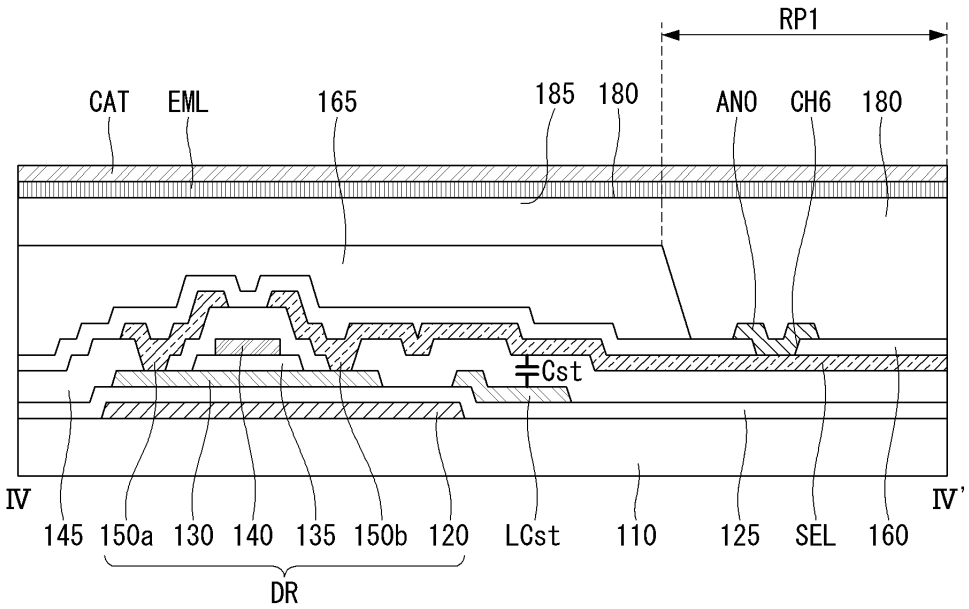
도면7


AN2
CNH5
CAT
EML
180
165
III
III'
CNH2
CNH3
CNH4
EVSS
SDP2
110
125
145
160

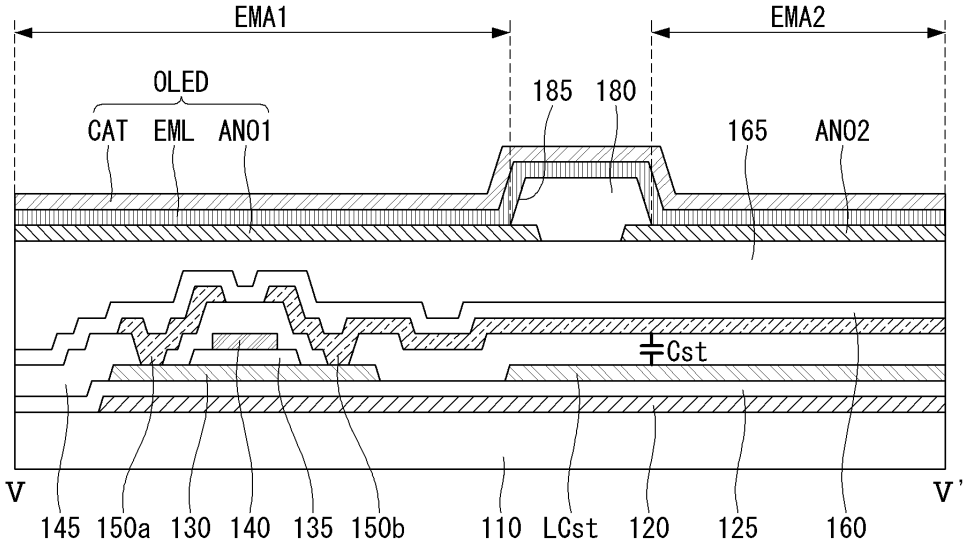
도면8


SPn1
165
180
EVDD
DL1
VREF
DL2
DL3
EVSS
DL2
CAC
SPn2
180
165
EVC
DR
EMA1
RP2
IV
IV'
ANO
ANO1
ANO2
RP1
V'
Cst
EMA2
SW
ST
SC1
SC2
GL
TA
TA
SPn3
SPn4

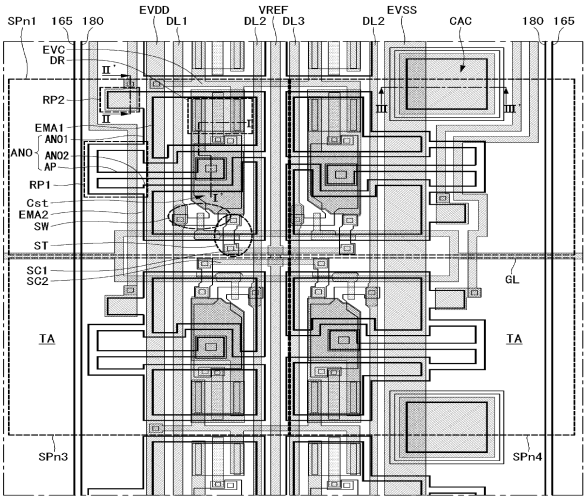
도면9


RP1
CAT
EML
165
185
180
ANO
CH6
180
Cst
IV
IV'
145
150a
130
140
135
150b
120
LCst
110
125
SEL
160
DR

도면10


EMA1
EMA2
OLED
CAT
EML
ANO1
185
180
165
ANO2
Cst
V
V'
145
150a
130
140
135
150b
110
LCst
120
125
160

专利名称(译)	显示装置		
公开(公告)号	KR1020200023072A	公开(公告)日	2020-03-04
申请号	KR1020180099448	申请日	2018-08-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김태한		
发明人	김태한		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L27/3213 H01L27/3248 H01L51/52 H01L27/3246 H01L27/3258 H01L27/3262 H01L2251/568 H01L51/5206 H01L51/5221 H01L51/5237		
外部链接	Espacenet		

摘要(译)

提供一种显示装置,该显示装置能够在最大程度地防止透射部的损失的同时提高发光部的开口率。 根据本发明的一个实施例,显示装置包括多个子像素,所述多个子像素在基板上包括透射部分和发光部分。 发光部分包括驱动晶体管和连接到该驱动晶体管的有机发光二极管。 在透射部分中,从驱动晶体管的漏极延伸的延长线连接到有机发光二极管的第一电极。