



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0017021
(43) 공개일자 2020년02월18일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/3276 (2013.01)
(21) 출원번호 10-2018-0092107
(22) 출원일자 2018년08월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
차명근
서울특별시 서대문구 세무서8길 49, 101동 401호
최상건
경기도 수원시 장안구 화산로 85, 131동 702호
(뒷면에 계속)
(74) 대리인
박영우

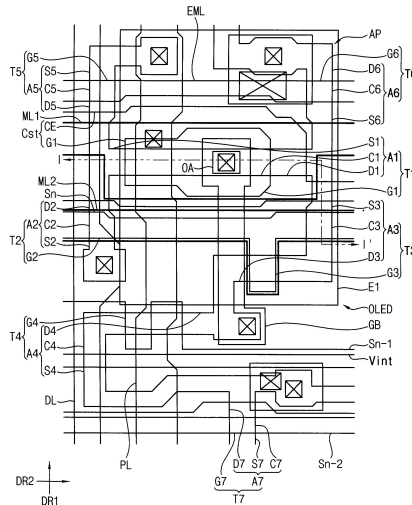
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치는 기판, 기판 상에 배치되는 유기 발광 소자, 기판과 유기 발광 소자 사이에 배치되고 유기 발광 소자와 전기적으로 연결되며 제1 트랜지스터 및 제2 트랜지스터를 포함하는 화소 회로, 기판과 화소 회로 사이에 배치되고 제1 트랜지스터와 중첩하며 제1 전압이 공급되는 제1 금속층, 그리고 기판과 화소 회로 사이에 배치되고 제2 트랜지스터와 중첩하며 제1 전압과 상이한 제2 전압이 공급되는 제2 금속층을 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 2310/0254 (2013.01)

G09G 2330/028 (2013.01)

(72) 발명자

신지영

부산광역시 부산진구 새싹로218번길 46-6, 1층

이용수

서울특별시 서초구 신반포로 137, 2동 403호

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 유기 발광 소자;

상기 기관과 상기 유기 발광 소자 사이에 배치되고, 상기 유기 발광 소자와 전기적으로 연결되며, 제1 트랜지스터 및 제2 트랜지스터를 포함하는 화소 회로;

상기 기관과 상기 화소 회로 사이에 배치되고, 상기 제1 트랜지스터와 중첩하며, 제1 전압이 공급되는 제1 금속층; 및

상기 기관과 상기 화소 회로 사이에 배치되고, 상기 제2 트랜지스터와 중첩하며, 상기 제1 전압과 상이한 제2 전압이 공급되는 제2 금속층을 포함하는, 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 전압의 극성과 상기 제2 전압의 극성은 서로 상이한, 표시 장치.

청구항 3

제1 항에 있어서,

상기 제1 트랜지스터의 구동 범위와 상기 제2 트랜지스터의 구동 범위는 서로 상이한, 표시 장치.

청구항 4

제1 항에 있어서,

상기 제1 전압은 음의 극성을 가지고,

상기 제2 전압은 양의 극성을 가지는, 표시 장치.

청구항 5

제4 항에 있어서,

상기 제1 전압은 $-3V$ 내지 $-5V$ 인, 표시 장치.

청구항 6

제5 항에 있어서,

상기 제2 전압은 $+4V$ 내지 $+6V$ 인, 표시 장치.

청구항 7

제4 항에 있어서,

상기 제1 트랜지스터는 상기 기관 상에 배치되고 제1 채널을 포함하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 배치되는 제1 게이트 전극을 포함하고,

상기 제1 금속층은 상기 제1 채널과 중첩하는, 표시 장치.

청구항 8

제7 항에 있어서,

상기 제2 트랜지스터는 상기 제1 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하고 제2 채널을 포함하는 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 배치되는 제2 게이트 전극을 포함하고,

상기 제2 금속층은 상기 제2 채널과 중첩하는, 표시 장치.

청구항 9

제8 항에 있어서,

상기 화소 회로는,

상기 제1 액티브 패턴과 연결되는 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 배치되는 제3 게이트 전극을 포함하는 제3 트랜지스터를 더 포함하고,

상기 제2 금속층은 상기 제3 채널과 중첩하는, 표시 장치.

청구항 10

제4 항에 있어서,

상기 제1 트랜지스터의 구동 범위는 상기 제2 트랜지스터의 구동 범위보다 넓은, 표시 장치.

청구항 11

제4 항에 있어서,

상기 제1 금속층은 상기 화소 회로 외부의 연결선에 연결되는, 표시 장치.

청구항 12

제4 항에 있어서,

상기 제2 금속층은 상기 화소 회로 외부의 연결선에 연결되거나 상기 화소 회로를 가로지르는 구동 전압선에 연결되는, 표시 장치.

청구항 13

제1 항에 있어서,

각각의 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 PMOS 트랜지스터인, 표시 장치.

청구항 14

표시 영역 및 주변 영역을 포함하는 기판;

상기 기판의 상기 표시 영역 상에 배치되는 복수의 유기 발광 소자들;

상기 기판과 상기 복수의 유기 발광 소자들 사이에 배치되고, 상기 복수의 유기 발광 소자들과 각각 전기적으로 연결되며, 제1 트랜지스터 및 제2 트랜지스터를 각각 포함하는 복수의 화소 회로들;

상기 기판과 상기 복수의 화소 회로들 사이에 배치되고, 상기 복수의 화소 회로들 각각의 상기 제1 트랜지스터와 중첩하며, 제1 전압이 공급되는 복수의 제1 금속선들; 및

상기 기판과 상기 복수의 화소 회로들 사이에 배치되고, 상기 복수의 화소 회로들 각각의 상기 제2 트랜지스터와 중첩하며, 상기 제1 전압과 상이한 제2 전압이 공급되는 복수의 제2 금속선들을 포함하는, 표시 장치.

청구항 15

제14 항에 있어서,

제1 방향을 따라 연장되고, 상기 복수의 유기 발광 소자들에 구동 전압을 공급하는 복수의 구동 전압선들을 더 포함하고,

상기 복수의 제1 금속선들 및 상기 복수의 제2 금속선들은 상기 제1 방향과 교차하는 제2 방향을 따라 연장되는, 표시 장치.

청구항 16

제15 항에 있어서,
 상기 제1 방향을 따라 연장되고, 상기 복수의 제1 금속선들과 연결되는 제1 연결선을 더 포함하고,
 상기 제1 연결선은 상기 기관의 상기 주변 영역 상에 배치되는 제1 패드를 통해 상기 제1 전압을 공급받는, 표시 장치.

청구항 17

제16 항에 있어서,
 상기 복수의 제2 금속선들은 각각 상기 복수의 구동 전압선들에 연결되고,
 상기 복수의 제2 금속선들은 각각 상기 복수의 구동 전압선들을 통해 상기 제2 전압을 공급받는, 표시 장치.

청구항 18

제16 항에 있어서,
 상기 제1 방향을 따라 연장되고, 상기 복수의 제2 금속선들과 연결되는 제2 연결선을 더 포함하고,
 상기 제2 연결선은 상기 기관의 상기 주변 영역 상에 배치되는 제2 패드를 통해 상기 제2 전압을 공급받는, 표시 장치.

청구항 19

제14 항에 있어서,
 상기 제1 전압의 극성과 상기 제2 전압의 극성은 서로 상이한, 표시 장치.

청구항 20

제14 항에 있어서,
 상기 제1 트랜지스터의 구동 범위와 상기 제2 트랜지스터의 구동 범위는 서로 상이한, 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 복수의 트랜지스터들을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 표시 장치로써 평판 표시 장치가 널리 사용되고 있다. 특히 평판 표시 장치 중에서 유기 발광 표시 장치는 상대적으로 얇고, 가벼우며, 소비전력이 낮고, 반응 속도가 빠르다는 장점 때문에 차세대 표시 장치로 주목 받고 있다.

[0003] 유기 발광 표시 장치는 복수의 박막 트랜지스터들 및 상기 박막 트랜지스터들과 연결되는 유기 발광 소자를 포함할 수 있다. 유기 발광 소자는 박막 트랜지스터를 통해 유기 발광 소자로 공급되는 전압에 대응하는 휘도의 광을 방출할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 트랜지스터의 특성이 개선된 표시 장치를 제공하는 것이다.

[0005] 다만, 본 발명의 목적이 이와 같은 목적들에 한정되는 것은 아니며, 본 발명의 사상 및 영역으로부터 벗어나지

않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0006] 전술한 본 발명의 일 목적을 달성하기 위하여, 실시예들에 따른 표시 장치는 기판, 상기 기판 상에 배치되는 유기 발광 소자, 상기 기판과 상기 유기 발광 소자 사이에 배치되고 상기 유기 발광 소자와 전기적으로 연결되며 제1 트랜지스터 및 제2 트랜지스터를 포함하는 화소 회로, 상기 기판과 상기 화소 회로 사이에 배치되고 상기 제1 트랜지스터와 중첩하며 제1 전압이 공급되는 제1 금속층, 그리고 상기 기판과 상기 화소 회로 사이에 배치되고 상기 제2 트랜지스터와 중첩하며 상기 제1 전압과 상이한 제2 전압이 공급되는 제2 금속층을 포함할 수 있다.
- [0007] 일 실시예에 있어서, 상기 제1 전압의 극성과 상기 제2 전압의 극성은 서로 상이할 수 있다.
- [0008] 일 실시예에 있어서, 상기 제1 트랜지스터의 구동 범위와 상기 제2 트랜지스터의 구동 범위는 서로 상이할 수 있다.
- [0009] 일 실시예에 있어서, 상기 제1 전압은 음의 극성을 가지고, 상기 제2 전압은 양의 극성을 가질 수 있다.
- [0010] 일 실시예에 있어서, 상기 제1 전압은 약 -3V 내지 약 -5V일 수 있다.
- [0011] 일 실시예에 있어서, 상기 제2 전압은 약 +4V 내지 약 +6V일 수 있다.
- [0012] 일 실시예에 있어서, 상기 제1 트랜지스터는 상기 기판 상에 배치되고 제1 채널을 포함하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 배치되는 제1 게이트 전극을 포함하고, 상기 제1 금속층은 상기 제1 채널과 중첩할 수 있다.
- [0013] 일 실시예에 있어서, 상기 제2 트랜지스터는 상기 제1 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하고 제2 채널을 포함하는 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 배치되는 제2 게이트 전극을 포함하고, 상기 제2 금속층은 상기 제2 채널과 중첩할 수 있다.
- [0014] 일 실시예에 있어서, 상기 화소 회로는 상기 제1 액티브 패턴과 연결되는 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 배치되는 제3 게이트 전극을 포함하는 제3 트랜지스터를 더 포함하고, 상기 제2 금속층은 상기 제3 채널과 중첩할 수 있다.
- [0015] 일 실시예에 있어서, 상기 제1 트랜지스터의 구동 범위는 상기 제2 트랜지스터의 구동 범위보다 넓을 수 있다.
- [0016] 일 실시예에 있어서, 상기 제1 금속층은 상기 화소 회로 외부의 연결선에 연결될 수 있다.
- [0017] 일 실시예에 있어서, 상기 제2 금속층은 상기 화소 회로 외부의 연결선에 연결되거나 상기 화소 회로를 가로지르는 구동 전압선에 연결될 수 있다.
- [0018] 일 실시예에 있어서, 각각의 상기 제1 트랜지스터 및 상기 제2 트랜지스터는 PMOS 트랜지스터일 수 있다.
- [0019] 전술한 본 발명의 일 목적을 달성하기 위하여, 실시예들에 따른 표시 장치는 표시 영역 및 주변 영역을 포함하는 기판, 상기 기판의 상기 표시 영역 상에 배치되는 복수의 유기 발광 소자들, 상기 기판과 상기 복수의 유기 발광 소자들 사이에 배치되고 상기 복수의 유기 발광 소자들과 각각 전기적으로 연결되며 제1 트랜지스터 및 제2 트랜지스터를 각각 포함하는 복수의 화소 회로들, 상기 기판과 상기 복수의 화소 회로들 사이에 배치되고 상기 복수의 화소 회로들 각각의 상기 제1 트랜지스터와 중첩하며 제1 전압이 공급되는 복수의 제1 금속선들, 그리고 상기 기판과 상기 복수의 화소 회로들 사이에 배치되고 상기 복수의 화소 회로들 각각의 상기 제2 트랜지스터와 중첩하며 상기 제1 전압과 상이한 제2 전압이 공급되는 복수의 제2 금속선들을 포함할 수 있다.
- [0020] 일 실시예에 있어서, 상기 표시 장치는 제1 방향을 따라 연장되고, 상기 복수의 유기 발광 소자들에 구동 전압을 공급하는 복수의 구동 전압선들을 더 포함할 수 있다. 상기 복수의 제1 금속선들 및 상기 복수의 제2 금속선들은 상기 제1 방향과 교차하는 제2 방향을 따라 연장될 수 있다.
- [0021] 일 실시예에 있어서, 상기 표시 장치는 상기 제1 방향을 따라 연장되고, 상기 복수의 제1 금속선들과 연결되는 제1 연결선을 더 포함할 수 있다. 상기 제1 연결선은 상기 기판의 상기 주변 영역 상에 배치되는 제1 패드를 통해 상기 제1 전압을 공급받을 수 있다.
- [0022] 일 실시예에 있어서, 상기 복수의 제2 금속선들은 각각 상기 복수의 구동 전압선들에 연결되고, 상기 복수의 제2 금속선들은 각각 상기 복수의 구동 전압선들을 통해 상기 제2 전압을 공급받을 수 있다.

[0023] 일 실시예에 있어서, 상기 표시 장치는 상기 제1 방향을 따라 연장되고, 상기 복수의 제2 금속선들과 연결되는 제2 연결선을 더 포함할 수 있다. 상기 제2 연결선은 상기 기관의 상기 주변 영역 상에 배치되는 제2 패드를 통해 상기 제2 전압을 공급받을 수 있다.

[0024] 일 실시예에 있어서, 상기 제1 전압의 극성과 상기 제2 전압의 극성은 서로 상이할 수 있다.

[0025] 일 실시예에 있어서, 상기 제1 트랜지스터의 구동 범위와 상기 제2 트랜지스터의 구동 범위는 서로 상이할 수 있다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 표시 장치에 있어서, 제1 트랜지스터와 중첩하는 제1 금속층에 공급되는 제1 전압과 제2 트랜지스터와 중첩하는 제2 금속층에 공급되는 제2 전압이 서로 상이함에 따라, 제1 트랜지스터의 구동 범위와 제2 트랜지스터의 구동 범위가 서로 상이하고, 제1 트랜지스터 및 제2 트랜지스터의 특성이 개선될 수 있다.

[0027] 다만, 본 발명의 효과가 전술한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타내는 평면도이다.

도 2는 본 발명의 일 실시예에 따른 표시 장치의 일 화소를 나타내는 회로도이다.

도 3은 도 2의 일 화소를 나타내는 배치도이다.

도 4는 도 3의 표시 장치를 I-I'을 따라 자른 단면도이다.

도 5는 금속선에 인가되는 전압에 따른 박막 트랜지스터의 s-factor의 변화를 나타내는 그래프이다.

도 6은 제1 금속선에 인가되는 제1 전압에 따른 제1 박막 트랜지스터의 구동 범위의 변화를 나타내는 그래프이다.

도 7은 제2 금속선에 인가되는 제2 전압에 따른 제2 박막 트랜지스터의 구동 범위의 변화를 나타내는 그래프이다.

도 8은 본 발명의 다른 실시예에 따른 표시 장치의 일 화소를 나타내는 회로도이다.

도 9는 도 8의 일 화소를 나타내는 배치도이다.

도 10은 도 9의 표시 장치를 II-II'을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들에 따른 표시 장치들을 보다 상세하게 설명한다. 첨부된 도면들 상의 동일한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.

[0030] 이하, 도 1 내지 도 4를 참조하여 본 발명의 일 실시예에 따른 표시 장치를 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 나타내는 평면도이다. 이하에서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.

[0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(SUB), 복수의 화소들(PX), 복수의 데이터선들(DL), 복수의 게이트선들(GL), 복수의 발광 제어선들(EML), 복수의 구동 전압선들(PL), 데이터 구동부(DD), 게이트 구동부(GD), 발광 제어 구동부(ED), 구동 전압 공급선(PSL), 공통 전압 공급선(CSL), 복수의 제1 금속선들(ML1), 복수의 제2 금속선들(ML2), 제1 연결선(CL1) 및 제2 연결선(CL2)을 포함할 수 있다.

[0033] 기관(SUB)은 영상을 표시하는 표시 영역(DA) 및 표시 영역(DA)과 이웃하는 주변 영역(PA)을 포함할 수 있다. 표시 영역(DA)에는 화소들(PX), 데이터선들(DL), 게이트선들(GL), 발광 제어선들(EML) 및 구동 전압선들(PL)이 배치될 수 있다.

[0034] 화소들(PX)은 기관(SUB) 상의 표시 영역(DA)에 위치할 수 있다. 화소들(PX) 각각은 데이터선들(DL), 구동 전압

선들(PL), 게이트선들(GL) 및 발광 제어선들(EML) 각각과 연결될 수 있다. 화소들(PX) 각각은 게이트선들(GL)에 의해 스위칭된 데이터선들(DL)로부터 공급된 신호에 대응하는 구동 전류에 상응하는 휘도로 발광하는 유기 발광 소자, 그리고 상기 유기 발광 소자에 흐르는 구동 전류를 제어하기 위한 복수의 박막 트랜지스터들 및 하나 이상의 커패시터를 포함하는 화소 회로를 포함할 수 있다. 이에 따라, 기관(SUB) 상의 표시 영역(DA)에는 복수의 유기 발광 소자들 및 상기 복수의 유기 발광 소자들 각각에 연결된 복수의 박막 트랜지스터들을 포함하는 복수의 화소 회로들이 위치할 수 있다. 화소(PX)에서 상기 화소 회로는 기관(SUB)과 상기 유기 발광 소자 사이에 위치할 수 있다.

- [0035] 데이터선들(DL)은 데이터 구동부(DD)에 전기적으로 연결되어 제1 방향(DR1)을 따라 연장될 수 있다. 데이터선들(DL) 각각은 화소들(PX) 각각과 연결될 수 있다.
- [0036] 게이트선들(GL)은 게이트 구동부(GD)에 연결되어 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 연장될 수 있다. 게이트선들(GL) 각각은 화소들(PX) 각각과 연결되고, 제1 스캔선, 제2 스캔선, 제3 스캔선 및 초기화 전압선을 포함할 수 있다. 상기 제1 스캔선, 상기 제2 스캔선, 상기 제3 스캔선 및 상기 초기화 전압선에 대해서는 후술한다.
- [0037] 발광 제어선들(EML)은 발광 제어 구동부(ED)에 연결되어 게이트선들(GL)과 나란하게 제2 방향(DR2)을 따라 연장될 수 있다. 발광 제어선들(EML) 각각은 화소들(PX) 각각과 연결될 수 있다.
- [0038] 구동 전압선들(PL)은 구동 전압 공급선(PSL)에 연결되어 데이터선들(DL)과 나란하게 제1 방향(DR1)을 따라 연장될 수 있다. 구동 전압선들(PL) 각각은 화소들(PX) 각각과 연결될 수 있다.
- [0039] 주변 영역(PA)은 표시 영역(DA)의 외측에 위치할 수 있다. 예를 들면, 주변 영역(PA)은 표시 영역(DA)의 가장자리를 둘러쌀 수 있다. 주변 영역(PA)은 화소들(PX)이 배치되지 않는 영역으로, 영상을 제공하지 않을 수 있다. 주변 영역(PA)에는 게이트 구동부(GD), 발광 제어 구동부(ED), 패드부(PP), 구동 전압 공급선(PSL) 및 공통 전압 공급선(CSL)이 배치될 수 있다.
- [0040] 게이트 구동부(GD)는 기관(SUB) 상의 주변 영역(PA)에 배치되며, 게이트선들(GL)을 통해 각 화소(PX)에 게이트 신호를 생성하여 전달할 수 있다. 일 실시예에 있어서, 게이트 구동부(GD)는 표시 영역(DA)의 좌측 또는 우측에 배치될 수 있으나, 본 발명은 이에 한정되지 않는다. 다른 실시예에 있어서, 두 개의 게이트 구동부들이 좌측 및 우측에 각각 배치될 수 있다.
- [0041] 발광 제어 구동부(ED)는 기관(SUB) 상의 주변 영역(PA)에 배치되며, 발광 제어선들(EML)을 통해 각 화소(PX)에 발광 제어 신호를 생성하여 전달할 수 있다. 일 실시예에 있어서, 발광 제어 구동부(ED)는 표시 영역(DA)의 좌측 또는 우측에 배치될 수 있으나, 본 발명은 이에 한정되지 않는다. 다른 실시예에 있어서, 두 개의 발광 제어 구동부들이 좌측 및 우측에 각각 배치될 수 있다.
- [0042] 패드부(PP)는 기관(SUB)의 일 단부에 배치되고, 복수의 패드들(PDD, PDP, PD1, PD2, PDG, PDE, PDC)을 포함할 수 있다. 패드부(PP)는 절연층에 의해 덮이지 않고 노출되어, 가요성 인쇄 회로 기관(FPCB)과 전기적으로 연결될 수 있다.
- [0043] 가요성 인쇄 회로 기관(FPCB)은 제어부(CTL)와 패드부(PP)를 전기적으로 연결할 수 있다. 제어부(CTL)로부터 전달된 신호 또는 전압은 패드부(PP)에 연결된 배선들(DL, PSL, CL1, CL2, CSL)을 통해 이동할 수 있다.
- [0044] 제어부(CTL)는 수직 동기 신호, 수평 동기 신호 및 클럭 신호를 전달받아 게이트 구동부(GD) 및 발광 제어 구동부(ED)의 구동을 제어하기 위한 제어 신호를 생성하고, 생성된 신호는 가요성 인쇄 회로 기관(FPCB)과 연결된 패드들(PDG, PDE) 및 배선들을 통해 게이트 구동부(GD) 및 발광 제어 구동부(ED) 각각에 전달될 수 있다. 게이트 구동부(GD)의 게이트 신호는 게이트선(GL)을 통해 각 화소(PX)에 제공되고, 발광 제어 구동부(ED)의 발광 제어 신호는 발광 제어선(EML)을 통해 각 화소(PX)에 제공될 수 있다. 또한, 제어부(CTL)는 가요성 인쇄 회로 기관(FPCB)과 연결된 패드들(PDP, PDC)을 통해 구동 전압 공급선(PSL) 및 공통 전압 공급선(CSL) 각각에 구동 전압(ELVDD) 및 공통 전압(ELVSS)을 제공할 수 있다. 구동 전압(ELVDD)은 구동 전압선(PL)을 통해 각 화소(PX)에 제공되고, 공통 전압(ELVSS)은 화소(PX)의 대향 전극에 제공될 수 있다.
- [0045] 가요성 인쇄 회로 기관(FPCB)에는 데이터 구동부(DD)가 배치될 수 있다. 데이터 구동부(DD)는 데이터 신호를 각 화소(PX)에 제공할 수 있다. 데이터 구동부(DD)의 데이터 신호는 패드(PDD), 패드(PDD)에 연결된 배선 및 상기 배선과 연결된 데이터선(DL)을 통해 각 화소(PX)에 제공될 수 있다. 도 1에는 데이터 구동부(DD)가 가요성 인쇄 회로 기관(FPCB) 상에 배치된 구조를 도시하였으나, 본 발명은 이에 한정되지 않는다. 다른 실시예에 있어서,

데이터 구동부(DD)는 기관(SUB) 상의 주변 영역(PA)에 배치될 수도 있다.

- [0046] 구동 전압 공급선(PSL)은 기관(SUB) 상의 주변 영역(PA)에 배치될 수 있다. 예를 들면, 구동 전압 공급선(PSL)은 패드부(PP) 및 표시 영역(DA) 사이에 배치될 수 있다. 패드(PDP)와 연결된 구동 전압 공급선(PSL)을 통해 제공된 구동 전압(ELVDD)은 구동 전압선(PL)을 통해 각 화소(PX)에 제공될 수 있다.
- [0047] 공통 전압 공급선(CSL)은 기관(SUB) 상의 주변 영역(PA)에 배치되며, 화소(PX)의 유기 발광 소자의 대향 전극(예를 들면, 캐소드)에 공통 전압(ELVSS)을 제공할 수 있다. 예를 들면, 공통 전압 공급선(CSL)은 일측이 개방된 루프 형태로, 패드부(PP)를 제외한 기관(SUB)의 가장자리를 따라 연장될 수 있다.
- [0048] 제1 금속선들(ML1) 및 제2 금속선들(ML2)은 게이트선들(GL)과 나란하게 제2 방향(DR2)을 따라 연장될 수 있다. 제1 금속선들(ML1) 각각 및 제2 금속선들(ML2) 각각은 각 화소(PX)를 관통할 수 있다. 예를 들면, 각 제1 금속선(ML1) 및 각 제2 금속선(ML2)은 각 화소 행에 위치한 화소들(PX)을 관통할 수 있다.
- [0049] 제1 연결선(CL1) 및 제2 연결선(CL2)은 기관(SUB) 상의 주변 영역(PA)에 배치될 수 있다. 제1 연결선(CL1) 및 제2 연결선(CL2)은 데이터선들(DL)과 나란하게 제1 방향(DR1)을 따라 연장될 수 있다.
- [0050] 제1 연결선(CL1)은 제1 금속선들(ML1)과 패드부(PP)에 위치하는 제1 패드(PD1) 사이를 연결할 수 있다. 제1 연결선(CL1)은 제1 패드(PD1)를 통해 가요성 인쇄 회로 기관(FPCB)과 연결되고, 제어부(CTL)로부터 생성되는 제1 전압이 가요성 인쇄 회로 기관(FPCB)과 연결되는 제1 패드(PD1) 및 제1 연결선(CL1)을 통해 제1 금속선들(ML1)에 전송될 수 있다.
- [0051] 제2 연결선(CL2)은 제2 금속선들(ML2)과 패드부(PP)에 위치하는 제2 패드(PD2) 사이를 연결할 수 있다. 제2 연결선(CL2)은 제2 패드(PD2)를 통해 가요성 인쇄 회로 기관(FPCB)과 연결되고, 제어부(CTL)로부터 생성되는 상기 제1 전압과 상이한 제2 전압이 가요성 인쇄 회로 기관(FPCB)과 연결되는 제2 패드(PD2) 및 제2 연결선(CL2)을 통해 제2 금속선들(ML2)에 전송될 수 있다.
- [0052] 이하, 도 2를 참조하여 본 발명의 일 실시예에 따른 표시 장치의 일 화소(PX)의 회로를 설명한다.
- [0053] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 일 화소를 나타내는 회로도이다. 예를 들면, 도 2는 도 1의 표시 장치의 일 화소의 일 예를 나타낼 수 있다.
- [0054] 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치의 일 화소(PX)는 화소 회로(PC) 및 화소 회로(PC)와 연결되는 유기 발광 소자(OLED)를 포함할 수 있다. 화소 회로(PC)는 복수의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)를 포함할 수 있다. 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 초기화 전압선(Vint), 데이터선(DL) 및 구동 전압선(PL) 각각에 선택적으로 연결될 수 있다.
- [0055] 화소 회로(PC)에 포함된 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 중에서 적어도 하나의 박막 트랜지스터에는 상술한 제1 금속선(ML1)이 지나가고, 적어도 다른 하나의 박막 트랜지스터에는 상술한 제2 금속선(ML2)이 지나갈 수 있다. 제1 금속선(ML1)은 상기 적어도 하나의 박막 트랜지스터의 액티브 패턴과 중첩하고, 제2 금속선(ML2)은 상기 적어도 다른 하나의 박막 트랜지스터의 액티브 패턴과 중첩할 수 있다.
- [0056] 여기서, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2) 및 초기화 전압선(Vint)은 상술한 게이트선(GL)에 포함될 수 있다. 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 초기화 전압선(Vint), 데이터선(DL) 및 구동 전압선(PL) 각각은 서로 동일하거나 또는 서로 다른 재료를 포함할 수 있고, 기관(SUB) 상에서 서로 동일하거나 또는 서로 다른 층에 위치할 수 있다.
- [0057] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6) 및 제7 박막 트랜지스터(T7)를 포함할 수 있다.
- [0058] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3), 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 커패시터(Cst)의 일 전극에 연결될 수 있다. 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)에 연결될 수 있다. 제1 박막 트랜지스터(T1)는 유기 발광 소자(OLED)를 통과하는 전류의 크기를 조절하는 구동 박막 트랜지스터일 수 있다. 제1 박막 트랜지스터(T1)에는 제1 금

속선(ML1)이 지나가고, 구체적으로, 제1 금속선(ML1)은 화소 회로(PC)를 가로지르며 제1 박막 트랜지스터(T1)의 액티브 패턴과 중첩할 수 있다.

- [0059] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔선(Sn)과 연결될 수 있다. 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)은 데이터선(DL)과 연결되며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제2 박막 트랜지스터(T2)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)를 턴-온(turn-on)하거나 턴-오프(turn-off)하는 스위칭 박막 트랜지스터일 수 있다.
- [0060] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔선(Sn)과 연결될 수 있다. 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제3 박막 트랜지스터(T3)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 제1 게이트 전극(G1) 사이를 연결하는 보상 박막 트랜지스터일 수 있다. 제3 박막 트랜지스터(T3)에는 제2 금속선(ML2)이 지나가고, 구체적으로, 제2 금속선(ML2)은 화소 회로(PC)를 가로지르며 제3 박막 트랜지스터(T3)의 액티브 패턴과 중첩할 수 있다.
- [0061] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔선(Sn-1)과 연결될 수 있다. 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)은 초기화 전압선(Vint)과 연결되며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제4 박막 트랜지스터(T4)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)을 초기화하는 초기화 박막 트랜지스터일 수 있다.
- [0062] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어선(EML)과 연결될 수 있다. 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5)은 구동 전압선(PL)과 연결되며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다.
- [0063] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어선(EML)과 연결될 수 있다. 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제6 드레인 전극(D6)은 유기 발광 소자(OLED)와 연결될 수 있다. 제6 박막 트랜지스터(T6)를 통해 제1 박막 트랜지스터(T1)가 유기 발광 소자(OLED)와 전기적으로 연결될 수 있다. 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6)는 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)를 구동 전압선(PL) 및 유기 발광 소자(OLED)에 각각 전기적으로 연결시키는 발광 제어 박막 트랜지스터일 수 있다.
- [0064] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔선(Sn-2)과 연결될 수 있다. 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결될 수 있다.
- [0065] 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 전부 동일한 종류의 트랜지스터일 수 있다. 일 실시예에 있어서, 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 전부 PMOS 트랜지스터일 수 있다. 그러나, 본 발명에는 한정되지 아니하고, 다른 실시예에 있어서, 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 전부 NMOS 트랜지스터일 수도 있다.
- [0066] 커패시터(Cst)는 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되는 일 전극 및 구동 전압선(PL)과 연결되는 타 전극을 포함할 수 있다.
- [0067] 유기 발광 소자(OLED)는 제1 전극, 상기 제1 전극 상에 위치하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 위치하는 유기 발광층을 포함할 수 있다. 유기 발광 소자(OLED)의 상기 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되며, 상기 제2 전극은 공통 전압(ELVSS)이 공급되는 공통 전압 공급선(CSL)과 연결될 수 있다.
- [0068] 이하, 도 3 및 도 4를 참조하여 본 발명의 일 실시예에 따른 표시 장치의 일 화소의 배치를 설명한다.
- [0069] 이하에서 설명하는 서로 다른 층들에 위치하는 구성들 사이에는 절연층들이 위치하며, 상기 절연층들 각각은 실리콘 질화물 또는 실리콘 산화물 등을 포함하는 무기 절연층 또는 유기 절연층일 수 있다. 또한, 상기 절연층들은 단층 또는 복층으로 형성될 수 있다.
- [0070] 도 3은 도 2의 일 화소를 나타내는 배치도이다. 도 4는 도 3의 표시 장치를 I-I'을 따라 자른 단면도이다.
- [0071] 도 3 및 도 4를 참조하면, 본 발명의 일 실시예에 따른 표시 장치의 일 화소는 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 데이터선(DL), 구동 전압선(PL) 및 초기화 전압선(Vint) 각각에 선택

적으로 연결되는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 커패시터(Cst) 및 게이트 브릿지(GB)를 포함하는 화소 회로, 그리고 상기 화소 회로에 연결되는 유기 발광 소자(OLED)를 포함할 수 있다.

[0072] 제1 금속선(ML1) 및 제2 금속선(ML2)은 상기 화소 회로를 가로지르고, 예를 들면, 제2 방향(DR2)을 따라 연장될 수 있다. 제1 금속선(ML1)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하고, 제2 금속선(ML2)은 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)과 중첩할 수 있다.

[0073] 기판(SUB)은 유리, 폴리머, 스테인리스 강 등을 포함하는 절연성 기판일 수 있다. 일 실시예에 있어서, 기판(SUB)은 순차적으로 적층되는 제1 플라스틱층(PL1), 제1 배리어층(BL1), 제2 플라스틱층(PL2) 및 제2 배리어층(BL2)을 포함할 수 있다. 예를 들면, 제1 및 제2 플라스틱층들(PL1, PL2)은 폴리이미드(polyimide, PI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 폴리아릴레이트(polyarylate, PAR), 폴리카보네이트(polycarbonate, PC), 폴리테트라에틸렌 폴리etherimide, PEI), 폴리에테르술폰(polyethersulfone, PS) 등과 같은 플라스틱을 포함하고, 제1 및 제2 배리어층들(BL1, BL2)은 비정질 실리콘(a-Si), 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 등과 같은 실리콘 화합물을 포함할 수 있다.

[0074] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함할 수 있다. 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1) 및 제1 드레인 전극(D1)을 포함할 수 있다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)과 연결되며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)과 연결될 수 있다.

[0075] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 형성될 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물 및/또는 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(In-Ga-Zn-O), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물 (In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다.

[0076] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하며, 섬(island) 형태를 가질 수 있다. 제1 게이트 전극(G1)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결될 수 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 일 전극으로서도 기능할 수 있다. 다시 말해, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성할 수 있다.

[0077] 제1 액티브 패턴(A1)과 기판(SUB) 사이에는 제1 금속선(제1 금속층)(ML1)이 위치할 수 있다. 이하, 제1 금속선(ML1)과 제1 금속층(ML1)은 동일한 의미로 사용된다. 제1 액티브 패턴(A1)의 제1 채널(C1)은 제1 금속층(ML1)과 중첩할 수 있고, 제1 금속층(ML1)에 제1 전압이 공급됨으로써, 제1 금속층(ML1)에 공급되는 상기 제1 전압의 극성에 따라 제1 액티브 패턴(A1)의 제1 채널(C1)에 전자 또는 정공 등의 전하가 축적되기 때문에, 제1 박막 트랜지스터(T1)의 문턱 전압이 조절될 수 있다. 즉, 제1 금속층(ML1)을 이용하여 제1 박막 트랜지스터(T1)의 문턱 전압을 낮추거나 높일 수 있으며, 제1 박막 트랜지스터(T1)의 문턱 전압을 조절하여 제1 박막 트랜지스터(T1)의 구동 범위(driving range)를 변경할 수 있다.

[0078] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함할

수 있다. 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2) 및 제2 드레인 전극(D2)을 포함할 수 있다. 제2 소스 전극(S2)은 접촉 구멍을 통해 데이터선(DL)과 연결되며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치할 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결될 수 있다.

[0079] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널(C2)을 사이에 두고 이격되어 제2 채널(C2)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하고, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성될 수 있다.

[0080] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하며, 제1 스캔선(Sn)과 일체로 형성될 수 있다. 일 실시예에 있어서, 제2 액티브 패턴(A2)과 기판(SUB) 사이에는 제2 금속선(ML2)이 위치하지 않으며, 제2 액티브 패턴(A2)의 제2 채널(C2)은 제2 금속선(ML2)과 비중첩할 수 있다. 다른 실시예에 있어서, 도 3에 도시된 바와 같이, 제2 액티브 패턴(A2)과 기판(SUB) 사이에는 제2 금속선(ML2)이 위치하며, 제2 액티브 패턴(A2)의 제2 채널(C2)은 제2 금속선(ML2)과 중첩할 수도 있다.

[0081] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함할 수 있다. 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3) 및 제3 드레인 전극(D3)을 포함할 수 있다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되며, 제3 드레인 전극(D3)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치할 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결할 수 있다.

[0082] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하고, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성될 수 있다.

[0083] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하며, 제1 스캔선(Sn)과 일체로 형성될 수 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성될 수 있다.

[0084] 제3 액티브 패턴(A3)과 기판(SUB) 사이에는 제2 금속선(제2 금속층)(ML2)이 위치할 수 있다. 이하, 제2 금속선(ML2)과 제2 금속층(ML2)은 동일한 의미로 사용된다. 제3 액티브 패턴(A3)의 제3 채널(C3)은 제2 금속층(ML2)과 중첩하며, 제2 금속층(ML2)에 제2 전압이 공급됨으로써, 제2 금속층(ML2)에 공급되는 상기 제2 전압의 극성에 따라 제3 액티브 패턴(A3)의 제3 채널(C3)에 전자 또는 정공 등의 전하가 축적되기 때문에, 제3 박막 트랜지스터(T3)의 문턱 전압이 조절될 수 있다. 즉, 제2 금속층(ML2)을 이용하여 제3 박막 트랜지스터(T3)의 문턱 전압을 낮추거나 높일 수 있으며, 제3 박막 트랜지스터(T3)의 문턱 전압을 조절하여 제3 박막 트랜지스터(T3)의 구동 범위를 변경할 수 있다. 여기서, 상기 제2 전압은 상기 제1 전압과 상이할 수 있다.

[0085] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함할 수 있다. 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4) 및 제4 드레인 전극(D4)을 포함할 수 있다. 제4 소스 전극(S4)은 접촉 구멍을 통해 초기화 전압선(Vint)과 연결되며, 제4 드레인 전극(D4)은 접촉 구멍을 통과하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결될 수 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치할 수 있다. 제4 액티브 패턴(A4)은 초기화 전압선(Vint)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3) 및 제1 게이트 전극(G1)과 연결될 수 있다.

[0086] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)과 일체로 형성될 수 있다.

- [0087] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하며, 제2 스캔선(Sn-1)과 일체로 형성될 수 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성될 수 있다.
- [0088] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함할 수 있다. 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5) 및 제5 드레인 전극(D5)을 포함할 수 있다. 제5 소스 전극(S5)은 접촉 구멍을 통해 구동 전압선(PL)과 연결되며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결될 수 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치할 수 있다. 제5 액티브 패턴(A5)은 구동 전압선(PL)과 제1 액티브 패턴(A1) 사이를 연결할 수 있다.
- [0089] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3) 및 제4 액티브 패턴(A4)과 일체로 형성될 수 있다.
- [0090] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하며, 발광 제어선(EML)과 일체로 형성될 수 있다.
- [0091] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함할 수 있다. 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6) 및 제6 드레인 전극(D6)을 포함할 수 있다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되며, 제6 드레인 전극(D6)은 접촉 구멍을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결될 수 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치할 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결할 수 있다.
- [0092] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4) 및 제5 액티브 패턴(A5)과 일체로 형성될 수 있다.
- [0093] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하며, 발광 제어선(EML)과 일체로 형성될 수 있다.
- [0094] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함할 수 있다. 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7) 및 제7 드레인 전극(D7)을 포함할 수 있다. 제7 소스 전극(S7)은 도 3에 도시되지 않은 다른 화소(예를 들면, 도 3에 도시된 일 화소의 하측에 위치하는 다른 화소)의 유기 발광 소자의 제1 전극과 연결되며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결될 수 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치할 수 있다. 제7 액티브 패턴(A7)은 상기 유기 발광 소자의 상기 제1 전극과 제4 액티브 패턴(A4) 사이를 연결할 수 있다.
- [0095] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물로 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 동일한 층에 위치하고, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)과 일체로 형성될 수 있다.

- [0096] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하며, 제3 스캔선(Sn-2)과 일체로 형성될 수 있다.
- [0097] 제1 스캔선(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 제1 스캔선(Sn)은 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결될 수 있다.
- [0098] 제2 스캔선(Sn-1)은 제1 스캔선(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 제2 스캔선(Sn-1)은 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결될 수 있다.
- [0099] 제3 스캔선(Sn-2)은 제2 스캔선(Sn-1)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 제3 스캔선(Sn-2)은 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결될 수 있다.
- [0100] 발광 제어선(EML)은 제1 스캔선(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 방향(예를 들면, 제2 방향(DR2))으로 연장될 수 있다. 발광 제어선(EML)은 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결될 수 있다.
- [0101] 상술한, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6) 및 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서, 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6) 및 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층들에 위치하여 서로 다른 재료로 형성될 수도 있다.
- [0102] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함할 수 있다. 상기 일 전극은 커패시터 전극(CE)이며, 상기 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 접촉 구멍을 통해 구동 전압선(PL)과 연결될 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터 전극(CE) 각각은 서로 다른 층들에서 서로 다르거나 서로 동일한 금속으로 형성될 수 있다.
- [0103] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분과 중첩하는 개구부(OA)를 포함하며, 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결될 수 있다. 커패시터 전극(CE)은 제1 금속층(ML)과 중첩할 수 있다.
- [0104] 데이터선(DL)은 제1 스캔선(Sn) 상에 위치하여 제1 스캔선(Sn)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 데이터선(DL)은 접촉 구멍을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결될 수 있다. 데이터선(DL)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2) 및 발광 제어선(EML)을 가로질러 연장될 수 있다.
- [0105] 구동 전압선(PL)은 데이터선(DL)과 이격되어 제1 스캔선(Sn) 상에 위치하여 제1 스캔선(Sn)을 가로지르는 방향(예를 들면, 제1 방향(DR1))으로 연장될 수 있다. 구동 전압선(PL)은 접촉 구멍을 통해 커패시터 전극(CE) 및 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결될 수 있다. 구동 전압선(PL)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2) 및 발광 제어선(EML)을 가로질러 연장될 수 있다.
- [0106] 게이트 브릿지(GB)는 제1 스캔선(Sn) 상에 위치하여 구동 전압선(PL)과 이격될 수 있다. 게이트 브릿지(GB)는 일 접촉 구멍을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되고, 다른 접촉 구멍을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결될 수 있다.
- [0107] 상술한, 데이터선(DL), 구동 전압선(PL) 및 게이트 브릿지(GB)는 동일한 층에 위치하며, 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서, 데이터선(DL), 구동 전압선(PL) 및 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층들에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0108] 초기화 전압선(Vint)은 제2 스캔선(Sn-1) 상에 위치하며, 접촉 구멍을 통해 제4 액티브 패턴(A4)의 제4 소스 전

극(S4)과 연결될 수 있다. 초기화 전압선(Vint)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서 초기화 전압선(Vint)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수도 있다.

- [0109] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL) 및 제2 전극(E2)을 포함할 수 있다. 제1 전극(E1)은 접촉 구멍을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결될 수 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치할 수 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치할 수 있다. 제1 전극(E1) 및 제2 전극(E2) 중 적어도 하나는 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나일 수 있으며, 유기 발광층(OL)으로부터 방출된 광은 제1 전극(E1) 및 제2 전극(E2) 중 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0110] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층이 위치할 수 있고, 상기 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층이 위치하거나, 또는 봉지 기판이 위치할 수 있다.
- [0111] 제1 금속층(ML1)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 기판(SUB) 사이에 위치하고, 제2 금속층(ML1)은 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)과 기판(SUB) 사이에 위치할 수 있다. 제1 금속층(ML1)은 제1 액티브 패턴(A1)의 제1 채널(C1)과 중첩하고, 제2 금속층(ML2)은 제3 액티브 패턴(A3)의 제3 채널(C3)과 중첩할 수 있다. 제1 금속층(ML1)에는 상기 제1 전압이 공급되고, 제2 금속층(ML2)에는 상기 제1 전압과 상이한 상기 제2 전압이 공급될 수 있다.
- [0112] 상기 제1 전압의 극성과 상기 제2 전압의 극성은 서로 상이할 수 있다. 일 실시예에 있어서, 제1 금속층(ML1)에 인가되는 상기 제1 전압은 음의 극성을 가지고, 제2 금속층(ML2)에 인가되는 상기 제2 전압은 양의 극성을 가질 수 있다. 예를 들면, 상기 제1 전압은 약 -5V 내지 약 -3V이고, 상기 제2 전압은 약 +4V 내지 약 +6V일 수 있다.
- [0113] 제1 박막 트랜지스터(T1)의 제1 채널(C1)과 중첩하는 제1 금속층(ML1)에 인가되는 상기 제1 전압과 제3 박막 트랜지스터(T3)의 제3 채널(C3)과 중첩하는 제2 금속층(ML2)에 인가되는 상기 제2 전압이 상이한 경우에 제1 박막 트랜지스터(T1)의 구동 범위와 제3 박막 트랜지스터(T3)의 구동 범위는 서로 상이할 수 있다. 일 실시예에 있어서, 제1 박막 트랜지스터(T1)의 구동 범위는 제3 박막 트랜지스터(T3)의 구동 범위보다 넓을 수 있다.
- [0114] 도 5는 금속선에 인가되는 전압에 따른 박막 트랜지스터의 s-factor의 변화를 나타내는 그래프이다.
- [0115] 도 5를 참조하면, 하부에 배치되는 금속선과 중첩하는 박막 트랜지스터에 있어서, 상기 금속선에 인가되는 전압의 변화에 따라 박막 트랜지스터의 s-factor가 변할 수 있다. 도 5에서 제1 곡선(L0)은 상기 금속선에 전압이 인가되지 않는 경우이고, 제2 곡선(L1)은 상기 금속선에 음의 극성을 가지는 전압이 인가되는 경우이며, 제3 곡선(L2)은 상기 금속선에 양의 극성을 가지는 전압이 인가되는 경우이다. 여기서, s-factor란 박막 트랜지스터의 전류-전압 특성으로, 문턱 전압 이하의 게이트 전압이 인가될 때 드레인 전류를 10배 증가시키기 위하여 필요한 게이트 전압의 크기를 의미한다. s-factor는 부문턱 기울기(sub-threshold slope)로 흔히 불린다. s-factor는 박막 트랜지스터의 소스-드레인 전류(I_{ds})와 게이트 전압(V_g)의 관계를 나타내는 곡선(이하, I-V 곡선)의 기울기에 비례할 수 있다.
- [0116] 도 5에 도시된 바와 같이, 상기 금속선에 음의 극성을 가지는 전압이 인가되는 경우에, 박막 트랜지스터의 I-V 곡선이 제1 곡선(L0)에서 제2 곡선(L1)으로 이동하여 I-V 곡선의 기울기가 증가하고, 박막 트랜지스터의 s-factor가 증가할 수 있다. 또한, 상기 금속선에 양의 극성을 가지는 전압이 인가되는 경우에, 박막 트랜지스터의 I-V 곡선이 제1 곡선(L0)에서 제3 곡선(L2)으로 이동하여 I-V 곡선의 기울기가 감소하고, 박막 트랜지스터의 s-factor가 감소할 수 있다. 일반적으로, 스위칭 박막 트랜지스터나 보상 박막 트랜지스터는 빠른 구동 속도를 위해 s-factor가 상대적으로 작은 것이 유리하지만, 구동 박막 트랜지스터는 게이트 전압 산포에 따른 휘도 편차를 줄이기 위해 s-factor가 상대적으로 큰 것이 유리할 수 있다.
- [0117] 도 6은 제1 금속선(ML1)에 인가되는 전압(V1)에 따른 제1 박막 트랜지스터(T1)의 구동 범위(DR-range)의 변화를 나타내는 그래프이다. 도 7은 제2 금속선(ML2)에 인가되는 전압(V2)에 따른 제3 박막 트랜지스터(T3)의 구동 범위(DR-range)의 변화를 나타내는 그래프이다.
- [0118] 도 6을 참조하면, 제1 금속선(ML1)에 인가되는 전압(V1)의 크기가 감소할수록 제1 박막 트랜지스터(T1)의 구동 범위(DR-range)가 넓어질 수 있다. 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)의 구동 범위(DR-range)는 최대 계조에 대응하는 구동 박막 트랜지스터의 최대 게이트-소스 전압과 최소 계조에 대응하는 구동 박막 트랜지스터의 최소 게이트-소스 전압간의 차이 또는 계조 표현을 위한 단계별 구동 박막 트랜지스터의 게이트-소스

전압간의 차이를 의미한다. 구동 박막 트랜지스터의 게이트-소스 전압의 구동 범위가 넓은 경우에, 게이트-소스 전압의 크기를 변화시켜 유기 발광 소자(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있고, 이에 따라, 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.

- [0119] 전술한 바와 같이, 제1 금속선(ML1)에 인가되는 상기 제1 전압이 음의 극성(예를 들면, 약 -5V 내지 약 -3V)을 가짐으로써 제1 박막 트랜지스터(T1)가 상대적으로 넓은 구동 범위를 가질 수 있다. 상기 제1 전압이 약 -5V 보다 작은 경우에는 제1 박막 트랜지스터(T1)의 구동 범위가 넓어질 수 있지만 제1 박막 트랜지스터(T1)의 다른 특성이 나빠질 수 있고, 상기 제1 전압이 약 -3V 보다 큰 경우에는 제1 박막 트랜지스터(T1)의 구동 범위가 좁아질 수 있다.
- [0120] 도 7을 참조하면, 제2 금속선(ML2)에 인가되는 전압(V2)의 크기에 따라 제3 박막 트랜지스터(T3)의 구동 범위(DR-range)가 달라질 수 있다. 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3)의 구동 범위(DR-range)가 좁은 경우에 제1 스캔선으로부터 인가되는 스캔 신호에 따라 동작하는 제3 박막 트랜지스터(T3)의 스위칭 기능이 향상될 수 있다.
- [0121] 전술한 바와 같이, 제2 금속선(ML2)에 인가되는 상기 제2 전압이 양의 극성(예를 들면, 약 +4V 내지 약 +6V)을 가짐으로써 제3 박막 트랜지스터(T3)가 상대적으로 좁은 구동 범위를 가질 수 있다. 상기 제2 전압이 약 +4V 보다 작거나 약 +6V 보다 큰 경우에는 제3 박막 트랜지스터(T3)의 구동 범위가 넓어질 수 있다.
- [0122] 다시 도 3 및 도 4를 참조하면, 제1 금속층(ML1) 및 제2 금속층(ML2) 각각은 몰리브덴(Mo)과 같은 금속을 포함하나, 이에 한정되지 않고 도전성 재료라면 도전성 폴리머 등의 다른 재료를 포함할 수 있다. 제1 금속층(ML1) 및 제2 금속층(ML2)은 동일한 물질을 포함하거나 서로 다른 물질을 포함할 수 있다.
- [0123] 이와 같이, 본 발명의 일 실시예에 따른 표시 장치에 있어서, 상기 제1 전압이 인가되는 제1 금속층(ML1)이 적어도 하나의 박막 트랜지스터(예를 들면, 제1 박막 트랜지스터(T1))와 중첩하고, 상기 제1 전압과 상이한 상기 제2 전압이 인가되는 제2 금속층(ML2)이 적어도 다른 하나의 박막 트랜지스터(예를 들면, 제3 박막 트랜지스터(T3))와 중첩함으로써, 각 박막 트랜지스터의 구동 범위를 개별적으로 조절할 수 있기 때문에, 서로 기능이 상이한 박막 트랜지스터들의 특성들을 개선할 수 있다.
- [0124] 구체적으로, 구동 박막 트랜지스터인 제1 박막 트랜지스터(T1)에는 음의 극성을 가지는 상기 제1 전압을 인가함으로써, 제1 박막 트랜지스터(T1)의 구동 범위가 넓어질 수 있다. 또한, 보상 박막 트랜지스터인 제3 박막 트랜지스터(T3)에는 양의 극성을 가지는 상기 제2 전압을 인가함으로써, 제3 박막 트랜지스터(T3)의 구동 범위가 좁아질 수 있다. 제1 박막 트랜지스터(T1)의 구동 범위가 넓어짐에 따라 유기 발광 소자(OLED)에서 방출되는 빛의 계조가 보다 세밀하게 제어되고, 제3 박막 트랜지스터(T3)의 구동 범위가 좁아짐에 따라 제3 박막 트랜지스터(T3)의 스위칭 기능이 향상될 수 있다.
- [0125] 이하, 도 8 내지 도 10을 참조하여 본 발명의 다른 실시예에 따른 표시 장치를 설명한다.
- [0126] 이하에서, 상술한 본 발명의 일 실시예에 따른 표시 장치와 다른 부분에 대해서 설명한다.
- [0127] 도 8은 본 발명의 다른 실시예에 따른 표시 장치의 일 화소를 나타내는 회로도이다. 예를 들면, 도 8은 도 1의 표시 장치의 일 화소의 다른 예를 나타낼 수 있다.
- [0128] 도 8을 참조하면, 본 발명의 다른 실시예에 따른 표시 장치의 일 화소(PX)는 화소 회로(PC) 및 화소 회로(PC)와 연결되는 유기 발광 소자(OLED)를 포함할 수 있다. 화소 회로(PC)는 복수의 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7) 및 커패시터(Cst)를 포함할 수 있다. 박막 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)은 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 초기화 전압선(Vint), 데이터선(DL) 및 구동 전압선(PL) 각각에 선택적으로 연결될 수 있다.
- [0129] 제3 박막 트랜지스터(T3)에는 제2 금속선(ML2)이 지나가고, 구체적으로, 제2 금속선(ML2)은 화소 회로(PC)를 가로지르며 제3 박막 트랜지스터(T3)의 액티브 패턴과 중첩할 수 있다. 제2 금속선(ML2)은 구동 전압선(PL)과 연결될 수 있다.
- [0130] 이하, 도 9 및 도 10을 참조하여 본 발명의 다른 실시예에 따른 표시 장치의 일 화소의 배치를 설명한다.
- [0131] 도 9는 도 8의 일 화소를 나타내는 배치도이다. 도 10은 도 9의 표시 장치를 II-II'을 따라 자른 단면도이다.
- [0132] 도 9 및 도 10을 참조하면, 본 발명의 다른 실시예에 따른 표시 장치의 일 화소는 제1 스캔선(Sn), 제2 스캔선(Sn-1), 제3 스캔선(Sn-2), 발광 제어선(EML), 데이터선(DL), 구동 전압선(PL) 및 초기화 전압선(Vint) 각각에

선택적으로 연결되는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 커패시터(Cst) 및 게이트 브릿지(GB)를 포함하는 화소 회로, 그리고 상기 화소 회로에 연결되는 유기 발광 소자(OLED)를 포함할 수 있다.

[0133] 제1 금속선(ML1) 및 제2 금속선(ML2)은 상기 화소 회로를 가로지르고, 예를 들면, 제2 방향(DR2)을 따라 연장될 수 있다. 제1 금속선(ML1)은 제1 박막 트랜지스터(T1)의 제1 액티브 패턴(A1)과 중첩하고, 제2 금속선(ML2)은 제3 박막 트랜지스터(T3)의 제3 액티브 패턴(A3)과 중첩할 수 있다.

[0134] 전술한 본 발명의 일 실시예에 따른 표시 장치와 다르게 본 발명의 다른 실시예에 따른 표시 장치에 있어서, 제2 금속선(ML2)은 구동 전압선(PL)과 전기적으로 연결될 수 있다. 이 경우, 제2 금속선(ML2)에 공급되는 제2 전압은 구동 전압선(PL)에 공급되는 구동 전압(ELVDD)과 실질적으로 동일할 수 있다. 일 실시예에 있어서, 구동 전압(ELVDD)은 양의 극성을 가지고, 예를 들면, 구동 전압(ELVDD)의 크기는 약 4.6V일 수 있다.

[0135] 일 실시예에 있어서, 제2 금속선(ML2)과 구동 전압선(PL)은 표시 영역(DA)에 위치하는 화소(PX) 내에서 전기적으로 연결될 수 있다. 예를 들면, 도 9 및 도 10에 도시된 바와 같이, 제2 금속선(ML2)과 구동 전압선(PL) 사이에 위치하는 절연층들의 제1 방향(DR1)으로 연장되는 구동 전압선(PL)과 제2 방향(DR2)으로 연장되는 제2 금속선(ML2)이 교차하는 부분에는 접촉 구멍(CH)이 형성될 수 있고, 이러한 접촉 구멍(CH)을 통해 제2 금속선(ML2)과 구동 전압선(PL)이 접촉할 수 있다.

[0136] 다른 실시예에 있어서, 제2 금속선(ML2)과 구동 전압선(PL)은 표시 영역(DA) 외측의 주변 영역(PA) 내에서 전기적으로 연결될 수도 있다. 예를 들면, 제2 금속선(ML2)과 연결되는 제2 연결선(CL2)이 주변 영역(PA)에 위치하고, 구동 전압(ELVDD)을 공급하는 구동 전압 공급선(PSL)에 연결되어, 제2 금속선(ML2)이 구동 전압(ELVDD)을 제공받을 수 있다.

산업상 이용가능성

[0137] 본 발명의 예시적인 실시예들에 따른 표시 장치는 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠펜(PMP), 피디에이(PDA), MP3 플레이어 등에 포함되는 표시 장치에 적용될 수 있다.

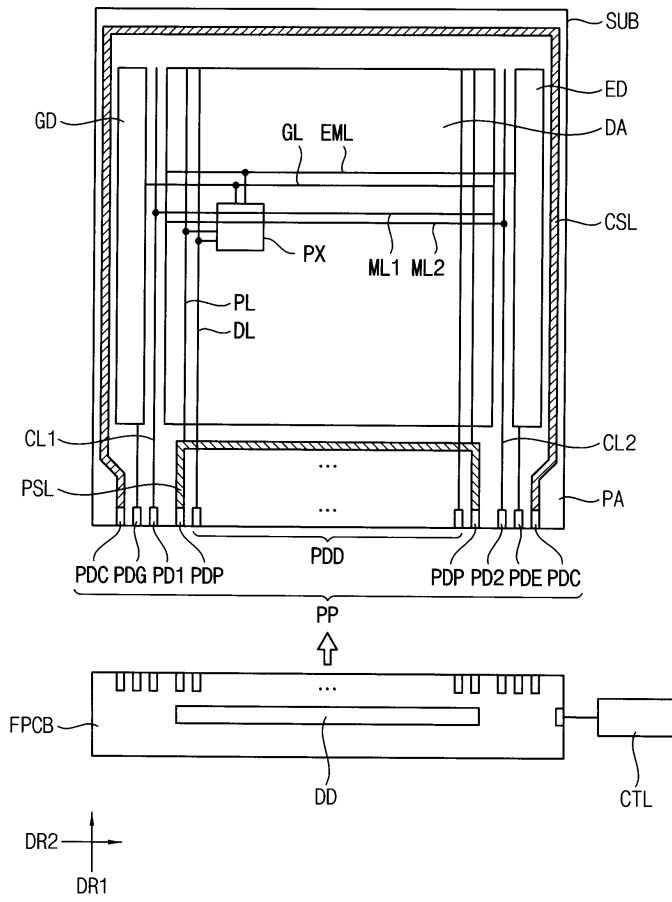
[0138] 이상, 본 발명의 예시적인 실시예들에 따른 표시 장치들에 대하여 도면들을 참조하여 설명하였지만, 실시한 실시예들은 예시적인 것으로서 하기의 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다.

부호의 설명

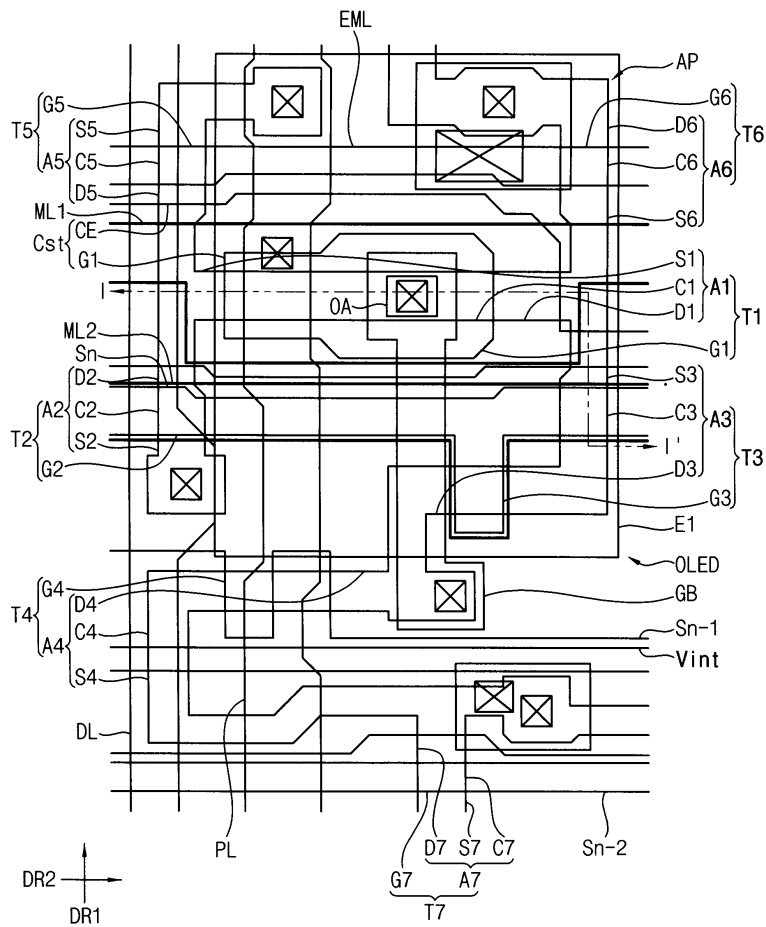
[0139] SUB: 기판 DA: 표시 영역
 PA: 주변 영역 OLED: 유기 발광 소자
 PC: 화소 회로 T1-T7: 트랜지스터들
 ML1: 제1 금속층 ML2: 제2 금속층
 CL1: 제1 연결선 CL2: 제2 연결선
 PL: 구동 전압선

도면

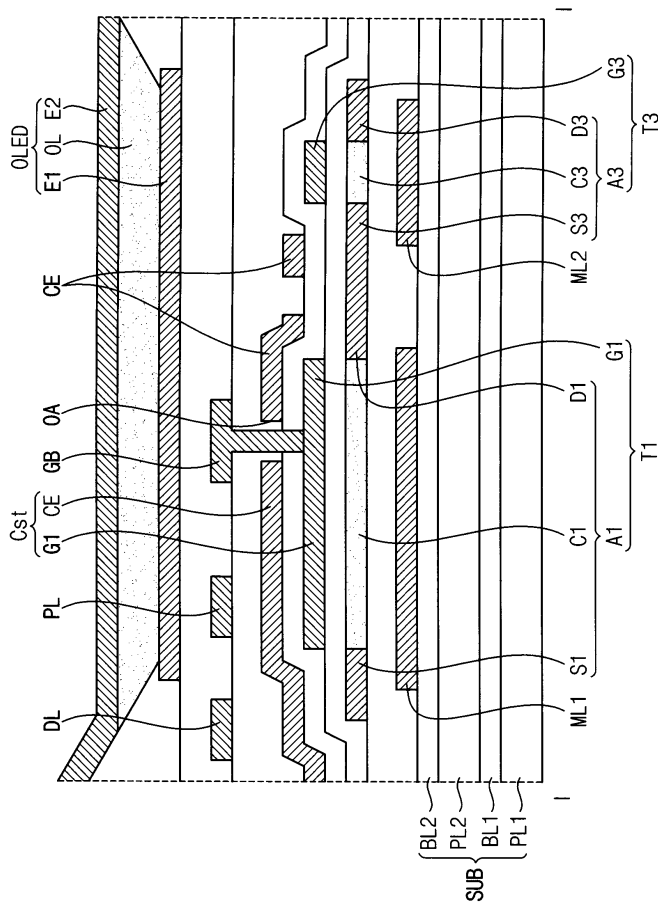
도면1



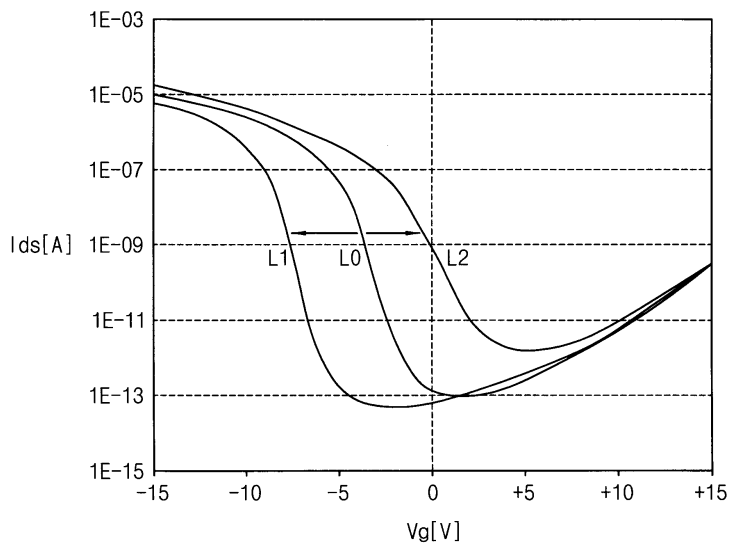
도면3



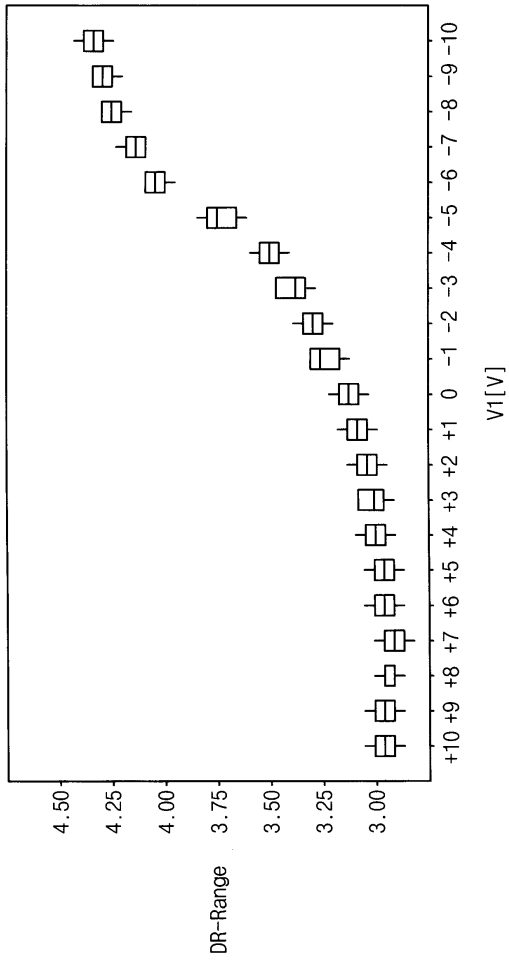
도면4



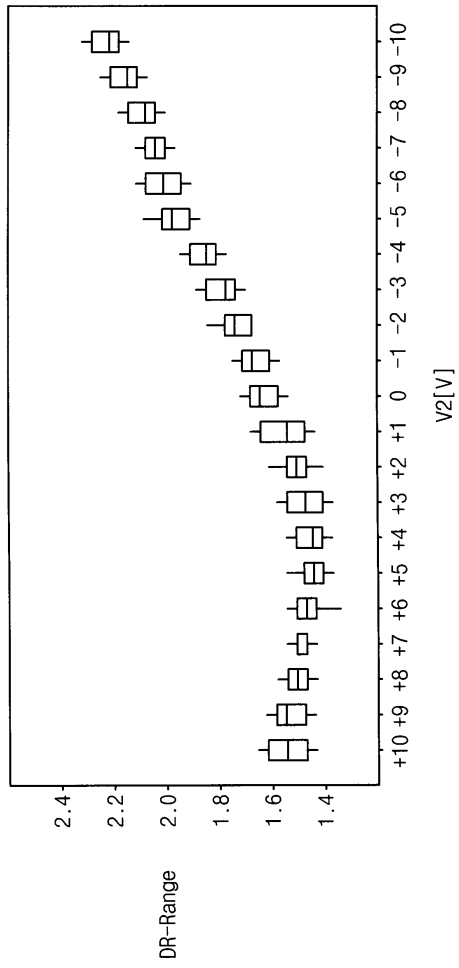
도면5



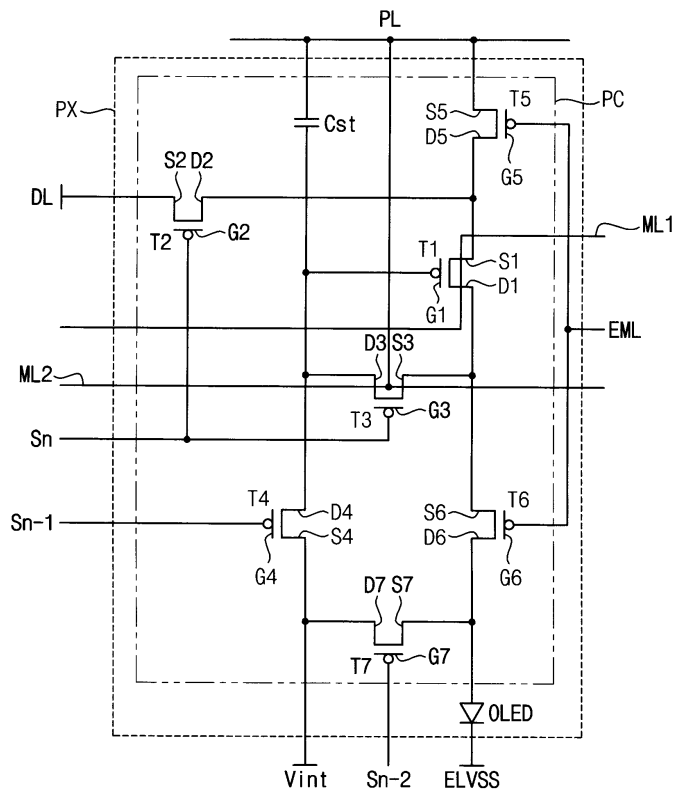
도면6



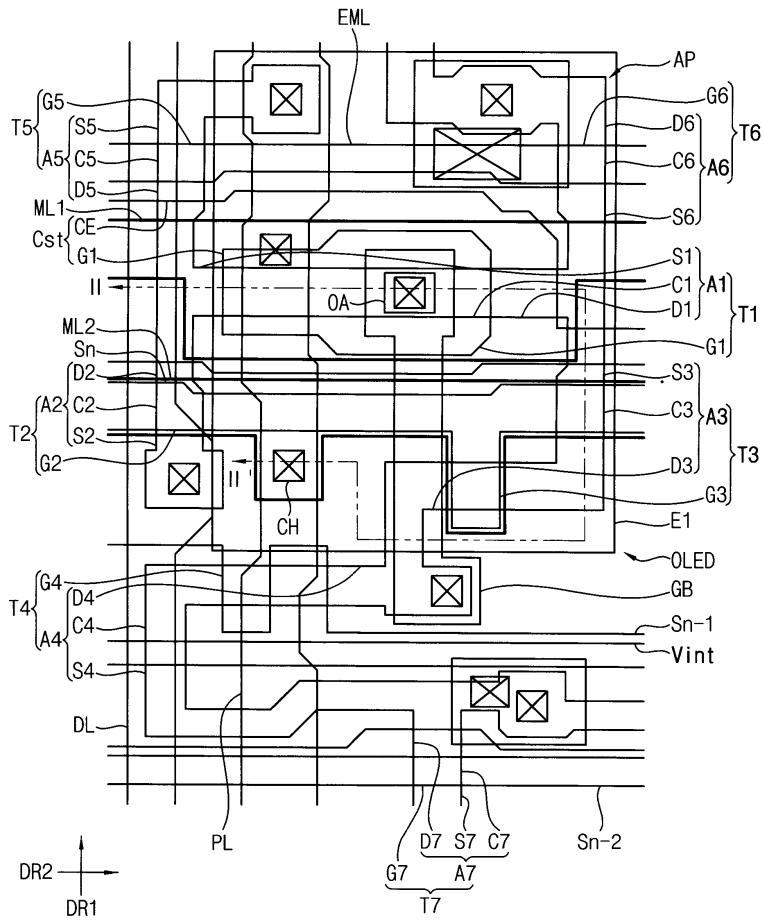
도면7



도면8



도면9



도면10

