



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0015862
(43) 공개일자 2020년02월13일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2310/0262 (2013.01)

(21) 출원번호 10-2018-0090287
(22) 출원일자 2018년08월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
전주희
경기도 화성시 동탄대로12길 17, 1807동 702호
김진희
경기도 화성시 동탄대로시범길 122, 1462동 404호
(뒷면에 계속)

(74) 대리인
박영우

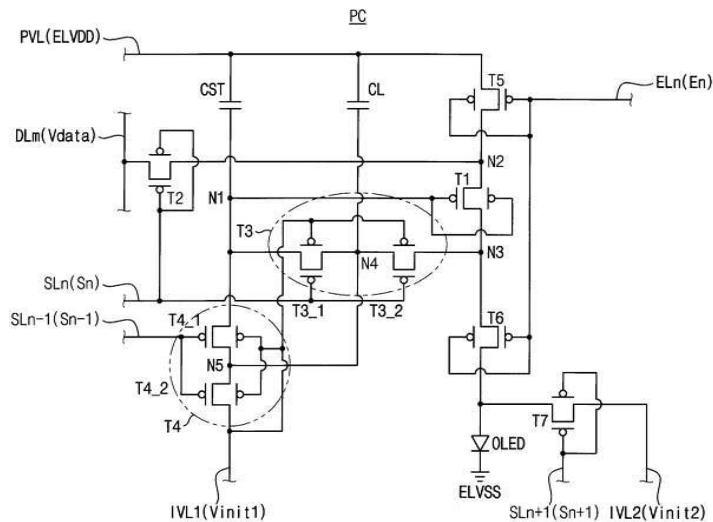
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 화소 회로 및 이를 포함하는 표시 장치

(57) 요약

화소 회로는 유기 발광 다이오드, 제1 노드에 연결된 제1 게이트 전극, 제2 노드에 연결된 제2 전극 및 제3 노드에 연결된 제3 전극을 포함하는 제1 트랜지스터, 전원 전압을 수신하는 제1 전극과 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 상기 제1 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극 및 상기 제3 노드에 연결된 제3 전극을 포함하는 제3 트랜지스터, 제2 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극, 제1 초기화 전압을 수신하는 제3 전극 및 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 포함하는 제4 트랜지스터, 및 제3 게이트 신호를 수신하는 제1 제어 전극, 제2 초기화 전압을 수신하는 제2 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제3 전극을 포함하는 제7 트랜지스터를 포함한다.

대표도 - 도2



(52) CPC특허분류

G09G 2320/0214 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/0257 (2013.01)

(72) 발명자

윤주원

경기도 수원시 권선구 수성로 47, 8동 102호

이승찬

경기도 화성시 동탄숲속로 66, 871동 1004호

박상호

경기도 화성시 동탄순환대로26길 55, 411동 1802호

윤주선

서울특별시 강남구 도곡로93길 12, 202동 401호

명세서

청구범위

청구항 1

영상을 표시하는 광을 발생하는 유기 발광 다이오드;

제1 노드에 연결된 제1 게이트 전극, 제2 노드에 연결된 제2 전극 및 제3 노드에 연결된 제3 전극을 포함하는 제1 트랜지스터;

전원 전압을 수신하는 제1 전극과 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터;

제1 게이트 신호를 수신하는 제1 게이트 전극, 데이터 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제2 트랜지스터;

상기 제1 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극 및 상기 제3 노드에 연결된 제3 전극을 포함하는 제3 트랜지스터;

제2 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극, 제1 초기화 전압을 수신하는 제3 전극 및 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 포함하는 제4 트랜지스터; 및

제3 게이트 신호를 수신하는 제1 제어 전극, 제2 초기화 전압을 수신하는 제2 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제3 전극을 포함하는 제7 트랜지스터를 포함하는 화소 회로.

청구항 2

제1항에 있어서, 상기 제1 초기화 전압은 기준 전압 대비 음의 전압을 갖고, 상기 제2 초기화 전압 보다 큰 것을 특징으로 하는 화소 회로.

청구항 3

제2항에 있어서, 상기 제3 트랜지스터는 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 더 포함하는 화소 회로.

청구항 4

제2항에 있어서, 상기 제4 트랜지스터는 제5 노드를 통해 서로 연결된 듀얼 연결 구조의 제4-1 트랜지스터 및 제4-2 트랜지스터를 포함하는 것을 특징으로 하는 화소 회로.

청구항 5

제4항에 있어서, 상기 제3 트랜지스터는 제4 노드를 통해 서로 연결된 듀얼 연결 구조의 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하는 것을 특징으로 하는 화소 회로.

청구항 6

제5항에 있어서, 상기 전원 전압을 수신하는 제1 전극과 상기 제4 및 제5 노드들에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함하는 화소 회로.

청구항 7

제1항에 있어서, 상기 제3 트랜지스터는 상기 제1 게이트 신호를 수신하는 제2 게이트 전극을 더 포함하는 화소 회로.

청구항 8

제1항에 있어서, 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 전원 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제5 트랜지스터; 및

상기 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 제3 노드에 연결된 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터를 더 포함하는 화소 회로.

청구항 9

제8항에 있어서, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들 각각은 제1 게이트 전극과 중첩하고 상기 제1 게이트 전극에 인가된 신호와 동일한 신호를 수신하는 제2 게이트 전극을 더 포함하는 것을 특징으로 하는 화소 회로.

청구항 10

제1항에 있어서, 상기 제2 게이트 신호는 상기 제1 게이트 신호 이전에 인가되는 이전 신호이고, 상기 제3 게이트 신호는 상기 제1 게이트 신호 다음에 인가되는 다음 신호인 것을 특징으로 하는 화소 회로.

청구항 11

영상을 표시하는 광을 발생하는 유기 발광 다이오드, 제1 노드에 연결된 제1 게이트 전극, 제2 노드에 연결된 제2 전극 및 제3 노드에 연결된 제3 전극을 포함하는 제1 트랜지스터, 전원 전압을 수신하는 제1 전극과 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제1 스캔 신호 신호를 수신하는 제1 게이트 전극, 데이터 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제2 트랜지스터, 상기 제1 스캔 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극 및 상기 제3 노드에 연결된 제3 전극을 포함하는 제3 트랜지스터, 제2 스캔 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극, 제1 초기화 전압을 수신하는 제3 전극 및 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 포함하는 제4 트랜지스터, 및 제3 스캔 신호를 수신하는 제1 제어 전극, 제2 초기화 전압을 수신하는 제2 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제3 전극을 포함하는 제7 트랜지스터를 포함하는 화소 회로를 포함하는 표시부; 및

복수의 스캔 신호들을 생성하고, 상기 복수의 스캔 신호들을 상기 표시부에 제공하는 스캔 구동부를 포함하는 표시 장치.

청구항 12

제11항에 있어서, 상기 제1 초기화 전압은 기준 전압 대비 음의 전압을 갖고, 상기 제2 초기화 전압 보다 큰 것을 특징으로 하는 표시 장치.

청구항 13

제12항에 있어서, 상기 제3 트랜지스터는 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 더 포함하는 표시 장치.

청구항 14

제12항에 있어서, 상기 제4 트랜지스터는 제5 노드를 통해 서로 연결된 듀얼 연결 구조의 제4-1 트랜지스터 및 제4-2 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 15

제14항에 있어서, 상기 제3 트랜지스터는 제4 노드를 통해 서로 연결된 듀얼 연결 구조의 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

청구항 16

제15항에 있어서, 상기 화소 회로는 상기 전원 전압을 수신하는 제1 전극과 상기 제4 및 제5 노드들에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함하는 표시 장치.

청구항 17

제11항에 있어서, 상기 제3 트랜지스터는 상기 제1 게이트 신호를 수신하는 제2 게이트 전극을 더 포함하는 표시 장치.

청구항 18

제11항에 있어서, 상기 화소 회로는 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 전원 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제5 트랜지스터; 및

상기 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 제3 노드에 연결된 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터를 더 포함하는 표시 장치.

청구항 19

제8항에 있어서, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들 각각은 제1 게이트 전극과 중첩하고 상기 제1 게이트 전극에 인가된 신호와 동일한 신호를 수신하는 제2 게이트 전극을 더 포함하는 것을 특징으로 하는 표시 장치.

청구항 20

제11항에 있어서, 상기 제1 스캔 신호가 제n 스캔 신호이고, 상기 제2 스캔 신호는 제n-1 스캔 신호이고, 상기 제3 스캔 신호는 제n+1 스캔 신호인 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소 회로 및 이를 포함하는 표시 장치에 관한 것으로서, 보다 상세하게는 표시 품질을 개선하기 위한 화소 회로 및 이를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 전자 기기의 표시 장치로서 유기 발광 표시 장치가 많이 이용되고 있다.

[0003] 상기 유기 발광 표시 장치는 복수의 화소들을 포함하고, 각 화소는 유기 발광 다이오드와 상기 유기 발광 다이오드를 구동하는 화소 회로를 포함한다. 상기 화소 회로는 복수의 트랜지스터들 및 복수의 커패시터를 포함한다.

[0004] 상기 유기 발광 표시 장치는 고휘도 및 고온 구동시 누설 전류, 잔상 및 신뢰성 저하 등과 같은 문제점이 발생한다. 예를 들면, 고온 구동시 상기 화소 회로에 포함된 트랜지스터의 문턱 전압(Threshold)이 쉬프트하여 누설 전류가 증가하고 이로 인해서 휘도 저하가 발생한다. 이러한 휘도 저하는 표시 품질 저하시킨다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 트랜지스터의 누설 전류를 감소하기 위한 화소 회로를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 화소 회로를 포함하는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 화소 회로는 영상을 표시하는 광을 발생하는 유기 발광 다이오드, 제1 노드에 연결된 제1 게이트 전극, 제2 노드에 연결된 제2 전극 및 제3 노드에 연결된 제3 전극을 포함하는 제1 트랜지스터, 전원 전압을 수신하는 제1 전극과 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제1 게이트 신호를 수신하는 제1 게이트 전극, 데이터 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제2 트랜지스터, 상기 제1 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극 및 상기 제3 노드에 연결된 제3 전극을 포함하는 제3 트랜지스터, 제2 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극, 제1 초기화 전압을 수신하는 제3 전극 및 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 포함하는 제4 트랜지스터 및 제3 게이트 신호를 수신하는 제1 제어 전극, 제2 초기화 전압을 수신하는 제2 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제3 전극을 포함하는 제7 트랜지스터를 포함한다.

- [0008] 일 실시예에서, 상기 제1 초기화 전압은 기준 전압 대비 음의 전압을 갖고, 상기 제2 초기화 전압 보다 클 수 있다.
- [0009] 일 실시예에서, 상기 제3 트랜지스터는 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 더 포함할 수 있다.
- [0010] 일 실시예에서, 상기 제4 트랜지스터는 제5 노드를 통해 서로 연결된 듀얼 연결 구조의 제4-1 트랜지스터 및 제4-2 트랜지스터를 포함할 수 있다.
- [0011] 일 실시예에서, 상기 제3 트랜지스터는 제4 노드를 통해 서로 연결된 듀얼 연결 구조의 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함할 수 있다.
- [0012] 일 실시예에서, 상기 전원 전압을 수신하는 제1 전극과 상기 제4 및 제5 노드들에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함할 수 있다.
- [0013] 일 실시예에서, 상기 제3 트랜지스터는 상기 제1 게이트 신호를 수신하는 제2 게이트 전극을 더 포함할 수 있다.
- [0014] 일 실시예에서, 상기 화소 회로는 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 전원 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제5 트랜지스터 및 상기 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 제3 노드에 연결된 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터를 더 포함할 수 있다.
- [0015] 일 실시예에서, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들 각각은 제1 게이트 전극과 중첩하고 상기 제1 게이트 전극에 인가된 신호와 동일한 신호를 수신하는 제2 게이트 전극을 더 포함할 수 있다.
- [0016] 일 실시예에서, 상기 제2 게이트 신호는 상기 제1 게이트 신호 이전에 인가되는 이전 신호이고, 상기 제3 게이트 신호는 상기 제1 게이트 신호 다음에 인가되는 다음 신호일 수 있다.
- [0017] 상기 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치는 유기 발광 다이오드, 제1 노드에 연결된 제1 게이트 전극, 제2 노드에 연결된 제2 전극 및 제3 노드에 연결된 제3 전극을 포함하는 제1 트랜지스터, 전원 전압을 수신하는 제1 전극과 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제1 스캔 신호 신호를 수신하는 제1 게이트 전극, 데이터 전압을 수신하는 제2 전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제2 트랜지스터, 상기 제1 스캔 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극 및 상기 제3 노드에 연결된 제3 전극을 포함하는 제3 트랜지스터, 제2 스캔 신호를 수신하는 제1 게이트 전극, 상기 제1 노드에 연결된 제2 전극, 제1 초기화 전압을 수신하는 제3 전극 및 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 포함하는 제4 트랜지스터, 및 제3 스캔 신호를 수신하는 제1 제어 전극, 제2 초기화 전압을 수신하는 제2 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제3 전극을 포함하는 제7 트랜지스터를 포함하는 화소 회로를 포함하는 표시부 및 복수의 스캔 신호들을 생성하고, 상기 복수의 스캔 신호들을 상기 표시부에 제공하는 스캔 구동부를 포함한다.
- [0018] 일 실시예에서, 상기 제1 초기화 전압은 기준 전압 대비 음의 전압을 갖고, 상기 제2 초기화 전압 보다 클 수 있다.
- [0019] 일 실시예에서, 상기 제3 트랜지스터는 상기 제1 초기화 전압을 수신하는 제2 게이트 전극을 더 포함할 수 있다.
- [0020] 일 실시예에서, 상기 제4 트랜지스터는 제5 노드를 통해 서로 연결된 듀얼 연결 구조의 제4-1 트랜지스터 및 제4-2 트랜지스터를 포함할 수 있다.
- [0021] 일 실시예에서, 상기 제3 트랜지스터는 제4 노드를 통해 서로 연결된 듀얼 연결 구조의 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함할 수 있다.
- [0022] 일 실시예에서, 상기 화소 회로는 상기 전원 전압을 수신하는 제1 전극과 상기 제4 및 제5 노드들에 연결된 제2 전극을 포함하는 제2 커패시터를 더 포함할 수 있다.
- [0023] 일 실시예에서, 상기 제3 트랜지스터는 상기 제1 게이트 신호를 수신하는 제2 게이트 전극을 더 포함할 수 있다.
- [0024] 일 실시예에서, 상기 화소 회로는 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 전원 전압을 수신하는 제2

전극 및 상기 제2 노드에 연결된 제3 전극을 포함하는 제5 트랜지스터 및 상기 발광 제어 신호를 수신하는 제1 게이트 전극, 상기 제3 노드에 연결된 제1 전극 및 상기 유기 발광 다이오드의 애노드 전극에 연결된 제2 전극을 포함하는 제6 트랜지스터를 더 포함할 수 있다.

[0025] 일 실시예에서, 상기 제1, 제2, 제5, 제6 및 제7 트랜지스터들 각각은 제1 게이트 전극과 중첩하고 상기 제1 게이트 전극에 인가된 신호와 동일한 신호를 수신하는 제2 게이트 전극을 더 포함할 수 있다.

[0026] 일 실시예에서, 상기 제1 스캔 신호가 제 n 스캔 신호이고, 상기 제2 스캔 신호는 제 $n-1$ 스캔 신호이고, 상기 제3 스캔 신호는 제 $n+1$ 스캔 신호일 수 있다.

발명의 효과

[0027] 상기와 같은 본 발명의 실시예들에 따른 화소 회로 및 이를 포함하는 표시 장치에 따르면, 화소 회로의 복수의 트랜지스터들은 제1 게이트 전극과 제2 게이트 전극을 갖는 더블 게이트 구조를 가지며, 상기 복수의 트랜지스터들 중 커패시터를 제어하는 적어도 하나의 트랜지스터의 제2 게이트 전극에는 음의 바이어스 전압이 인가됨으로써 고온 구동시 누설 전류를 줄일 수 있다. 이에 따라서, 누설 전류에 의한 표시 품질 저하를 막을 수 있다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 화소 회로도이다.

도 3은 도 2에 도시된 화소 회로도의 구동 방법을 설명하기 위한 파형도이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 더블 게이트 구조의 트랜지스터에 대한 I-V 곡선들이다.

도 5a 및 도 5b는 본 발명의 실시예에 따른 게이트 구조의 트랜지스터의 누설 전류를 설명하기 위한 개념도들이다.

도 6은 본 발명의 일 실시예에 따른 화소 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예를 보다 상세하게 설명하고자 한다.

[0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.

[0031] 도 1을 참조하면, 상기 표시 장치(100)는 표시부(110), 타이밍 컨트롤러(120), 데이터 구동부(130), 스캔 구동부(140) 및 발광 구동부(150)를 포함한다.

[0032] 상기 표시부(110)는 복수의 화소들(P), 복수의 스캔 라인들(SL1, ..., SLn, ..., SLN), 복수의 데이터 라인들(DL1, ..., DLm, ..., DM) 및 복수의 발광 제어 라인들(EL1, ..., ELn, ..., ELN)을 포함한다(n, N, m 및 M은 자연수).

[0033] 상기 화소들은 복수의 화소 행들과 복수의 화소 열들을 포함하는 매트릭스 형태로 배열될 수 있다. 상기 화소 행은 상기 표시부(110)에 대해서 수평 라인에 대응하고, 상기 화소 열은 수직 라인에 대응할 수 있다.

[0034] 각 화소(P)는 화소 회로를 포함하고, 상기 화소 회로는 스캔 라인, 데이터 라인 및 발광 제어 라인과 연결된 복수의 트랜지스터들과 상기 복수의 트랜지스터들에 의해 구동하는 유기 발광 다이오드를 포함한다.

[0035] 일 실시예에 따르면, 잔상 개선 및 트랜지스터의 신뢰성 향상을 위해 상기 화소 회로의 복수의 트랜지스터들은 더블 게이트(Double Gate) 구조를 갖는다. 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 전극과 상기 제1 게이트 전극에 대해서 아래 금속층(Bottom Metal layer)로 형성된 제2 게이트 전극을 포함한다.

[0036] 상기 더블 게이트 구조의 트랜지스터들은 제1 및 제2 게이트 전극에 동일한 게이트 신호를 인가하거나, 또는 적어도 하나의 트랜지스터는 제2 게이트 전극에 상기 제1 게이트 전극에 인가된 게이트 신호와 다른 바이어스 신호가 인가될 수 있다.

[0037] 상기 데이터 라인들(DL1, ..., DLm, ..., DLM)은 상기 열 방향(CD)으로 연장되고 상기 행 방향(RD)으로 배열될 수 있다. 상기 데이터 라인들(DL1, ..., DLm, ..., DLM)은 상기 데이터 구동부(130)에 연결되어 상기 화소(P)에 데이터 전압들을 전달한다.

- [0038] 상기 스캔 라인들(SL1, ..., SLn, ..., SLN)은 행 방향(RD)으로 연장되고 열 방향(CD)으로 배열될 수 있다. 상기 스캔 라인들(SL1, ..., SLn, ..., SLN)은 상기 스캔 구동부(140)와 연결되어 화소들(P)에 스캔 신호를 전달한다.
- [0039] 상기 발광 제어 라인들(EL1, ..., ELn, ..., ELN)은 상기 행 방향(RD)으로 연장되고 열 방향(CD)으로 배열될 수 있다. 상기 발광 제어 라인들(EL1, ..., ELn, ..., ELN)은 상기 발광 구동부(150)에 연결되어 상기 화소(P)에 발광 제어 신호를 전달한다.
- [0040] 또한, 상기 화소들(P)은 제1 전원 전압(ELVDD) 및 제2 전원 전압(ELVSS)을 수신한다.
- [0041] 상기 화소들(P) 각각은 상기 스캔 신호에 응답하여 데이터 전압을 수신하고, 상기 제1 및 제2 전원 전압들(ELVDD, ELVSS)을 이용하여 상기 데이터 전압에 대응하는 계조의 광을 발생한다.
- [0042] 상기 타이밍 컨트롤러(120)는 외부 장치로부터 영상 신호(DATA) 및 제어 신호(CONT)를 수신한다. 상기 영상 신호(DATA)는 레드, 그린 및 블루 영상 데이터를 포함할 수 있다. 상기 제어 신호(CONT)는 수평 동기 신호, 수평 동기 신호, 메인 클럭 신호 등을 포함한다.
- [0043] 상기 타이밍 컨트롤러(120)는 상기 영상 신호(DATA)를 상기 표시부(110)의 화소 구조 및 해상도 등과 같은 사양에 대응하여 변환된 영상 데이터(DATA)를 출력한다.
- [0044] 상기 타이밍 컨트롤러(120)는 상기 제어 신호(CONT)에 기초하여 상기 데이터 구동부(130)를 구동하기 위한 제1 제어 신호(CONT1), 상기 스캔 구동부(140)를 구동하기 위한 제2 제어 신호(CONT2) 및 상기 발광 구동부(150)를 구동하기 위한 제3 제어 신호(CONT3)를 생성한다.
- [0045] 상기 데이터 구동부(130)는 상기 제1 제어 신호(CONT1)에 응답하여 상기 영상 신호(DATA)를 데이터 전압으로 변환하고, 상기 데이터 전압을 상기 데이터 라인들(DL1, ..., DLn, ..., DLM)에 출력한다.
- [0046] 상기 스캔 구동부(140)는 상기 제2 제어 신호(CONT2)에 응답하여 복수의 스캔 신호들(S1, ..., Sn, ..., SN)을 생성한다.
- [0047] 상기 발광 구동부(150)는 상기 제3 제어 신호(CONT3)에 응답하여 복수의 발광 제어 신호들을 생성한다. 상기 발광 구동부(150)는 상기 제3 제어 신호(CONT3)에 따라서 복수의 발광 제어 신호들(E1, ..., En, ..., EN)을 상기 발광 제어 라인들(EL1, ..., ELn, ..., ELN)에 동시에 출력하거나, 상기 발광 제어 라인들(EL1, ..., ELn, ..., ELN)에 스캔 방향인 행 방향(CD)을 따라서 순차적으로 출력할 수 있다.
- [0048] 도 2는 본 발명의 일 실시예에 따른 표시 장치의 회로도이다.
- [0049] 도 1 및 도 2를 참조하면, 상기 화소(P)는 화소 회로(PC)를 포함한다.
- [0050] 상기 화소 회로(PC)는 유기 발광 다이오드(OLED), 제1 트랜지스터(T1), 제1 커패시터(CST), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제2 커패시터(CL), 제5 트랜지스터(T5), 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)를 포함할 수 있다.
- [0051] 일 실시예에 따르면, 잔상 개선 및 트랜지스터의 신뢰성 향상을 위해 상기 트랜지스터는 제1 게이트 전극 및 상기 제1 게이트 전극에 대해서 아래에 중첩된 제2 게이트 전극을 포함하는 더블 게이트 구조를 갖는다.
- [0052] 일 실시예에 따르면, 상기 트랜지스터는 P형 트랜지스터로서 게이트 전극에 로우 레벨의 전압이 인가되면 턴-온되고, 하이 레벨의 전압이 인가되면 턴-오프 될 수 있다. 물론, 상기 트랜지스터들은 N형 트랜지스터로 구현될 수 있고, 이 경우, 턴-온 전압은 하이 레벨의 전압이고 턴-오프 전압은 로우 레벨을 전압일 수 있다.
- [0053] 상기 화소 회로(PC)는 데이터 라인(DLn), 제n 스캔 라인(SLn), 제n-1 스캔 라인(SLn-1), 제n+1 스캔 라인(SLn+1), 제n 발광 제어 라인(ELn), 전원 전압 라인(PVL), 제1 초기 전압 라인(IVL1) 및 제2 초기 전압 라인(IVL2)을 더 포함할 수 있다.
- [0054] 예를 들면, 상기 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 제2 노드(N2)에 연결된 제1 전극 및 제3 노드(N3)에 연결된 제2 전극을 포함한다.
- [0055] 상기 제1 커패시터(CST)는 전원 전압 라인(PVL)에 제1 전극과 상기 제1 노드(N1)에 연결된 제2 전극을 포함한다. 상기 전원 전압 라인(PVL)은 하이 전원 전압(ELVDD)을 수신한다.
- [0056] 상기 제2 트랜지스터(T2)는 제1 게이트 신호를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 데이터 라인(DLn)에 연결된 제1 전극 및 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 데이터 라인

(DL_m)은 상기 화소(P)에 대응하는 데이터 전압(V_{data})을 전달할 수 있다. 상기 제1 게이트 신호는 상기 스캔 구동부(140)로부터 제공된 제n 스캔 신호(SL_n)일 수 있고, 제n 스캔 라인(SL_n)을 통해 전달될 수 있다.

- [0057] 상기 제3 트랜지스터(T3)는 제4 노드(N4)를 통해 서로 연결된 듀얼 연결 구조의 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 포함한다.
- [0058] 일 실시예에 따르면, 상기 제3 트랜지스터(T3)는 고휘도 및 고온 구동시 누설 전류를 줄이기 위해서 상기 듀얼 연결 구조를 가질 수 있다.
- [0059] 상기 제3-1 트랜지스터(T3-1)는 상기 제1 게이트 신호를 수신하는 제1 게이트 전극, 상기 제1 노드(N1)에 연결된 제1 전극, 상기 제4 노드(N4)에 연결된 제2 전극 및 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 게이트 전극을 포함한다. 상기 제1 초기 전압 라인(IVL1)은 상기 제1 커패시터(CST)의 충전 전압을 초기화하기 위한 제1 초기화 전압(Vinit1)을 전달한다. 상기 제1 초기화 전압(Vinit1)은 기준 전압 대비 음(negative)의 전압일 수 있다.
- [0060] 상기 제3-2 트랜지스터(T3-2)는 상기 제1 게이트 신호를 수신하는 제1 게이트 전극, 상기 제4 노드(N4)에 연결된 제1 전극, 상기 제3 노드(N3)에 연결된 제2 전극 및 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 게이트 전극을 포함한다.
- [0061] 상기 제1 게이트 신호는 상기 스캔 구동부(140)로부터 제공된 제n 스캔 신호일 수 있고, 제n 스캔 라인(SL_n)을 통해 전달될 수 있다.
- [0062] 상기 제4 트랜지스터(T4)는 제5 노드(N5)를 통해 서로 연결된 듀얼 연결 구조의 제4-1 트랜지스터(T4-1) 및 제4-2 트랜지스터(T4-2)를 포함한다.
- [0063] 일 실시예에 따르면, 상기 제4 트랜지스터(T4)는 고휘도 및 고온 구동시 누설 전류를 줄이기 위해서 상기 듀얼 연결 구조를 가질 수 있다.
- [0064] 상기 제4-1 트랜지스터(T4-1)는 제1 게이트 신호를 수신하는 제1 게이트 전극, 제1 노드(N1)에 연결된 제1 전극, 상기 제5 노드(N5)에 연결된 제2 전극 및 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 게이트 전극을 포함한다.
- [0065] 상기 제4-2 트랜지스터(T4-2)는 상기 제2 게이트 신호를 수신하는 제1 게이트 전극, 상기 제5 노드(N5)에 연결된 제1 전극, 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 전극 및 제2 게이트 전극을 포함한다.
- [0066] 상기 제2 게이트 신호는 상기 스캔 구동부(140)로부터 제공된 제n-1 스캔 신호(Sn-1)일 수 있고, 제n-1 스캔 라인(SL_{n-1})을 통해 전달될 수 있다.
- [0067] 상기 제2 커패시터(CL)는 상기 전원 전압 라인(PVL)에 연결된 제1 전극 및 상기 제4 노드(N4) 및 상기 제5 노드(N5)를 통해 상기 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)와 연결된 제2 전극을 포함한다. 상기 제2 커패시터(CL)는 상기 제3 트랜지스터(T3) 및 상기 제4 트랜지스터(T4)의 누설 전류를 제어할 수 있다.
- [0068] 상기 제5 트랜지스터(T5)는 상기 제n 발광 제어 라인(EL_n)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 전원 전압 라인(PVL)에 연결된 제1 전극 및 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 제n 발광 제어 라인(EL_n)은 상기 발광 구동부(150)로부터 제공된 제n 발광 제어 신호를 수신한다.
- [0069] 상기 제6 트랜지스터(T6)는 상기 제n 발광 제어 라인(EL_n)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제3 노드(N3)에 연결된 제1 전극 및 상기 유기 발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다.
- [0070] 상기 제7 트랜지스터(T7)는 제3 게이트 신호를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제2 초기 전압 라인(IVL2)에 연결된 제1 전극 및 상기 유기 발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다. 상기 제2 초기 전압 라인(IVL2)은 상기 애노드 전극을 초기화하기 위한 제2 초기화 전압(Vinit2)을 전달할 수 있다. 상기 제2 초기화 전압(Vinit2)은 기준 전압 대비 음의 전압일 수 있다.
- [0071] 일 실시예에 따르면, 상기 제1 초기화 전압(Vinit1)은 상기 제2 초기화 전압(Vinit2)은 보다 큰 음의 전압을 갖는다.
- [0072] 상기 제3 게이트 신호는 상기 스캔 구동부(140)로부터 제공된 제n+1 스캔 신호(Sn+1)일 수 있고, 제n+1 스캔 라인(SL_{n+1})을 통해 전달될 수 있다.

- [0073] 도 3은 도 2에 도시된 화소 회로도의 구동 방법을 설명하기 위한 파형도이다.
- [0074] 도 2 및 도 3을 참조하면, 상기 화소 회로(PC)의 구동 방법은 다음과 같다.
- [0075] 프레임의 제1 구간(a) 동안, 제 $n-1$ 스캔 라인(SL $n-1$)에 인가된 제 $n-1$ 스캔 신호(S $n-1$)의 로우 전압에 응답하여 듀얼 연결 구조의 제4-1 트랜지스터(T4-1) 및 제4-2 트랜지스터(T4-2)가 턴-온 되고, 나머지 트랜지스터들(T1, T2, T3, T5, T6, T7)은 턴-오프 된다. 이에 따라서, 상기 제1 커패시터(CST)에 충전된 이전 데이터 전압은 상기 제1 초기 전압 라인(IVL1)에 인가된 제1 초기화 전압(Vinit1)으로 초기화 된다. 상기 제1 초기화 전압(Vinit1)은 음의 바이어스 전압으로, 상기 제2 초기화 전압(Vinit2) 보다 큰 전압을 가질 수 있다.
- [0076] 프레임의 제2 구간(b) 동안, 제 n 스캔 라인(SL n)에 인가된 제 n 스캔 신호(S n)의 로우 전압에 응답하여 제2 트랜지스터(T2), 듀얼 연결 구조의 상기 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)는 턴-온 되고, 나머지 트랜지스터들(T1, T4, T5, T6, T7)은 턴-오프 된다.
- [0077] 상기 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)가 턴-온 됨으로써 상기 제1 트랜지스터(T1)는 다이오드 연결된다. 상기 제2 노드(N2)에 인가된 상기 데이터 라인(DL m)에 인가된 데이터 전압(Vdata)에 대응하는 전압과 상기 제1 트랜지스터(T1)의 문턱 전압(Vth)의 차이 전압이 상기 제1 노드(N1)에 인가된다. 이에 따라서, 상기 데이터 전압(Vdata)에 대응하는 전압과 상기 문턱 전압(Vth)의 절대값의 차이 전압이 상기 제1 노드(N1)에 인가되어 상기 제1 트랜지스터(T1)의 문턱 전압이 보상될 수 있다.
- [0078] 또한, 상기 제1 커패시터(CST)는 상기 데이터 라인(DL m)에 인가된 데이터 전압(Vdata)에 대응하는 전압을 충전할 수 있다.
- [0079] 이와 같이, 상기 프레임의 제2 구간(b) 동안, 상기 제1 트랜지스터(T1)의 문턱 전압이 보상되고, 상기 제1 커패시터(CST)에 상기 데이터 전압(Vdata)에 대응하는 전압이 저장된다.
- [0080] 프레임의 제3 구간(c) 동안, 제 $n+1$ 스캔 라인(SL $n+1$)에 인가된 제 $n+1$ 스캔 신호(S $n+1$)의 로우 전압에 응답하여 제7 트랜지스터(T7)는 턴-온 되고, 나머지 트랜지스터들(T1, T2, T3, T4, T5, T6)은 턴-오프 된다.
- [0081] 상기 제7 트랜지스터(T7)가 턴-온 됨에 따라서, 상기 제2 초기 전압 라인(IVL2)에 인가된 제2 초기화 전압(Vinit2)이 상기 유기 발광 다이오드(OLED)의 애노드 전극에 각각 인가되어 상기 유기 발광 다이오드(OLED)의 애노드 전극들을 초기화할 수 있다.
- [0082] 이와 같이, 상기 프레임의 제3 구간(b) 동안, 상기 유기 발광 다이오드(OLED)의 애노드 전극이 초기화될 수 있다.
- [0083] 프레임의 제4 구간(d) 동안, 제 n 발광 제어 라인(EL n)에 로우 레벨의 제 n 발광 온 전압이 인가되면, 상기 제5 및 제6 트랜지스터들(T5, T6)은 턴-온 되고, 나머지 트랜지스터들(T1, T2, T3, T4, T7)이 턴-오프 된다.
- [0084] 이에 따라서, 상기 제1 커패시터(CST)에 저장된 상기 데이터 전압(Vdata)에 대응하는 전압에 의해 상기 제1 트랜지스터(T1)는 턴-온 되고 상기 데이터 전압에 대응하는 구동 전류가 상기 유기 발광 다이오드(OLED)에 흐른다. 결과적으로 상기 유기 발광 다이오드(OLED)는 영상에 대응하는 계조의 광을 발생할 수 있다.
- [0085] 도 4a 및 도 4b는 본 발명의 실시예에 따른 더블 게이트 구조의 트랜지스터에 대한 I-V 곡선들이다.
- [0086] 도 4a 및 도 4b를 참조하면, 섭씨 85도의 고온에서 트랜지스터가 구동할 경우 트랜지스터의 I-V 특성을 나타낸 곡선들이다.
- [0087] 도 4a를 참조하면, 고온 구동에서, 더블 게이트 구조의 트랜지스터는 제2 게이트 전극에 양의 바이어스 전압(+VG)이 인가되면 문턱 전압(Vth)은 네가티브 측으로 이동하여 누설 전류가 증가한다. 반대로, 더블 게이트 구조의 트랜지스터는 제2 게이트 전극에 음의 바이어스 전압(-VG)이 인가되면 문턱 전압(Vth)은 포지티브 측으로 이동하여 누설 전류가 감소한다.
- [0088] 도 4b를 참조하면, 비교예 1(BML G-Sync)에 따른 더블 게이트 구조의 트랜지스터는 제1 게이트 전극에 인가된 신호와 동일한 게이트 신호를 제2 게이트 전극에 인가하는 경우이다.
- [0089] 비교예 2(Single)에 따른 싱글 게이트 구조의 트랜지스터로서, 게이트 전극에만 게이트 신호를 인가하는 경우이다.
- [0090] 실시예(BML Vinit-Sync)에 따른 더블 게이트 구조의 트랜지스터는 제1 게이트 전극에 인가된 게이트 신호와 다

른 전극에 음(-)의 게이트 신호를 제2 게이트 전극에 인가하는 경우이다.

- [0091] 게이트/소스 전압(VGS)이 약 7.9 V 에서 오프 누설 전류를 측정된 결과, 비교예 1(BML G-Sync)의 에 따른 더블 게이트 구조의 트랜지스터는 누설 전류(Ids)가 약 2.07 pA 이고, 비교예 2(Single)에 따른 싱글 게이트 구조의 트랜지스터의 누설 전류(Ids)는 약 76.9fA 이고, 실시예(BML Vinit-Sync)에 따른 더블 게이트 구조의 트랜지스터의 누설 전류(Ids)는 약 66.6 fA 이다.
- [0092] 따라서, 더블 게이트 구조의 트랜지스터에서, 제2 게이트 전극에 제1 게이트 전극과 다른 음(-)의 게이트 신호를 인가하는 경우 오프 누설 전류가 감소하는 것을 확인할 수 있다.
- [0093] 이와 같이, 화소 회로에서 커패시터(CST)에 충전된 이전 데이터 전압의 초기화를 제어하는 제4 트랜지스터와 상기 커패시터(CST)에 자기 데이터 전압의 충전을 제어하는 제3 트랜지스터의 제2 게이트 전극에 음의 바이어스 전압을 인가함으로써 상기 제3 및 제4 트랜지스터들의 고온 구동시 누설 전류를 줄일 수 있다. 이에 따라서, 누설 전류에 의해 표시 품질 저하를 개선할 수 있다.
- [0094] 도 5a 및 도 5b는 본 발명의 실시예에 따른 더블 게이트 구조의 트랜지스터에 대한 특성을 설명하기 위한 개념 도들이다.
- [0095] 도 2, 도 5a 및 도 5b를 참조하면, 유기 발광 다이오드가 발광되는 발광 온 구간에서 트랜지스터의 누설 전류에 의한 게이트 신호의 편차(ΔVG)를 측정하였다.
- [0096] 비교예 1(BML G-Sync)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 전극에 인가된 제1 게이트 신호와 동일한 게이트 신호가 제2 게이트 전극(BML)에 인가된다.
- [0097] 비교예 2(Single)에 따른 싱글 게이트 구조의 트랜지스터로서 제1 게이트 전극만 게이트 신호를 인가한다.
- [0098] 실시예(BML Vinit-Sync)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 전극에 인가되는 제1 게이트 신호와 다른 음의 바이어스 신호인 제2 게이트 신호가 인가된다.
- [0099] 먼저, 동작 온도가 상온(RT)인 경우를 살펴보면, 비교예 1(BML G-Sync) 에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 0.66 % 정도 이고, 비교예 2(Single)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 0.50 % 정도 이고, 실시예((BML Vinit-Sync)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 0.49 % 정도 이다.
- [0100] 제1 게이트 전극에 인가되는 신호와 다른 음의 바이어스 신호(Vinit)를 제2 게이트 전극에 인가하는 실시예(BML Vinit-Sync)에서 누설 전류가 가장 적음을 확인할 수 있다.
- [0101] 한편, 동작 온도가 고온(섭씨 85도)인 경우를 살펴보면, 비교예 1(BML G-Sync)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 3.21 % 정도 이고, 비교예 2(Single)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 0.68 % 정도 이고, 실시예(BML Vinit-Sync)에 따른 상기 더블 게이트 구조의 트랜지스터는 제1 게이트 신호의 편차(ΔVG)가 약 0.66 % 정도 이다.
- [0102] 제1 게이트 전극에 인가되는 제1 게이트 신호와 다른 음의 바이어스 신호(Vinit)를 제2 게이트 전극에 인가하는 실시예(BML Vinit-Sync)에서 누설 전류가 현저히 작음을 확인할 수 있다.
- [0103] 따라서, 본 실시예에 따르면, 상기 더블 게이트 구조의 트랜지스터에서 제2 게이트 전극에 제1 게이트 전극에 인가된 제1 게이트 신호와 다른 음의 바이어스 신호를 인가할 경우 고온에서 누설 전류가 감소할 수 있다.
- [0104] 이와 같이, 화소 회로에서 커패시터(CST)에 충전된 이전 데이터 전압의 초기화를 제어하는 제4 트랜지스터와 상기 커패시터(CST)에 자기 데이터 전압의 충전을 제어하는 제3 트랜지스터의 제2 게이트 전극에 음의 바이어스 전압을 인가함으로써 상기 제3 및 제4 트랜지스터들의 고온 구동시 누설 전류를 줄일 수 있다. 이에 따라서, 누설 전류에 의해 표시 품질 저하를 개선할 수 있다.
- [0105] 도 6은 본 발명의 일 실시예에 따른 화소 회로도이다.
- [0106] 도 1 및 도 6을 참조하면, 상기 화소(P)는 화소 회로(PC₁)를 포함한다.
- [0107] 상기 화소 회로(PC₁)는 데이터 라인(DL_m), 제n 스캔 라인(SL_n), 제n-1 스캔 라인(SL_{n-1}), 제n+1 스캔 라인(SL_{n+1}), 제n 발광 제어 라인(EL_n), 전원 전압 라인(PVL), 제1 초기 전압 라인(IVL1) 및 제2 초기 전압 라인(IVL2)을 더 포함할 수 있다.

- [0108] 일 실시예에 따르면, 상기 트랜지스터는 게이트 전극이 2개인 더블 게이트(Double Gate) 구조를 갖는다. 상기 트랜지스터는 P형 트랜지스터로서 게이트 전극에 로우 레벨의 전압이 인가되면 턴-온 되고, 하이 레벨의 전압이 인가되면 턴-오프 될 수 있다. 물론, 상기 트랜지스터들은 N형 트랜지스터로 구현될 수 있고, 이 경우, 턴-온 전압은 하이 레벨의 전압이고 턴-오프 전압은 로우 레벨을 전압일 수 있다.
- [0109] 일 실시예에 따르면, 상기 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 제2 노드(N2)에 연결된 제1 전극 및 제3 노드(N3)에 연결된 제2 전극을 포함한다.
- [0110] 상기 커패시터(CST)는 전원 전압 라인(PVL)에 제1 전극과 상기 제1 노드(N1)에 연결된 제2 전극을 포함한다. 상기 전원 전압 라인(PVL)은 하이 전원 전압(ELVDD)을 수신한다.
- [0111] 상기 제2 트랜지스터(T2)는 제1 게이트 신호(GW)를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 데이터 라인(DLm)에 연결된 제1 전극 및 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 데이터 라인(DLm)은 상기 화소(P)에 대응하는 데이터 전압(Vdata)을 전달할 수 있다. 상기 제1 게이트 신호(GW)는 상기 스캔 구동부(140)로부터 제공된 제n 스캔 신호(SLn)일 수 있고, 제n 스캔 라인(SLn)을 통해 전달될 수 있다.
- [0112] 상기 제3 트랜지스터(T3)는 듀얼 연결 구조로, 제4 노드(N4)를 통해 서로 연결된 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 포함한다.
- [0113] 상기 제3-1 트랜지스터(T3-1)는 상기 제1 게이트 신호를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제1 노드(N1)에 연결된 제1 전극 및 상기 제4 노드(N4)에 연결된 제2 전극을 포함한다.
- [0114] 상기 제3-2 트랜지스터(T3-2)는 상기 제1 게이트 신호를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제4 노드(N4)에 연결된 제1 전극 및 상기 제3 노드(N3)에 연결된 제2 전극을 포함한다.
- [0115] 상기 제1 게이트 신호(GW)는 상기 스캔 구동부(140)로부터 제공된 제n 스캔 신호(Sn)일 수 있고, 제n 스캔 라인(SLn)을 통해 전달될 수 있다.
- [0116] 상기 제4 트랜지스터(T4)는 듀얼 연결 구조로, 제5 노드(N5)를 통해 서로 연결된 제4-1 트랜지스터(T4-1) 및 제4-2 트랜지스터(T4-2)를 포함한다.
- [0117] 상기 제4-1 트랜지스터(T4-1)는 제1 게이트 신호를 수신하는 제1 게이트 전극, 제1 노드(N1)에 연결된 제1 전극, 상기 제5 노드(N5)에 연결된 제2 전극 및 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 게이트 전극을 포함한다.
- [0118] 상기 제4-2 트랜지스터(T4-2)는 상기 제2 게이트 신호를 수신하는 제1 게이트 전극, 상기 제5 노드(N5)에 연결된 제1 전극, 상기 제1 초기 전압 라인(IVL1)에 연결된 제2 전극 및 제2 게이트 전극을 포함한다.
- [0119] 상기 제2 게이트 신호(GI)는 상기 스캔 구동부(140)로부터 제공된 제n-1 스캔 신호(Sn-1)일 수 있고, 제n-1 스캔 라인(SLn-1)을 통해 전달될 수 있다.
- [0120] 상기 제2 커패시터(CL)는 상기 전원 전압 라인(PVL)에 연결된 제1 전극 및 상기 제4 노드(N4) 및 상기 제5 노드(N5)를 통해 상기 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)와 연결된 제2 전극을 포함한다. 상기 제2 커패시터(CL)는 상기 제3 트랜지스터(T3) 및 상기 제4 트랜지스터(T4)의 누설 전류를 제어할 수 있다.
- [0121] 상기 제5 트랜지스터(T5)는 상기 제n 발광 제어 라인(ELn)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 전원 전압 라인(PVL)에 연결된 제1 전극 및 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 제n 발광 제어 라인(ELn)은 상기 발광 구동부(150)로부터 제공된 제n 발광 제어 신호를 수신한다.
- [0122] 상기 제6 트랜지스터(T6)는 상기 제n 발광 제어 라인(ELn)에 연결된 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제3 노드(N3)에 연결된 제1 전극 및 상기 유기 발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다.
- [0123] 상기 제7 트랜지스터(T7)는 제3 게이트 신호를 수신하는 제1 게이트 전극 및 제2 게이트 전극을 포함하고, 상기 제2 초기 전압 라인(IVL2)에 연결된 제1 전극 및 상기 유기 발광 다이오드(OLED)의 애노드 전극에 연결된 제2 전극을 포함한다. 상기 제2 초기 전압 라인(IVL2)은 상기 애노드 전극을 초기화하기 위한 제2 초기화 전압(Vinit2)을 전달할 수 있다.
- [0124] 상기 제3 게이트 신호(GB)는 상기 스캔 구동부(140)로부터 제공된 제n+1 스캔 신호(Sn+1)일 수 있고, 제n+1 스캔 라인(SLn+1)을 통해 전달될 수 있다.

[0125] 본 실시예에 따르면, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4) 중 제4 트랜지스터(T4)의 제2 게이트 전극에 제1 게이트 전극에 인가된 제2 게이트 신호(Sn-1)와 다른 음의 바이어스 신호인 제1 초기화 전압(Vinit1)을 인가한다.

[0126] 도시되지 않았으나, 다른 일 실시예에서, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4) 중 제3 트랜지스터(T3)의 제2 게이트 전극에 제1 게이트 전극에 인가된 제1 게이트 신호(Sn)와 다른 음의 바이어스 신호인 제1 초기화 전압(Vinit1)을 인가할 수 있다.

[0127] 이와 같이, 화소 회로에서 커패시터(CST)에 충전된 이전 데이터 전압의 초기화를 제어하는 제4 트랜지스터 및 상기 커패시터(CST)에 자기 데이터 전압의 충전을 제어하는 제3 트랜지스터 중 적어도 하나의 제2 게이트 전극에 음의 바이어스 전압을 인가함으로써 고온 구동시 누설 전류를 줄일 수 있다. 이에 따라서, 누설 전류에 의해 표시 품질 저하를 개선할 수 있다.

[0128] 이상의 실시예들에 따르면, 화소 회로의 복수의 트랜지스터들은 제1 게이트 전극과 제2 게이트 전극을 갖는 더블 게이트 구조를 가지며, 상기 복수의 트랜지스터들 중 커패시터의 충전을 제어하는 적어도 하나의 트랜지스터의 제2 게이트 전극에는 음의 바이어스 전압이 인가됨으로써 고온 구동시 누설 전류를 줄일 수 있다. 이에 따라서, 누설 전류에 의한 표시 품질 저하를 막을 수 있다.

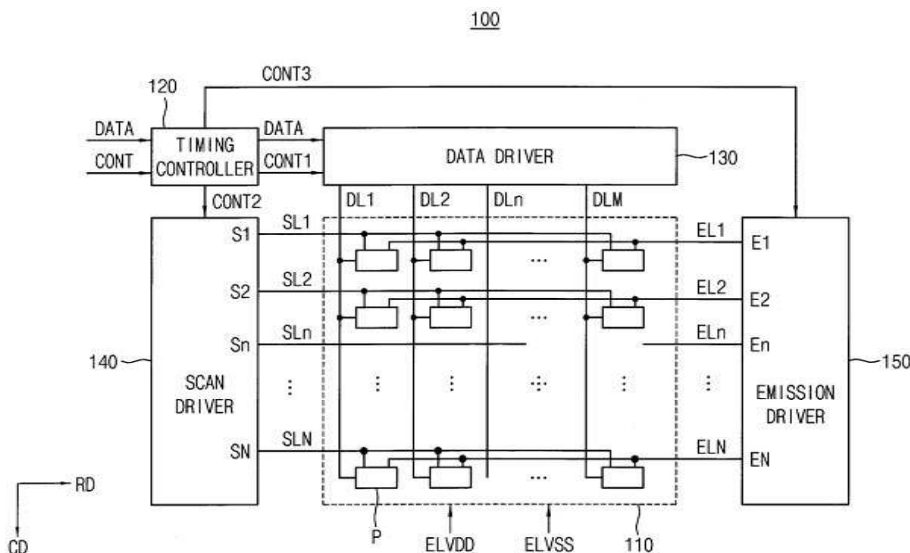
산업상 이용가능성

[0129] 본 발명은 표시 장치 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서 본 발명은 휴대폰, 스마트 폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 시스템, 스마트 카드, 프린터 등과 같은 다양한 전자 기기에 유용하게 이용될 수 있다.

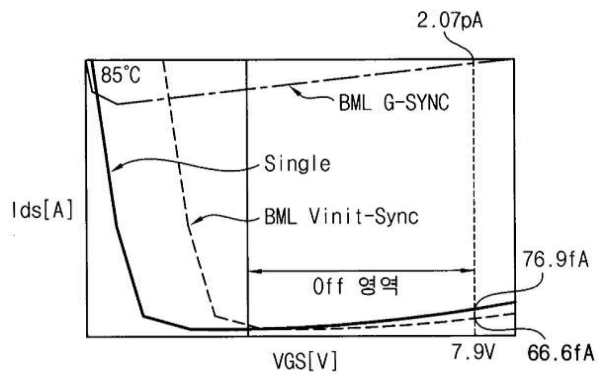
[0130] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

도면

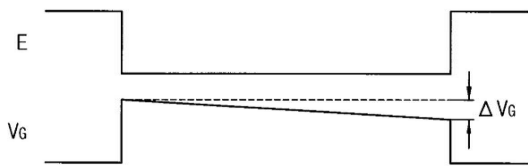
도면1



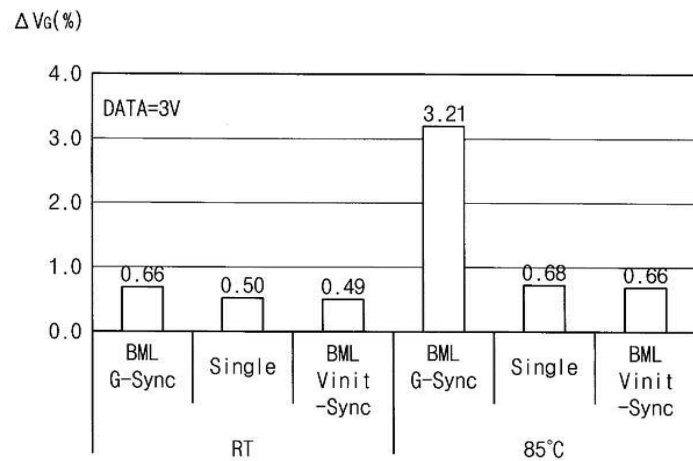
도면4b



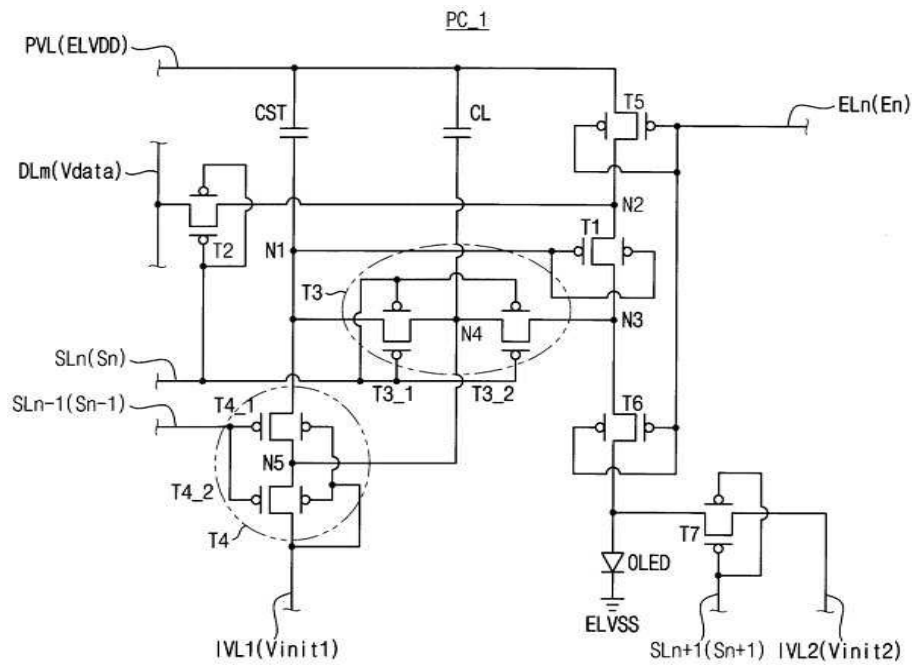
도면5a



도면5b



도면6



专利名称(译)	像素电路及具有该像素电路的显示装置		
公开(公告)号	KR1020200015862A	公开(公告)日	2020-02-13
申请号	KR1020180090287	申请日	2018-08-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	전주희 김건희 윤주원 이승찬 박상호 윤주선		
发明人	전주희 김건희 윤주원 이승찬 박상호 윤주선		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/0262 G09G2320/0214 G09G2320/0233 G09G2320/0257		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

像素电路及其显示装置技术领域本发明涉及一种能够防止由于泄漏电流而导致显示质量下降的像素电路以及包括该像素电路的显示装置。根据本发明，像素电路包括：有机发光二极管(OLED)；第一晶体管，其包括连接到第一节点的第一栅电极，连接到第二节点的第二电极和连接到第三节点的第三电极；第一电容器，其包括接收电源电压的第一电极和连接到第一节点的第二电极；第三晶体管，其包括：第一栅极，其接收第一栅极信号；第二电极，其连接到所述第一节点；以及第三电极，其连接到所述第三节点。第四晶体管，其包括：第一栅电极，其接收第二栅极信号；第二电极，其连接至第一节点；第三电极，其接收第一初始化电压；以及第二栅电极，其接收第一初始化电压。第七晶体管，其包括：第一控制电极，其接收第三栅极信号；第二电极，其接收第二初始化电压；以及第三电极，其连接至OLED的阳极。

