



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0138492  
(43) 공개일자 2019년12월13일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/50 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 27/3211 (2013.01)  
(21) 출원번호 10-2018-0065013  
(22) 출원일자 2018년06월05일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
이성구  
경기도 파주시 월롱면 엘지로 245  
김빈  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인로얄

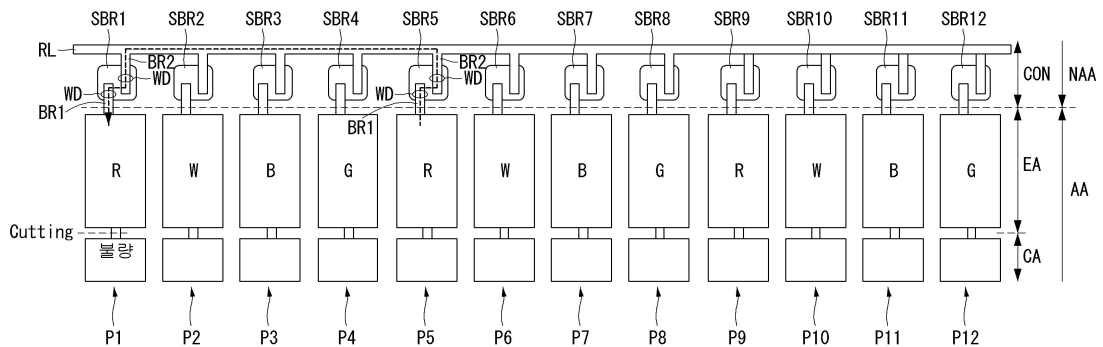
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기발광 표시패널 및 이를 포함한 유기발광 표시장치

(57) 요약

본 발명에 의한 유기발광 표시장치는 행 방향으로 배치된 픽셀들, 리페어 라인, 보조 브릿지들, 제1 및 제2 브릿지 패턴들을 포함한다. 리페어 라인은 상기 행 방향으로 배치되고, 보조 브릿지들은 리페어 라인과 픽셀들 사이에 배치된다. 제1 브릿지 패턴들은 픽셀들과 일대일로 접속되고, 인접한 보조 브릿지들과 일부 영역이 중첩된다. 제2 브릿지 패턴들은 리페어 라인에서 열 방향으로 분기되고, 각각이 보조 브릿지들의 일부 영역과 일대일로 중첩된다.

대표도



(52) CPC특허분류  
*H01L 51/50* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

행 방향으로 배치된 픽셀들;

상기 행 방향으로 배치된 제1 리페어 라인;

상기 제1 리페어 라인과 상기 픽셀들 사이에 배치되는 보조 브릿지들;

상기 픽셀들과 일대일로 접속되고, 인접한 상기 보조 브릿지들과 일부 영역이 중첩되는 제1 브릿지 패턴들; 및

상기 리페어 라인에서 분기되고, 각각이 상기 보조 브릿지들의 일부 영역과 일대일로 중첩되는 제2 브릿지 패턴들을 포함하는 유기발광 표시패널.

#### 청구항 2

제 1 항에 있어서,

상기 픽셀들 각각은 유기발광다이오드를 포함하고,

상기 제1 브릿지 패턴들 각각은 상기 유기발광다이오드의 애노드와 접속되는 유기발광 표시패널.

#### 청구항 3

제 1 항에 있어서,

상기 보조 브릿지들은 상기 픽셀들과 일대일로 대응하고, 각각의 상기 보조 브릿지들은 서로 전기적으로 절연 상태인 유기발광 표시패널.

#### 청구항 4

제 2 항에 있어서,

상기 픽셀들 각각은 상기 유기발광다이오드를 구동하는 구동 트랜지스터를 더 포함하고,

상기 보조 브릿지는 상기 구동 트랜지스터의 소스/드레인 전극과 동일한 금속층으로 형성된 유기발광 표시패널.

#### 청구항 5

제 2 항에 있어서,

상기 리페어 라인은 상기 유기발광다이오드의 애노드와 동일한 금속층으로 이루어지는 유기발광 표시패널.

#### 청구항 6

제 2 항에 있어서,

상기 리페어 라인 및 상기 보조 브릿지들은 비표시영역에 배치되는 유기발광 표시패널.

#### 청구항 7

제 6 항에 있어서,

상기 픽셀들은 동일한 색상을 표시하는 제1 픽셀 및 제2 픽셀을 포함하고,

상기 보조 브릿지들은 상기 제1 픽셀과 인접한 제1 보조 브릿지 및 상기 제2 픽셀과 인접한 제2 보조 브릿지를 포함하며,

상기 제1 픽셀이 불량일 경우,

상기 제1 픽셀과 접속된 상기 제1 브릿지 패턴 및 상기 제1 보조 브릿지와 중첩된 상기 제2 브릿지 패턴들은 각

각 상기 제1 보조 브릿지와 웰딩되고,

상기 제2 픽셀과 접속된 상기 제1 브릿지 패턴 및 상기 제2 보조 브릿지와 중첩된 상기 제2 브릿지 패턴들은 각각 상기 제2 보조 브릿지와 웰딩되는 유기발광 표시패널.

#### 청구항 8

제 7 항에 있어서,

상기 제1 픽셀에 속한 상기 유기발광다이오드의 애노드는 상기 유기발광다이오드를 구동하는 구동 트랜지스터와 전기적으로 오픈되는 유기발광 표시패널.

#### 청구항 9

제 6 항에 있어서,

상기 픽셀들은 제1 색상을 표시하는 제1 그룹의 픽셀들, 제2 색상을 표시하는 제2 그룹의 픽셀들을 포함하고,

상기 제1 리페어 라인과 인접한 제2 리페어 라인을 더 포함하며,

상기 제1 브릿지 패턴들은, 상기 제1 및 제2 그룹의 픽셀들에 각각 일대일로 접속되고,

상기 보조 브릿지들은, 상기 제1 그룹의 제1 브릿지 패턴들과 일부 영역이 중첩되는 제1 그룹의 보조 브릿지들 및 상기 제2 그룹의 제1 브릿지 패턴들과 일부 영역이 중첩되는 제2 그룹의 보조 브릿지들을 포함하며,

상기 제2 브릿지 패턴들은, 상기 제1 리페어 라인에서 분기되어 상기 제1 그룹의 보조 브릿지들과 일부 영역이 중첩되는 제1 그룹의 제2 브릿지 패턴들; 및 상기 제2 리페어 라인에서 분기되어 상기 제2 그룹의 보조 브릿지들과 일부 영역이 중첩되는 제2 그룹의 제2 브릿지 패턴들을 포함하는 유기발광 표시패널.

#### 청구항 10

제 2 항에 있어서,

상기 픽셀들은 표시영역 내에서 행 방향으로 배치된 제1 그룹의 픽셀들, 및 상기 제1 그룹의 픽셀들과 서로 다른 행에 배치된 제2 그룹의 픽셀들을 포함하고,

상기 리페어 라인은 상기 제1 그룹의 픽셀들 및 상기 제2 그룹의 픽셀들 사이에 배치된 유기발광 표시패널.

#### 청구항 11

제 10 항에 있어서,

상기 픽셀들 각각은 유기발광다이오드를 포함하고,

상기 보조 브릿지들은 상기 제1 그룹의 픽셀들에 속한 유기발광다이오드의 애노드와 일대일로 접속된 유기발광 표시패널.

#### 청구항 12

제 11 항에 있어서,

상기 제1 그룹의 픽셀들에 속한 제1 픽셀과 상기 제2 그룹의 픽셀들에 속한 제2 픽셀은 서로 동일한 색상을 표시하고,

상기 보조 브릿지들은 상기 제1 픽셀과 접속된 제1 보조 브릿지 및 상기 제2 픽셀과 인접한 제2 보조 브릿지를 포함하며,

상기 제1 픽셀이 불량일 경우,

상기 제1 픽셀과 접속된 상기 제1 브릿지 패턴 및 상기 제1 보조 브릿지와 중첩된 상기 제2 브릿지 패턴들은 각각 상기 제1 보조 브릿지와 웰딩되고,

상기 제2 보조 브릿지와 중첩된 상기 제2 브릿지 패턴은 상기 제2 보조 브릿지와 웰딩되는 유기발광 표시패널.

**청구항 13**

제 11 항에 있어서,  
 상기 픽셀들은 제1 색상을 표시하는 제1 그룹의 픽셀들, 제2 색상을 표시하는 제2 그룹의 픽셀들을 포함하고,  
 상기 제1 리페어 라인과 인접한 제2 리페어 라인을 더 포함하며,  
 상기 제1 브릿지 패턴들은, 상기 제1 및 제2 그룹의 픽셀들에 각각 일대일로 접속되고,  
 상기 보조 브릿지들은, 상기 제1 그룹의 제1 브릿지 패턴들과 일부 영역이 중첩되는 제1 그룹의 보조 브릿지들 및 상기 제2 그룹의 제1 브릿지 패턴들과 일부 영역이 중첩되는 제2 그룹의 보조 브릿지들을 포함하며,  
 상기 제2 브릿지 패턴들은, 상기 제1 리페어 라인에서 분기되어 상기 제1 그룹의 보조 브릿지들과 중첩되는 제1 그룹의 제2 브릿지 패턴들; 및 상기 제2 리페어 라인에서 분기되어 상기 제2 그룹의 보조 브릿지들과 중첩되는 제2 그룹의 제2 브릿지 패턴들을 포함하는 유기발광 표시패널.

**청구항 14**

행 방향으로 배치된 픽셀들;  
 상기 행 방향으로 배치된 제1 리페어 라인;  
 상기 제1 리페어 라인과 상기 픽셀들 사이에 배치되는 보조 브릿지들;  
 상기 픽셀들과 일대일로 접속되고, 인접한 상기 보조 브릿지들과 일부 영역이 중첩되는 제1 브릿지 패턴들;  
 상기 리페어 라인에서 분기되고, 각각이 상기 보조 브릿지들의 일부 영역과 일대일로 중첩되는 제2 브릿지 패턴들; 및  
 상기 픽셀들을 구동하는 구동회로부를 포함하는 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광 표시패널 및 이를 포함한 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광다이오드는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 제조 공정에서 불량 픽셀이 발생할 수 있으며, 불량 픽셀로 인한 수율이 저하되는 것을 개선하기 위한 다양한 방안들이 모색되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 표시품질을 저하시키지 않으면서 불량 픽셀을 개선할 수 있는 유기발광 표시패널 및 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

[0006] 또한, 본 발명은 불량이 발생한 위치에 상관없이 불량 픽셀을 리페어할 수 있는 유기발광 표시패널 및 이를 포함한 유기발광 표시장치를 제공하기 위한 것이다.

**과제의 해결 수단**

[0007] 본 발명에 의한 유기발광 표시패널은 행 방향으로 배치된 픽셀들, 리페어 라인, 보조 브릿지들, 제1 및 제2 브릿지 패턴들을 포함한다. 리페어 라인은 상기 행 방향으로 배치되고, 보조 브릿지들은 리페어 라인과 픽셀들 사이에 배치된다. 제1 브릿지 패턴들은 픽셀들과 일대일로 접속되고, 인접한 보조 브릿지들과 일부 영역이 중첩된다. 제2 브릿지 패턴들은 리페어 라인에서 열 방향으로 분기되고, 각각이 보조 브릿지들의 일부 영역과 일대일로 중첩된다.

**발명의 효과**

[0008] 본 발명은 불량 발생 픽셀에 인접하는 픽셀의 데이터전압을 인가함으로써, 불량 픽셀이 영상을 표시할 수 있도록 한다.

[0009] 본 발명은 리페어 라인을 이용하여 불량 픽셀과 바로 인접한 픽셀이 아닌, 동일 색상을 표시하는 픽셀의 데이터 전압을 기입함으로써 영상 표시품질을 높일 수 있다.

[0010] 특히, 본 발명은 리페어 라인을 이용하여 불량 픽셀과 동일한 행 방향에 배치된 픽셀의 데이터전압을 불량 픽셀에 기입함으로써, 비표시영역과 인접한 픽셀라인에 배치된 픽셀들 중에서 불량이 발생하여도 리페어를 수월하게 할 수 있다.

**도면의 간단한 설명**

- [0011] 도 1은 본 발명의 유기발광 표시장치를 나타내는 도면이다.
- 도 2는 픽셀을 나타내는 도면이다.
- 도 3은 제1 실시 예에 따른 픽셀 어레이를 나타내는 도면이다.
- 도 4는 도 3에 도시된 I-I'의 절취선을 따라 절단한 단면을 나타내는 도면이다.
- 도 5는 제1 실시 예에 따른 픽셀 어레이에서 불량 픽셀을 리페어하는 방법을 설명하는 도면이다.
- 도 6은 웰딩 공정 이후에, 도 3에 도시된 I-I'의 절취선을 따라 절단한 단면을 나타내는 도면이다.
- 도 7은 도 5에 도시된 제1 및 제5 픽셀들의 등가회로도이다.
- 도 8은 제2 실시 예에 따른 픽셀 어레이를 나타내는 도면이다.
- 도 9는 제3 실시 예에 따른 픽셀 어레이를 나타내는 도면이다.
- 도 10은 제3 실시 예에 따른 픽셀 어레이에서 불량 픽셀을 리페어하는 방법을 설명하는 도면이다.
- 도 11은 제4 실시 예에 따른 픽셀 어레이를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0013] 도 1은 유기발광 표시장치를 개략적으로 나타낸 블록도이다.

[0014] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀(P)들이 형성된 표시패널(DIS)과, 데이터 라인들(DL1~DLm)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(GL1~GLn)을 구동시키기 위한 게이트 구동회로(14)와, 데이터 구동회로(12) 및 게이트 구동회로(14)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(16)를 구비한다.

[0015] 표시패널(DIS)은 픽셀(P)들이 배치되어 영상을 표시하는 표시영역(AA) 및 영상 표시를 하지 않는 비표시영역(NAA)을 포함한다. 비표시영역(NAA)은 표시영역(AA) 외곽을 둘러싸며, 베젤(bezel)로 일컬어질 수 있다.

- [0016] 표시패널(DIS)의 표시영역(AA)에는 다수의 데이터라인들(DL1~DLm)과 다수의 게이트라인들(GL1~GLn)이 교차되고, 이 교차영역마다 픽셀(P)들이 매트릭스 형태로 배치된다. 각 픽셀라인들(HL1~HLn)은 동일한 행에 배치된 픽셀들을 포함한다. 이하, 본 명세서에서 도 1에 도시된 X방향을 행 방향, Y방향을 열 방향이라고 지칭하기로 한다. 표시영역(AA)에 배치된 픽셀(P)들이 mXn개일 때, 표시영역(AA)은 n개의 픽셀라인들을 포함한다.
- [0017] 제1 픽셀라인(HL1)에 배치된 픽셀(P)들은 제1 게이트라인(GL1)과 접속되고, 제n 픽셀라인(HLn)에 배치된 픽셀(P)들은 제n 게이트라인(GLn)과 접속된다. 게이트라인(GL1~GLn)들은 각각의 게이트신호들을 제공하는 다수의 라인들을 포함할 수 있다.
- [0018] 픽셀(P)들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들 각각은 픽셀 회로를 포함한다. 이하에서 픽셀은 서브 픽셀과 같은 의미로 해석될 수 있다.
- [0019] 픽셀(P)들은 도시하지 않은 전원발생부로부터 고전위/저전위 구동전압(EVDD, EVSS)을 공통으로 공급받을 수 있다.
- [0020] 픽셀(P)들을 구성하는 트랜지스터들은 산화물 반도체층을 포함한 산화물 트랜지스터로 구현될 수 있다. 산화물 트랜지스터는 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(DIS)의 대면적화에 유리하다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 아몰포스 실리콘 또는, 폴리 실리콘 등으로 형성할 수도 있다.
- [0021] 타이밍 컨트롤러(16)는 호스트(19)로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(DIS)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(16)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호와, 게이트 구동회로(14)의 동작 타이밍을 제어하기 위한 클럭신호(MCLK)를 생성한다.
- [0022] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.
- [0023] 게이트 구동회로(14)는 클럭신호(MCLK)를 기반으로 게이트신호들을 생성할 수 있다. 이러한 게이트 구동회로(14)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(DIS)의 비 표시영역 상에 직접 형성될 수 있다.
- [0024] 도 2는 픽셀의 일례를 나타내는 도면이다.
- [0025] 도 2를 참조하면, 픽셀(P)은 회로부(CA) 및 발광부(EA)를 포함한다.
- [0026] 회로부(CA)는 구동 트랜지스터(DT), 스토리지 커패시터(Cst), 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 구비할 수 있다. 구동 트랜지스터(DT)는 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 흐르는 구동전류를 제어한다. 구동 트랜지스터(DT)는 제1 노드(N1)에 접속된 게이트전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인전극, 및 제2 노드(N2)에 접속된 소스전극을 포함한다. 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속된다. 제1 트랜지스터(T1)는 스캔신호(SCAN)의 입력단에 연결되는 게이트전극, 데이터라인(DL)에 연결되는 드레인전극, 및 제1 노드(N1)에 연결되는 소스전극을 포함한다. 제2 트랜지스터(T2)는 센스신호(SENSE)의 입력단에 연결되는 게이트전극, 제2 노드(N2)에 연결되는 드레인전극, 및 기준전압라인(REFL)에 연결되는 소스전극을 포함한다.
- [0027] 발광부(EA)는 유기발광다이오드(OLED)가 발광하는 휘도에 따라 영상을 표시한다. 유기발광다이오드(OLED)는 제2 노드(N2)에 접속된 애노드와, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드와, 애노드와 캐소드 사이에 위치하는 유기화합물층을 포함한다.
- [0028] 도 2에 도시된 픽셀은 제2 노드(N2)의 전압을 센싱 전압으로 획득하고, 획득된 센싱 전압을 바탕으로 구동 특성을 보상하는 외부 보상 방식에 적용되는 회로를 도시하고 있다. 본 발명에 의한 픽셀의 회로부는 도 2에 도시된 실시 예에 한정되지 않는다. 예컨대, 픽셀은 유기발광 다이오드에 흐르는 전류가 구동 트랜지스터의 문턱전압 영향을 받지 않도록 픽셀 내부에서 자동으로 보상하는 내부 보상 방식에 적용되는 픽셀로 구성될 수도 있다.
- [0029] 도 3은 제1 실시 예에 따른 리페어 구조를 나타내는 도면이다.
- [0030] 도 3을 참조하면, 제1 실시 예는 제1 픽셀라인(HL1)과 인접하고, 비표시영역(NAA)에 배치된 리페어부(CON)를 포

함한다.

- [0031] 리페어부(CON)는 리페어 라인(RL) 및 연결부를 포함한다.
- [0032] 리페어 라인(RL)은 표시패널(DIS)의 비표시영역(NAA)에서 행 방향을 따라 배치된다. 연결부는 리페어 라인(RL)과 픽셀(P)의 발광부(EA) 사이에 배치되고, 불량이 발생한 픽셀(P)을 정상적인 픽셀(P)과 연결시키는 전류 패스를 형성한다. 연결부는 보조 브릿지들(SBR1~SBR8)들, 제1 브릿지 패턴(BR1)들 및 제2 브릿지 패턴(BR2)들을 포함한다.
- [0033] 보조 브릿지들(SBR1~SBR8) 각각은 리페어 라인(RL)과 픽셀(P)들 사이에 배치된다. 예컨대, 제1 보조 브릿지(SBR1)는 제1 픽셀(P1)과 리페어 라인(RL) 사이에 배치되고, 제2 보조 브릿지(SBR2)는 제2 픽셀(P)과 리페어 라인(RL) 사이에 배치된다. 보조 브릿지들(SBR1~SBR8)은 서로 전기적으로 연결되지 않는다.
- [0034] 제1 브릿지 패턴(BR1)들 각각은 픽셀의 유기발광다이오드(OLED)의 애노드(N2)와 전기적으로 연결되고, 보조 브릿지들(SBR1~SBR8) 중에서 인접한 보조 브릿지와 적어도 일부 영역이 중첩된다. 예컨대, 제3 픽셀(P)의 제1 브릿지 패턴(BR1)은 평면상에서 제3 보조 브릿지(SBR3)와 일부 영역이 중첩된다.
- [0035] 제2 브릿지 패턴(BR2)들 각각은 리페어 라인(RL)에서 분기되고, 보조 브릿지들(SBR1~SBR8) 중에서 인접한 보조 브릿지와 적어도 일부 영역이 중첩된다. 예컨대, 제3 픽셀(P)과 인접한 제2 브릿지 패턴(BR2)는 평면상에서 제3 보조 브릿지(SBR3)와 일부 영역이 중첩된다. 제2 브릿지 패턴(BR2)들은 도 3에서와 같이 리페어 라인(RL)에서 분기되는 형태일 수 있다. 또는 제2 브릿지 패턴(BR2)들은 리페어 라인(RL)과는 별도로 형성된 상태에서 컨택홀 또는 기타 전기적 연결 수단을 통해서 리페어 라인(RL)과 접속될 수 있다.
- [0036] 도 4는 도 3에 도시된 'I-I' 를 절취한 단면을 나타내는 도면이다.
- [0037] 도 4를 참조하여, 리페어 라인(RL)과 픽셀(P)들 간의 단면 구조를 살펴보면 다음과 같다.
- [0038] 기관(SUB) 상에는 버퍼층(BUF)이 배치된다. 기관(SUB)은 유리(glass) 또는 플라스틱(plastic) 재질로 이루어질 수 있다. 예를 들어, 기관(SUB)은 PI(Polyimide), PET(polyethylene terephthalate), PEN(polyethylene naphthalate), PC(polycarbonate) 등의 플라스틱 재질로 형성되어, 유연한(flexible) 특성을 가질 수 있다. 버퍼층(BUF)은 기관(SUB)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 한다.
- [0039] 버퍼층(BUF) 상에는 층간 절연막(ILD)이 배치된다. 층간 절연막(ILD)은 실리콘 산화막(SiOx)으로 이루어질 수 있다.
- [0040] 층간 절연막(ILD) 상에는 보조 브릿지(SBR3)가 배치된다. 보조 브릿지(SBR3)은 회로부(CA)의 트랜지스터를 구성하는 소스/드레인 금속층 또는 게이트 금속층을 이용하여 형성될 수 있다. 즉, 보조 브릿지(SBR3)는 소스/드레인 금속층에 이용되는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또는 보조 브릿지(SBR3)는 게이트 금속층에 이용되는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 층간 절연막(ILD) 상에는 보조 브릿지(SBR3)를 덮도록 패시베이션막(PAS)이 배치된다. 패시베이션막(PAS)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다층으로 이루어질 수 있다.
- [0041] 패시베이션막(PAS) 상에는 평탄화막(OC)이 위치한다. 평탄화막(OC)은 보조 브릿지(SBR3)가 배치된 영역 이외에 위치할 수 있다. 평탄화막(OC)은 하부의 단차를 평탄화하여 기관(SUB)의 단차를 보상하는 것으로, 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene resin), 아크릴레이트계 수지(acrylate) 등의 유기물로 이루어질 수 있다.
- [0042] 제1 브릿지 패턴(BR1)은 비표시영역(NAA) 내에서 평탄화막(OC) 상에 배치된다. 제2 브릿지 패턴(BR2)은 평탄화막(OC) 및 패시베이션막(PAS) 상에 배치된다. 제1 및 제2 브릿지 패턴들(BR1, BR2)은 유기발광다이오드(OLED)의 애노드와 동일한 금속층, 예컨대 인듐-틴-옥사이드(Indium Tin Oxide; ITO)를 이용하여 형성할 수 있다. 또한, 앞서 설명한 바와 같이, 리페어 라인(RL)은 제2 브릿지 패턴(BR2)과 동일한 물질, 즉 인듐-틴-옥사이드(Indium Tin Oxide; ITO)를 이용하여 형성할 수 있다.
- [0043] 제1 및 제2 브릿지 패턴(BR1, BR2)이 형성된 기관(SUB) 상에 बैं크층(BN)이 위치한다. बैं크층(BN)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물

로 이루어질 수 있다.

- [0044] 도 5는 제1 실시 예에 의한 어레이 구조를 리페어하는 방법을 설명하는 도면이다. 도 6은 리페어 이후에 I-I'의 절단면을 나타내는 도면이다.
- [0045] 이하, 도 5 및 도 6을 참조하여, 제1 픽셀의 회로부에 불량이 발생하였을 때에 리페어 과정을 살펴보면 다음과 같다.
- [0046] 먼저, 제1 픽셀(P1)의 발광부(EA)를 리페어 라인(RL)과 전기적으로 연결시킨다. 이를 위해서, 제1 픽셀(P1)의 제1 브릿지 패턴(BR1)과 제1 보조 브릿지(SBR1)를 전기적으로 연결시키고, 제1 보조 브릿지(SBR1) 및 이와 중첩되는 제2 브릿지 패턴(BR2)을 전기적으로 연결시킨다. 이러한 과정은 레이저 웰딩(welding) 등의 공정을 이용할 수 있다.
- [0047] 그리고 제5 픽셀(P5)의 발광부(EA)를 리페어 라인(RL)과 전기적으로 연결시킨다. 이를 위해서, 제5 픽셀(P5)의 제1 브릿지 패턴(BR1)과 제5 보조 브릿지(SBR5)를 전기적으로 연결시키고, 제5 보조 브릿지(SBR5) 및 이와 중첩되는 제2 브릿지 패턴(BR2)을 전기적으로 연결시킨다. 제5 픽셀(P5)의 발광부(EA)를 리페어 라인(RL)과 전기적으로 연결시키는 과정은 레이저 웰딩(welding) 등의 공정을 이용할 수 있다.
- [0048] 제1 픽셀(P1)의 회로부(CA)에서 발생하는 전기적인 영향이 제1 픽셀(P1)의 발광부(EA)에 전달되는 것을 방지하기 위해서, 제1 픽셀(P1)의 회로부(CA)와 발광부(EA) 간을 전기적으로 오픈(단락)시킨다. 유기발광다이오드(OLED)의 애노드와 구동 트랜지스터(DT)의 소스전극이 접속되는 제2 노드(N2)를 절단함으로써, 제1 픽셀(P1)의 회로부(CA)와 발광부(EA) 간을 전기적으로 오픈시킬 수 있다.
- [0049] 도 7은 도 5에 도시된 제1 픽셀 및 제5 픽셀의 등가회로를 나타내는 도면이다.
- [0050] 불량이 발생하지 않은 상태일 경우에, 제1 픽셀(P1)은 데이터라인(DL)을 통해서 제공받는 제1 데이터전압(Vdata1)을 바탕으로 휘도를 표시하고, 제5 픽셀(P5)은 데이터라인(DL)을 통해서 제공받는 제5 데이터전압(Vdata5)을 바탕으로 휘도를 표시한다.
- [0051] 도 5와 같은 리페어 과정에 의해서, 제1 픽셀(P1)의 유기발광다이오드(OLED)는 회로부(CA)와 전기적으로 오픈되고, 제1 픽셀(P1)의 제2 노드(N2)는 제5 픽셀(P5)의 제2 노드(N2)와 접속된다. 이에 따라, 제1 픽셀(P1)의 유기발광다이오드(OLED)는 제5 픽셀(P5)과 동일하게 제5 데이터전압(Vdata5)을 바탕으로 휘도를 표시한다.
- [0052] 도 5 내지 도 7에서 제1 픽셀(P1)의 유기발광다이오드(OLED)를 제5 픽셀(P5)의 제2 노드(N2)와 접속시키는 이유는 제1 픽셀(P1)과 가장 인접한 동일한 색상의 픽셀이 제5 픽셀(P5)이기 때문이다.
- [0053] 동일한 색상을 표시하는 인접한 픽셀들은 동일하거나 매우 유사한 데이터전압으로 휘도를 표시할 가능성이 크기 때문이다.
- [0054] 따라서, R,G,B 픽셀들이 순차적으로 배치되는 표시패널에서 제1 픽셀의 불량이 발생하면, 제1 픽셀은 제4 픽셀과 전기적으로 접속될 수 있다.
- [0055] 또한 도 5 및 도 6에서 제1 픽셀(P1)과 제5 픽셀(P5)을 접속시키는 것으로 도시하였지만 제1 픽셀(P1)은 좀더 떨어진 제9 픽셀(P9)과 접속될 수 있다.
- [0056] 그리고 불량이 제1 픽셀(P1)과 제5 픽셀(P5)에 발생할 경우, 제1 픽셀(P1) 및 제5 픽셀(P5)의 회로부(CA)를 오픈시킨 후 위에서 언급한 리페어 공정을 통해 제1 픽셀(P1)의 발광부(EA), 제5 픽셀(P5)의 발광부(EA) 및 제9 픽셀(P9)의 발광부(EA)를 리페어 라인(RL)과 전기적으로 연결시키게 되면 제1 픽셀(P1) 및 제5 픽셀(P5)의 유기발광다이오드(OLED)는 제9 픽셀(P9)과 동일한 휘도를 표시하게 된다.
- [0057] 즉, 본 발명의 실시예에 따른 리페어 구조는 불량이 발생한 픽셀과 동일한 색을 발광하는 픽셀을 서로 연결시키는 것을 특징으로 한다.
- [0058] 상술한 바와 같이, 제1 실시 예는 불량이 발생한 픽셀에 동일 색상의 데이터전압을 인가하기 때문에, 영상 품질을 저하시키지 않으면서 불량 픽셀을 발광시킬 수 있다.
- [0059] 만약 불량 픽셀을 리페어하는 과정에서, 불량 픽셀과 전기적으로 연결되는 픽셀들이 열 방향에 배치된 픽셀들로 한정되면 제1 픽셀라인(HL1)에 배치된 픽셀들 또는 제n 픽셀라인(HLn)에 배치된 픽셀들은 리페어가 불가능하다. 이에 반해서, 제1 실시 예는 리페어부(CON)를 이용하여 동일한 픽셀라인에 배치된 픽셀들을 전기적으로 연결시키기 때문에, 표시영역(AA)의 최외각에 배치한 픽셀들도 리페어할 수 있다.

- [0060] 도 8은 제2 실시 예에 따른 픽셀 어레이를 나타내는 도면이다. 도 8에서 도 5에 도시된 제1 실시 예와 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0061] 도 8을 참조하면, 제2 실시 예에 따른 픽셀 어레이는 제1 내지 제4 리페어 라인들(RL1~RL4), 제1 내지 제4 그룹의 보조 브릿지들, 제1 브릿지 패턴(BR1)들 및 제2 브릿지 패턴(BR2)들로 이루어지는 리페어부(CON)를 포함한다.
- [0062] 제1 내지 제4 리페어 라인들(RL1~RL4)은 비표시 영역(NAA)에 배치된다.
- [0063] 제1 그룹의 보조 브릿지들(SBR1, SBR5)은 각각 R색상을 표시하는 픽셀들과 일대일로 대응된다. 제2 그룹의 보조 브릿지들(SBR2, SBR6)은 각각 W색상을 표시하는 픽셀들과 일대일로 대응된다. 제3 그룹의 보조 브릿지들(SBR3, SBR7)은 각각 B색상을 표시하는 픽셀들과 일대일로 대응된다. 제4 그룹의 보조 브릿지들(SBR4, SBR8)은 각각 G색상을 표시하는 픽셀들과 일대일로 대응된다.
- [0064] 제1 브릿지 패턴들(BR1)은 각각 픽셀들과 접촉하고, 보조 브릿지들(SBR1~SBR8)과 일대일로 접촉한다.
- [0065] 제2 브릿지 패턴들(BR2\_1, BR2\_2, BR2\_3, BR2\_4)은 제1 내지 제4 그룹의 제2 브릿지 패턴(BR2\_1, BR2\_2, BR2\_3, BR2\_4)들을 포함한다. 제1 그룹의 제2 브릿지 패턴(BR2\_1)들은 제1 리페어 라인에서 분기되어 제1 그룹의 보조 브릿지들(SBR1, SBR5)과 일부 영역이 중첩된다. 제2 그룹의 제2 브릿지 패턴(BR2\_2)들은 제2 리페어 라인에서 분기되어 제2 그룹의 보조 브릿지들(SBR2, SBR6)과 일부 영역이 중첩된다. 제3 그룹의 제2 브릿지 패턴(BR2\_3)들은 제3 리페어 라인에서 분기되어 제3 그룹의 보조 브릿지들(SBR3, SBR7)과 일부 영역이 중첩된다. 제4 그룹의 제2 브릿지 패턴(BR2\_4)들은 제4 리페어 라인에서 분기되어 제4 그룹의 보조 브릿지들(SBR4, SBR8)과 일부 영역이 중첩된다.
- [0066] 제2 실시 예는, R색상의 픽셀들 중에서 불량 픽셀이 발생할 경우에 제1 리페어 라인(RL1)을 이용하여 불량 픽셀과 인접한 R색상의 픽셀들을 전기적으로 연결한다. 이와 유사하게, W색상의 픽셀들 중에서 불량 픽셀이 발생할 경우에는 제2 리페어 라인(RL2)을 이용하여 리페어한다. 마찬가지로, B색상의 픽셀들 중에서 불량 픽셀이 발생할 경우에는 제3 리페어 라인(RL3)을 이용하여 리페어하고, G색상의 픽셀들 중에서 불량 픽셀이 발생할 경우에는 제4 리페어 라인(RL4)을 이용하여 리페어한다.
- [0067] 제2 실시 예의 리페어부(CON)는 각각의 색상들을 리페어하기 위한 리페어 라인들을 구분한다. 그 결과, 불량 픽셀이 하나 이상, 특히 다른 색상을 표시하는 픽셀들에서 불량이 발생하여도, 불량 픽셀들에 서로 다른 색상의 데이터전압이 혼합되지 않기 때문에 영상의 표시품질을 높이면서 불량 픽셀을 리페어할 수 있다.
- [0068] 도 9는 제3 실시 예에 의한 어레이 구조를 나타내는 도면이다.
- [0069] 도 9를 참조하면, 각각의 픽셀라인에는 리페어부(CON)가 배치된다. 예컨대, 제1 픽셀라인(HL1)은 행 방향으로 배치되는 제1 그룹의 픽셀들(P(1,1), P(1,2), P(1,3), P(1,4), P(1,5), P(1,6), P(1,7), P(1,8)) 및 제1 리페어부(CON1)을 포함하고, 제2 픽셀라인(HL2)은 행 방향으로 배치되는 제2 그룹의 픽셀들(P(2,1), P(2,2), P(2,3), P(2,4), P(2,5), P(2,6), P(2,7), P(2,8)) 및 제2 리페어부(CON2)을 포함한다.
- [0070] 제1 리페어부(CON1)는 제1 리페어 라인(RL1) 및 연결부를 포함한다.
- [0071] 제1 리페어 라인(RL1)은 제1 그룹의 픽셀들(P(1,1), P(1,2), P(1,3), P(1,4), P(1,5), P(1,6), P(1,7), P(1,8))의 하부에서 행 방향을 따라 배치된다.
- [0072] 연결부는 불량이가 발생한 픽셀(P)을 정상적인 픽셀(P)과 연결시키는 전류 패스를 형성한다. 연결부는 보조 브릿지(SBR1~SBR8)들, 제1 브릿지 패턴(BR1)들, 제2 브릿지 패턴(BR2)들을 포함한다.
- [0073] 보조 브릿지들(SBR1~SBR8) 각각은 제1 그룹의 픽셀들(P(1,1), P(1,2), P(1,3), P(1,4), P(1,5), P(1,6), P(1,7), P(1,8))과 제2 그룹의 픽셀들(P(2,1), P(2,2), P(2,3), P(2,4), P(2,5), P(2,6), P(2,7), P(2,8)) 사이에 배치되고, 제1 그룹의 픽셀들(P(1,1), P(1,2), P(1,3), P(1,4), P(1,5), P(1,6), P(1,7), P(1,8))에 일대일로 전기적으로 접속된다. 예컨대, 제1 보조 브릿지(SBR1)는 P(1,1) 픽셀과 P(2,1) 픽셀 사이에 배치되고, P(1,1) 픽셀과 접속된다. 제2 보조 브릿지(SBR2)는 P(1,2) 픽셀과 P(2,2) 픽셀 사이에 배치되고, P(1,2) 픽셀에 접속된다. 보조 브릿지들(SBR1~SBR8)이 픽셀들과 접속되는 노드는 유기발광다이오드(OLED)의 애노드(N2)일 수 있다. 보조 브릿지들(SBR1~SBR8)은 서로 전기적으로 연결되지 않는다.
- [0074] 제1 브릿지 패턴(BR1)들 각각은 제2 그룹의 픽셀들(P(2,1), P(2,2), P(2,3), P(2,4), P(2,5), P(2,6), P(2,7), P(2,8))의 발광부(EA)와 전기적으로 연결되고, 인접한 보조 브릿지와 적어도 일부 영역이 중첩된다. 예컨대,

P(2,1) 픽셀과 접속된 제1 브릿지 패턴(BR1)는 평면상에서 제1 보조 브릿지(SBR1)와 일부 영역이 중첩된다. P(2,2) 픽셀과 접속된 제1 브릿지 패턴(BR1)는 평면상에서 제2 보조 브릿지(SBR2)와 일부 영역이 중첩된다. 제1 브릿지 패턴(BR1)들이 픽셀들의 발광부(EA)와 접속되는 노드는 구체적으로 유기발광다이오드(OLED)의 애노드(N2)일 수 있다.

- [0075] 제2 브릿지 패턴(BR2)들 각각은 제1 리페어 라인(RL1)에서 분기되고, 인접한 보조 브릿지와 적어도 일부 영역이 중첩된다. 예컨대, P(2,1) 픽셀과 인접한 제2 브릿지 패턴(BR2)는 평면상에서 제1 보조 브릿지(SBR1)와 일부 영역이 중첩되고, P(2,2) 픽셀과 인접한 제2 브릿지 패턴(BR2)는 평면상에서 제2 보조 브릿지(SBR2)와 일부 영역이 중첩된다. 제2 브릿지 패턴(BR2)들은 리페어 라인(RL)과 동일한 금속층을 이용하여 형성될 수 있고, 리페어 라인(RL)에서 분기되는 형태일 수 있다.
- [0076] 제2 그룹의 픽셀들(P(2,1), P(2,2), P(2,3), P(2,4), P(2,5), P(2,6), P(2,7), P(2,8))과 도시하지 않은 제3 그룹의 픽셀들 사이에 배치되는 제2 리페어부(CON2)는 제1 리페어부(CON1)과 동일한 패턴으로 형성될 수 있다.
- [0077] 도 10은 제3 실시 예에 따른 어레이 구조에서 서로 다른 픽셀라인에 배치된 픽셀을 이용하여 리페어하는 과정을 설명하는 도면이다. 도 10에서 리페어부의 도면부호는 도 9에 도시된 것과 동일하다. 도 10은 P(2,5) 픽셀의 회로부가 불량인 경우를 나타내고 있다.
- [0078] 도 9 및 도 10을 참조하면, P(1,1) 픽셀의 제2 노드(N2)를 리페어 라인(RL)과 전기적으로 연결시킨다. 이를 위해서, 제1 보조 브릿지(SBR1) 및 이와 중첩되는 제2 브릿지 패턴(BR2)을 전기적으로 연결시킨다. 제1 보조 브릿지(SBR1)와 제2 브릿지 패턴(BR2)을 전기적으로 연결시키는 과정은 레이저 웰딩(welding) 등의 공정을 이용할 수 있다.
- [0079] 그리고 P(2,5) 픽셀의 제2 노드(N2)를 리페어 라인(RL)과 전기적으로 연결시킨다. 이를 위해서, 제5 보조 브릿지(SBR5) 및 이와 중첩되는 제2 브릿지 패턴(BR2)을 전기적으로 연결시키고, 제5 보조 브릿지(SBR5) 및 P(2,5) 픽셀과 접속되는 제1 브릿지 패턴(BR1)을 전기적으로 연결시킨다. 제5 보조 브릿지(SBR5)와 제2 브릿지 패턴(BR2)을 전기적으로 연결시키는 과정 및 제5 보조 브릿지(SBR5)와 제1 브릿지 패턴(BR1)을 전기적으로 연결시키는 과정은 레이저 웰딩(welding) 등의 공정을 이용할 수 있다.
- [0080] P(2,5) 픽셀의 회로부(CA)에서 발생하는 전기적인 영향이 제2 픽셀(P2)의 발광부(EA)에 전달되는 것을 방지하기 위해서, P(2,5) 픽셀의 회로부(CA)와 발광부(EA) 간을 전기적으로 오픈시킨다. 유기발광다이오드(OLED)의 애노드와 구동 트랜지스터(DT)의 소스전극이 접속되는 제2 노드(N2)를 절단함으로써, P(2,5) 픽셀의 회로부(CA)와 발광부(EA) 간을 전기적으로 오픈시킬 수 있다.
- [0081] 제3 실시 예는 표시영역(AA) 내에서 한 개의 픽셀라인에 하나 이상의 픽셀에 불량이 발생하여도 표시품질을 저하시키지 않으면서 불량 픽셀을 리페어할 수 있다.
- [0082] 도 10은 P(1,1) 픽셀의 회로부(CA)와 불량 픽셀인 P(2,5) 픽셀의 발광부(EA)를 연결한 예를 도시하고 있다. 불량 픽셀을 리페어하기 위해서 불량 픽셀과 연결되는 정상 픽셀은 가장 인접한 픽셀이 아닐 수 있다. 예컨대, P(2,5) 픽셀 및 P(2,9) 픽셀이 불량일 경우에, 불량 픽셀인 P(2,5) 픽셀 및 P(2,9) 픽셀들 각각의 회로부(CA)를 오픈시킨 후, 리페어 공정을 통해서 P(1,1) 픽셀의 회로부(CA)와 P(2,5) 픽셀 및 P(2,9) 픽셀들 각각의 발광부(EA)를 리페어 라인(RL)과 연결시킬 수 있다. 그 결과 P(2,5) 픽셀 및 P(2,9) 픽셀들의 유기발광 다이오드(OLED)는 P(1,1) 픽셀과 동일한 휘도를 표시한다.
- [0083] 도 11은 제4 실시 예에 따른 픽셀 어레이를 나타내는 도면이다. 제4 실시 예에서 전술한 실시 예들과 실질적으로 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0084] 도 11을 참조하면, 제4 실시 예에 따른 픽셀 어레이는 제1 픽셀라인(HL1)에 배치된 제1 리페어부(CON1) 및 제2 픽셀라인(HL2)에 배치된 제2 리페어부(CON2)를 포함한다.
- [0085] 제1 리페어부(CON1)는 제1 리페어 라인(RL1) 및 연결부를 포함한다.
- [0086] 제1 리페어 라인(RL1)은 제1 그룹의 픽셀들(P(1,1), P(1,2), P(1,3), P(1,4), P(1,5), P(1,6), P(1,7), P(1,8))의 하부에서 행 방향을 따라 배치된다.
- [0087] 연결부는 불량이 발생한 픽셀(P)을 정상적인 픽셀(P)과 연결시키는 전류 패스를 형성한다. 연결부는 보조 브릿지(SBR1~SBR8)들, 제1 브릿지 패턴(BR1)들, 제2 브릿지 패턴(BR2)들을 포함한다.
- [0088] 제1 그룹의 보조 브릿지들(SBR1, SBR5)은 각각 R색상을 표시하는 픽셀들과 일대일로 대응된다. 제2 그룹의 보조

브릿지들(SBR2, SBR6)은 각각 W색상을 표시하는 픽셀들과 일대일로 대응된다. 제3 그룹의 보조 브릿지들(SBR3, SBR7)은 각각 B색상을 표시하는 픽셀들과 일대일로 대응된다. 제4 그룹의 보조 브릿지들(SBR4, SBR8)은 각각 G색상을 표시하는 픽셀들과 일대일로 대응된다.

[0089] 제1 브릿지 패턴들(BR1)은 각각 픽셀들과 접촉하고, 보조 브릿지들(SBR1~SBR8)과 일대일로 접촉한다.

[0090] 제2 브릿지 패턴들(BR2\_1, BR2\_2, BR2\_3, BR2\_4)은 제1 내지 제4 그룹의 제2 브릿지 패턴(BR2\_1, BR2\_2, BR2\_3, BR2\_4)들을 포함한다. 제1 그룹의 제2 브릿지 패턴(BR2\_1)들은 제1 리페어 라인에서 분기되어 제1 그룹의 보조 브릿지들(SBR1, SBR5)과 중첩된다. 제2 그룹의 제2 브릿지 패턴(BR2\_2)들은 제2 리페어 라인에서 분기되어 제2 그룹의 보조 브릿지들(SBR2, SBR6)과 중첩된다. 제3 그룹의 제2 브릿지 패턴(BR2\_3)들은 제3 리페어 라인에서 분기되어 제3 그룹의 보조 브릿지들(SBR3, SBR7)과 중첩된다. 제4 그룹의 제2 브릿지 패턴(BR2\_4)들은 제4 리페어 라인에서 분기되어 제4 그룹의 보조 브릿지들(SBR4, SBR8)과 중첩된다.

[0091] 제4 실시 예는, 모든 픽셀라인에 배치된 픽셀들 각각의 색상별로 불량 화소를 리페어할 수 있다.

[0092] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

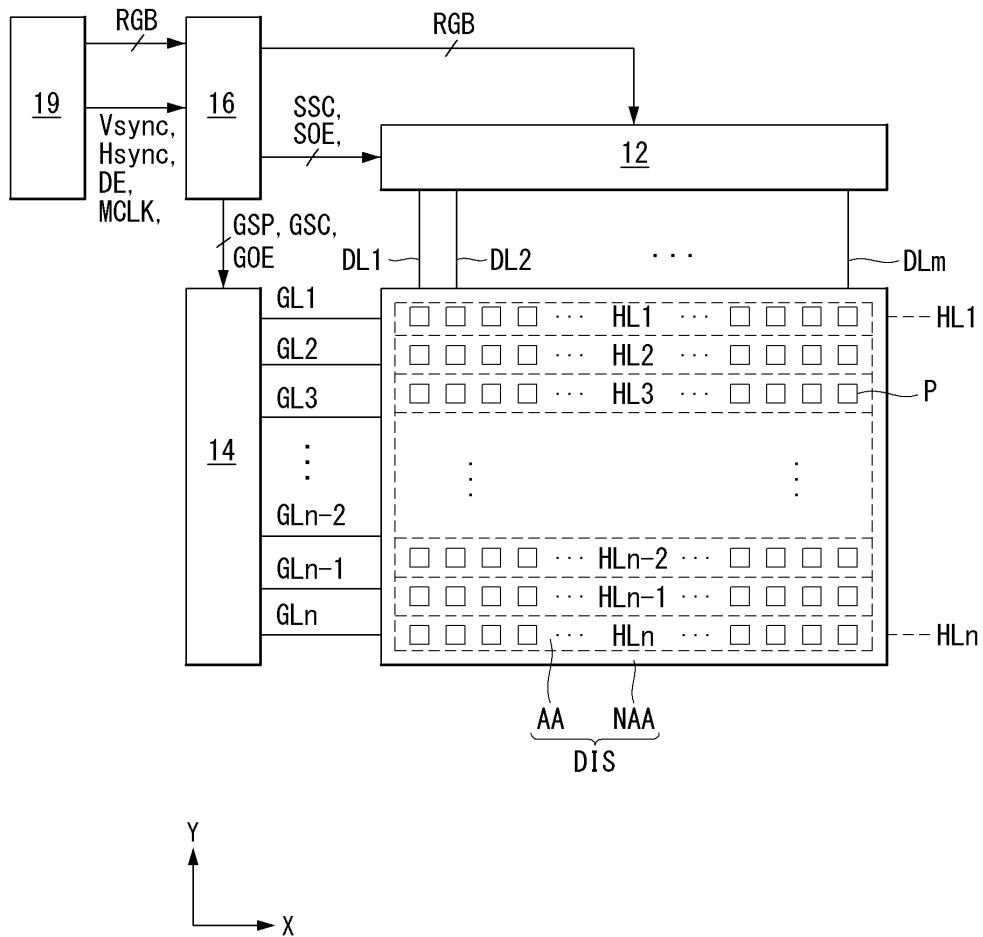
**부호의 설명**

- [0093] 12: 데이터 구동회로    14: 게이트 구동회로
- 16: 타이밍 콘트롤러    19: 호스트
- DIS: 표시패널    DL: 데이터라인
- GL: 게이트라인    CA: 회로부
- EA: 발광부    BR1, BR2: 브릿지 패턴
- SBR: 보조 브릿지    RL: 리페어 라인
- CON: 리페어부

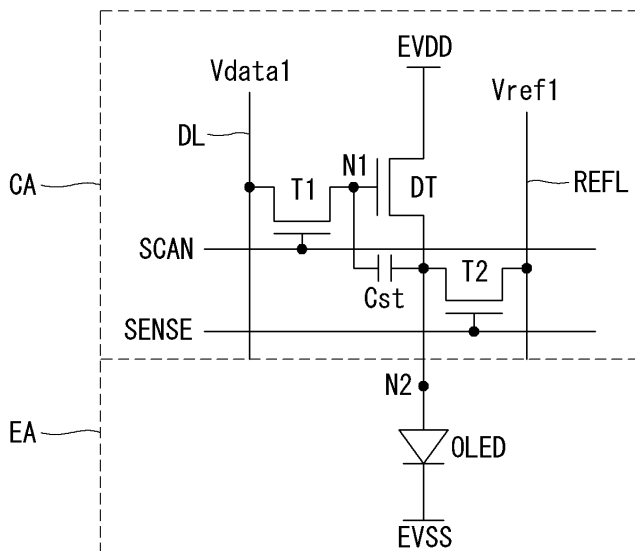
도면

도면1

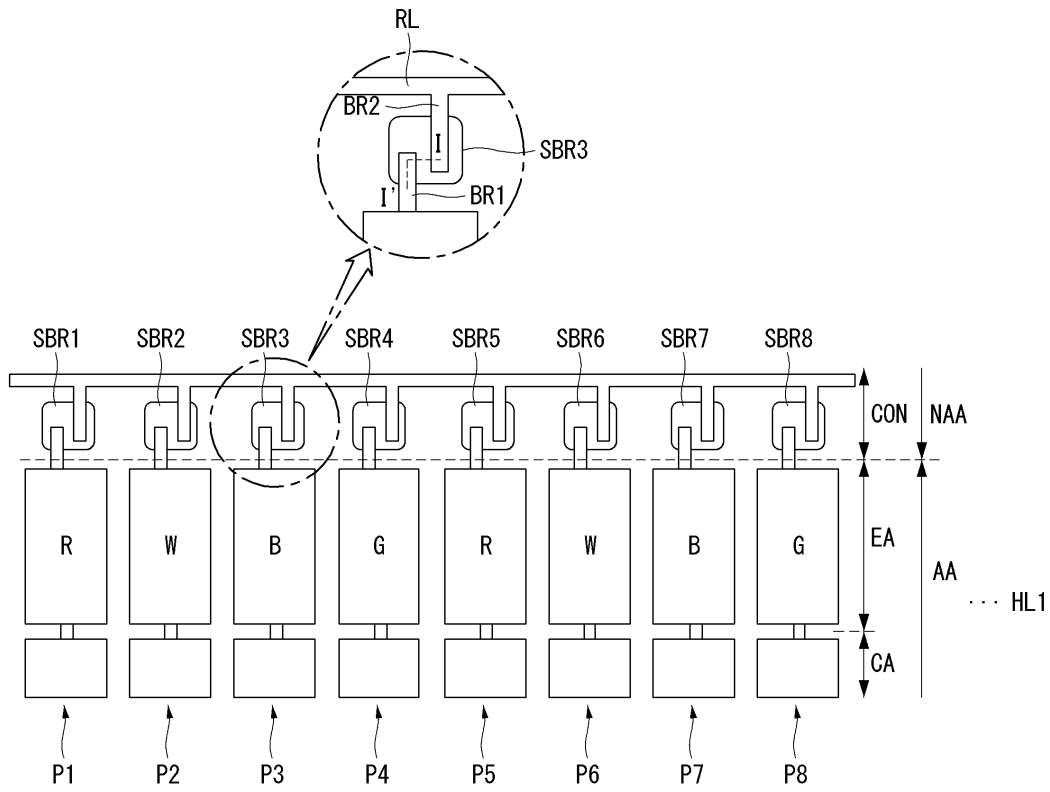
10



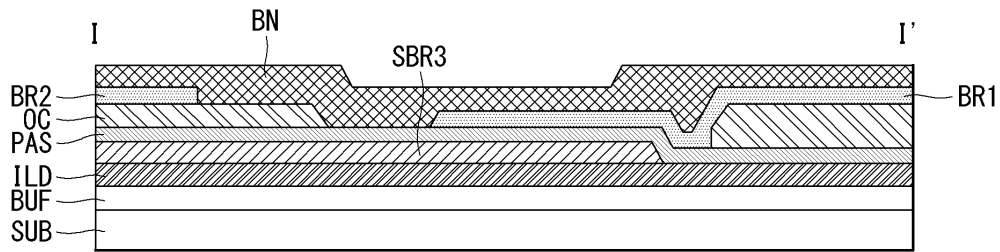
도면2



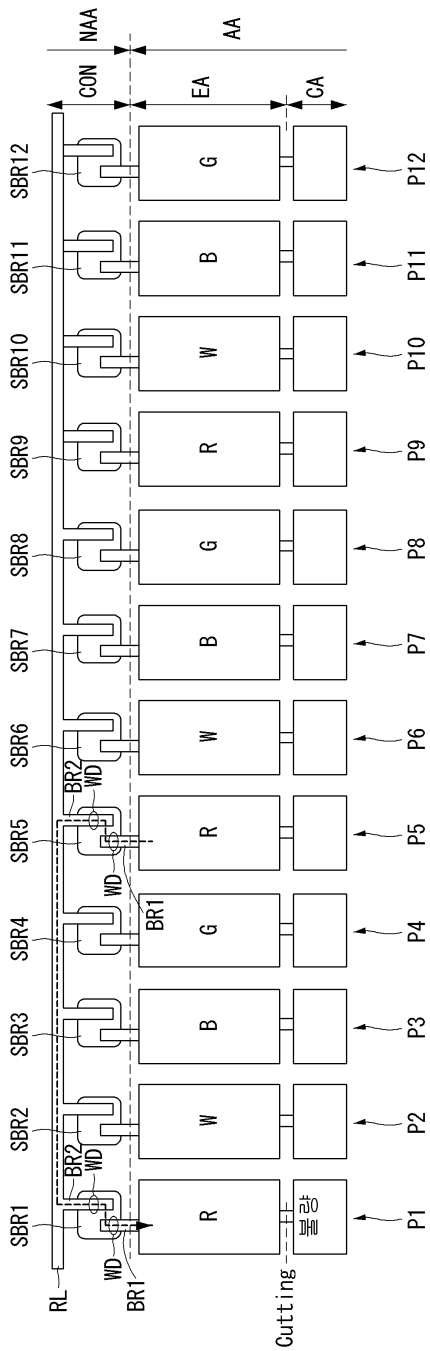
도면3



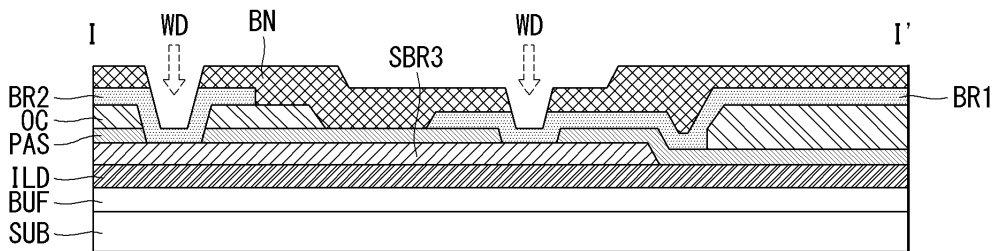
도면4



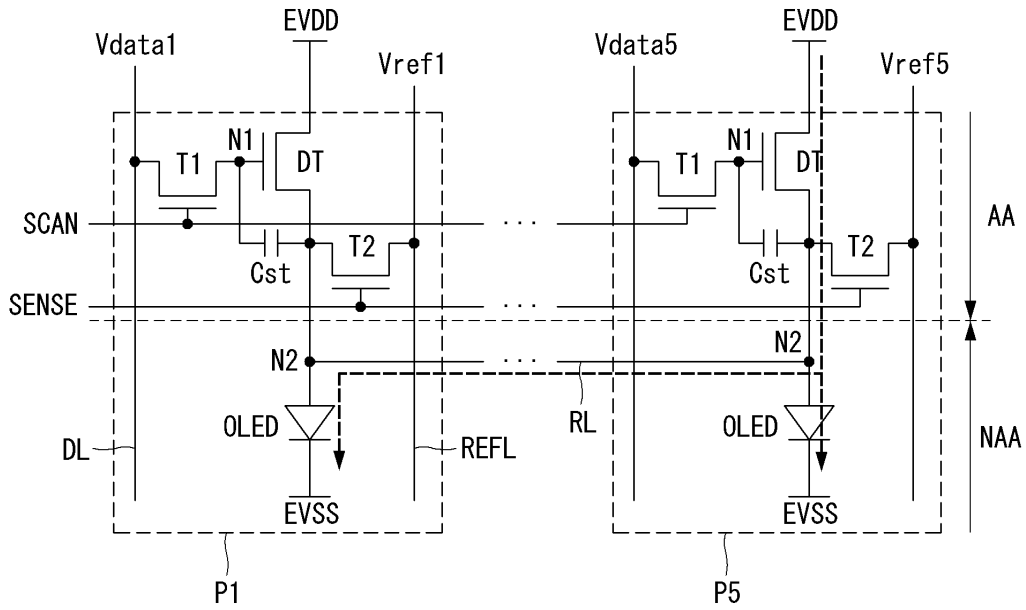
도면5



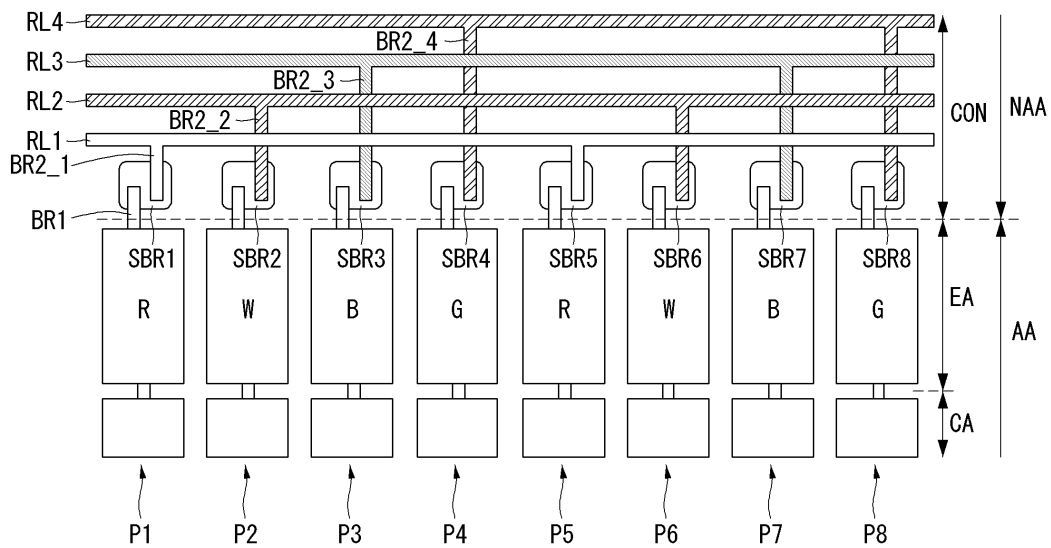
도면6



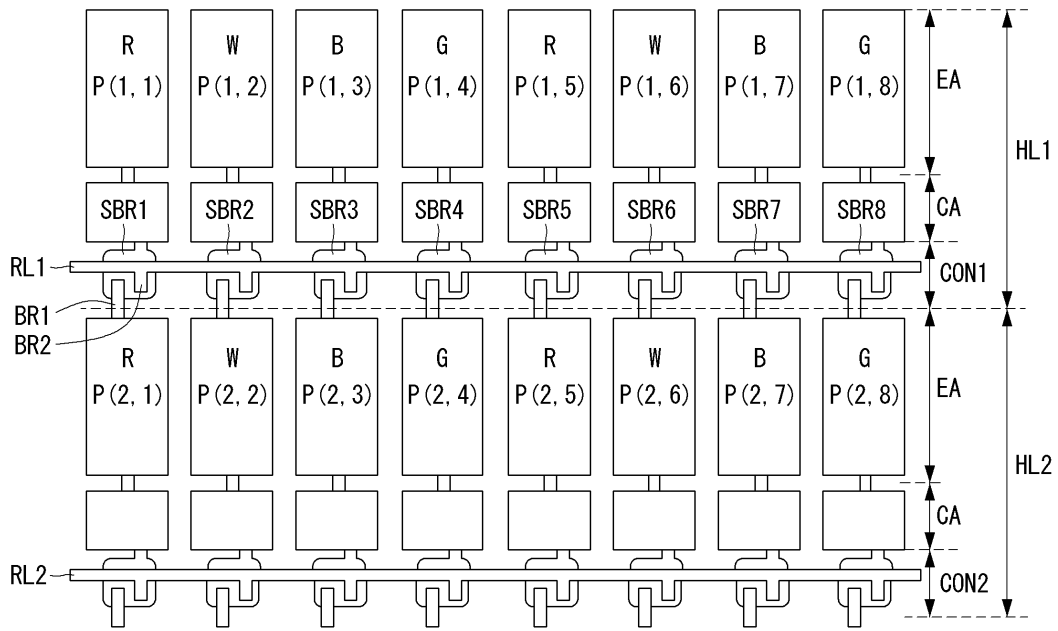
도면7



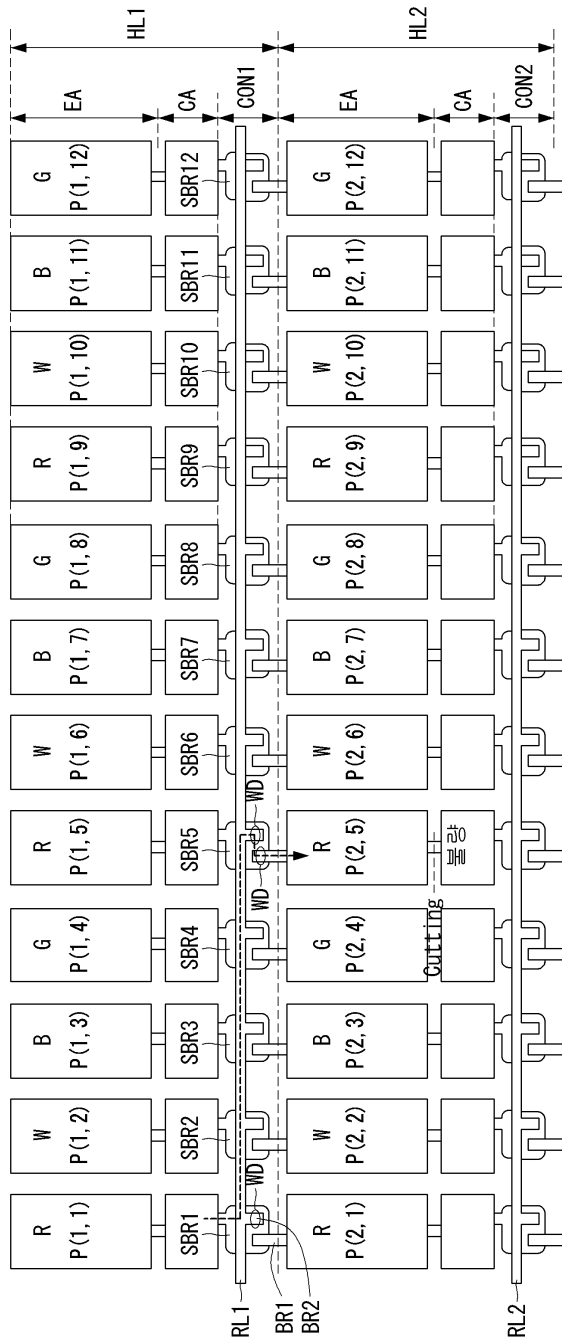
도면8



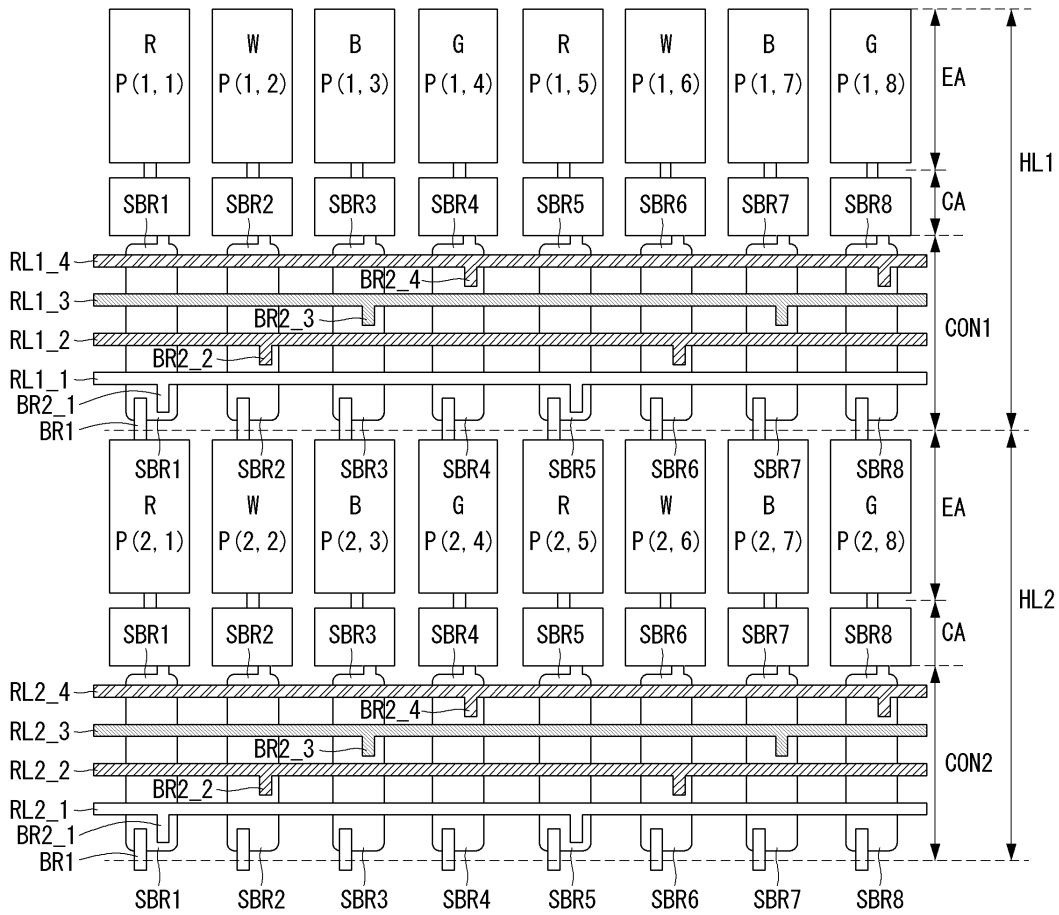
도면9



도면10



도면11



专利名称(译)	有机发光显示面板和具有该有机发光显示面板的有机发光显示器		
公开(公告)号	<a href="#">KR1020190138492A</a>	公开(公告)日	2019-12-13
申请号	KR1020180065013	申请日	2018-06-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이성구 김빈		
发明人	이성구 김빈		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3276 H01L27/3211 H01L51/50 H01L27/32 H01L27/3244 H01L27/326 G09G3/3225 G09G2300/0426 G09G2300/0452 G09G2300/0819 G09G2300/0842 G09G2320/0295 G09G2330/08 H01L51/56 H01L2251/558 G09G3/006 G09G2310/08 H01L2251/568		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的有机发光显示装置包括沿行方向布置的像素，修复线，辅助桥以及第一桥图案和第二桥图案。修复线沿行方向排列。辅助桥设置在修复线和像素之间。第一桥图案与像素一对一连接，并且第一桥图案的一些区域与相邻的辅助桥重叠。第二桥图案在修复线中沿列方向分支，并且每个第二桥图案与辅助桥的一些区域一对一地重叠。可以修复不良像素而不会降低显示质量。

