(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0100565
(43) 공개일자 2019년08월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)
(21) 출원번호 10-2018-0019928
(22) 출원일자 2018년02월20일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이안수
서울특별시 광진구 아차산로70길 61, 502동 1802호
박준현
경기도 수원시 권선구 권선로694번길 25, 202동 501호
(뒷면에 계속)
(74) 대리인
박영우

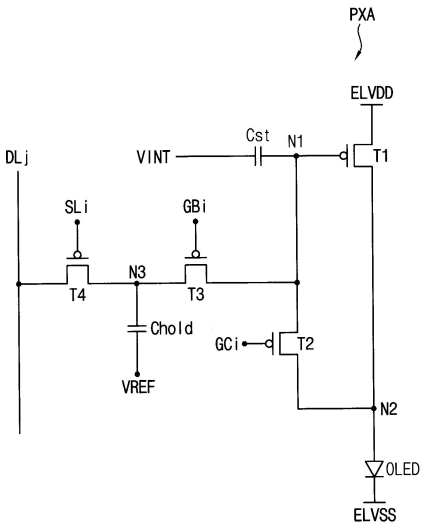
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **화소 및 이를 포함하는 유기 발광 표시 장치**

(57) 요 약

화소는 제1 노드에 연결된 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 제3 게이트 신호를 수신하는 게이트 전극, 제1 노드에 연결된 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 제2 게이트 신호를 수신하는 게이트 전극, 제3 노드에 연결된 제1 전극, 제1 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터, 제1 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 및 제3 노드에 연결된 제2 전극을 포함하는 제4 트랜지스터, 제1 전압을 수신하는 제1 전극 및 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제2 전압을 수신하는 제1 전극 및 제3 노드에 연결된 제2 전극을 포함하는 제2 커패시터, 및 제2 노드에 연결된 제1 전극 및 제2 전원 전압을 수신하는 제2 전극을 포함하는 발광 소자를 포함한다.

대 표 도 - 도2



(52) CPC특허분류
G09G 2300/0842 (2013.01)
(72) 발명자
정보용
경기도 수원시 영통구 봉영로1517번길 73, 923-402
조강문
경기도 화성시 탄요1길 75, 108동 1호

명 세 서

청구범위

청구항 1

복수의 화소들을 포함하는 표시 패널;

상기 화소들에 제1 게이트 신호, 제2 게이트 신호, 제3 게이트 신호, 및 데이터 신호를 제공하는 패널 구동부를 포함하고,

상기 화소들 각각은,

제1 노드에 연결된 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터;

상기 제3 게이트 신호를 수신하는 게이트 전극, 상기 제1 노드에 연결된 제1 전극, 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터;

상기 제2 게이트 신호를 수신하는 게이트 전극, 제3 노드에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터;

상기 제1 게이트 신호를 수신하는 게이트 전극, 상기 데이터 신호를 수신하는 제1 전극, 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제4 트랜지스터;

제1 전압을 수신하는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터;

제2 전압을 수신하는 제1 전극 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제2 커패시터; 및

상기 제2 노드에 연결된 제1 전극 및 제2 전원 전압을 수신하는 제2 전극을 포함하는 발광 소자를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서, 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 데이터 신호는 상기 제2 커패시터의 상기 제2 전극에 인가되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서, 상기 패널 구동부는 일 프레임이 상기 제1 트랜지스터가 초기화되는 제1 구간, 상기 제1 트랜지스터의 문턱 전압이 보상되는 제2 구간, 상기 데이터 신호에 기초하여 상기 제1 트랜지스터의 상기 게이트 전극의 전압이 조정되는 제3 구간, 및 상기 발광 소자가 발광하는 제4 구간을 포함하도록 상기 표시 패널을 구동하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제3 항에 있어서, 상기 제1 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서, 상기 제1 구간에서 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제3 항에 있어서, 상기 제2 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제3 항에 있어서, 상기 제3 구간에서, 상기 제2 게이트 신호는 활성화되고 상기 제3 게이트 신호 및 상기 제1 게이트 신호는 비활성화되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제7 항에 있어서, 상기 제3 구간에서 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제3 항에 있어서, 상기 화소들은 상기 표시 패널에 복수의 화소행들로 배치되고,

상기 제4 구간에서, 상기 패널 구동부는 상기 화소행들에 활성화된 상기 제1 게이트 신호를 순차적으로 제공하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제3 항에 있어서, 상기 제4 구간에서, 상기 제2 게이트 신호 및 상기 제3 게이트 신호는 비활성화되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제1 항에 있어서, 상기 화소들은 상기 표시 패널에 복수의 화소행들로 배치되고,

상기 패널 구동부는 모든 상기 화소행들에 상기 제2 게이트 신호 및 상기 제3 게이트 신호를 공통으로 제공하고,

상기 패널 구동부는 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 화소행들에 활성화된 상기 제1 게이트 신호를 순차적으로 제공하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서, 상기 패널 구동부는 제1 프레임의 상기 발광 구간의 적어도 일부에서 상기 제1 프레임 이후의 제2 프레임에 상응하는 상기 데이터 신호를 화소들에 제공하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제1 항에 있어서, 상기 제1 트랜지스터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터이고,

상기 제2 트랜지스터, 상기 제3 트랜지스터, 및 상기 제4 트랜지스터는 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제1 노드에 연결된 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터;

제3 게이트 신호를 수신하는 게이트 전극, 상기 제1 노드에 연결된 제1 전극, 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터;

제2 게이트 신호를 수신하는 게이트 전극, 제3 노드에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터;

제1 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제4 트랜지스터;

제1 전압을 수신하는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터;

제2 전압을 수신하는 제1 전극 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제2 커패시터; 및

상기 제2 노드에 연결된 제1 전극 및 제2 전원 전압을 수신하는 제2 전극을 포함하는 발광 소자를 포함하는 화소.

청구항 15

제14 항에 있어서, 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 데이터 신호는 상기 제2 커패시터의 상기 제2 전극에 인가되는 것을 특징으로 하는 화소.

청구항 16

제14 항에 있어서, 상기 제1 트랜지스터가 초기화되는 제1 구간에서, 상기 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화되며 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 화소.

청구항 17

제14 항에 있어서, 상기 제1 트랜지스터의 문턱 전압이 보상되는 제2 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화되는 것을 특징으로 하는 화소.

청구항 18

제14 항에 있어서, 상기 데이터 신호에 기초하여 상기 제1 트랜지스터의 상기 게이트 전극의 전압이 조정되는 제3 구간에서, 상기 제2 게이트 신호는 활성화되고 상기 제3 게이트 신호 및 상기 제1 게이트 신호는 비활성화되는 것을 특징으로 하는 화소.

청구항 19

제14 항에 있어서, 상기 발광 소자가 발광하는 제4 구간의 적어도 일부에서, 상기 제1 게이트 신호는 활성화되는 것을 특징으로 하는 화소.

청구항 20

제14 항에 있어서, 상기 제1 트랜지스터는 p채널 MOS 트랜지스터이고,

상기 제2 트랜지스터, 상기 제3 트랜지스터, 및 상기 제4 트랜지스터는 n채널 MOS 트랜지스터인 것을 특징으로 하는 화소.

발명의 설명

기 술 분 야

[0001] 본 발명은 표시 장치에 관한 것으로, 보다 상세하게는 화소 및 화소를 포함하는 유기 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치의 각 화소는 구동 전류에 의해 휘도가 달라지는 발광 소자(예를 들어, 유기 발광 다이오드)를 포함한다. 각 화소는 발광 소자, 데이터 전압에 따라 발광 소자에 공급되는 구동 전류의 크기를 제어하는 구동 트랜지스터, 및 발광 소자의 휘도를 제어하기 위해 데이터 전압을 구동 트랜지스터로 제공하는 스위칭 트랜지스터를 포함한다.

[0003] 제조 공정 오차에 의해 화소들의 구동 트랜지스터들은 서로 상이한 문턱 전압을 가질 수 있으며, 동일한 데이터 전압이 인가되더라도 문턱 전압에 따라 구동 트랜지스터가 출력하는 구동 전류의 크기는 상이하고, 휘도 편차가 발생할 수 있다. 상기 문제를 해결하기 위해, 화소 내에서 구동 트랜지스터의 문턱 전압을 보상할 수 있는 다양한 화소 회로가 연구되고 있다.

[0004] 한편, 문턱 전압 보상 시간을 충분히 확보하기 위해, 화소들이 동시에 발광하는 동시 발광 구동 방식으로 표시 패널을 구동하는 표시 장치가 연구되고 있다. 다만, 동시 발광 방식으로 구동되는 표시 장치는 일 프레임에서 비발광 구간의 비율이 상대적으로 높음에 따라 발광 효율이 낮고, 표시 장치의 내구성이 낮은 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 발광 효율이 높은 유기 발광 표시 장치를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 유기 발광 표시 장치를 위한 화소를 제공하는 것이다.

[0007] 다만, 본 발명의 목적은 상기 목적들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0008] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치는 복수의 화소들을 포함하는 표시 패널, 상기 화소들에 제1 게이트 신호, 제2 게이트 신호, 제3 게이트 신호, 및 데이터 신호를 제공하는 패널 구동부를 포함할 수 있다. 상기 화소들 각각은 제1 노드에 연결된 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 상기 제3 게이트 신호를 수신하는 게이트 전극, 상기 제1 노드에 연결된 제1 전극, 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 상기 제2 게이트 신호를 수신하는 게이트 전극, 제3 노드에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터, 상기 제1 게이트 신호를 수신하는 게이트 전극, 상기 데이터 신호를 수신하는 제1 전극, 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제4 트랜지스터, 제1 전압을 수신하는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제2 전압을 수신하는 제1 전극 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제2 커패시터, 및 상기 제2 노드에 연결된 제1 전극 및 제2 전원 전압을 수신하는 제2 전극을 포함하는 발광 소자를 포함할 수 있다.

[0009] 일 실시예에 의하면, 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 데이터 신호는 상기 제2 커패시터의 상기 제2 전극에 인가될 수 있다.

[0010] 일 실시예에 의하면, 상기 패널 구동부는 일 프레임이 상기 제1 트랜지스터가 초기화되는 제1 구간, 상기 제1 트랜지스터의 문턱 전압이 보상되는 제2 구간, 상기 데이터 신호에 기초하여 상기 제1 트랜지스터의 상기 게이트 전극의 전압이 조정되는 제3 구간, 및 상기 발광 소자가 발광하는 제4 구간을 포함하도록 상기 표시 패널을 구동할 수 있다.

[0011] 일 실시예에 의하면, 상기 제1 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화될 수 있다.

[0012] 일 실시예에 의하면, 상기 제1 구간에서 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮을 수 있다.

[0013] 일 실시예에 의하면, 상기 제2 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화될 수 있다.

[0014] 일 실시예에 의하면, 상기 제3 구간에서, 상기 제2 게이트 신호는 활성화되고 상기 제3 게이트 신호 및 상기 제1 게이트 신호는 비활성화될 수 있다.

[0015] 일 실시예에 의하면, 상기 제3 구간에서 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮을 수 있다.

[0016] 일 실시예에 의하면, 상기 화소들은 상기 표시 패널에 복수의 화소행들로 배치될 수 있다. 상기 제4 구간에서, 상기 패널 구동부는 상기 화소행들에 활성화된 상기 제1 게이트 신호를 순차적으로 제공할 수 있다.

[0017] 일 실시예에 의하면, 상기 제4 구간에서, 상기 제2 게이트 신호 및 상기 제3 게이트 신호는 비활성화될 수 있다.

[0018] 일 실시예에 의하면, 상기 화소들은 상기 표시 패널에 복수의 화소행들로 배치될 수 있다. 상기 패널 구동부는 모든 상기 화소행들에 상기 제2 게이트 신호 및 상기 제3 게이트 신호를 공통으로 제공할 수 있다. 상기 패널 구동부는 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 화소행들에 활성화된 상기 제1 게이트 신호를 순차적으로 제공할 수 있다.

[0019] 일 실시예에 의하면, 상기 패널 구동부는 제1 프레임의 상기 발광 구간의 적어도 일부에서 상기 제1 프레임 이후의 제2 프레임에 상응하는 상기 데이터 신호를 화소들에 제공할 수 있다.

[0020] 일 실시예에 의하면, 상기 제1 트랜지스터는 p채널 MOS (p-channel metal oxide semiconductor) 트랜지스터일 수 있다. 상기 제2 트랜지스터, 상기 제3 트랜지스터, 및 상기 제4 트랜지스터는 n채널 MOS (n-channel metal oxide semiconductor) 트랜지스터일 수 있다.

[0021] 본 발명의 다른 목적을 달성하기 위하여, 발명의 실시예들에 따른 화소는 제1 노드에 연결된 게이트 전극, 제1 전원 전압을 수신하는 제1 전극, 및 제2 노드에 연결된 제2 전극을 포함하는 제1 트랜지스터, 제3 게이트 신호를 수신하는 게이트 전극, 상기 제1 노드에 연결된 제1 전극, 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제2 트랜지스터, 제2 게이트 신호를 수신하는 게이트 전극, 제3 노드에 연결된 제1 전극, 상기 제1 노드에 연결된 제2 전극을 포함하는 제3 트랜지스터, 제1 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제4 트랜지스터, 제1 전압을 수신하는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 커패시터, 제2 전압을 수신하는 제1 전극 및 상기 제3 노드에 연결된 제2 전극을 포함하는 제2 커패시터, 및 상기 제2 노드에 연결된 제1 전극 및 제2 전원 전압을 수신하는 제2 전극을 포함하는 발광 소자를 포함할 수 있다.

[0022] 일 실시예에 의하면, 상기 발광 소자가 발광하는 발광 구간 중 적어도 일부에서 상기 데이터 신호는 상기 제2 커패시터의 상기 제2 전극에 인가될 수 있다.

[0023] 일 실시예에 의하면, 상기 제1 트랜지스터가 초기화되는 제1 구간에서, 상기 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화되며 상기 제1 전원 전압의 전압 레벨은 상기 제2 전원 전압의 전압 레벨보다 낮을 수 있다.

[0024] 일 실시예에 의하면, 상기 제1 트랜지스터의 문턱 전압이 보상되는 제2 구간에서, 상기 제3 게이트 신호는 활성화되고 상기 제2 게이트 신호 및 상기 제1 게이트 신호는 비활성화될 수 있다.

[0025] 일 실시예에 의하면, 상기 데이터 신호에 기초하여 상기 제1 트랜지스터의 상기 게이트 전극의 전압이 조정되는 제3 구간에서, 상기 제2 게이트 신호는 활성화되고 상기 제3 게이트 신호 및 상기 제1 게이트 신호는 비활성화될 수 있다.

[0026] 일 실시예에 의하면, 상기 발광 소자가 발광하는 제4 구간의 적어도 일부에서, 상기 제1 게이트 신호는 활성화될 수 있다.

[0027] 일 실시예에 의하면, 상기 제1 트랜지스터는 p채널 MOS 트랜지스터일 수 있다. 상기 제2 트랜지스터, 상기 제3 트랜지스터, 및 상기 제4 트랜지스터는 n채널 MOS 트랜지스터일 수 있다.

발명의 효과

[0028] 본 발명의 실시예들에 따른 표시 장치는 화소들이 동시에 발광하는 동시 발광 방식으로 표시 패널을 구동하므로, 구동 트랜지스터의 문턱 전압이 보상되는 보상 시간을 충분히 확보할 수 있다.

[0029] 또한, 상기 표시 장치는 이전 프레임의 발광 구간에서 현재 프레임의 데이터 신호를 화소의 제2 커패시터에 충전하고, 현재 프레임의 기입 구간에서 화소의 제2 커패시터에 충전된 전압에 기초하여 구동 트랜지스터의 게이트 전극의 전압을 조정함으로써 비발광 구간의 시간 길이를 줄일 수 있다. 이에 따라, 상기 표시 장치는 높을 발광 효율 및 높은 내구성을 가질 수 있다.

[0030] 본 발명의 실시예들에 따른 화소는 보상 시간이 충분히 확보될 수 있으므로, 높은 주파수로 구동될 수 있으며, 고해상도 표시 장치에 적용될 수 있다.

[0031] 다만, 본 발명의 효과는 상기 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

도 2는 도 1의 유기 발광 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이다.

도 3은 도 2의 화소가 구동되는 일 예를 설명하기 위한 타이밍도이다.

도 4는 도 2의 화소가 제1 구간에서 동작하는 일 예를 나타내는 도면이다.

도 5는 도 2의 화소가 제2 구간에서 동작하는 일 예를 나타내는 도면이다.

도 6는 도 2의 화소가 제3 구간에서 동작하는 일 예를 나타내는 도면이다.

도 7은 도 2의 화소에 포함된 구동 트랜지스터의 게이트 전극의 전압 레벨이 데이터 전압에 상응하는 전압으로 조정되는 일 예를 나타내는 도면이다.

도 8는 도 2의 화소가 제4 구간에서 동작하는 일 예를 나타내는 도면이다.

도 9는 도 1의 유기 발광 표시 장치에 포함된 화소의 다른 예를 나타내는 회로도이다.

도 10은 도 1의 유기 발광 표시 장치에 포함된 화소의 또 다른 예를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일하거나 유사한 참조 부호를 사용한다.

[0034] 도 1은 본 발명의 실시예들에 따른 유기 발광 표시 장치를 나타내는 블록도이다.

[0035] 도 1을 참조하면, 유기 발광 표시 장치(1000)는 복수의 화소(PX)들을 포함하는 표시 패널(100) 및 표시 패널(100)을 구동하는 패널 구동부를 포함할 수 있다. 일 실시예에서, 패널 구동부는 게이트 구동부(200), 소스 구동부(300), 전원 공급부(400), 및 타이밍 제어부(500)를 포함할 수 있다.

[0036] 표시 패널(100)는 영상을 표시하기 위해 복수의 화소(PX)들을 포함할 수 있다. 예를 들어, 표시 패널(100)은 제1 게이트 라인들(SL1 내지 SLn) 및 데이터 라인들(DL1 내지 DLm)의 교차부마다 위치되는 n*m (단, n 및 m은 1보다 큰 정수) 개의 화소(PX)들을 포함할 수 있다. 즉, 화소(PX)들은 n 화소행들 및 m 화소열들로 배열될 수 있다.

[0037] 화소(PX)들은 동시 발광 방식으로 구동될 수 있다. 이전 프레임의 발광 구간에서 현재 프레임의 데이터 신호가 화소(PX)의 제2 커패시터에 인가하고, 현재 프레임의 기입 구간에서 제2 커패시터에 충전된 데이터 신호가 구동 트랜지스터의 게이트 전극에 전하 분배(charge share) 방식으로 인가할 수 있다. 이에 따라, 비발광 구간의 시간 길이가 감소될 수 있다. 화소(PX)의 구조에 대해서는 도 2, 도 9, 및 도 10을 참조하여 자세히 설명하기로 한다.

[0038] 게이트 구동부(200)는 제1 제어 신호(CTL1)에 기초하여 제1 게이트 라인들(SL1 내지 SLn)을 통해 제1 게이트 신호를 화소(PX)들에 제공하고, 제2 게이트 라인들(GB1 내지 GBn)을 통해 제2 게이트 신호를 화소(PX)들에 제공하며, 제3 게이트 라인들(GC1 내지 GCn)을 통해 제3 게이트 신호를 화소(PX)들에 제공할 수 있다. 게이트 구동부(200)는 모든 화소행들에 제2 게이트 신호 및 제3 게이트 신호를 공통으로 제공할 수 있다. 반면에, 게이트 구동부(200)는 화소(PX)가 발광하는 발광 구간 중 일부에서 활성화된 제1 게이트 신호들을 화소행들에 순차적으로 제공할 수 있다.

[0039] 소스 구동부(300)는 제2 제어 신호(CTL2)에 기초하여 디지털 영상 데이터를 아날로그 데이터 전압(즉, 데이터 신호)으로 변환하고, 데이터 신호를 데이터 라인들(DL1 내지 DLm)을 통해 화소(PX)들에 제공할 수 있다. 일 실시예에서, 소스 구동부(300)는 화소(PX)가 발광하는 발광 구간 중 적어도 일부에서 활성화된 제1 게이트 신호(S1 내지 Sn)들에 대응하는 데이터 신호를 화소(PX)들에 제공할 수 있다.

[0040] 전원 공급부(400)는 제3 제어 신호(CTL3)에 기초하여 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 제1 전압(VINT), 및 제2 전압(VREF)을 화소(PX)들에 제공할 수 있다. 예를 들어, 전원 공급부(400)는 입력 전압(예를 들어, 배터리 전압)으로부터 다양한 전압 레벨을 갖는 출력 전압들을 생성하는 DC-DC 컨버터를 포함할 수 있다.

[0041] 타이밍 제어부(500)는 게이트 구동부(200), 소스 구동부(300), 및 전원 공급부(400)를 제어할 수 있다. 예를 들어, 타이밍 제어부(500)는 외부(예를 들어, 시스템 보드)로부터 제어 신호(CTL)를 수신할 수 있다. 타이밍 제어부(500)는 게이트 구동부(200), 소스 구동부(300), 및 전원 공급부(400)를 각각 제어하기 위해 제1 내지 제3 제어 신호들(CTL1 내지 CTL3)을 생성할 수 있다. 게이트 구동부(200)를 제어하기 위한 제1 제어 신호(CTL1)는 수직 개시 신호, 클럭 신호, 등을 포함할 수 있다. 소스 구동부(300)를 제어하기 위한 제2 제어 신호(CTL2)는 수

평 개시 신호, 로드 신호, 영상 데이터, 등을 포함할 수 있다. 전원 공급부(400)를 제어하기 위한 제3 제어 신호(CTL3)는 전압 레벨을 제어하기 위한 제어 신호, 등을 포함할 수 있다. 타이밍 제어부(500)는 입력 영상 데이터에 기초하여 표시 패널(100)의 동작 조건에 맞는 디지털 영상 데이터를 생성하여 소스 구동부(300)에 제공할 수 있다.

[0042] 도 2는 도 1의 유기 발광 표시 장치에 포함된 화소의 일 예를 나타내는 회로도이다.

[0043] 도 2를 참조하면, 화소(PXA)는 제1 트랜지스터 내지 제4 트랜지스터들(T1 내지 T4), 제1 및 제2 커패시터들(Cst, Chold), 및 발광 소자(OLED)를 포함할 수 있다. 화소(PXA)는 제i(단, i는 1과 n 사이의 정수) 화소행 및 제j(단, j는 1과 m 사이의 정수) 화소열에 위치할 수 있다. 화소(PX)는 p채널 MOS 트랜지스터(p-channel metal oxide semiconductor)들을 이용하여 구현될 수 있다.

[0044] 제1 트랜지스터(T1)는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1)은 데이터 신호에 기초하여 발광 소자(OLED)에 흐르는 구동 전류의 크기를 제어할 수 있다. 일 실시예에서, 제1 트랜지스터(T1)는 제1 노드(N1)에 연결된 게이트 전극, 제1 전원 전압(ELVDD)을 수신하는 제1 전극, 및 제2 노드(N2)에 연결된 제2 전극을 포함할 수 있다.

[0045] 제2 트랜지스터(T2)는 제3 게이트 라인(GCi)로부터 수신된 제3 게이트 신호에 응답하여 제1 노드(N1)와 제2 노드(N2)를 연결할 수 있다. 일 실시예에서, 제2 트랜지스터(T2)는 제3 게이트 신호를 수신하는 게이트 전극, 제1 노드(N1)에 연결된 제1 전극, 및 제2 노드(N2)에 연결된 제2 전극을 포함할 수 있다.

[0046] 제3 트랜지스터(T3)는 제2 게이트 라인(GBi)로부터 수신된 제2 게이트 신호에 응답하여 제3 노드(N3)와 제1 노드(N1)를 연결할 수 있다. 일 실시예에서, 제3 트랜지스터(T3)는 제2 게이트 신호를 수신하는 게이트 전극, 제3 노드(N3)에 연결된 제1 전극, 제1 노드(N1)에 연결된 제2 전극을 포함할 수 있다.

[0047] 제4 트랜지스터(T4)는 제1 게이트 라인(SLi)로부터 수신된 제1 게이트 신호에 응답하여 데이터 라인(DLj)과 제3 노드(N3)를 연결할 수 있다. 일 실시예에서, 제4 트랜지스터(T4)는 제1 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 제1 전극, 및 제3 노드(N3)에 연결된 제2 전극을 포함할 수 있다.

[0048] 제1 커패시터(Cst)는 제1 전압(VINT) 및 제1 노드(N1) 사이에 연결될 수 있다. 일 실시예에서, 제1 커패시터(Cst)는 제1 전압(VINT)을 수신하는 제1 전극 및 제1 노드(N1)에 연결된 제2 전극을 포함할 수 있다.

[0049] 제2 커패시터(Chold)는 제2 전압(VREF) 및 제3 노드(N3) 사이에 연결될 수 있다. 일 실시예에서, 제2 커패시터(Chold)는 제2 전압(VREF)을 수신하는 제1 전극 및 제3 노드(N3)에 연결된 제2 전극을 포함할 수 있다.

[0050] 발광 소자(OLED)는 제1 트랜지스터(T1) (즉, 구동 트랜지스터)로부터 흐르는 구동 전류에 상응하는 휘도로 빛을 발할 수 있다. 일 실시예에서, 발광 소자(OLED)는 제2 노드(N2)에 연결된 제1 전극(예를 들어, 애노드 전극) 및 제2 전원 전압(ELVSS)을 수신하는 제2 전극(예를 들어, 캐소드 전극)을 포함할 수 있다. 예를 들어, 발광 소자(OLED)는 유기 발광 다이오드일 수 있다.

[0051] 도 3은 도 2의 화소가 구동되는 일 예를 설명하기 위한 타이밍도이다. 도 4는 도 2의 화소가 제1 구간에서 동작하는 일 예를 나타내는 도면이다. 도 5는 도 2의 화소가 제2 구간에서 동작하는 일 예를 나타내는 도면이다. 도 6는 도 2의 화소가 제3 구간에서 동작하는 일 예를 나타내는 도면이다. 도 7은 도 2의 화소에 포함된 구동 트랜지스터의 게이트 전극의 전압 레벨이 데이터 전압에 상응하는 전압으로 조정되는 일 예를 나타내는 도면이다. 도 8는 도 2의 화소가 제4 구간에서 동작하는 일 예를 나타내는 도면이다.

[0052] 도 3 내지 도 8을 참조하면, 패널 구동부는 동시 발광 방식으로 표시 패널을 구동할 수 있다. 동시 발광 방식은 화소들이 발광하지 않는 비발광 구간(P1, P2, P3) 및 화소들이 동시에 발광하는 발광 구간(P4)을 포함할 수 있다. 패널 구동부는 모든 화소행들에 제2 게이트 신호(GB) 및 제3 게이트 신호(GC)를 공통으로 제공할 수 있다. 반면에, 패널 구동부는 발광 소자가 발광하는 발광 구간(P4) 중 일부에서 활성화된 제1 게이트 신호(S1 내지 Sn)를 화소행들에 순차적으로 제공할 수 있다.

[0053] 도 3에 도시된 바와 같이, 패널 구동부는 일 프레임이 제1 트랜지스터(T1)가 초기화되는 제1 구간(P1), 제1 트랜지스터(T1)의 문턱 전압이 보상되는 제2 구간(P2), 데이터 신호(DATA)에 기초하여 제1 트랜지스터(T1)의 게이트 전극의 전압이 조정되는 제3 구간(P3), 및 발광 소자가 발광하는 제4 구간(P4)을 포함하도록 표시 패널을 구동할 수 있다.

[0054] 제1 구간(P1)에서, 제3 게이트 신호(GC)는 활성화(예를 들어, 저전압 레벨)되고, 제2 게이트 신호(GB) 및 제1

게이트 신호(S1 내지 Sn)는 비활성화(예를 들어, 고전압 레벨)될 수 있다. 또한, 제1 구간(P1)에서 제1 전원 전압의 전압 레벨(ELVDD_L)은 제2 전원 전압의 전압 레벨(ELVSS_H)보다 낮을 수 있다. 제1 전압의 전압 레벨은 저전압 레벨(VINT_L)에 상응할 수 있다. 도 4에 도시된 바와 같이, 제1 구간(P1)에서 제2 트랜지스터(T2)는 턴-온되고, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 턴-오프될 수 있다. 제1 전원 전압은 저전압 레벨(ELVDD_L)을 가지므로, 제1 노드(N1)로부터 제2 트랜지스터(T2) 및 제1 트랜지스터(T1)를 통해 제1 전원 전압으로 전류가 흐를 수 있다. 이에 따라, 제1 노드(N1) 및 제2 노드(N2)의 전압은 제1 전원 전압의 저전압 레벨(ELVDD_L)에 상응하는 전압으로 초기화될 수 있다.

[0055] 제2 구간(P2)에서, 제3 게이트 신호(GC)는 활성화되고 제2 게이트 신호(GB) 및 제1 게이트 신호(S1 내지 Sn)는 비활성화될 수 있다. 따라서, 도 5에 도시된 바와 같이, 제2 구간(P2)에서 제2 트랜지스터(T2)는 턴-온되고, 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 턴-오프될 수 있다. 제2 구간(P2)에서 제1 트랜지스터(T1)는 다이오드 커넥션(diode connection)을 형성하므로, 제1 트랜지스터(T1)의 게이트 전극의 전압은 문턱 전압(Vth)이 반영된 전압으로 설정될 수 있다. 구체적으로, 제1 전원 전압의 전압 레벨은 고전압 레벨(ELVDD_H)에 상응하므로, 제1 전원 전압으로부터 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 통해 제1 노드(N1)로 전류가 흐를 수 있다. 이에 따라, 제1 노드(N1) 및 제2 노드(N2)의 전압은 제1 전원 전압의 고전압 레벨(ELVDD_H)에 제1 트랜지스터(T1)의 문턱 전압(Vth)이 합산된 전압(즉, ELVDD_H + Vth)으로 설정될 수 있다.

[0056] 제3 구간(P3)에서, 제2 게이트 신호(GB)는 활성화되고, 제3 게이트 신호(GC) 및 제1 게이트 신호(S1 내지 Sn)는 비활성화될 수 있다. 제3 구간(P3)에서, 발광 소자(OLED)에 전류가 흐르지 않도록 제1 전원 전압의 전압 레벨(ELVDD_L)은 제2 전원 전압의 전압 레벨(ELVSS_H)보다 낮을 수 있다. 도 6에 도시된 바와 같이, 제3 구간(P3)에서 제3 트랜지스터(T3)는 턴-온되고, 제2 트랜지스터(T2) 및 제4 트랜지스터(T4)는 턴-오프될 수 있다. 도 7에 도시된 바와 같이, 전하 분배(charge share) 방식으로 데이터 신호가 화소에 인가될 수 있다. 즉, 제3 트랜지스터(T3)가 턴-온된 경우, 직렬로 연결된 제2 커패시터(Chold)와 제1 커패시터(Cst)는 서로 전하 분배(charge sharing)를 할 수 있다. 제1 트랜지스터의 게이트 전극의 전압(즉, 제1 노드(N1)의 전압)은 제1 및 제2 커패시터(Cst, Chold)의 커패시턴스에 기초하여 데이터 신호에 상응하여 변화할 수 있다. 예를 들어, 제1 노드의 전압은 [수학식 1]을 이용하여 산출될 수 있다.

[0057] [수학식 1]

$$VN1 = ELVDDH + Vth + \frac{C2}{C1 + C2}(VREF - Vdata)$$

[0058]

[0059] 여기서, VN1은 제1 노드의 전압, ELVDDH는 고전압 레벨의 제1 전원 전압, Vth는 제1 트랜지스터의 문턱 전압, C1은 제1 커패시터의 커패시턴스, C2은 제2 커패시터의 커패시턴스, VREF는 제2 전압, Vdata는 데이터 전압을 나타낸다.

[0060] 제4 구간(P4)에서 제2 게이트 신호(GB) 및 제3 게이트 신호(GC)는 비활성화될 수 있다. 제4 구간(P4)에서, 발광 소자(OLED)에 데이터 신호에 상응하는 구동 전류가 흐르도록 제1 전원 전압의 전압 레벨(ELVDD_H)은 제2 전원 전압의 전압 레벨(ELVSS_L)보다 높을 수 있다. 예를 들어, 발광 소자(OLED)로 공급되는 구동 전류는 [수학식 2]에 따라 산출될 수 있다.

[0061] [수학식 2]

$$Id = \left(\frac{k}{2}\right)\left[\frac{C2}{C1 + C2}(VREF - Vdata)\right]^2$$

[0062]

[0063] 여기서, k는 제1 트랜지스터의 특성에 따른 상수, C1은 제1 커패시터의 커패시턴스, C2는 제2 커패시터의 커패시턴스, VREF은 제2 전압, 및 Vdata는 데이터 전압을 나타낸다. 따라서, 구동 전류의 크기는 구동 트랜지스터의 문턱 전압에 영향을 받지 않으므로, 표시 품질이 향상될 수 있다.

[0064] 또한, 제4 구간(P4)에서, 화소행들에 활성화된 제1 게이트 신호(S1 내지 Sn)가 순차적으로 제공될 수 있다. 예를 들어, 제4 구간(P4)에서 제1 내지 제n 화소행에 각각 대응하는 활성화된 제1 게이트 신호(S1 내지 Sn)가 순차적으로 제공될 수 있다. 제4 구간(P4)에서 제2 게이트 신호(GB)가 비활성화되고, 제3 트랜지스터(T3)는 턴-오프될 수 있다. 이에 따라, 제4 구간(P4)에서, 화소들이 발광하는 동안, 화소들의 발광 동작과는 무관하게 화소

들의 제2 커패시터(Chold)에 다음 프레임의 데이터 전압이 인가될 수 있다.

[0065] 따라서, 제1 프레임의 발광 구간의 적어도 일부에서 제1 프레임 이후의 제2 프레임에 상응하는 데이터 신호가 화소들에 제공되고, 현재 프레임의 데이터 기입 구간에서 제2 커패시터에 충전된 데이터 신호가 구동 트랜지스터의 게이트 전극에 전하 분배(charge share) 방식으로 인가됨으로써 비발광 구간의 제3 구간(P3)의 시간 길이를 줄일 수 있다. 예를 들어, 데이터 기입 구간에서 화소열에 순차적으로 데이터를 기입하는 비교 표시 장치는 일 프레임 구간에서 발광 구간의 비율이 50% 이하일 수 있다. 반면에, 본 발명의 실시예들에 따른 표시 장치는 표시 패널을 동시 발광 구동 방식으로 구동함에도 불구하고, 일 프레임 구간에서 발광 구간(P4)의 비율을 90% 이상으로 높일 수 있다.

[0066] 도 9는 도 1의 유기 발광 표시 장치에 포함된 화소의 다른 예를 나타내는 회로도이다.

[0067] 도 9를 참조하면, 화소(PXB)는 제1 내지 제4 트랜지스터들(T1' 내지 T4'), 제1 및 제2 커패시터들(Cst, Chold), 및 발광 소자(OLED)를 포함할 수 있다. 화소(PXB)는 제i(단, i는 1과 n 사이의 정수) 화소행 및 제j(단, j는 1과 m 사이의 정수) 화소열에 위치할 수 있다. 다만, 본 실시예에 따른 화소(PXB)는 제1 내지 제4 트랜지스터들(T1' 내지 T4')이 n채널 MOS 트랜지스터(n-channel metal oxide semiconductor)로 구현된 점을 제외하면, 도 2의 화소(PXA)와 실질적으로 동일하므로, 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.

[0068] 제1 트랜지스터(T1')는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1')은 데이터 신호에 기초하여 발광 소자(OLED)에 흐르는 구동 전류의 크기를 제어할 수 있다. 일 실시예에서, 제1 트랜지스터(T1')는 n채널 MOS 트랜지스터일 수 있다. 이 경우, n채널 MOS 트랜지스터가 p채널 MOS 트랜지스터에 비해 히스테리시스(hysteresis)에 의한 영향이 적으므로, 히스테리시스에 의한 잔상이 개선될 수 있다.

[0069] 제2 트랜지스터(T2')는 제3 게이트 라인(GCi)로부터 수신된 제3 게이트 신호에 응답하여 제1 노드(N1)와 제2 노드(N2)를 연결할 수 있다. 제3 트랜지스터(T3')는 제2 게이트 라인(GBi)로부터 수신된 제2 게이트 신호에 응답하여 제3 노드(N3)와 제1 노드(N1)를 연결할 수 있다. 제4 트랜지스터(T4')는 제1 게이트 라인(SLi)로부터 수신된 제1 게이트 신호에 응답하여 데이터 라인(DLj)과 제3 노드(N3)를 연결할 수 있다. 일 실시예에서, 제2 내지 제4 트랜지스터(T2' 내지 T4')는 n채널 MOS 트랜지스터일 수 있다. 이 경우, 스위칭 트랜지스터에서 발생하는 누설 전류에 의한 표시 품질 저하를 방지할 수 있다.

[0070] 제1 커패시터(Cst)는 제1 전압(VINT) 및 제1 노드(N1) 사이에 연결될 수 있다. 제2 커패시터(Chold)는 제2 전압(VREF) 및 제3 노드(N3) 사이에 연결될 수 있다.

[0071] 발광 소자(OLED)는 제1 트랜지스터(T1) (즉, 구동 트랜지스터)로부터 흐르는 구동 전류에 상응하는 휘도로 빛을 발할 수 있다.

[0072] 도 9의 실시예에 따른 화소(PXB)는 도 2의 실시예에 따른 화소(PXA)와 실질적으로 동일한 방식으로 구동될 수 있으므로, 중복되는 설명은 생략하기로 한다.

[0073] 도 10은 도 1의 유기 발광 표시 장치에 포함된 화소의 또 다른 예를 나타내는 회로도이다.

[0074] 도 10을 참조하면, 화소(PXC)는 제1 내지 제4 트랜지스터들(T1, T2' 내지 T4'), 제1 및 제2 커패시터들(Cst, Chold), 및 발광 소자(OLED)를 포함할 수 있다. 화소(PXC)는 제i(단, i는 1과 n 사이의 정수) 화소행 및 제j(단, j는 1과 m 사이의 정수) 화소열에 위치할 수 있다. 다만, 본 실시예에 따른 화소(PXC)는 제1 트랜지스터(T1)가 p채널 MOS 트랜지스터이고, 제2 내지 제4 트랜지스터들(T2' 내지 T4')이 n채널 MOS 트랜지스터(n-channel metal oxide semiconductor)인 것을 제외하면, 도 2의 화소(PXA)와 실질적으로 동일하므로, 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 중복되는 설명은 생략하기로 한다.

[0075] 제1 트랜지스터(T1)는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1)은 데이터 신호에 기초하여 발광 소자(OLED)에 흐르는 구동 전류의 크기를 제어할 수 있다. 일 실시예에서, 제1 트랜지스터(T1)는 p채널 MOS 트랜지스터일 수 있다. 일반적으로, p채널 MOS 트랜지스터가 n채널 MOS 트랜지스터에 비해 신뢰성이 우수하므로, 구동 트랜지스터를 p채널 MOS 트랜지스터로 구현함으로써 표시 장치의 신뢰성을 높일 수 있다.

[0076] 제2 트랜지스터(T2')는 제3 게이트 라인(GCi)로부터 수신된 제3 게이트 신호에 응답하여 제1 노드(N1)와 제2 노드(N2)를 연결할 수 있다. 제3 트랜지스터(T3')는 제2 게이트 라인(GBi)로부터 수신된 제2 게이트 신호에 응답하여 제3 노드(N3)와 제1 노드(N1)를 연결할 수 있다. 제4 트랜지스터(T4')는 제1 게이트 라인(SLi)로부터 수신된 제1 게이트 신호에 응답하여 데이터 라인(DLj)과 제3 노드(N3)를 연결할 수 있다. 일 실시예에서, 제2 및 제

4 트랜지스터(T2' 내지 T4')는 n채널 MOS 트랜지스터일 수 있다. 이 경우, 스위칭 트랜지스터에서 발생하는 누설 전류에 의한 표시 품질 저하를 방지할 수 있다.

[0077] 제1 커패시터(Cst)는 제1 전압(VINT) 및 제1 노드(N1) 사이에 연결될 수 있다. 제2 커패시터(Chold)는 제2 전압(VREF) 및 제3 노드(N3) 사이에 연결될 수 있다.

[0078] 발광 소자(OLED)는 제1 트랜지스터(T1) (즉, 구동 트랜지스터)로부터 흐르는 구동 전류에 상응하는 휘도로 빛을 발할 수 있다.

[0079] 따라서, 화소(PXC)의 신뢰성을 높이기 위해 구동 트랜지스터는 p채널 MOS 트랜지스터로 구현되고, 누설 전류를 방지하기 위해 스위칭 트랜지스터들은 n채널 MOS 트랜지스터로 구현될 수 있다.

[0080] 비록, 도 10에서는 제2 내지 제4 트랜지스터들(T2' 내지 T4')이 n채널 MOS 트랜지스터인 것으로 설명하였으나, 이에 한정되지 않는다. 예를 들어, 누설전류가 발생하는 위치의 제2 및 제3 트랜지스터들(T2' 및 T3')은 n채널 MOS 트랜지스터로 구현하고, 신뢰성을 높이기 위해 제4 트랜지스터(T4)는 p채널 MOS 트랜지스터로 구현할 수 있다.

[0081] 이상, 본 발명의 실시예들에 따른 화소 및 화소를 포함하는 표시 장치에 대하여 도면을 참조하여 설명하였지만, 상기 설명은 예시적인 것으로서 본 발명의 기술적 사상을 벗어나지 않는 범위에서 해당 기술 분야에서 통상의 지식을 가진 자에 의하여 수정 및 변경될 수 있을 것이다. 예를 들어, 상기에서는 게이트 신호들이 동일한 게이트 구동부에서 생성되는 설명하였으나, 게이트 신호들은 서로 다른 게이트 구동부들에서 생성될 수 있다.

산업상 이용가능성

[0082] 본 발명은 표시 장치를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 컴퓨터, 노트북, 휴대폰, 스마트폰, 스마트패드, 피엠피(PMP), 피디에이(PDA), MP3 플레이어, 디지털 카메라, 비디오 캠코더 등에 적용될 수 있다.

[0083] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

[0084] PX, PXA, PXB, PXC: 화소

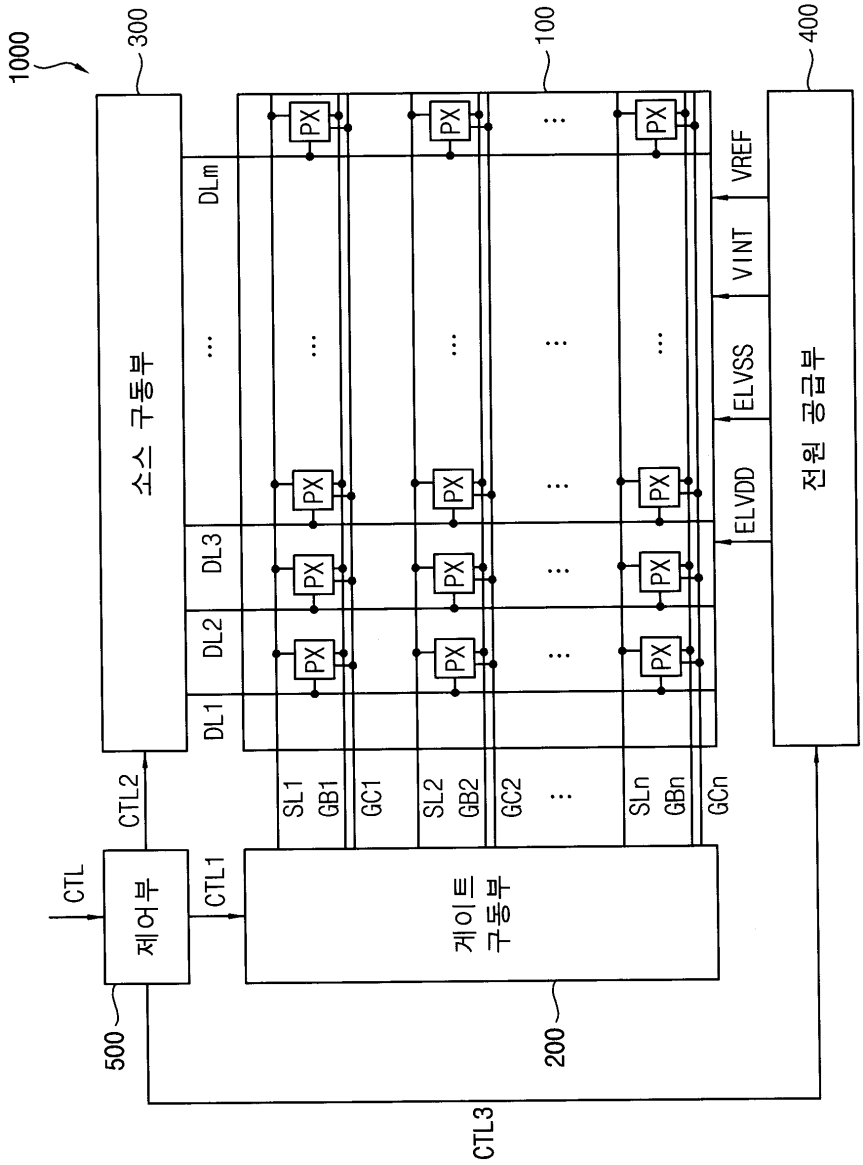
100: 표시 패널 200: 게이트 구동부

300: 소스 구동부 400: 전원 공급부

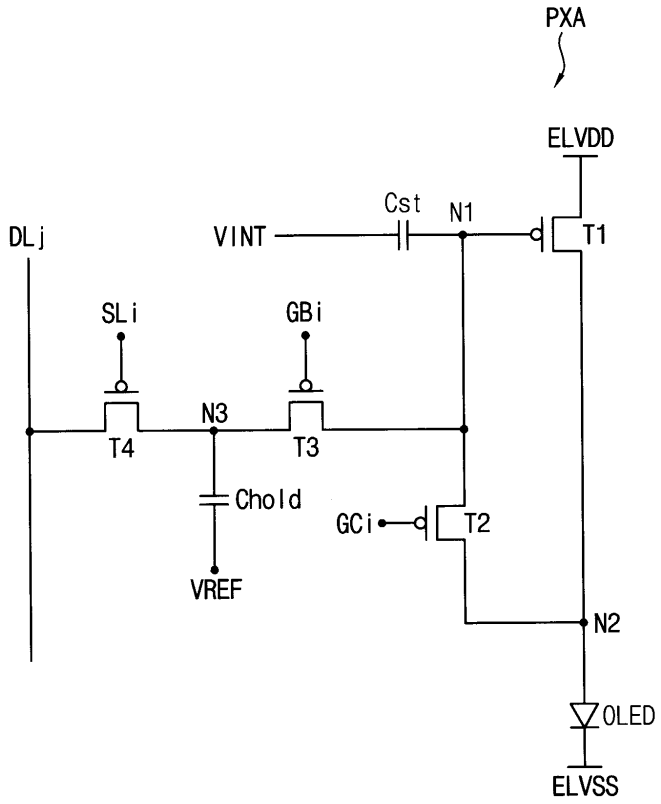
500: 제어부 1000: 표시 장치

도면

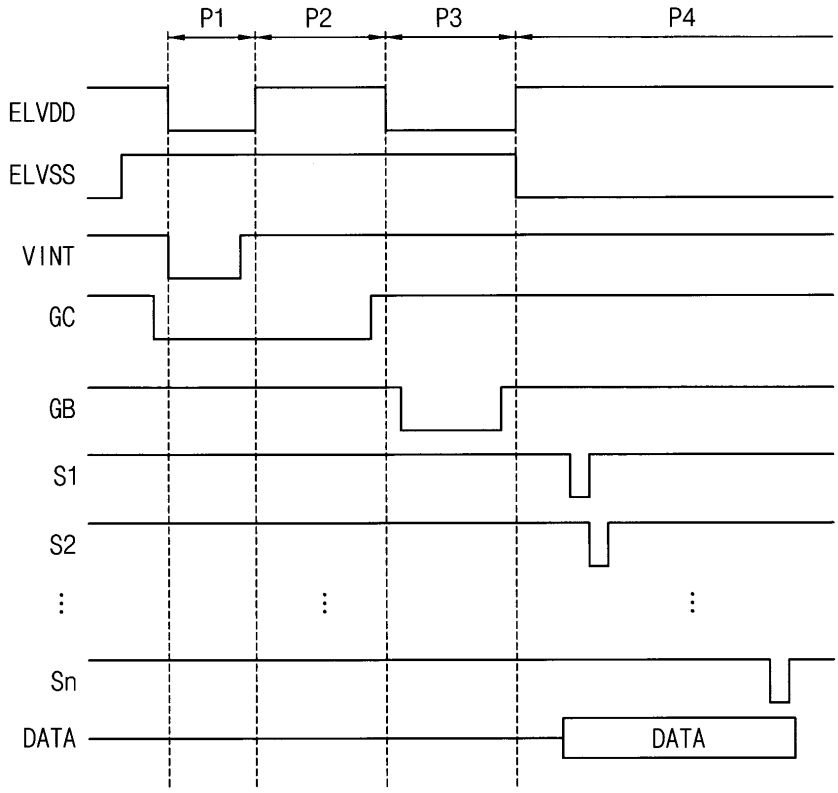
도면1


1000
300
100
400
소스 구동부
전원 공급부
게이트 구동부
제어부
CTL
CTL1
CTL2
CTL3
500
200
DLm
DL3
DL2
DL1
PX
SL1
GB1
GC1
SL2
GB2
GC2
SLn
GBn
GCn
VREF
VINT
ELVSS
ELVDD

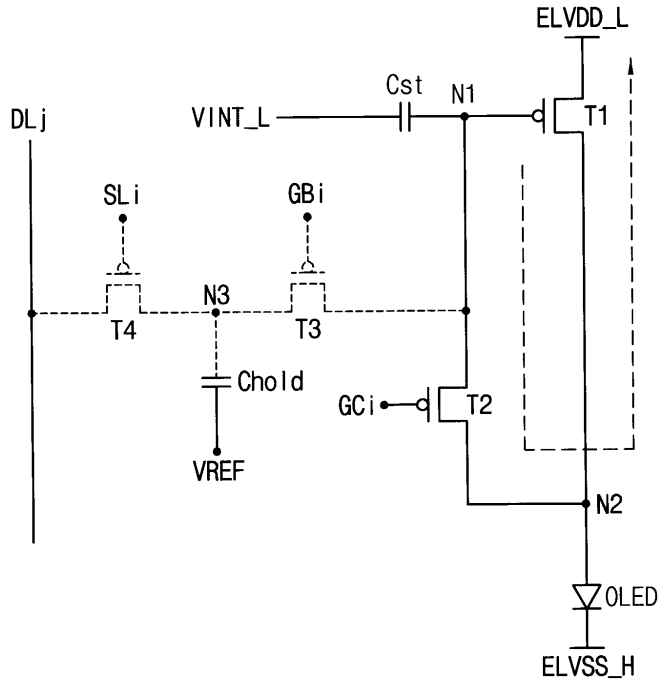
도면2


PXA
ELVDD
Cst
N1
DLj
VINT
T1
SLi
GBi
N3
T4
T3
Chold
GCi
T2
VREF
N2
OLED
ELVSS

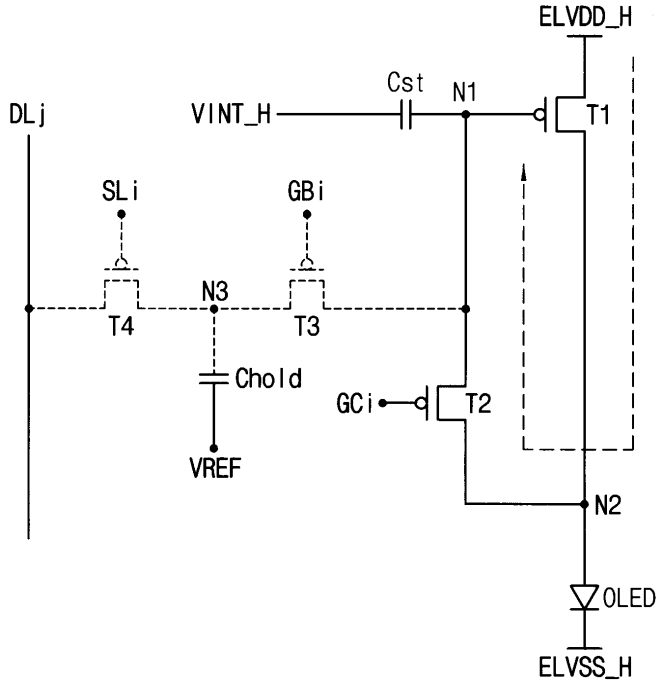
도면3


P1
P2
P3
P4
ELVDD
ELVSS
VINT
GC
GB
S1
S2
Sn
DATA
DATA

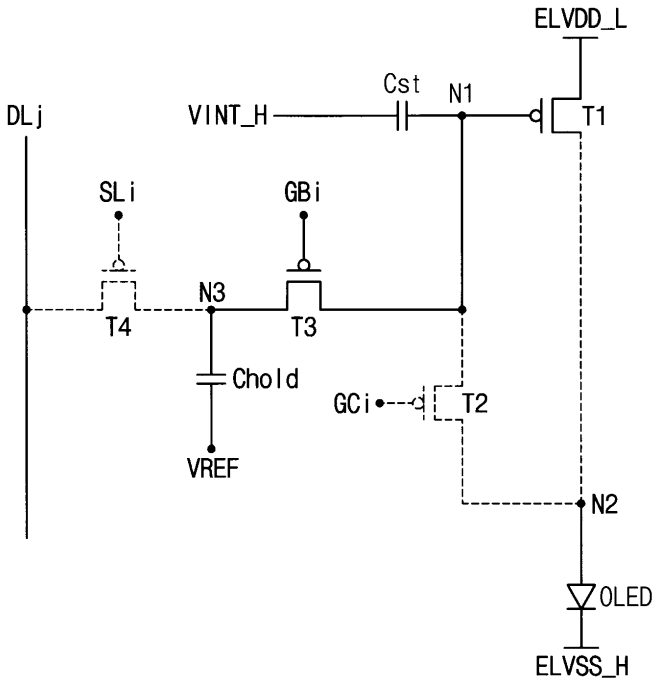
도면4


ELVDD_L
Cst
N1
DLj
VINT_L
T1
SLi
GBi
N3
T4
T3
Chold
GCi
T2
VREF
N2
OLED
ELVSS_H

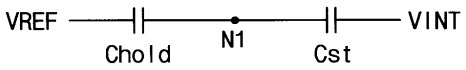
도면5


ELVDD_H
Cst
N1
DLj
VINT_H
T1
SLi
GBi
N3
T4
T3
Chold
GCi
T2
VREF
N2
OLED
ELVSS_H

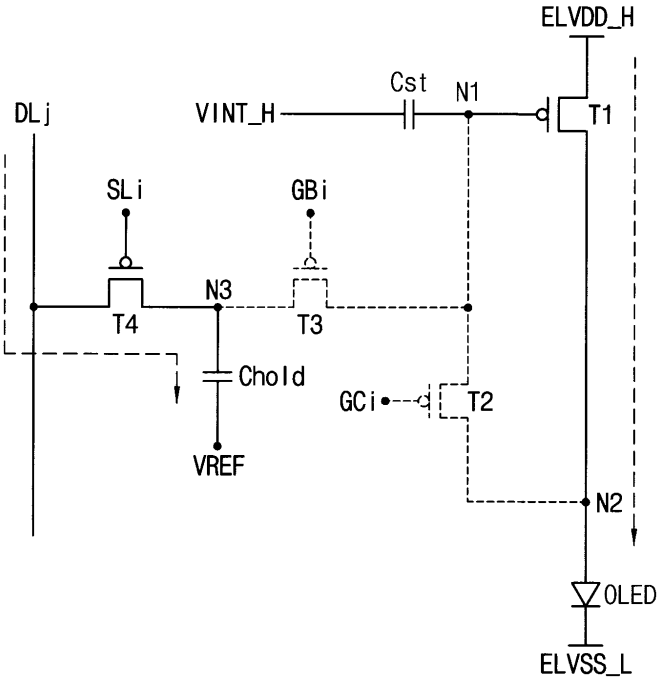
도면6


ELVDD_L
Cst
N1
DLj
VINT_H
T1
SLi
GBi
N3
T4
T3
Chold
GCi
T2
VREF
N2
OLED
ELVSS_H

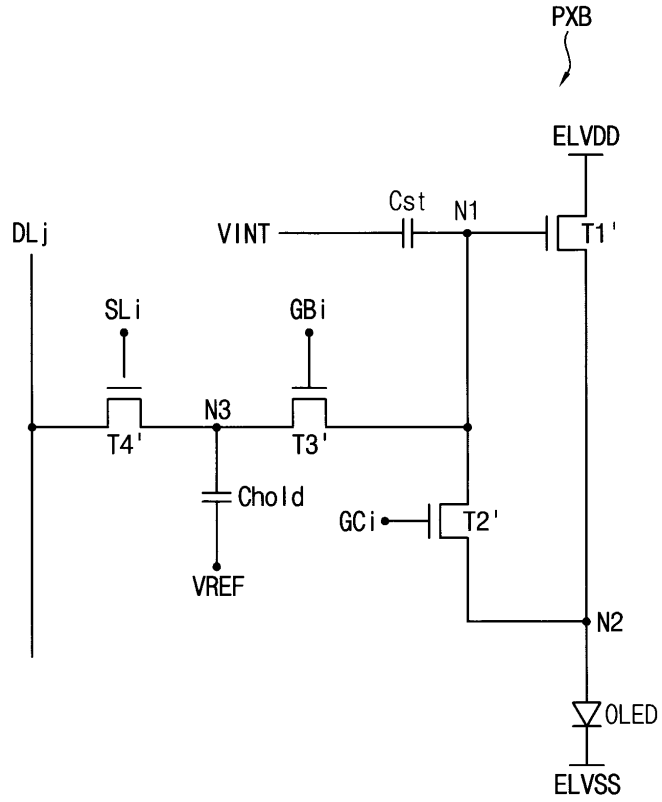
도면7


VREF
Chold
N1
Cst
VINT

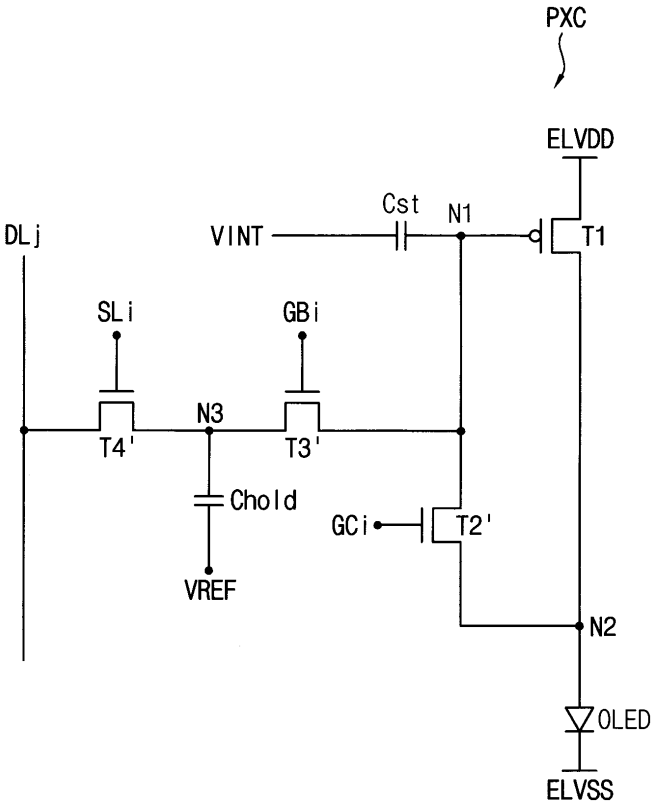
도면8


ELVDD_H
Cst
N1
DLj
VINT_H
T1
SLi
GBi
N3
T4
T3
Chold
GCi
T2
VREF
N2
OLED
ELVSS_L

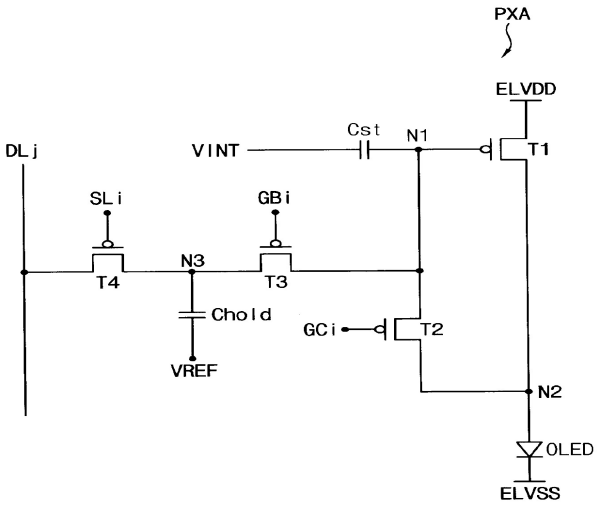
도면9


PXB
ELVDD
Cst
N1
DLj
VINT
T1'
SLi
GBi
N3
T4'
T3'
Chold
GCi
T2'
VREF
N2
OLED
ELVSS

도면10


PXC
ELVDD
Cst
N1
DLj
VINT
T1
SLi
GBi
N3
T4'
T3'
Chold
GCi
T2'
VREF
N2
OLED
ELVSS

专利名称(译)	包括其的像素和有机发光显示装置		
公开(公告)号	KR1020190100565A	公开(公告)日	2019-08-29
申请号	KR1020180019928	申请日	2018-02-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이안수 박준현 정보용 조강문		
发明人	이안수 박준현 정보용 조강문		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2300/043 G09G2300/0819 G09G2310/08 G09G3/3258 G09G3/3291 G09G2300/0426 H01L27/3262 H01L27/3265		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

像素包括：第一晶体管，其包括连接至第一节点的栅电极，被配置为接收第一电源电压的第一电极，以及连接至第二节点的第二电极；以及 第二晶体管，其包括：栅极，被配置为接收第三栅极信号；第一电极，其连接到第一节点；以及第二电极，其连接到第二节点。 第三晶体管，其包括：栅极，被配置为接收第二栅极信号；第一电极，其连接到第三节点；以及第二电极，其连接到第一节点； 第四晶体管，其包括配置为接收第一选通信号的栅电极，配置为接收数据信号的第一电极和连接至第三节点的第二电极； 第一电容器，包括：第一电极，被配置为接收第一电压；第二电极，其连接至第一节点； 第二电容器，包括：第一电极，被配置为接收第二电压；以及第二电极，其连接至第三节点； 发光元件，其包括连接至第二节点的第一电极和被配置为接收第二电源电压的第二电极。 本发明的目的是提供具有高发光效率的有机发光显示装置。