



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0062808
(43) 공개일자 2019년06월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 27/3225 (2013.01)
H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0161371
(22) 출원일자 2017년11월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
임종훈
경기도 파주시 월롱면 엘지로 245
이성원
경기도 파주시 월롱면 엘지로 245
김태욱
경기도 파주시 월롱면 엘지로 245

(74) 대리인
박영복

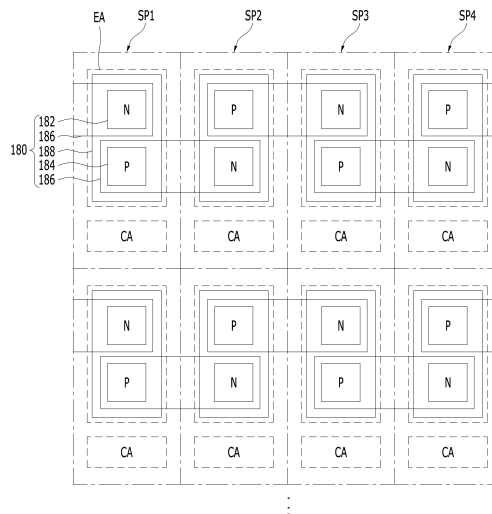
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 개구율을 향상시킬 수 있는 유기 발광 표시 장치에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치는 बैं크에 의해 마련된 상기 발광 영역에 배치되는 발광 소자를 구비하며, 발광 소자의 애노드 전극은 बैं크에 의해 노출됨과 아울러 बैं크의 측면 상에 배치되므로, बैं크의 측면과 대응하는 영역까지도 발광 영역으로 이용할 수 있어 개구율이 향상된다.

대표도 - 도4



(52) CPC특허분류

H01L 27/3223 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

명세서

청구범위

청구항 1

기관 상에 배치되는 다수개의 서브화소 각각의 발광 영역을 마련하는 बैं크와;

상기 발광 영역에 배치되는 발광 소자와;

상기 발광 소자에서 생성된 광의 출사 방향과 반대측에 배치되며, 상기 발광 영역과 중첩되는 펠티어 소자를 구비하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 펠티어 소자는 상기 각 서브 화소 당 하나씩 배치되거나 다수개의 서브 화소 당 하나씩 배치되는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 펠티어 소자는

상기 캐소드 전극과 인접한 제1 전극과;

상기 제1 전극 상에 배치되는 N형 및 P형 반도체층과;

상기 N형 및 P형 반도체층 상에 배치되는 제2 전극을 구비하며,

상기 제2 전극은 상기 각 서브 화소 당 하나씩 배치되며, 상기 각 서브 화소의 제1 전극 상에 배치되는 N형 및 P형 반도체층과 접촉하는 유기 발광 표시 장치.

청구항 4

제 2 항에 있어서,

상기 펠티어 소자는

상기 캐소드 전극과 인접한 제1 전극과;

상기 제1 전극 상에 배치되는 N형 및 P형 반도체층과;

상기 N형 및 P형 반도체층 상에 배치되는 제2 전극을 구비하며,

상기 제2 전극은 상기 2개의 서브 화소 당 하나씩 배치되며, 인접한 서브 화소들에 배치되는 N형 및 P형 반도체층과 접촉하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 기관과 대향하는 제2 기관을 더 구비하며,

상기 제2 전극은 상기 제2 기관과 인접한 유기 발광 표시 장치.

청구항 6

제 2 항에 있어서,

상기 발광 소자와 접속되는 화소 구동 회로와;

상기 화소 구동 회로의 트랜지스터들과 중첩되도록 상기 기판 상에 배치되는 제2 펄티어 소자를 더 구비하는 유기 발광 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제2 펄티어 소자는

상기 화소 구동 회로와 인접한 제3 전극과;

상기 기판과 인접하며 차광 역할을 겸하는 제4 전극과;

상기 제3 및 제4 전극 사이에 배치되는 제2 N형 및 제2 P 형 반도체층을 구비하며,

상기 제4 전극은 상기 화소 구동 회로의 트랜지스터들 각각의 액티브층과 중첩되는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 특히 수명을 향상시킬 수 있는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 발광 표시 장치 등이 각광받고 있다. 이 유기 발광 표시 장치(OLED)는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가진다.

[0003] 이 유기 발광 표시 장치는 다수의 서브 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 여기서, 각 서브 화소는 발광 소자와, 그 발광 소자를 독립적으로 구동하는 다수의 트랜지스터로 이루어진 화소 회로를 구비한다.

[0004] 여기서, 발광 소자의 발광시, 발광 소자에 흐르는 전류는 열을 발생시켜 발광 소자 자체의 온도를 높이는 자기 발열 효과(Self-heating Effect)가 발생된다. 이 때, 발생한 열이 효과적으로 발산되지 못하면 발광 소자의 온도 증가가 가속된다. 이러한 온도 상승은 발광 소자 내의 유기층을 열화시킴으로써 도 1a 및 도 1b에 도시된 바와 같이 휘도 및 효율 저하가 발생되어 수명이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 수명을 향상시킬 수 있는 유기 발광 표시 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치는 발광 영역에 배치되는 발광 소자에서 생성된 광의 출사 방향과 반대측에 배치되며 발광 영역과 중첩되는 펄티어 소자를 구비하며, 상기 펄티어 소자의 제1 실시예는 상기 캐소드 전극과 인접한 제1 전극과; 상기 제1 전극 상에 배치되는 N형 및 P형 반도체층과; 상기 N형 및 P형 반도체층 상에 배치되는 제2 전극을 구비하며, 상기 제2 전극은 상기 각 서브 화소 당 하나씩 배치되며, 상기 각 서브 화소의 제1 전극 상에 배치되는 N형 및 P형 반도체층과 접촉하며, 상기 펄티어 소자의 제2 실시예는 상기 캐소드 전극과 인접한 제1 전극과; 상기 제1 전극 상에 배치되는 N형 및 P형 반도체층과; 상기 N형 및 P형 반도체층 상에 배치되는 제2 전극을 구비하며, 상기 제2 전극은 상기 다수개의 서브 화소 당 하나씩 배치되며, 인접한 서브 화소들에 배치되는 N형 및 P형 반도체층과 접촉한다.

발명의 효과

[0007] 본 발명에서는 발광 소자에서 생성된 광의 출사 방향과 반대측에 배치되면서 발광 영역과 중첩되는 펠티어 소자를 구비한다. 이러한 펠티어 소자에 의해 발광 소자가 일정한 온도를 유지할 수 있으므로, 휘도 및 효율이 저하되는 것을 방지할 수 있어 수명을 향상시킬 수 있다. 또한, 본원 발명은 발광 소자가 항온 수준을 유지하므로, 발광 소자의 열화 보상시 온도 영향성을 배제할 수 있어 보상 능력을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1a 및 도 1b는 종래 유기 발광 표시 장치의 온도와 수명 관계를 설명하기 위한 도면이다.
 도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 도면이다.
 도 3은 도 2에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.
 도 4는 도 3에 도시된 펠티어 소자를 상세히 나타내는 평면도이다.
 도 5는 도 4에 도시된 펠티어 소자의 다른 실시예를 나타내는 평면도이다.
 도 6은 도 5에 도시된 펠티어 소자를 나타내는 단면도이다.
 도 7은 본 발명의 다른 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명하기로 한다.

[0010] 도 2는 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 3은 도 2에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.

[0011] 도 2 및 도 3에 도시된 유기 발광 표시 장치는 유기 발광 소자(130)를 사이에 두고 대향하는 제1 및 제2 기판(101, 111)을 구비한다.

[0012] 제1 기판(101)은 유리 또는 플라스틱 기판으로 형성된다. 플라스틱 기판인 경우, 폴리이미드 계열 또는 폴리 카보네이트 계열 물질이 사용되어 가요성(flexibility)을 가질 수 있다.

[0013] 제2 기판(111)은 제1 기판(101)의 액티브 영역(AA)과 마주보도록 배치된다. 이 제2 기판(111)은 유기 발광 표시 장치의 발광 방향에 따라 유리, 폴리머(polymer), 금속 등과 같은 재질로 형성된다. 예를 들어, 유기 발광 표시 장치가 배면 발광형인 경우, 제2 기판(111)은 불투명한 금속 등과 같은 재질로 형성되며, 유기 발광 표시 장치가 전면 발광형인 경우, 제2 기판(111)은 투명한 유리 등과 같은 재질로 형성된다. 이러한 제2 기판(111)은 제1 기판(101)보다 작은 면적으로 형성되어 제1 기판(101) 상에 형성된 패드 영역(PA)을 노출시킨다.

[0014] 이러한 제1 및 제2 기판(101, 111)은 접착제(104)를 이용하여 합착된다. 접착제(104)는 광경화 물질 또는 열 경화 물질이 포함된 에폭시(epoxy), 아크릴(acrylic) 및 실리콘(silicon) 등을 포함하는 유기 재료를 이용하여 형성할 수 있다.

[0015] 이와 같은 제1 및 제2 기판(101, 111)을 가지는 유기 발광 표시 장치는 액티브 영역(AA)과, 패드 영역(PA)으로 구분된다.

[0016] 패드 영역(PA)에는 액티브 영역(AA)에 배치되는 스캔 라인(SL), 데이터 라인(DL), 고전압(VDD) 공급 라인 및 저전압(VSS) 공급 라인 각각에 구동 신호를 공급하는 다수의 패드들이 형성된다.

[0017] 다수의 패드(170)들 각각은 제1 패드 전극(172), 제2 패드 전극(174) 및 패드 커버 전극(176)을 구비한다.

[0018] 제1 패드 전극(172)은 그 제1 패드 전극(172)과 동일 형상의 게이트 절연 패턴(112) 상에 게이트 전극(156)과 동일 재질로 형성된다.

[0019] 제2 패드 전극(174)은 층간 절연막(116)을 관통하는 제1 패드 콘택홀(178a)을 통해 노출된 제1 패드 전극(172)과 전기적으로 접속된다. 이 제2 패드 전극(174)은 소스 및 드레인 전극(158, 160)과 동일층인 층간 절연막(116) 상에서 소스 및 드레인 전극(158, 160)과 동일 재질로 형성된다.

[0020] 패드 커버 전극(176)은 보호막(118)을 관통하는 제2 패드 콘택홀(178b)을 통해 노출된 제2 패드 전극(174)과 전

기적으로 접촉된다. 또한, 패드 커버 전극(176)은 외부로 노출되어 구동 집적 회로가 실장된 회로 전송 필름(도시하지 않음)과 접촉된다. 이 때, 패드 커버 전극(176)은 보호막(118) 상에서 내식성 및 내산성이 강한 금속으로 이루어져 외부로 노출되어도 외부의 수분 등에 의해 부식되는 것을 방지할 수 있다. 예를 들어, 패드 커버 전극(176)은 애노드 전극(132)과 동일 재질로 동일 평면 상에 형성된다. 즉, 패드 커버 전극(176)은 내식성 및 내산성이 강한 인듐-탄-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명 도전막으로 이루어진다.

- [0021] 액티브 영역(AA)은 발광 소자(130)를 포함하는 단위 화소를 통해 영상을 표시한다. 단위 화소는 적색(R), 녹색(G) 및 청색(B) 서브 화소로 구성되거나, 적색(R), 녹색(G), 청색(B) 및 백색(W) 서브 화소(SP)로 구성된다. 각 서브 화소(SP)는 발광 영역(EA)에 배치되는 발광 소자(130)와, 발광 소자(130)를 독립적으로 구동하는 화소 구동 회로를 구비한다.
- [0022] 화소 구동 회로는 스위칭 트랜지스터(TS), 구동 트랜지스터(TD) 및 스토리지 커패시터(Cst)를 구비한다. 여기서, 스위칭 박막 트랜지스터(TS) 및 구동 박막 트랜지스터(TD)는 각 서브 화소(SP)의 발광 영역(EA)을 제외한 비발광 영역에 포함된 회로 영역(CA)에 배치되며, 스토리지 커패시터(Cst)는 각 서브 화소의 회로 영역(CA) 또는 발광 영역(EA)에 배치된다.
- [0023] 스위칭 트랜지스터(TS)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(TD)의 게이트 전극으로 공급한다.
- [0024] 구동 트랜지스터(TD)는 그 구동 트랜지스터(TD)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전압(VDD) 공급 라인으로부터 발광 소자(130)로 공급되는 전류(I)를 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.
- [0025] 이를 위해, 구동 트랜지스터(TD)는 도 3에 도시된 바와 같이 게이트 전극(156), 소스 전극(158), 드레인 전극(160) 및 액티브층(154)을 구비한다.
- [0026] 게이트 전극(156)은 그 게이트 전극(156)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(156)은 게이트 절연 패턴(112)을 사이에 두고, 액티브층(154)의 채널 영역과 중첩된다. 이러한 게이트 전극(156)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다. 예를 들어, 게이트 전극(156)은 Cu/MoTi 순으로 적층된 다층 구조로 이루어진다.
- [0027] 소스 전극(158)은 층간 절연막(116)을 관통하는 소스 컨택홀(164S)을 통해 노출된 액티브층(154)과 접촉된다. 드레인 전극(160)은 층간 절연막(116)을 관통하는 드레인 컨택홀(164D)을 통해 노출된 액티브층(154)과 접촉된다. 또한, 드레인 전극(160)은 보호막(118) 및 평탄화층(128)을 관통하도록 형성된 화소 컨택홀(120)을 통해 노출되어 애노드 전극(132)과 접촉된다.
- [0028] 이러한 소스 전극(158) 및 드레인 전극(160)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다.
- [0029] 액티브층(154)은 게이트 절연 패턴(112)을 사이에 두고 게이트 전극(156)과 중첩되어 소스 및 드레인 전극(158, 160) 사이에 채널을 형성한다. 이러한 액티브층(154)은 비정질 반도체 물질, 다결정 반도체 물질 및 산화물 반도체 물질 중 적어도 어느 하나로 형성된다.
- [0030] 액티브층(154)과 제1 기판(101) 사이에는 버퍼막(114)과 차광층(102)이 형성된다. 차광층(102)은 액티브층(154)과 중첩되도록 제1 기판(101) 상에 형성된다. 이 차광층(102)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 액티브층(104)으로 입사되는 외부광을 차단할 수 있다. 이러한 차광층(102)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni과 같은 불투명 금속으로 형성된다.
- [0031] 버퍼막(114)은 제1 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 버퍼막(114)은 제1 기판(101)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(104)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- [0032] 스토리지 커패시터(Cst)는 층간 절연막(116)을 사이에 두고 스토리지 하부 전극 및 스토리지 상부 전극이 중첩

됨으로써 형성된다. 스토리지 하부 전극은 게이트 전극(156)과 동일층에 동일 재질로 형성되며, 스토리지 상부 전극은 드레인 전극(160)과 동일층에 동일 재질로 형성된다. 스토리지 하부 전극은 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD) 중 어느 하나의 드레인 전극(160)과 접속되며, 스토리지 상부 전극은 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD) 중 나머지 하나의 드레인 전극(160)과 접속된다. 이러한 스토리지 캐패시터(Cst)에 충전된 전압에 의해 스위칭 트랜지스터(TS)가 턴-오프되더라도 구동 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류를 공급하여 발광 소자(130)의 발광을 유지하게 한다.

- [0033] 발광 소자(130)는 구동 트랜지스터(TD)의 드레인 전극(160)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 적어도 하나의 유기층(134)과, 저전압(VSS) 공급 라인에 접속되도록 유기층(134) 위에 형성된 캐소드 전극(136)을 구비한다. 여기서, 저전압(VSS) 공급 라인은 고전압(VDD) 공급 라인을 통해 공급되는 고전압(VDD)보다 낮은 저전압(VSS)을 공급한다.
- [0034] 애노드 전극(132)은 보호막(118) 및 평탄화층(128)을 관통하는 화소 콘택홀(120)을 통해 노출된 드레인 전극(110)과 접속된다. 애노드 전극(132)은 बैं크(138)에 의해 마련된 발광 영역에서 노출되도록 평탄화층(128) 상에 배치된다. 이 애노드 전극(132)은 배면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.
- [0035] 유기층(134)은 애노드 전극(132) 상에 정공 수송층(HTL), 유기 발광층(EML), 전자 수송층(ETL) 순으로 또는 역순으로 적층되어 형성된다.
- [0036] 캐소드 전극(136)은 유기층(134)을 사이에 두고 애노드 전극(132)과 대향하도록 유기층(134) 및 बैं크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 배면 발광형 유기 발광 표시 장치에 적용되는 경우, 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 이루어진다. 투명 도전막으로는 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수값이 비교적 큰 재질로 이루어지고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 캐소드 전극(136)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성된다.
- [0037] 이러한 발광 소자(130)가 형성된 제1 기판(101) 상에는 제2 보호막(148)이 배치된다. 제2 보호막(148)은 아크릴 수지 등의 유기 절연물질로 이루어진 평탄화층(128)보다는 산화 실리콘 또는 질화 실리콘 등의 무기 절연 물질로 이루어진 보호막(118)과 유사한 재질로 형성된다.
- [0038] 제2 보호막(148)이 유기 절연 물질로 형성되는 경우, 제2 보호막(148) 상에 배치되는 펠티어 소자(180)와 발광 소자(130)의 이격 거리가 상대적으로 멀어져 펠티어 소자(180)는 발광 소자(130)에서 발생하는 열을 효과적으로 감소시킬 수 없다. 반면에, 제2 보호막(148)이 무기 절연 물질로 형성되는 경우, 펠티어 소자(180)와 발광 소자(130)의 이격 거리가 상대적으로 가까워져 펠티어 소자(180)는 발광 소자(130)에서 발생하는 열을 효과적으로 감소시킬 수 있다.
- [0039] 펠티어 소자(180)는 발광 소자(130)에서 생성된 광의 출사 방향에 영향을 미치지 않도록 그 출사 방향과 반대측에 배치되며, 발광 영역(EA)과 중첩된다. 예를 들어, 발광 소자(130)에서 생성된 광이 제1 기판(101)을 통해 출사되는 배면 발광형 구조인 경우, 펠티어 소자(180)는 캐소드 전극(136)의 상부, 예를 들어, 제2 보호막(148)과 제2 기판(111) 사이에서 발광 영역(EA)과 중첩되도록 배치된다.
- [0040] 이러한 펠티어 소자(180)는 발광 소자(130)가 구동됨과 동시에 구동되므로, 발광 소자(130) 발광시 발생하는 열을 제2 기판(111)쪽으로 방출시킨다. 이를 위해, 펠티어 소자(180)는 도 3 및 도 4에 도시된 바와 같이 각 서브 화소(SP) 당 적어도 1개씩 배치된다.
- [0041] 펠티어 소자(180)는 제1 및 제2 전극(186,188)과, 제1 및 제2 전극(186,188) 사이에 배치되는 N형 및 P형 반도체층(182,184)을 구비한다.
- [0042] 제1 전극(186)은 제2 보호막(148) 상에 전도성이 좋은 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 이 제1 전극(186)은 발광 소자(130)와 인접하게 배치되어 발광 소자(130) 구동시 발광 소자(130)에서 발생하는 열을 흡수하는 흡열판 역할을 한다. 이를 위해, 각 서브 화소(SP) 내에서, N형 반도체층(182)과 접촉된 제1 전극(186)과, P형 반도체층(184)과 접촉된 제1 전극(186)은 서로 분리되도록 배치된다. 그리고, 좌우로 인접한 서브 화소(SP)의 반대 극성의 반도체층(182,184)과 접촉된 제1 전극(186)들은 बैं크(138)를 사이에 두고 서로 전기적으로 접속된다. 즉, 각 서브 화소(SP)에 배치된 N형 반도체층(182)과 접촉되는 제1 전극(186)은 좌측 및 우측 중 어느 한 측으로 인접한 서브 화소의 P형 반도체층(184)과도

접속된다. 또한, 각 서브 화소에 배치된 P형 반도체층(184)과 접속되는 제1 전극(186)은 좌측 및 우측 중 나머지 한 측으로 인접한 서브 화소의 N형 반도체층(182)과도 접속된다. 예를 들어, 제2 서브 화소(SP2)에 배치된 N형 반도체층(182)과 접속된 제1 전극(186)은 좌측으로 인접한 제1 서브 화소(SP1)에 배치된 P형 반도체층(184)과도 접속된다. 또한, 제2 서브 화소(SP2)에 배치된 P형 반도체층(184)과 접속된 제1 전극(186)은 우측으로 인접한 제3 서브 화소(SP3)에 배치된 N형 반도체층(184)과도 접속된다.

[0043] N형 및 P형 반도체층(182,184) 각각은 각 서브 화소(SP) 당 1개씩 배치되어 제1 전극(186) 상에 직렬 배치된다. 그리고, N형 및 P형 반도체층(182,184)은 인접한 서브 화소(SP)의 N형 및 P형 반도체층(182,184)과 엇갈리게 배치된다. 이러한 N형 및 P형 반도체층(182,184) 사이에는 이들의 절연을 위해 방열 절연막(146)이 배치된다. 제 방열 절연막(146)은 N형 반도체층(182)과 접속된 제1 전극(186)과, P형 반도체층(184)과 접속된 제1 전극(186) 사이에 배치됨으로써 제1 전극들(186) 사이와, 제1 및 제2 전극(186,188) 사이를 절연시킨다.

[0044] 제2 전극(188)은 N형 및 P형 반도체층(182,184)이 형성된 제1 기판(101) 상에 전도성이 좋은 Al, Ag, Cu, Pb, Mo, Ti 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 이 제2 전극(188)은 बैं크(138)에 의해 노출된 각 서브 화소(SP)의 애노드 전극(132)과 대응되는 면적으로 각 서브 화소(SP)당 하나씩 형성된다. 이러한 제2 전극(188)은 각 서브 화소(SP) 내에서 상하로 인접하게 배치된 N형 및 P형 반도체층(182,184) 각각과 접촉된다. 이에 따라, 제2 전극(188)은 제2 기판(111)과 인접하게 배치되어 제1 전극(186)에서 흡수된 열을 제2 기판(111)쪽으로 방출시키는 방열판 역할을 한다.

[0045] 이와 같은 펄티어 소자(180)의 P형 반도체층(184)과 접촉하는 제1 전극(186)에는 정극성 전압을, N형 반도체층(182)과 접촉하는 제1 전극(186)에 부극성 전압을 인가하면, 전류는 P형 반도체층(184)에서 N형 반도체층(182)으로 흐르게 된다. 이에 따라, P형 반도체층(184) 내에서의 정공과 N형 반도체층(182) 내의 전자는 제1 전극(186)과의 접점에서 제2 전극(188)과의 접점으로 이동하면서 제1 전극(186)과 인접한 발광 소자(130)에서 발생된 열도 같이 이동하게 된다. 이에 따라, 캐소드 전극(136)과 인접한 제1 전극들(186)은 지속적으로 차가워지고 제2 기판(111)과 인접한 제2 전극(188)은 지속적으로 뜨거워진다. 이에 따라, 펄티어 소자(130)에서 방출된 열은 제2 기판(111)을 통해 외부로 방출됨으로써 발광 소자(130)가 효과적으로 냉각된다.

[0046] 이에 따라, 본원 발명의 발광 소자(130)는 펄티어 소자(180)에 의해 일정한 온도를 유지할 수 있으므로, 휘도 및 효율이 저하되는 것을 방지할 수 있어 수명을 향상시킬 수 있다. 또한, 본원 발명의 발광 소자(130)는 항온 수준을 유지하므로, 본원 발명은 발광 소자(130)의 열화 보상시 온도 영향성을 배제할 수 있어 보상 능력을 향상시킬 수 있다.

[0047] 한편, 본 발명에서는 각 서브 화소(SP) 당 1개의 펄티어 소자(180)가 배치되는 구조를 예로 들어 설명하였지만, 이외에도 2개 이상의 서브 화소(SP) 당 1개의 펄티어 소자(180)가 배치될 수도 있다. 본 발명에서는 2개의 서브 화소(SP) 당 1개의 펄티어 소자(180)가 배치된 구조를 예로 들어 설명하기로 한다.

[0048] 도 5 및 도 6에 도시된 바와 같이 각 서브 화소(SP)에는 N형 및 P형 반도체층(182,184) 중 어느 하나가 배치되며, 상하좌우로 인접한 서브 화소(SP)에 배치된 반도체층과 불순물이 다른 반도체층이 배치된다. 이러한 N형 및 P형 반도체층(182,184) 각각은 बैं크(138)에 의해 노출된 각 서브 화소(SP)의 애노드 전극(132)과 대응되는 면적으로 형성된다. 또한, 상하로 인접한 N형 및 P형 반도체층(182,184) 사이에는 회로 영역(CA)과 중첩되는 बैं크 상부의 제2 보호막(148)이 배치되며, 좌우로 인접한 N형 및 P형 반도체층(182,184) 사이에는 데이터 라인(DL)과 중첩되는 बैं크 상부의 제2 보호막(148)이 배치된다. 따라서, N형 및 P형 반도체층(182,187)을 절연시키기 위한 별도의 방열 절연막이 불필요하므로 구조 및 공정을 단순화할 수 있다.

[0049] 제1 전극(186)은 좌우로 인접한 2개의 서브 화소(SP) 당 1개씩 배치되어 बैं크(138)를 사이에 두고 좌우로 인접한 N형 및 P형 반도체층(182,184) 각각과 접촉된다. 이러한 제1 전극(186)은 발광 소자(130)와 인접하게 배치되어 발광 소자(130) 구동시 발광 소자(130)에서 발생하는 열을 흡수한다.

[0050] 제2 전극(188)은 상하로 인접한 2개의 서브 화소(SP)당 1개씩 배치되어 बैं크(138)를 사이에 두고 상하로 인접한 N형 및 P형 반도체층(182,184) 각각과 접촉된다. 이러한 제2 전극(188)은 제2 기판(111)과 인접하게 배치되어 제1 전극(186)에서 흡수된 열을 제2 기판(111)으로 방출시키는 방열판 역할을 한다.

[0051] 이와 같은 펄티어 소자(180)의 P형 반도체층(184)과 접촉하는 제1 전극(186)에는 정극성 전압을, N형 반도체층(182)과 접촉하는 제1 전극(186)에 부극성 전압을 인가하면, 전류는 P형 반도체층(184)에서 N형 반도체층(182)으로 흐르게 된다. 이에 따라, P형 반도체층(184) 내에서의 정공과 N형 반도체층(182) 내의 전자는 제1 전극(186)과의 접점에서 제2 전극(188)과의 접점으로 이동하면서 제1 전극(186)과 인접한 발광 소자(130)에서 발생

된 열도 같이 이동하게 된다. 이에 따라, 캐소드 전극(136)과 인접한 제1 전극들(186)은 지속적으로 차가워지고 제2 기관(111)과 인접한 제2 전극(188)은 지속적으로 뜨거워진다. 이에 따라, 펠티어 소자(130)에서 방출된 열은 제2 기관(111)을 통해 외부로 방출됨으로써 발광 소자(130)가 효과적으로 냉각된다.

- [0052] 이에 따라, 본원 발명의 발광 소자(130)는 펠티어 소자(180)에 의해 일정한 온도를 유지할 수 있으므로, 휘도 및 효율이 저하되는 것을 방지할 수 있어 수명을 향상시킬 수 있다. 또한, 본원 발명의 발광 소자(130)는 항온 수준을 유지하므로, 본원 발명은 발광 소자(130)의 열화 보상시 온도 영향성을 배제할 수 있어 보상 능력을 향상시킬 수 있다.
- [0053] 도 7은 본 발명의 다른 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.
- [0054] 도 7에 도시된 유기 발광 표시 장치는 도 3에 도시된 유기 발광 표시 장치와 대비하여 회로 영역(CA)에 배치되는 화소 구동 회로와 중첩되는 제2 펠티어 소자(190)를 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다. 이에 따라, 동일한 구성요소에 대한 상세한 설명은 생략하기로 한다.
- [0055] 제2 펠티어 소자(190)는 제3 및 제4 전극(196,198)과, 제3 및 제4 전극(196,198) 사이에 배치되는 제2 N형 및 제2 P형 반도체층(192,194)을 구비한다.
- [0056] 제3 전극(196)은 회로 영역에 배치되는 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)와 인접하게 배치되어 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)의 구동시 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)에서 발생하는 열을 흡수한다. 이를 위해, 각 서브 화소(SP) 내에서, 제2 N형 반도체층(192)과 접촉된 제3 전극(196)과, 제2 P형 반도체층(194)과 접촉된 제3 전극(196)은 서로 분리되도록 배치되며, 좌우로 인접한 서브 화소(SP)의 제3 전극(196)과 전기적으로 접속된다.
- [0057] 제2 N형 및 제2 P형 반도체층(192,194) 각각은 각 서브 화소(SP) 당 1개씩 배치되어 제4 전극(198) 상에 직렬로 배치된다. 이러한 제2 N형 및 제2 P형 반도체층(192,194) 사이에는 이들의 절연을 위해 버퍼층(114)이 배치된다. 버퍼층(114)은 제2 N형 반도체층(192)과 접촉된 제3 전극(196)과, 제2 P형 반도체층(194)과 접촉된 제3 전극(196) 사이에 배치됨으로써 제3 전극들(196) 사이와, 제3 및 제4 전극(196,198) 사이를 절연시킨다.
- [0058] 제4 전극(198)은 화소 구동 회로의 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)의 액티브층(154)과 중첩되도록 제1 기관(101) 상에 형성된다. 이러한 제4 전극(198)은 각 서브 화소(SP) 내에 배치된 제2 N형 및 제2 P형 반도체층(182,184) 각각과 접촉된다. 이에 따라, 제4 전극(198)은 제1 기관(101)과 인접하게 배치되어 제3 전극(196)에서 흡수된 열을 제1 기관(101)으로 방출시키는 방열판 역할을 한다. 또한, 제4 전극(198)은 제1 기관(101) 상에 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)의 액티브층(154)과 중첩되도록 형성되어 차광층 역할을 겸한다.
- [0059] 이와 같은 제2 펠티어 소자(190)의 제2 P형 반도체층(194)과 접촉하는 제3 전극(196)에는 정극성 전압을, 제2 N형 반도체층(192)과 접촉하는 제3 전극(196)에 부극성 전압을 인가하면, 전류는 제2 P형 반도체층(194)에서 제2 N형 반도체층(192)으로 흐르게 된다. 이에 따라, 제2 P형 반도체층(194) 내에서의 정공과 제2 N형 반도체층(192) 내의 전자는 제3 전극(196)과의 접점에서 제4 전극(198)과의 접점으로 이동하면서 제3 전극(196)과 인접한 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)에서 발생한 열도 같이 이동하게 된다. 이에 따라, 스위칭 트랜지스터(TS) 및 구동 트랜지스터(TD)와 인접한 제3 전극들(196)은 지속적으로 차가워지고 제1 기관(101)과 인접한 제4 전극(198)은 지속적으로 뜨거워진다. 이에 따라, 제2 펠티어 소자(190)에서 방출된 열은 제1 기관(101)을 통해 외부로 방출된다.
- [0060] 이에 따라, 본원 발명의 유기 발광 표시 장치는 제1 및 제2 펠티어 소자(180,190)에 의해 일정한 온도를 유지할 수 있으므로, 휘도 및 효율이 저하되는 것을 방지할 수 있어 수명을 향상시킬 수 있다.
- [0061] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

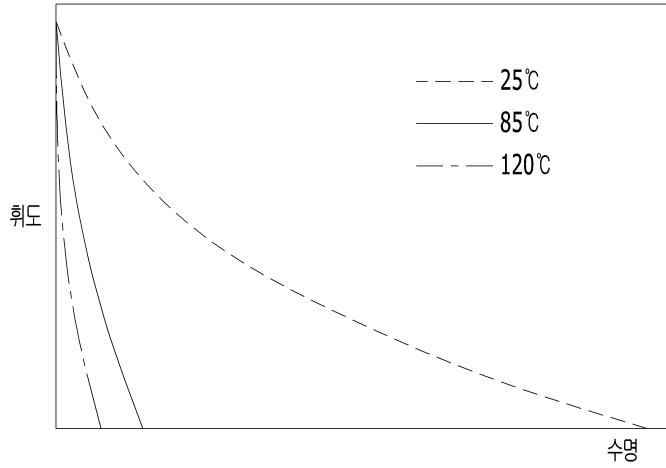
부호의 설명

- [0062] 101 : 기관 130 : 발광 소자

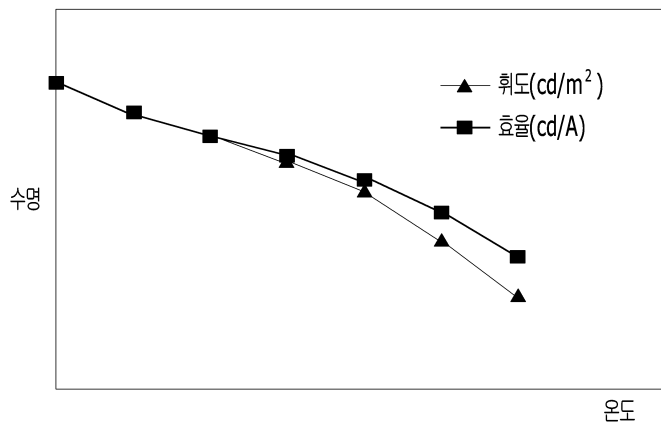
- 132 : 애노드 전극 134 : 유기층
- 136 : 캐소드 전극 138 : बैं크
- 180,190 : 펄티어 소자

도면

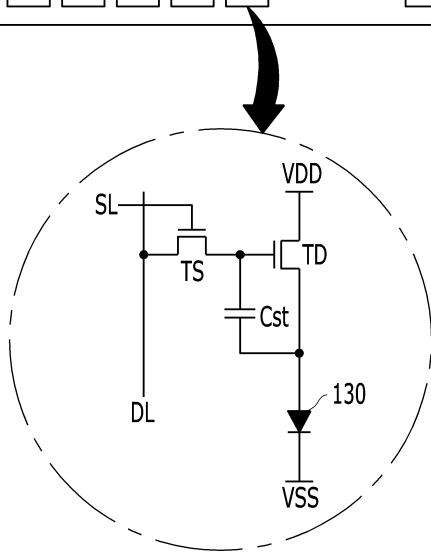
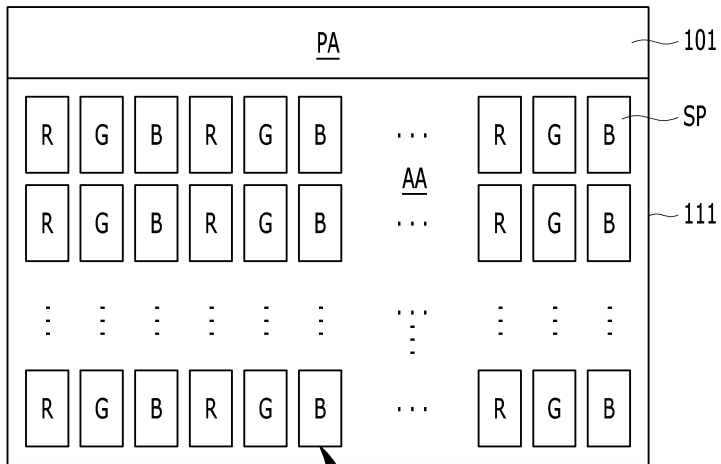
도면1a



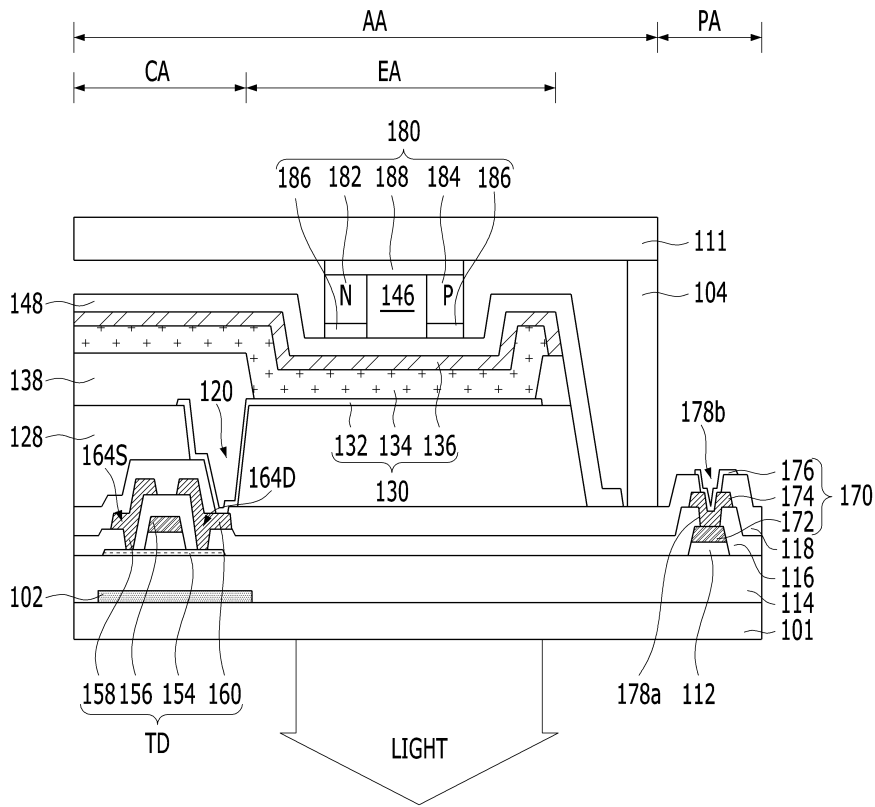
도면1b



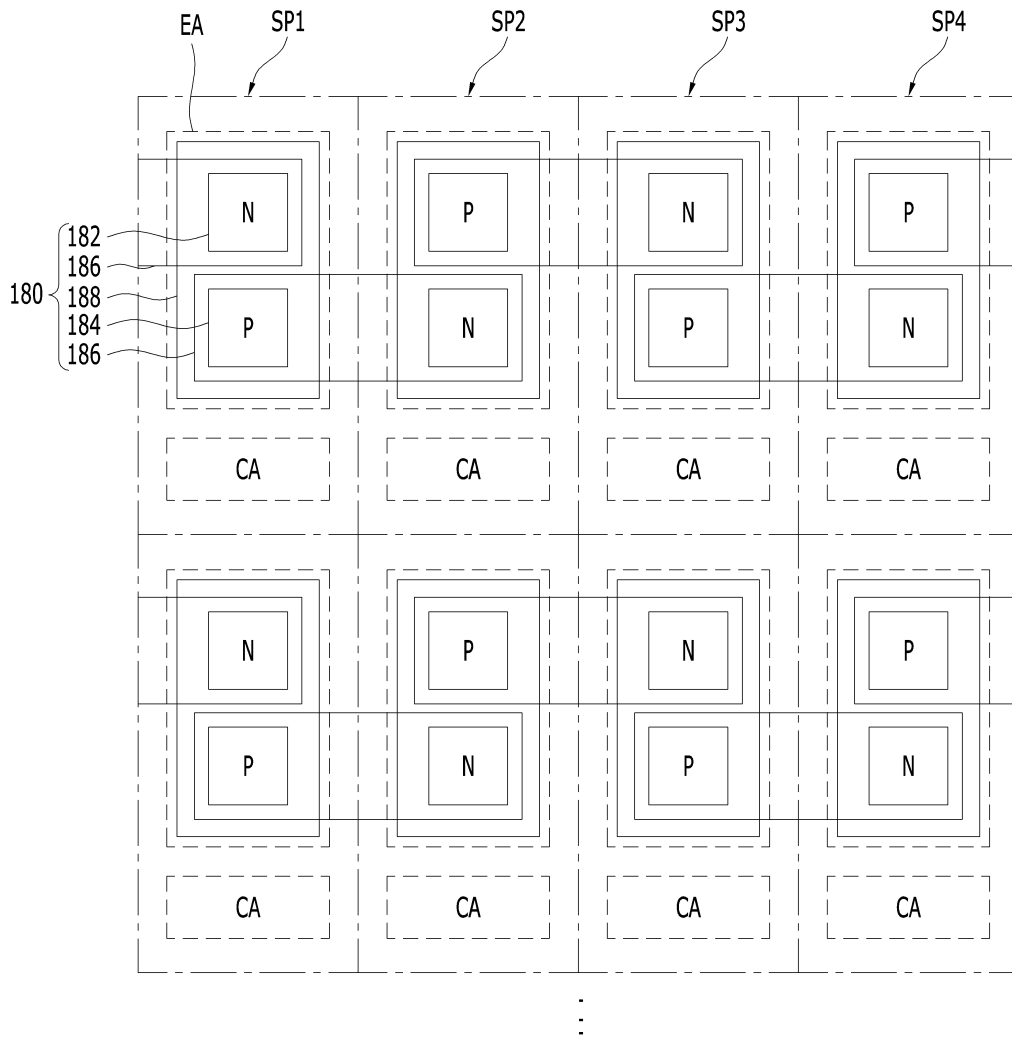
도면2



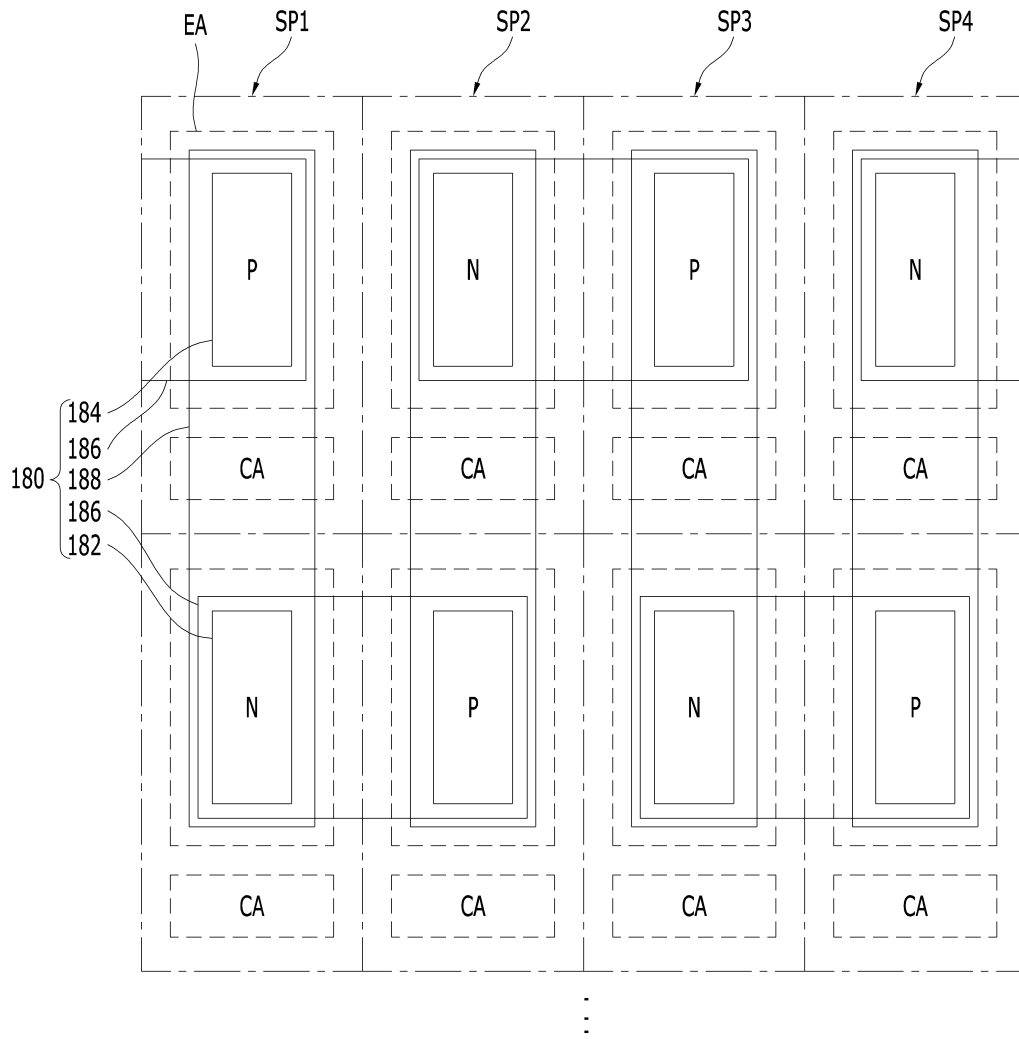
도면3



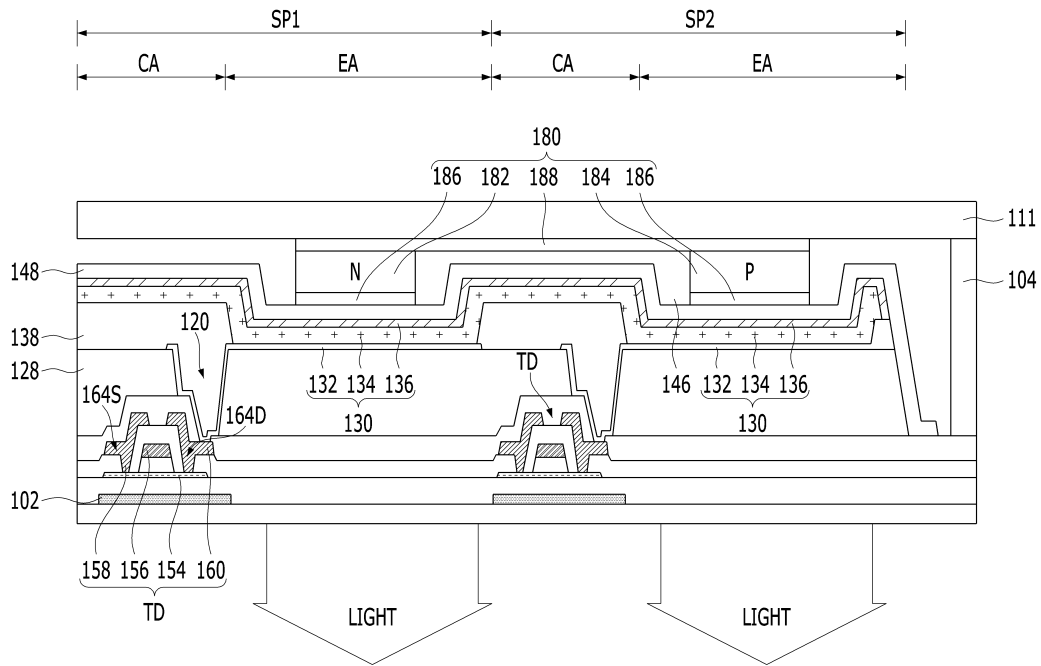
도면4



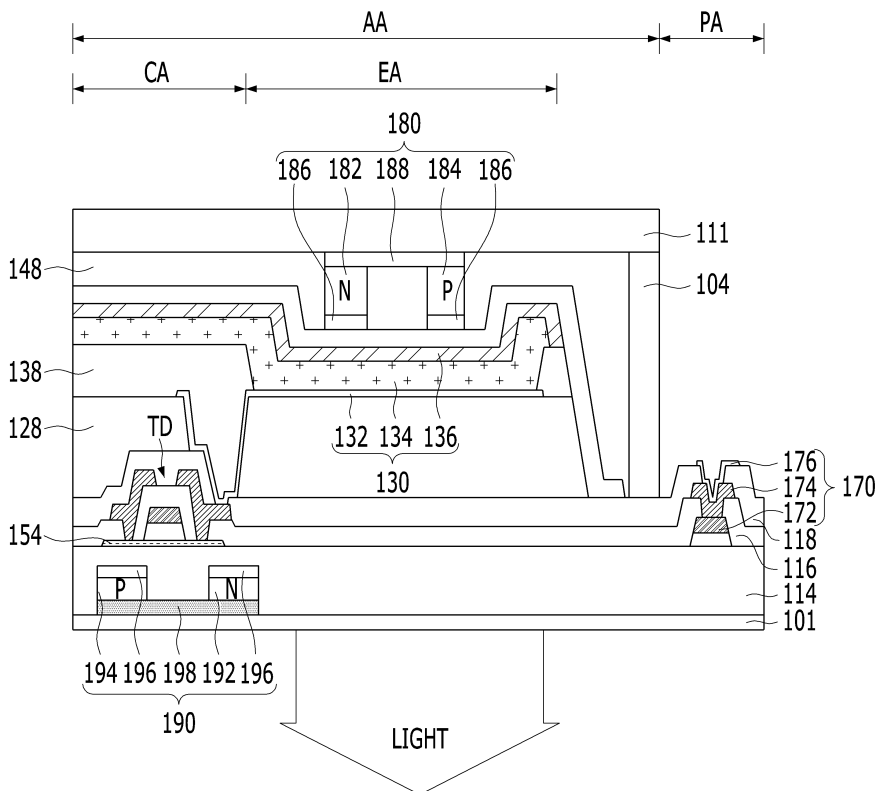
도면5



도면6



도면7



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190062808A	公开(公告)日	2019-06-07
申请号	KR1020170161371	申请日	2017-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	임종훈 이성원 김태욱		
发明人	임종훈 이성원 김태욱		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3225 H01L27/3211 H01L27/3223 H01L27/3248 H01L27/3262		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种能够提高开口率的有机发光显示装置，其中，本发明的有机发光显示装置包括：发光元件，该发光元件配置在隔堤所设置的发光区域中；该发光元件的阳极电极设置在该隔堤中。通过暴露并布置在堤的侧面上，即使与堤的侧面相对应的区域也可以用作发光区域，从而提高了开口率。

