



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0022100
(43) 공개일자 2019년03월06일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) H01L 27/32 (2006.01)

H01L 51/50 (2006.01) H01L 51/56 (2006.01)

(52) CPC특허분류

H01L 51/5278 (2013.01)

H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0107934

(22) 출원일자 2017년08월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

백승민

경기도 파주시 월롱면 엘지로 245

김호진

경기도 파주시 월롱면 엘지로 245

정고은

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

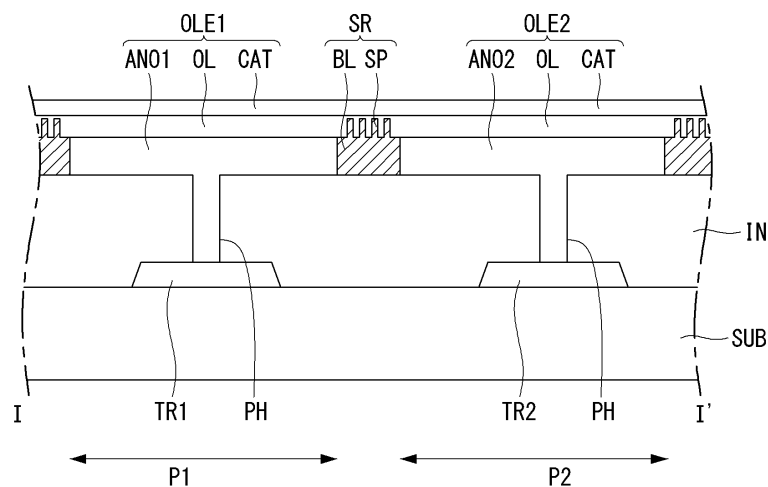
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 다이오드 표시장치 및 그 제조 방법

(57) 요약

본 발명에 의한 유기발광 다이오드 표시장치는, 제1 픽셀의 제1 전극과 제2 픽셀의 제1 전극 사이에 배치되고, 서로 다른 식각률(etch rate)을 갖는 두 종류의 물질이 혼합된 물질로 이루어진 단차 보상층을 포함한다. 상기 단차 보상층은 베이스층으로부터 돌출된 다수의 스파이크 패턴들을 포함하며, 상기 스파이크 패턴들은 상기 두 종류의 물질 중 식각률이 낮은 물질을 포함한다.

대표도 - 도9



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5088 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

박막 트랜지스터에 연결된 제1 전극을 갖는 제1 및 제2 픽셀들을 포함하는 유기발광 다이오드 표시장치에 있어서,

상기 제1 픽셀의 제1 전극과 상기 제2 픽셀의 제1 전극 사이에 배치되고, 서로 다른 식각률(etch rate)을 갖는 두 종류의 물질이 혼합된 단차 보상층을 포함하고,

상기 단차 보상층은,

베이스층으로부터 돌출된 다수의 스파이크 패턴들을 포함하며,

상기 스파이크 패턴들은,

상기 두 종류의 물질 중 식각률이 낮은 물질을 포함하는, 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 및 제2 픽셀의 제1 전극들과 상기 단차 보상층을 덮는 유기 발광층을 더 포함하고,

상기 유기 발광층을 구성하는 층들 중 적어도 일부층의 표면은,

상기 단차 보상층 상에서 파면(波面)을 형성하는, 유기발광 다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 및 제2 픽셀의 제1 전극들과 상기 단차 보상층을 덮는 유기 발광층을 더 포함하고,

상기 유기 발광층을 구성하는 층들 중 적어도 일부층은,

상기 스파이크 패턴들 사이에서 매립되고,

상기 스파이크 패턴들의 상단은,

상기 스파이크 패턴들 사이에 매립된 상기 일부층의 표면을 관통하는, 유기발광 다이오드 표시장치.

청구항 4

제 2 항 및 제 3 항 중 어느 한 항에 있어서,

상기 유기 발광층은,

순차적으로 배치된 제1 스택, 전하 생성층, 제2 스택을 포함하고,

상기 일부층은,

상기 전하 생성층인, 유기발광 다이오드 표시장치.

청구항 5

제 2 항 및 제 3 항 중 어느 한 항에 있어서,
상기 유기 발광층은,
발광층, 및 정공 주입층을 포함하고,
상기 일부층은,
상기 정공 주입층인, 유기발광 다이오드 표시장치.

청구항 6

제 1 항에 있어서,
상기 스파이크 패턴들은,
상기 제1 전극의 표면 위로 돌출되는, 유기발광 다이오드 표시장치.

청구항 7

제 1 항에 있어서,
상기 단차 보상층은,
혼합물 내의 골격이 되는 바인더(binder), 및 첨가제를 포함하고,
상기 바인더는,
아크릴(acryl)계 또는 에폭시(epoxy)계 유기물을 포함하고,
상기 첨가제는,
락탐(Lactam) 계열의 유기물을 포함하는, 유기발광 다이오드 표시장치.

청구항 8

제 1 항에 있어서,
상기 스파이크 패턴들 사이의 간격은,
100nm 내지 200nm인, 유기발광 다이오드 표시장치.

청구항 9

박막 트랜지스터에 연결된 제1 전극을 갖는 제1 및 제2 픽셀들을 포함하는 유기발광 다이오드 표시장치 제조방법에 있어서,
기판 상에 도전 물질을 도포하고, 상기 제1 픽셀의 제1 전극이 형성될 영역 및 상기 제2 픽셀의 제1 전극이 형성될 영역에 대응하여 상기 도전 물질 상에 감광막을 형성하는 단계;
상기 도전 물질을 패터닝하여, 상기 제1 픽셀의 제1 전극 및 상기 제2 픽셀의 제1 전극을 형성하는 단계;
상기 감광막이 배치된 상기 기판 상에, 서로 다른 식각률을 갖는 두 종류의 물질을 도포하는 단계;
상기 두 종류의 물질이 도포된 상기 기판 상에, 식각 공정을 진행하여 베이스층으로부터 돌출된 다수의 스파이크 패턴들을 갖는 단차 보상층을 형성하는 단계;
상기 제1 픽셀의 제1 전극 및 상기 제2 픽셀의 제1 전극 상에 배치된 상기 감광막을 제거하는 단계를 포함하는, 유기발광 다이오드 표시장치 제조방법.

청구항 10

제 9 항에 있어서,
상기 단차 보상층은,
혼합물 내의 골격이 되는 바인더(binder), 및 첨가제를 포함하고,
상기 바인더는,
아크릴(acryl)계 또는 에폭시(epoxy)계 유기물을 포함하고,
상기 첨가제는,
락탐(Lactam) 계열의 유기물을 포함하는, 유기발광 다이오드 표시장치 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 다이오드 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003] 이들 표시장치 중에서 유기발광 다이오드 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 다이오드 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 발광층을 포함한다. 유기발광 다이오드 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 엑시톤(exciton)을 형성하고, 형성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 최근에는, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 유기발광 다이오드 표시장치에 대한 수요가 증가하고 있다. 높은 PPI를 갖는 고 해상도의 유기발광 다이오드 표시장치를 구현하기 위해서는, 제한된 면적의 표시패널 상에 많은 픽셀들을 배치하여야 하기 때문에, 픽셀들 사이의 간격이 상대적으로 좁아진다. 이 경우, 이웃하는 픽셀들 사이에 누설 전류(leakage current)가 발생할 수 있고, 누설 전류에 의해 원치 않은 픽셀이 발광하여 표시 품질을 저하시키는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 누설 전류를 최소화하여 표시 품질을 개선한 유기발광 다이오드 표시장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명에 의한 유기발광 다이오드 표시장치는, 제1 픽셀의 제1 전극과 제2 픽셀의 제1 전극 사이에 배치되고, 서로 다른 식각률(etch rate)을 갖는 두 종류의 물질이 혼합된 물질로 이루어진 단차 보상층을 포함한다. 상기

단차 보상층은 베이스층으로부터 돌출된 다수의 스파이크 패턴들을 포함하며, 상기 스파이크 패턴들은 상기 두 종류의 물질 중 식각률이 낮은 물질을 포함한다.

[0008] 본 발명에 의한 유기발광 다이오드 표시장치 제조방법은, 기관 상에 도전 물질을 도포하고, 제1 픽셀의 제1 전극이 형성될 영역 및 제2 픽셀의 제1 전극이 형성될 영역에 대응하여 상기 도전 물질 상에 감광막을 형성하는 단계; 상기 도전 물질을 패터닝하여, 상기 제1 픽셀의 제1 전극 및 상기 제2 픽셀의 제1 전극을 형성하는 단계; 상기 감광막이 배치된 상기 기관 상에, 서로 다른 식각률을 갖는 두 종류의 물질을 도포하는 단계; 상기 두 종류의 물질이 도포된 상기 기관 상에, 식각 공정을 진행하여 베이스층으로부터 돌출된 다수의 스파이크 패턴들을 갖는 단차 보상층을 형성하는 단계; 상기 제1 픽셀의 제1 전극 및 상기 제2 픽셀의 제1 전극 상에 배치된 상기 감광막을 제거하는 단계를 포함한다.

발명의 효과

[0009] 본 발명은, 종래 बैंक 구조를 삭제하고 식각률이 상이한 두 종류의 물질을 포함하는 단차 보상층을 구비함으로써, 고 해상도 표시장치에서 충분한 개구율을 확보하면서도 누설 전류를 최소화할 수 있다. 이에 따라, 본 발명은 표시 품질이 개선된 유기발광 다이오드 표시장치를 제공할 수 있다.

도면의 간단한 설명

[0010] 도 1 및 도 2는 유기발광 다이오드 표시장치를 나타낸 평면도 및 단면도이다.
 도 3 내지 도 5는 유기발광 다이오드 표시장치의 문제점을 설명하기 위한 도면들이다.
 도 6은 본 발명의 바람직한 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다.
 도 7은 도 6에 도시된 픽셀을 개략적으로 나타낸 구성도이다.
 도 8은 도 7의 구체적인 예를 나타내는 도면들이다.
 도 9는 이웃하는 두 픽셀의 구조를 개략적으로 나타낸 단면도이다.
 도 10은 스파이크 패턴의 실제 형상을 보여주는 도면이다.
 도 11 및 도 12는 단차 보상층의 기능을 설명하기 위한 도면이다.
 도 13a 내지 도 13e는 본 발명의 바람직한 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0012] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0013] 도 1 및 도 2는 유기발광 다이오드 표시장치를 나타낸 평면도 및 단면도이다. 도 3 내지 도 5는 유기발광 다이오드 표시장치의 문제점을 설명하기 위한 도면들이다.

[0014] 도 1 및 도 2를 참조하면, 유기발광 다이오드 표시장치는 복수의 픽셀(PXL)들을 갖는 표시 패널(DIS)을 포함한다. 표시 패널(DIS)은 다양한 형상을 가질 수 있다. 즉, 표시 패널(DIS)은 장방형, 정방형의 형상을 가질 수 있음은 물론, 원형, 타원형, 다각형 등 다양한 이형(free form)의 평면 형상을 가질 수 있다.

[0015] 표시 패널(DIS)은 적색(R), 청색(B) 및 녹색(G)을 각각 발광하는 적색(R), 청색(B) 및 녹색(G) 픽셀(PXL)을 포함한다. 필요에 따라서, 표시 패널(DIS)은 백색(W) 등 다른 색을 발광하는 픽셀(PXL)을 더 포함할 수 있다. 이하에서는, 설명의 편의를 위해, 표시 패널(DIS)이 적색(R), 청색(B) 및 녹색(G) 픽셀(PXL)을 포함하는 경우를 예로 들어 설명한다.

- [0016] 본 발명에 따른 유기발광 다이오드 표시장치는, 적색(R), 녹색(G) 및 청색(B)을 구현하기 위해, 백색(W)을 발광하는 유기 발광층(OL), 및 적색(R), 청색(B) 및 녹색(G)의 컬러 필터(color filter)를 포함한다. 즉, 유기발광 다이오드 표시장치는, 유기 발광층(OL)으로부터 방출된 백색(W)광이 적색(R), 녹색(G) 및 청색(B) 픽셀(PXL)에 대응되는 영역에 각각 구비된 적색(R), 녹색(G) 및 청색(B)의 컬러 필터(color filter)를 통과함으로써, 적색(R), 녹색(G) 및 청색(B)을 구현할 수 있다.
- [0017] 본 발명에 따른 유기발광 다이오드 표시장치의 경우, 백색(W)을 발광하는 유기 발광층(OL)을 패널 전면(全面)의 대부분을 덮도록 넓게 형성하면 충분하기 때문에, 적색(R), 청색(B) 및 녹색(G)의 유기 발광층(OL) 각각을 구분하여 대응하는 픽셀(PXL)들 내에 할당하기 위해 FMM 마스크를 이용할 필요가 없다. 따라서, 본 발명은 전술한 FMM을 사용함에 따른 문제점 예를 들어, 고 해상도 구현 시 공정 수율의 저하, 유기 발광층(OL)이 제 위치 형성되지 못하는 얼라인(align)불량 등을 방지할 수 있는 이점을 갖는다.
- [0018] 본 발명은 전술한 방법을 이용함으로써, 공정 수율이 저하되는 것을 최소화하면서 고 해상도를 갖는 표시장치를 구현할 수 있다. 다만, 픽셀(PXL)마다 구분되지 않고 넓게 형성된 유기 발광층(OL)을 통한 누설 전류(leakage current)에 의해, 원치 않는 픽셀(PXL)에서 광이 방출되어 이웃하는 픽셀(PXL)들 간에 혼색이 발생할 수 있다. 여기서, 유기 발광층(OL)을 구성하는 층들 중 전도도가 높은 적어도 하나의 층이, 누설 전류의 유동 경로(LCP, 도 2)가 될 수 있다.
- [0019] 일 예로, 도 2의 (a)를 참조하면, 백색(W)을 발광하는 유기 발광층(OL)은 2스택(stack)구조와 같은 다중 스택 구조를 가질 수 있다. 2스택 구조는, 제1 전극(ANO)과 제2 전극(CAT) 사이에 배치된 전하 생성층 (Charge Generation Layer, CGL), 및 전하 생성층(CGL)을 사이에 두고 전하 생성층(CGL) 하부 및 상부에 각각 배치된 제1 스택(STC1) 및 제2 스택(STC2)을 포함할 수 있다. 이하에서는 제1 전극(ANO)이 애노드이고, 제2 전극(CAT)이 캐소드인 경우를 예로 들어 설명하나, 이에 한정되는 것은 아니다. 즉, 유기발광 다이오드는 인버티드(inverted) 구조로 구현될 수도 있다.
- [0020] 제1 스택(STC1) 및 제2 스택(STC2)은 각각 발광층(Emission layer)을 포함하며, 정공주입층(Hole injection layer), 정공수송층(Hole transport layer), 전자수송층(Electron transport layer) 및 전자주입층(Electron injection layer)과 같은 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다. 제1 스택(STC1)의 발광층과 제2 스택(STC2)의 발광층은 서로 다른 색의 발광 물질을 포함할 수 있다. 제1 스택(STC1)의 발광층과 제2 스택(STC2)의 발광층 중 어느 하나는 청색 발광 물질을 포함하고, 다른 하나는 황색 발광 물질을 포함할 수 있으나, 이에 한정되는 것은 아니다.
- [0021] 전술한 유기 발광층(OL) 특히, 전하 생성층(CGL)은 픽셀(PXL)마다 구분되어 패턴되지 않고, 넓게 형성되기 때문에, 표시장치가 온(on) 상태를 유지할 때 발생한 일부 전류가 전하 생성층(CGL)을 통해 누설될 수 있다. 누설 전류에 의해, 발광이 요구되지 않는 픽셀(PXL)에서 광이 방출됨에 따라, 색 재현율이 현저히 저하되는 문제점이 발생한다.
- [0022] 다른 예로, 도 2의 (b)를 참조하면, 백색(W)을 발광하는 유기 발광층(OL)은 단일 스택 구조를 가질 수 있다. 단일 스택은 각각 발광층(Emission layer, EML)을 포함하며, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL)과 같은 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다.
- [0023] 전술한 유기 발광층(OL) 특히, 정공 주입층(HIL)은 픽셀(PXL)마다 구분되어 패턴되지 않고, 넓게 형성되기 때문에, 표시장치가 온(on) 상태를 유지할 때 발생한 일부 전류가 정공 주입층(HIL)을 통해 누설될 수 있다. 누설 전류에 의해, 발광이 요구되지 않는 픽셀(PXL)에서 광이 방출됨에 따라, 색 재현율이 현저히 저하되는 문제점이 발생한다.
- [0024] 이하에서는, 설명의 편의를 위해, 유기 발광층이 2 스택 구조를 갖는 경우를 예로 들어 설명한다.
- [0025] 전술한 문제는, 픽셀(PXL) 사이즈 간격이 상대적으로 줄어드는 고 해상도 표시장치에서 더욱 문제된다. 즉, 이웃하는 픽셀(PXL)들이 뱅크(BN)와 같은 픽셀 정의막에 의해 구획되어 소정 간격 이격되어 있기는 하나, 고 해상도의 표시장치 일수록 그 간격이 현저히 줄어들기 때문에, 누설 전류에 의한 혼색 불량 발생 빈도는 증가할 수밖에 없다. 따라서, 고 해상도 표시장치에서 표시 품질 저하를 방지하기 위해서는 누설 전류의 유동을 제한할 필요가 있다.
- [0026] 누설 전류의 유동을 제한하기 위한 방법으로, 누설 전류의 경로를 충분히 확보하는 방안을 고려해볼 수 있다.

일 예로, 도 3을 참조하면, बैं크(BN)에 बैं크홈(BH)을 형성하는 방법을 고려해볼 수 있다. 이 경우, 누설 전류의 유동 경로가 되는 전하 생성층(CGL) 또한 बैं크홈(BH)에 의해 마련된 단차를 따라 증착되기 때문에, 상대적으로 긴 누설 전류의 유동 경로를 확보할 수 있다. 다만, 전술한 바와 같이, 고 해상도의 표시장치에서는 이웃하는 픽셀 사이의 간격이 매우 좁기 때문에, 이웃하는 픽셀 사이에서 단일의 유기 물질로 형성된 बैं크(BN)를 패틴하여 बैं크홈(BH)을 형성하는 것은 공정상 실질적으로 어려움이 있다.

[0027] 또한, बैं크(BN) 및 बैं크홈(BH)을 소정의 형상으로 패틴하기 위해서는, 식각 공정이 요구된다. बैं크(BN)는 애노드(ANO)가 형성된 이후에 형성되기 때문에, बैं크(BN) 패틴 시 사용되는 식각액이 애노드(ANO)의 상부면에 손상을 주어, 애노드(ANO)의 표면 모폴로지(morphology)의 변화를 야기한다. 즉, 도 4와 같이, 애노드(ANO)는 균일한 표면 상태를 유지하지 못하고, 식각액에 의해 변형되어 불균일한 표면 상태를 갖는다.

[0028] 이 경우, 애노드(ANO) 상에 배치된 유기 발광층(OL) 또한 불균일하게 증착됨으로써, 애노드(ANO)와 전하 생성층(CGL) 사이 및/또는 전하 생성층(CGL)과 캐소드(CAT) 사이에 단락(short)이 발생함에 따라, 적어도 어느 하나의 스택(STC1, STC2)이 미발광되거나, 발생한 일부 전류가 전하 생성층(CGL)을 통해 누설되어 당해 픽셀의 휘도가 현저히 저하될 수 있다. 또는, 단락이 발생하지 않더라도 애노드(ANO)와 전하 생성층(CGL) 사이 및/또는 전하 생성층(CGL)과 캐소드(CAT) 사이의 간격이 매우 좁아지는 특정 영역이 생김에 따라, 상기 특정 영역이 전류의 누설 경로가 됨으로써, 당해 픽셀의 휘도가 현저히 저하되는 문제점이 발생할 수 있다. 즉, 당해 픽셀이 온(on) 상태를 유지할 때 발생한 일부 전류가 상기 특정 영역에서 전하 생성층(CGL)을 통해 누설됨으로써, 당해 픽셀의 휘도가 현저히 저하될 수 있다.

[0029] 한편, 고 해상도 표시장치를 구현함에 있어서, 공정 상의 한계 예를 들어, 공정 장비의 해상력의 한계에 의해 이웃하는 픽셀 사이에 बैं크(BN)를 형성하는 데에는 어려움이 있다. 나아가, बैं크(BN)는 애노드(ANO)의 끝단 일부를 덮도록 형성되기 때문에, बैं크(BN)에 의해 덮이는 만큼 당해 픽셀의 개구율은 줄어든다.

[0030] 도 5를 참조하면, 고 해상도를 구현하면서도 충분한 개구율을 확보하기 위해, बैं크(BN)를 삭제하는 방안을 고려해볼 수 있다. 다만, 이 경우, 애노드(ANO)에 의해 마련된 단차가 बैं크(BN)에 의해 보상되지 않기 때문에, 애노드(ANO)가 형성된 이후에 형성되는 유기 발광층(OL) 또한 애노드(ANO)에 의해 마련된 단차를 따라 증착된다. 이와 같이, 유기 발광층(OL)이 단차를 갖도록 형성되는 경우, 균일한 두께로 형성되지 못하고, 위치에 따라 그 두께를 달리하여 형성될 수 있다. 즉, 도 5의 (b)를 참조하면, 유기 발광층(OL)이 다른 영역 대비 애노드(ANO)의 에지(edge)부(EG)에서, 매우 얇게 형성되는 것을 알 수 있다.

[0031] 이 경우, 애노드(ANO)의 에지부(EG)에서, 애노드(ANO)와 전하 생성층(CGL) 사이 및/또는 전하 생성층(CGL)과 캐소드(CAT) 사이에 단락이 발생함에 따라, 적어도 어느 하나의 스택이 미발광되거나, 발생한 일부 전류가 전하 생성층(CGL)을 통해 누설되어 당해 픽셀의 휘도가 현저히 저하될 수 있다. 또는, 단락이 발생하지 않더라도, 애노드(ANO)와 전하 생성층(CGL) 사이 및/또는 전하 생성층(CGL)과 캐소드(CAT) 사이의 간격이 매우 좁은 에지부(EG) 영역이 전류의 누설 경로가 됨으로써, 당해 픽셀의 휘도가 현저히 저하되는 문제점이 발생할 수 있다. 즉, 당해 픽셀이 온(on) 상태를 유지할 때 발생한 일부 전류가 상기 영역에서 전하 생성층(CGL)을 통해 누설됨으로써, 당해 픽셀의 휘도가 현저히 저하될 수 있다.

[0032] 상기 문제점을 해소하기 위해, 본 발명의 바람직한 실시예는, 누설 전류를 효과적으로 억제할 수 있는 신규한 단차 보상층 구조 및 단차 보상층을 형성하기 위한 제조 방법을 제안한다.

[0033] <실시예>

[0034] 도 6은 본 발명의 바람직한 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다. 도 7은 도 6에 도시된 픽셀을 개략적으로 나타낸 구성도이다. 도 8은 도 7의 구체적인 예시를 나타내는 도면들이다. 도 9는 이웃하는 두 픽셀의 구조를 개략적으로 나타낸 단면도이다. 도 10은 스파이크 패틴의 실제 형상을 보여주는 도면이다. 도 11 및 도 12는 단차 보상층의 기능을 설명하기 위한 도면이다.

[0035] 도 6을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로, 표시 패널(DIS)을 포함한다.

[0036] 디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시 패널(DIS)의 픽셀(PXL)들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터 배선들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트 신호를 게이트 배선들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되

는 표시 패널(DIS)의 픽셀(PXL)들을 선택한다.

- [0037] 타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.
- [0038] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러 scaler를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시 패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0039] 표시 패널(DIS)은 다양한 평면 형상을 가질 수 있다. 즉, 표시 패널(DIS)은 장방형, 정방형의 형상을 가질 수 있음은 물론, 원형, 타원형, 다각형 등 다양한 이형(free form)의 평면 형상을 가질 수 있다.
- [0040] 표시 패널(DIS)은 픽셀(PXL) 어레이를 포함한다. 픽셀(PXL) 어레이는 복수의 픽셀(PXL)들을 포함한다. 픽셀(PXL)들 각각은 데이터 배선들(D1~Dm, m은 양의 정수)과 게이트 배선들(G1~Gn, n은 양의 정수)의 교차 구조에 의해 정의될 수 있으나, 이에 한정되는 것은 아니다. 픽셀(PXL)들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode)를 포함한다. 표시 패널(DIS)은 적색(R), 청색(B) 및 녹색(G)을 발광하는 적색(R), 청색(B) 및 녹색(G) 픽셀(PXL)을 포함한다.
- [0041] 픽셀(PXL)은 다양한 형상을 가질 수 있다. 즉, 픽셀(PXL)은 원형, 타원형, 다각형 다양한 평면 형상을 가질 수 있다. 픽셀(PXL)들 중 어느 하나는 다른 하나와 상이한 크기 및/또는 평면 형상을 가질 수 있다.
- [0042] 도 7을 더 참조하면, 표시 패널(DIS)에는 다수의 데이터 배선들(D)과, 다수의 게이트 배선들(G)이 교차되고, 이 교차영역마다 픽셀(PXL)들이 매트릭스 형태로 배치된다. 픽셀(PXL) 각각은 유기발광 다이오드(OLED), 유기발광 다이오드(OLED)에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor)(DT), 구동 박막 트랜지스터(DT)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)를 포함한다.
- [0043] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 박막 트랜지스터와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 박막 트랜지스터는 게이트 배선(G)으로부터의 게이트 신호에 응답하여 턴 온됨으로써, 데이터 배선(D)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 박막 트랜지스터(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 유기발광 다이오드(OLED)로 공급되는 전류량을 제어하여 유기발광 다이오드(OLED)의 발광량을 조절한다. 유기발광 다이오드(OLED)의 발광량은 구동 박막 트랜지스터(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀(PXL)은 고전위 전압원(Evdd)과 저전위 전압원(Evss)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀(PXL)을 구성하는 박막 트랜지스터들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(PXL)을 구성하는 박막 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는 반도체층이 산화물을 포함하는 경우를 예로 들어 설명한다. 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 박막 트랜지스터 (DT)와 접속된다.
- [0044] 도 8의 (a)를 참조하면, 실시 예에 의한 픽셀은 구동 트랜지스터(DT), 제1 및 제2 스위칭 트랜지스터(ST1, ST2), 커패시터(Cst)를 포함한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다. 제1 스위칭 트랜지스터(ST1)는 게이트 배선(SCL)을 통해 공급된 게이트 신호(SCAN)에 응답하여, 데이터 배선(DL)을 통해 공급되는 데이터전압(Vdata)을 제1 노드(N1)에 공급한다. 구동 트랜지스터(DT)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원배선(VDD)과 저전위 전원배선(VSS) 사이로 구동 전류가 흐르도록 동작한다. 제2 트랜지스터(ST2)는 센스 배선(SEL)을 통해서 공급된 센스 신호(SENSE)에 응답하여, 제2 노드(N2)와 이니셜 배선을 연결시킨다. 이니셜 배선은 이니셜전압(Vinit)의 입력단과 연결되거나, 구동 트랜지스터(DT)의 문턱전압을 센싱한 센싱값을 획득하는 아날로그 디지털 컨버터(ADC)와 연결된다.

- [0045] 도 8의 (b)에 도시된 바와 같이, 픽셀(PXL)은 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 하나 이상의 트랜지스터들을 포함할 수 있고, 이를 위해서 게이트라인(GL1)은 내부보상회로(CC)의 트랜지스터들을 제어하기 위한 게이트 신호를 공급하는 신호 라인(GL1b)을 포함한다. 게이트 배선은 스위칭 트랜지스터(SW)를 제어하는 신호라인(GL1a)을 더 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다.
- [0046] 본 발명의 픽셀의 구조는 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0047] 도 9를 참조하면, 본 발명의 바람직한 실시예에 의한 유기발광 다이오드 표시장치는 박막 트랜지스터 기판(SUB)을 포함한다. 박막 트랜지스터 기판(SUB) 상에는 픽셀(P1, P2)들 각각에 할당된 박막 트랜지스터(TR1, TR2) 및 박막 트랜지스터(TR1, TR2)와 연결된 유기발광 다이오드(OLE1, OLE2)가 배치된다. 이웃하는 픽셀(P1, P2)들은 단차 보상층(SR)에 의해 구획될 수 있다.
- [0048] 박막 트랜지스터(TR1, TR2)는 바텀 게이트(bottom gate), 탑 게이트(top gate), 더블 게이트(double gate) 구조 등 다양한 방식의 구조로 구현될 수 있다. 즉, 박막 트랜지스터(TR1, TR2)는 반도체층, 게이트 전극, 소스/드레인 전극을 포함할 수 있고, 반도체층, 게이트 전극, 소스/드레인 전극은 적어도 하나의 절연층을 사이에 두고 서로 다른 층에 배치될 수 있다.
- [0049] 박막 트랜지스터(TR1, TR2)와 유기발광 다이오드(OLE1, OLE2) 사이에는 하나 이상의 절연막(IN)이 개재될 수 있다. 상기 절연막(IN)은 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene resin), 아크릴레이트계 수지(acrylate)와 같은 유기 물질로 이루어져, 박막 트랜지스터가 형성된 기판(SUB)의 상부 표면을 평탄화할 수 있다. 박막 트랜지스터(TR1, TR2)와 유기발광 다이오드(OLE1, OLE2)는 하나 이상의 절연막(IN)을 관통하는 픽셀 콘택홀(PH)을 통해 전기적으로 연결될 수 있다.
- [0050] 유기발광 다이오드(OLE1, OLE2)는 서로 대향하는 애노드(ANO1, ANO2), 캐소드(CAT), 및 애노드(ANO1, ANO2)와 캐소드(CAT) 사이에 개재된 유기 발광층(OL)을 포함한다.
- [0051] 애노드(ANO1, ANO2)는 단일층 또는 다중층으로 이루어질 수 있다. 애노드(ANO1, ANO2)는 반사층을 더 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 일 예로, 애노드(ANO)는 ITO/Ag/ITO로 이루어진 삼중층으로 형성될 수 있다. 이 경우, 하부 ITO는, 유기막(평탄화막)과 Ag과의 접촉 특성을 개선하기 위한 목적으로 형성될 수 있다. 애노드(ANO1, ANO2)는 각 픽셀(P1, P2)에 대응되도록 분할되어, 각 픽셀(P1, P2) 당 하나씩 할당될 수 있다. 이웃하는 애노드(ANO1, ANO2) 사이에는 단차 보상층(SR)이 구비된다.
- [0052] 캐소드(CAT)는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명 도전 물질로 이루어지거나, 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag)과 같은 불투명 도전 물질이 얇게 형성되어 투과 전극으로 기능할 수 있다. 캐소드(CAT)는 픽셀(P1, P2)들을 덮도록 박막 트랜지스터 기판(SUB) 상에 일체로 연장되어 배치될 수 있다.
- [0053] 유기 발광층(OL)은 픽셀(P1, P2)들을 덮도록 박막 트랜지스터 기판(SUB) 상에 연장되어 배치된다. 유기 발광층(OL)은 2스택(stack)구조와 같은 다중 스택 구조를 가질 수 있다. 2스택 구조는, 애노드(ANO)와 캐소드(CAT) 사이에 배치된 전하 생성층 (Charge Generation Layer, CGL), 및 전하 생성층을 사이에 두고 전하 생성층 하부 및 상부에 각각 배치된 제1 스택 및 제2 스택을 포함할 수 있다. 제1 스택 및 제2 스택은 각각 발광층(Emission layer)을 포함하며, 정공주입층(Hole injection layer), 정공수송층(Hole transport layer), 전자수송층(Electron transport layer) 및 전자주입층(Electron injection layer)과 같은 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다. 제1 스택의 발광층과 제2 스택의 발광층은 서로 다른 색의 발광 물질을 포함할 수 있다.
- [0054] 도 10을 더 참조하면, 단차 보상층(SR)은 베이스층(BL)과 베이스층(BL) 상에 형성된 다수의 스파이크 패턴(SP)(spike)들을 포함한다. 스파이크 패턴(SP)들은 베이스층(BL)으로부터 연장되어 외측으로 돌출된 돌기 형상을 갖는다. 단차 보상층(SR)은 스파이크 패턴(SP)들에 의해 불규칙한 상부 표면을 가질 수 있다. 달리 표현하면, 단차 보상층(SR)의 상부는 스파이크 패턴(SP)들에 의해 미세 요철 구조를 가질 수 있다. 스파이크 패턴(SP)들은 불규칙한 형상을 가질 수 있다. 즉, 어느 하나의 스파이크 패턴(SP)은 다른 하나의 스파이크 패턴

(SP)와 상이한 높이 및/또는 폭을 가질 수 있다.

- [0055] 스파이크 패턴(SP)은 애노드(AN01, AN02)의 단차를 보상하기 위해 애노드(AN01, AN02)와 실질적으로 동일한 높이로 형성될 수 있다. 후술하겠으나, 스파이크 패턴(SP)은, 단차 보상층(SR) 상부에서 전류의 누설 경로가 되는 층을 분리하기 위해, 애노드(AN01, AN02)의 표면 보다 상측으로 더 돌출되도록 형성되는 것이 바람직할 수 있다.
- [0056] 단차 보상층(SR)은 동일 공정 조건 하에서 식각 선택비(Etch Selectivity) 차이를 갖는 적어도 두 종류의 물질이 혼합된 혼합 물질로 이루어진다. 달리 표현하면, 단차 보상층(SR)은 식각률(etch rate)을 달리하는 물질들이 혼합된 혼합물을 이용하여 형성될 수 있다. 단차 보상층(SR)의 스파이크 패턴(SP)은 식각률을 달리하는 물질들 중 식각률이 낮은 물질로 이루어질 수 있다.
- [0057] 단차 보상층(SR)을 형성하기 위한 혼합물은, 혼합물 내의 골격이 되는 바인더(binder), 및 첨가제로 이루어질 수 있다. 바인더는 아크릴(acryl)계, 에폭시(epoxy)계 고분자 물질을 포함할 수 있다. 첨가제는 바인더 보다 식각률이 낮은 저분자 물질로 선택될 수 있다. 일 예로, 첨가제는 락탐(Lactam) 계열의 유기물을 포함할 수 있다. 첨가제는 흑색의 안료인 것이 바람직할 수 있다. 본 발명의 바람직한 실시예는 흑색 안료를 포함하는 베이스층을 구비함으로써 외광 반사를 저감할 수 있고, 시야각을 개선할 수 있는 이점을 갖는다. 단차 보상층(SR)의 스파이크 패턴(SP)은 당해 위치에서 첨가제가 제거되고 바인더가 잔류함으로써 구현된 형상일 수 있다.
- [0058] 도 11을 더 참조하면, 단차 보상층(SR)은 이웃하는 애노드(AN01, AN02)들 사이에 배치되어, 애노드(AN01, AN02)의 자체 두께에 의해 마련된 단차를 보상한다. 이에 따라, 유기 발광층은 애노드(AN01, AN02)들과 단차 보상층(SR) 상부에서 균일한 두께를 갖도록 형성될 수 있다. 즉, 본 발명의 바람직한 실시예는 애노드(AN01, AN02) 사이에 단차 보상층(SR)을 구비함으로써, 도 5를 참조하여 설명한 뱅크를 제거한 구조에서 발생할 수 있는 문제를 방지할 수 있는 이점을 갖는다. 나아가, 본 발명의 바람직한 실시예에 따른 단차 보상층(SR)은 종래 뱅크 구조와 같이 애노드(AN01, AN02)의 일부를 덮지 않기 때문에 고 해상도 표시장치에서도 고 개구율을 확보할 수 있는 이점을 갖는다.
- [0059] 또한, 후술하겠으나, 본 발명의 바람직한 실시예에 의한 단차 보상층(SR)은, 애노드(AN01, AN02)에 손상을 가함이 없이 형성이 가능하기 때문에, 도 3 및 4를 참조하여 설명한 뱅크(BN) 및 뱅크홈(BH) 갖는 구조에서 발생할 수 있는 문제를 방지할 수 있다. 이에 따라, 당해 픽셀(P1, P2)이 온(on) 상태를 유지할 때, 유기발광 다이오드(OLE1, OLE2)가 미발광 되거나, 발생한 일부 전류가 전하 생성층을 통해 누설됨으로써, 당해 픽셀(P1, P2)의 휘도가 현저히 저하되는 문제를 최소화할 수 있는 이점을 갖는다.
- [0060] 도 12를 더 참조하면, 유기 발광층(OL)을 구성하는 층들 중 적어도 일부층의 표면은, 단차 보상층(SR) 상에서, 파면(波面)을 형성할 수 있다. 또한, 단차 보상층(SR) 상의 적어도 일부 영역에서, 유기 발광층(OL)을 구성하는 층들 중 적어도 일부층은 분리될 수 있다. 즉, 유기 발광층(OL)을 구성하는 층들 중 적어도 일부층은 스파이크 패턴(SP) 사이에서 매립될 수 있고, 이때 스파이크 패턴(SP)의 상단은 상기 일부층을 관통하여 상기 일부층의 표면 위로 돌출(또는, 노출)될 수 있다.
- [0061] 예를 들어, 본 발명의 바람직한 실시예는, 소정의 높이와 폭을 갖는 다수의 스파이크 패턴(SP)들이 형성된 단차 보상층(SR)을 구비함으로써, 단차 보상층(SR) 상부에 배치되어 누설 전류의 경로가 되는 전하 생성층(CGL)의 표면적을 증가시킬 수 있다. 이에 따라, 본 발명의 바람직한 실시예는 전류의 누설 경로를 충분히 길게 확보할 수 있기 때문에, 누설 전류에 의한 혼색 불량을 최소화할 수 있는 이점을 갖는다.
- [0062] 또한, 본 발명의 바람직한 실시예는 스파이크 패턴(SP)들 사이의 간격을 제어함으로써, 단차 보상층(SR)의 상부에서 전하 생성층(CGL)을 포함하는 유기 발광층을 분리시킬 수 있다. 이에 따라, 본 발명의 바람직한 실시예는 별도의 추가 공정 없이, 전류의 누설 경로를 단차 보상층(SR) 상부의 적어도 일부 영역에서 단절시킬 수 있기 때문에, 누설 전류에 의한 혼색 불량을 더욱 최소화할 수 있는 이점을 갖는다.
- [0063] 본 발명의 바람직한 실시예는, 스파이크 패턴(SP)들 사이의 간격을 100nm 이상으로 확보함으로써, 전류의 주된 누설 경로가 되는 전하 생성층(CGL)을 분리시킬 수 있다. 즉, 별도의 추가 공정을 진행함이 없이, 전류의 누설 경로를 단절시키기 위해, 스파이크 패턴(SP)들을 갖는 단차 보상층(SR)을 구비하되, 이웃하는 스파이크 패턴(SP) 사이의 간격을 100nm 이상으로 설정할 수 있다. 바람직하게, 스파이크 패턴(SP)들 사이의 간격은 100nm 내지 200nm로 설정될 수 있다. 스파이크 패턴(SP)들 사이의 간격이 200nm 이상으로 선택되는 경우, 전류의 주된 누설 경로가 되는 전하 생성층(CGL)은, 스파이크 패턴(SP)들의 스텝 커버리지(step coverage)를 따라 증착되어 분리되지 않을 수 있다.

- [0064] 이하, 도 13a 내지 도 13e를 참조하여, 본 발명의 바람직한 실시예에 의한 유기발광 다이오드 표시장치 제조 방법을 설명한다. 도 13a 내지 도 13e는 본 발명의 바람직한 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다. 본 발명의 제2 실시예에 따른 제조 방법을 설명함에 있어서, 단계를 구분하고 있으나, 이는 설명의 편의를 위한 것으로, 각 단계들이 더 세분화될 수 있음에 주의하여야 한다. 또한, 이하에서는, 본 발명의 주된 특징인 유기발광 다이오드 및 단차 보상층(SR)을 형성하는 공정만을 설명하기로 한다.
- [0065] 도 13a를 참조하면, 박막 트랜지스터가 형성된 기판(SUB)의 전체 표면 위에, 애노드(AN01, AN02)를 형성하기 위한 도전 물질(AM)을 도포하는 공정이 진행된다. 애노드(AN01, AN02)가 다중층으로 형성되는 경우, 다중층을 구성하는 도전 물질(AM)들이 순차적으로 도포될 수 있다. 도전 물질(AM)이 증착된 기판(SUB)의 전체 표면 위에 포토 레지스트(photo resist)와 같은 감광성 물질로 이루어진 감광막(PR)을 형성한다. 감광막(PR)은 애노드(AN01, AN02) 전극이 형성될 영역과 대응되는 영역에 배치된다.
- [0066] 도 13b를 참조하면, 마스크 공정으로 도전 물질(AM)을 패터닝하여 애노드(AN01, AN02)를 형성하는 공정이 진행된다. 애노드(AN01, AN02)는 각 픽셀마다 하나씩 할당될 수 있다. 도시하지는 않았으나, 애노드(AN01, AN02)는 애노드(AN01, AN02)와 박막 트랜지스터 사이의 절연막을 관통하는 픽셀 콘택홀을 통해 박막 트랜지스터와 전기적으로 연결될 수 있다. 여기서, 감광막(PR)은 제거되지 않고 잔류한다.
- [0067] 도 13c를 참조하면, 애노드(AN01, AN02)와 감광막(PR)이 형성된 기판(SUB) 위에 단차 보상층(SR)을 형성하기 위한 혼합물(MM)을 도포(또는, 코팅)하는 공정이 진행된다. 혼합물(MM)은 식각 선택비 차이를 갖는 적어도 두 종류의 물질을 포함한다. 혼합물(MM)은, 혼합물(MM) 내의 골격이 되는 바인더 및 첨가제로 이루어질 수 있다.
- [0068] 도 13d를 참조하면, 베이스층(BL)과 스파이크 패턴(SP)들을 갖는 단차 보상층(SR)을 형성하기 위해, 혼합물(MM)이 도포된 기판(SUB) 상에 식각 공정이 진행된다. 좀 더 구체적으로, 혼합물(MM)은 식각물을 달리하는 적어도 2 종의 물질을 포함하고 있기 때문에, 식각 공정 시 식각액과 접촉하는 혼합물(MM) 상부의 적어도 일부 두께 부분에서, 식각률 차에 의해 제거되는 일부분과 잔류하는 일부분이 공존할 수 있다. 즉, 기 설정된 조건하에 건식 식각 공정을 진행하여, 불규칙한 표면 상태를 갖는 단차 보상층(SR)을 형성할 수 있다. 단차 보상층(SR)에서, 불규칙한 표면을 형성하는 돌출된 돌기 부분은 스파이크 패턴(SP)으로 지칭될 수 있고, 그 외 기반이 되는 부분은 베이스층(BL)으로 지칭될 수 있다.
- [0069] 스파이크 패턴(SP)의 형상은 위치에 따라 상이할 수 있다. 이웃하는 스파이크 패턴(SP)들은 목적하는 미세 간격을 갖도록 배치될 수 있다. 스파이크 패턴(SP)들 사이의 간격을 제어하기 위해, 공정 시간 및 공정 물질 등 공정 조건 등은 적절히 선택될 수 있다. 일 예로, 단차 보상층(SR)을 형성하기 위한 혼합물(MM)을 구성하는 바인더와 첨가제의 함량비를 제어하여, 이웃하는 스파이크 패턴(SP)들 사이의 간격을 제어할 수 있다. 즉, 식각 공정 이후 잔류하여 스파이크 패턴(SP)을 구성하게 될 바인더의 함량을 첨가제의 함량 대비 높임으로써, 이웃하는 스파이크 패턴(SP)들 사이의 간격을 좁힐 수 있으며, 그 역도 가능하다. 다른 예로, 단차 보상층(SR)을 형성하기 위한 혼합물(MM)을 구성하는 바인더의 재료를 적절히 선택함으로써, 이웃하는 스파이크 패턴(SP)들 사이의 간격을 제어할 수 있다. 즉, 바인더로 단위 분자의 크기가 큰 재료를 선택함으로써, 이웃하는 스파이크 패턴(SP)들 사이의 간격을 좁힐 수 있으며, 그 역도 가능하다.
- [0070] 본 발명의 바람직한 실시예는, 식각물을 달리하는 물질들과 식각 공정을 이용함으로써, 종래의 마스크 공정을 이용하여 구현할 수 없었던 미세 간격을 갖도록 배치되는 스파이크 패턴(SP)을 구현할 수 있다. 또한, 본 발명의 실시예는 애노드(AN01, AN02) 상에 감광막(PR)이 배치된 상태에서, 스파이크 패턴(SP)을 형성하기 위한 식각 공정을 진행한다. 따라서, 본 발명의 바람직한 실시예에 의한 단차 보상층(SR)은, 애노드(AN01, AN02)에 손상을 가함이 없이 형성이 가능하기 때문에, 도 4를 참조하여 설명한 뱅크 및 뱅크홈을 갖는 구조에서 발생할 수 있는 문제를 방지할 수 있다. 이에 따라, 당해 픽셀이 온(on) 상태를 유지할 때, 유기발광 다이오드가 미발광되거나, 발생한 일부 전류가 전하 생성층을 통해 누설됨으로써, 당해 픽셀의 휘도가 현저히 저하되는 문제를 최소화할 수 있는 이점을 갖는다.
- [0071] 도 13e를 참조하면, 애노드(AN01, AN02) 상에 위치하는 감광막(PR)을 제거하는 공정이 진행된다. 감광막(PR)이 제거됨에 따라, 감광막(PR) 상에 잔류하던 혼합물(MM)도 제거된다. 이에 따라, 본 발명의 바람직한 실시예는, 표면이 손상되지 않아 균일한 표면 특성을 갖는 애노드(AN01, AN02)를 제공할 수 있다.
- [0072] 도시하지는 않았으나, 애노드(AN01, AN02)가 형성된 기판(SUB)의 전체 표면 위에는, 유기 발광층과 캐소드가 순차적으로 배치된다. 유기 발광층과 캐소드는 픽셀들을 모두 덮도록 기판(SUB) 상에 넓게 배치될 수 있다. 본 발명의 바람직한 실시예는, 소정의 높이와 폭을 갖는 다수의 스파이크 패턴(SP)들이 형성된 단차 보상층(SR)을

구비함으로써, 단차 보상층(SR) 상부에 배치되어 누설 전류의 경로가 되는 전하 생성층의 표면적을 증가시킬 수 있다. 이에 따라, 본 발명의 바람직한 실시예는 전류의 누설 경로를 충분히 길게 확보할 수 있기 때문에, 누설 전류에 의한 혼색 불량을 최소화할 수 있는 이점을 갖는다.

[0073] 또한, 본 발명의 바람직한 실시예는 스파이크 패턴(SP)들 사이의 사이의 간격을 제어함으로써, 단차 보상층(SR)의 상부에서 전하 생성층을 포함하는 유기 발광층을 분리시킬 수 있다. 이에 따라, 본 발명의 바람직한 실시예는 별도의 추가 공정 없이, 전류의 누설 경로를 단차 보상층(SR) 상부의 적어도 일부 영역에서 단절시킬 수 있기 때문에, 누설 전류에 의한 혼색 불량을 더욱 최소화할 수 있는 이점을 갖는다.

[0074] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0075] SUB : 기판 P1, P2 : 픽셀

TR1, TR2 : 박막 트랜지스터 ANO1, ANO2 : 애노드

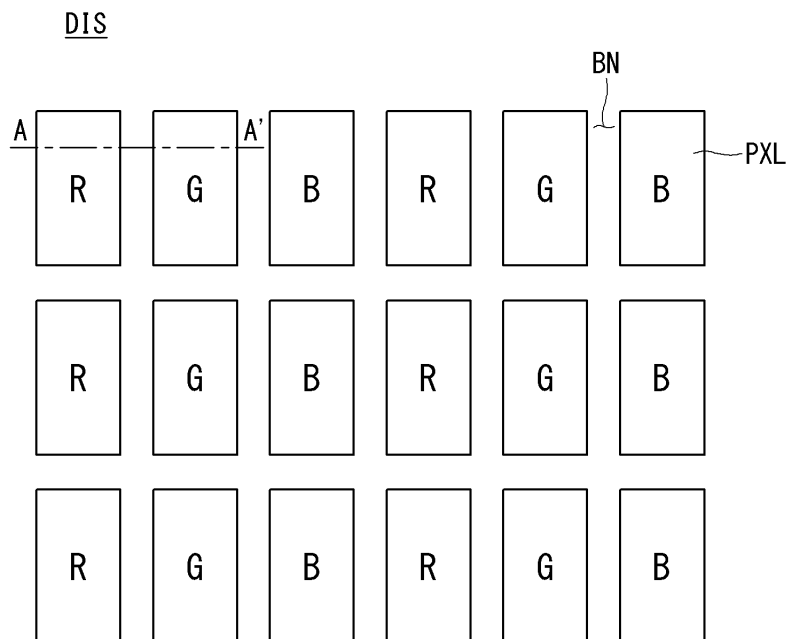
SR : 단차 보상층 BL : 베이스층

SP : 스파이크 패턴 OL : 유기 발광층

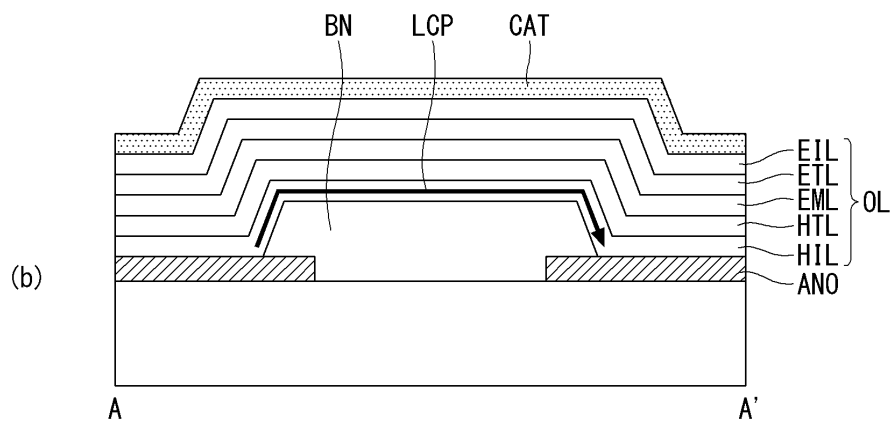
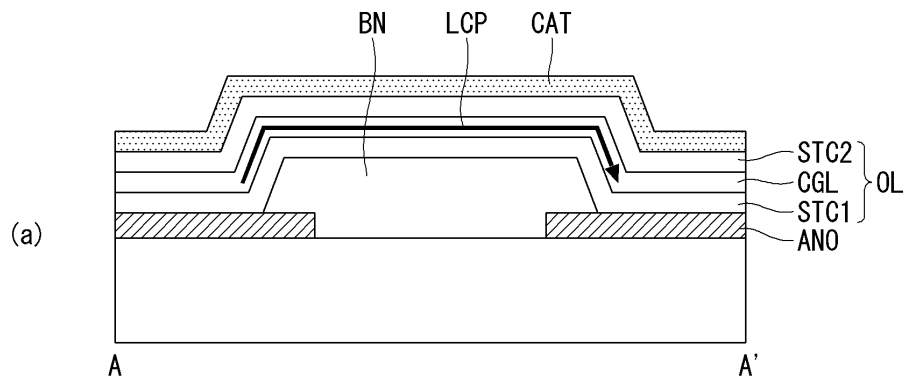
CAT : 캐소드

도면

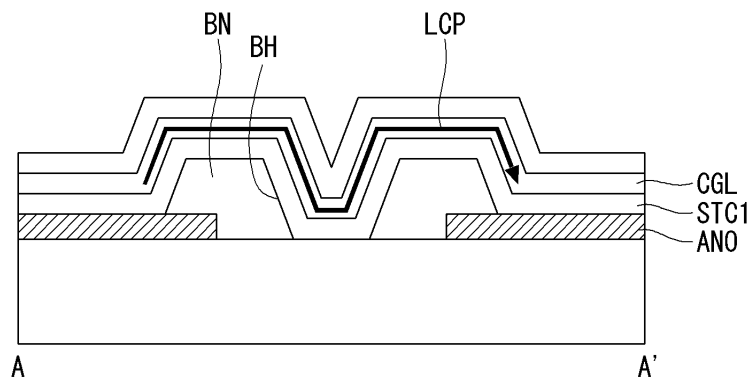
도면1



도면2

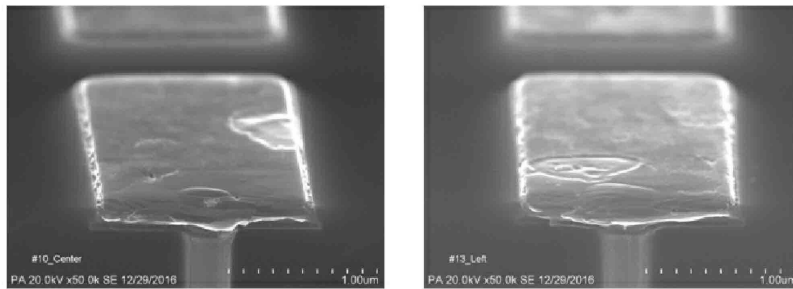


도면3

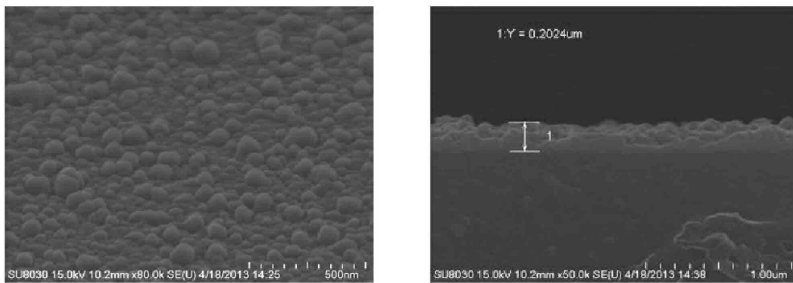


도면4

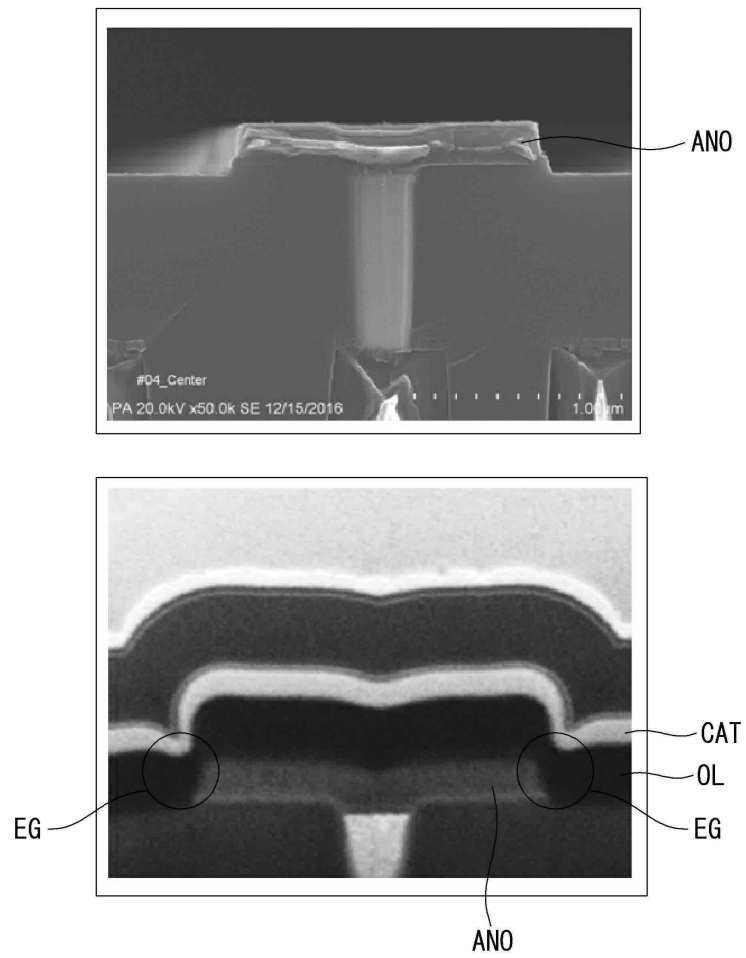
<식각액에 의한 Anode Damage>



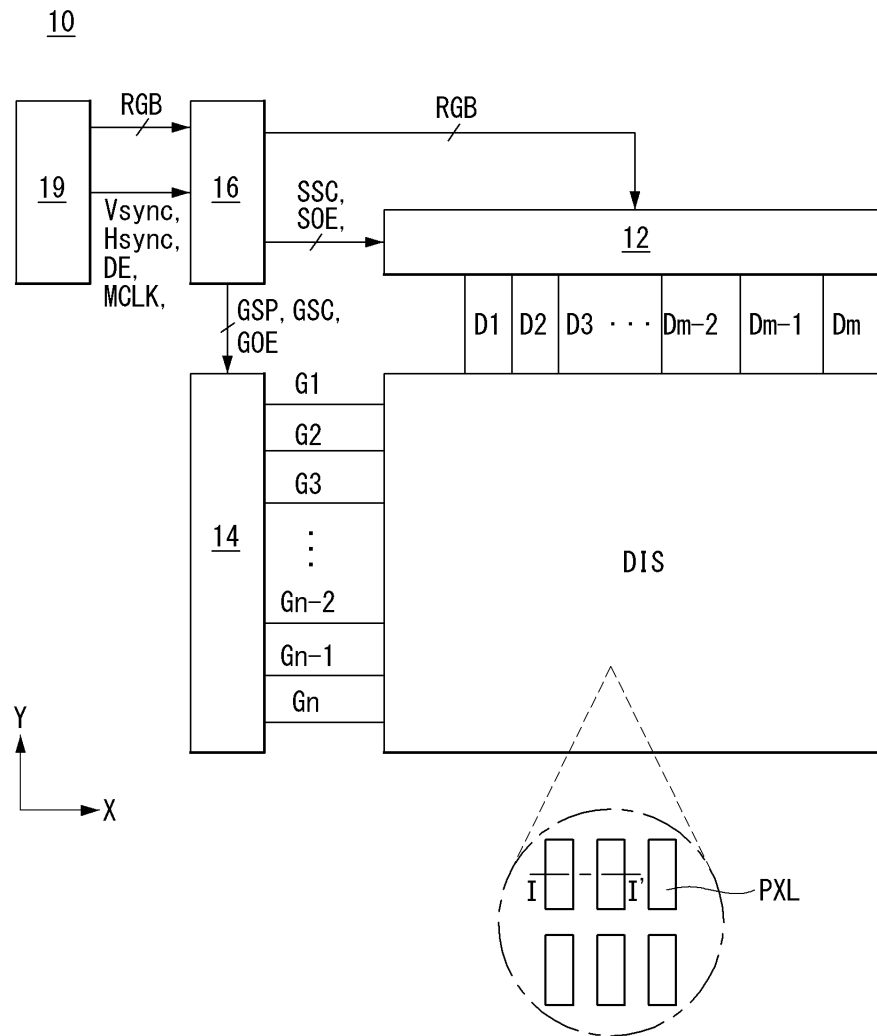
<Anode Damage에 의한 표면 Morphology변화>



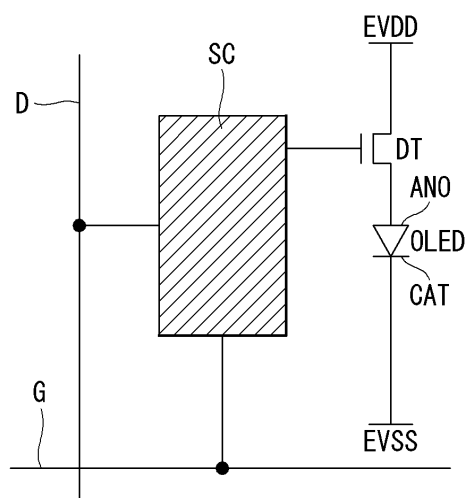
도면5



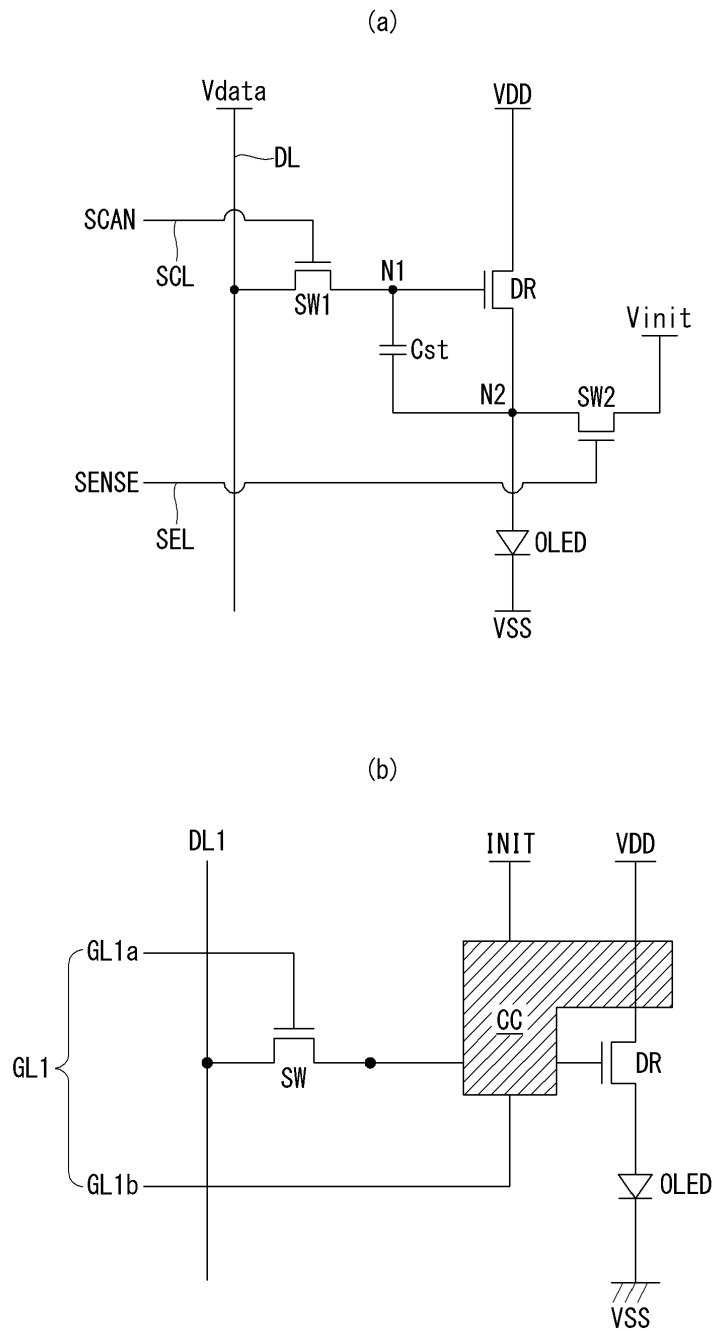
도면6



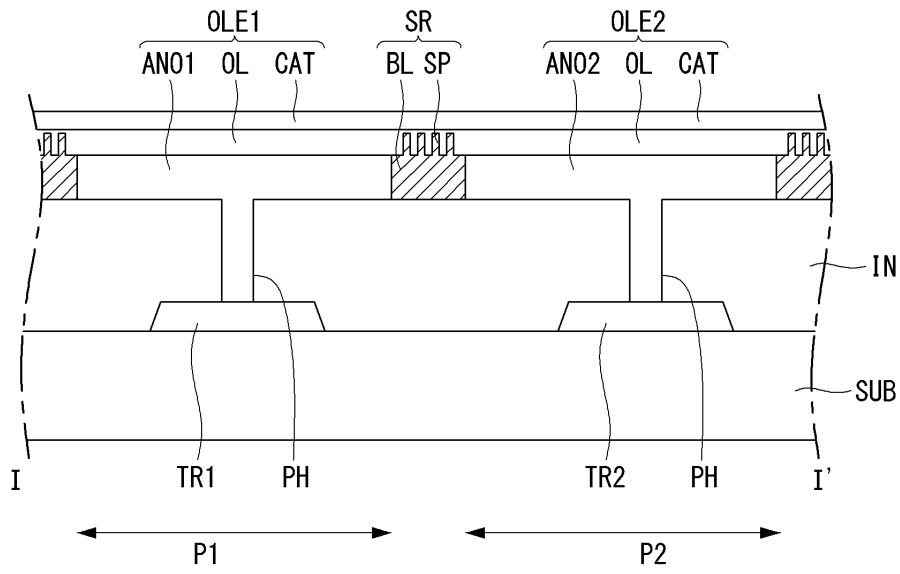
도면7



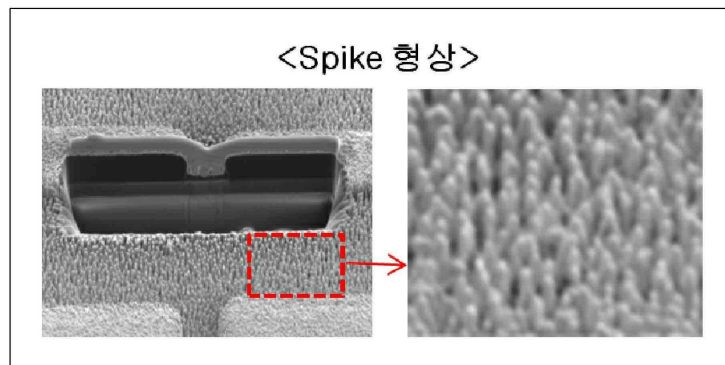
도면8



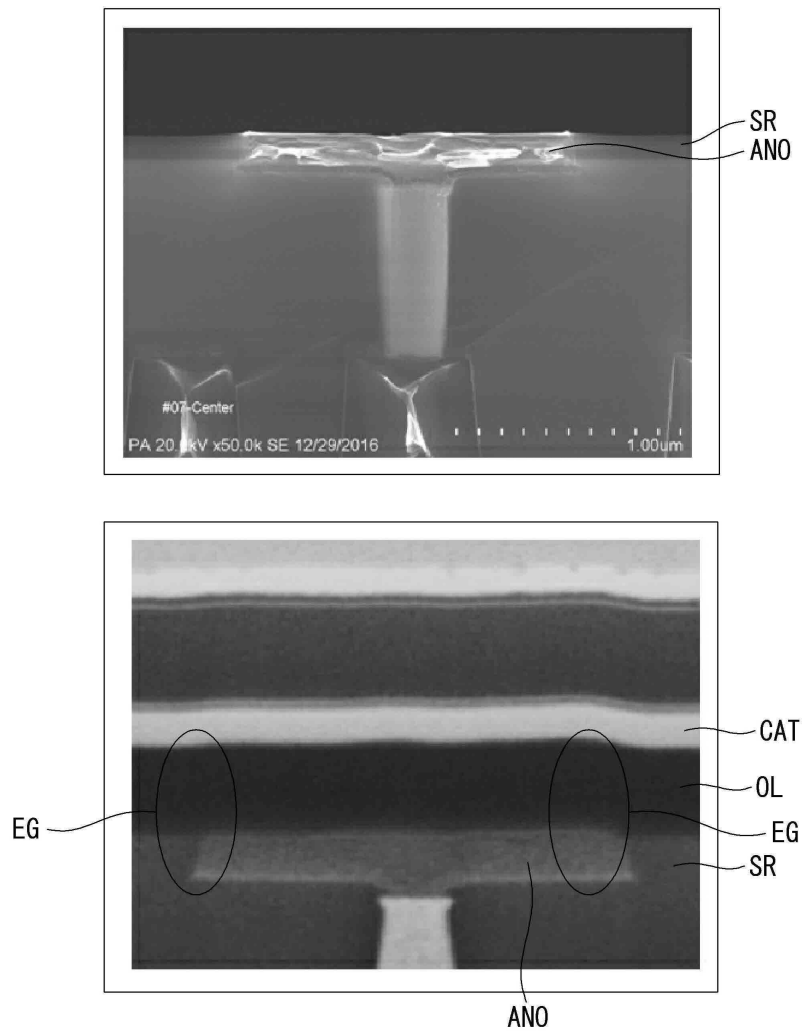
도면9



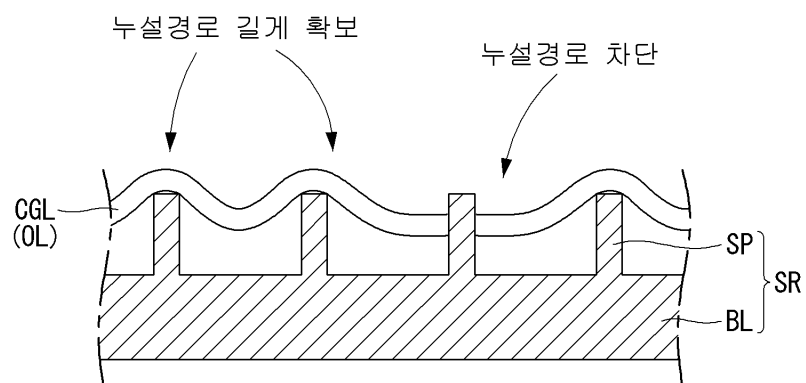
도면10



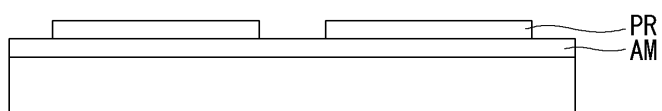
도면11



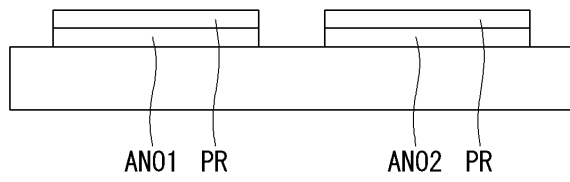
도면12



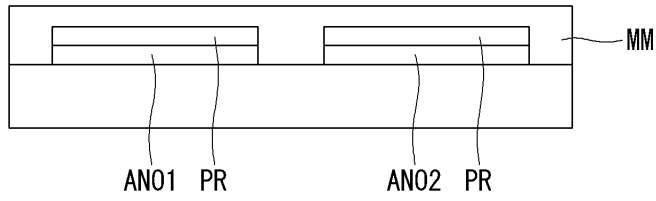
도면13a



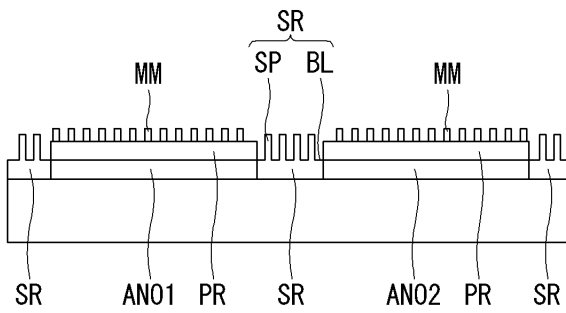
도면13b



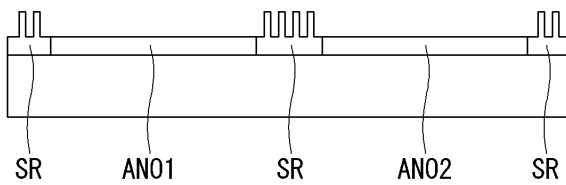
도면13c



도면13d



도면13e



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR1020190022100A	公开(公告)日	2019-03-06
申请号	KR1020170107934	申请日	2017-08-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	백승민 김호진 정고은		
发明人	백승민 김호진 정고은		
IPC分类号	H01L51/52 H01L27/32 H01L51/50 H01L51/56		
CPC分类号	H01L51/5278 H01L27/3211 H01L27/3262 H01L51/5088 H01L51/5203 H01L51/56 H01L27/3218 H01L27/3246 H01L2227/323 G09G3/3233 G09G2300/0426 G09G2300/0439 G09G2300/0819 G09G2320/0209 G09G2320/0233 G09G2320/0242 H01L51/0017 H01L2251/5392 G09G3/3291 H01L27/ /3209 H01L27/3258 H01L51/5012 H01L51/5218 H01L51/5234		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光二极管显示器设置在第一像素的第一电极和第二像素的第一电极之间，并且由具有不同蚀刻速率的两种材料的混合物制成。它包括一个阶跃补偿层。台阶补偿层包括从基层突出的多个尖峰图案，并且尖峰图案包括在两种材料中具有低蚀刻速率的材料。

