



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0021985
(43) 공개일자 2019년03월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0107548

(22) 출원일자 2017년08월24일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김인섭

경기도 파주시 월롱면 엘지로 245

김대규

경기도 파주시 월롱면 엘지로 245

김정호

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

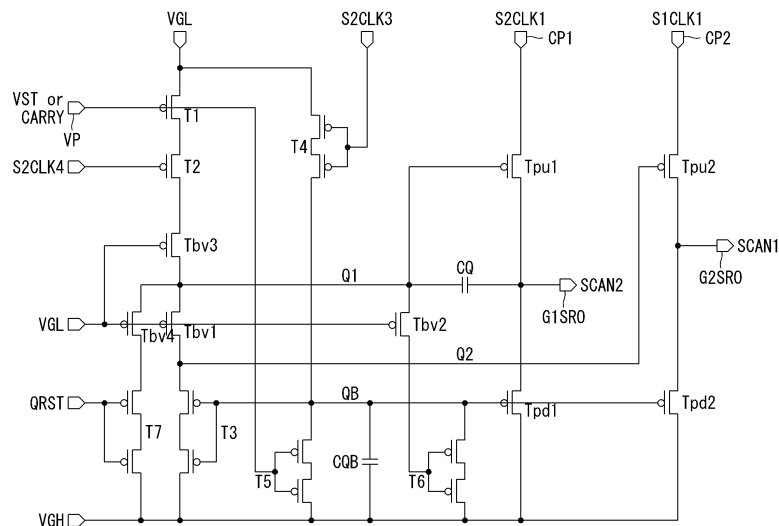
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명은 제1 및 제2 스캔라인에 연결되는 픽셀들 및 제1 스캔라인에 제1 스캔신호를 인가하고 제2 스캔라인에 제2 스캔신호를 인가하는 게이트 구동부를 포함한다. 게이트 구동부는 서로 종속적으로 접속되는 제1 내지 제 n(n은 자연수) 스캔 드라이버를 포함한다. 스캔 드라이버는 스타트신호에 응답하여 턴-온 전압이 되는 Q1 노드에 연결되는 게이트전극과 제1 클럭입력단에 연결되는 소스전극 및 제1 출력단에 연결되는 드레인전극을 포함하는 제1 풀업 트랜지스터, Q1 노드와 분리되는 Q2 노드를 제어하되 Q1 노드가 턴-온 전압인 구간에 동기되어 Q2 노드의 전압을 턴-온 전압으로 제어하는 제1 전압제어 트랜지스터 및 Q2 노드에 연결되는 게이트전극과 제2 클럭입력단에 연결되는 소스전극 및 제2 출력단에 연결되는 드레인전극을 포함하는 제2 풀업 트랜지스터를 포함한다.

대표도 - 도7



(52) CPC특허분류
G09G 2310/0286 (2013.01)

명세서

청구범위

청구항 1

제1 및 제2 스캔라인에 연결되는 픽셀들; 및

상기 제1 스캔라인에 제1 스캔신호를 인가하고, 상기 제2 스캔라인에 제2 스캔신호를 인가하는 게이트 구동부를 포함하고,

상기 게이트 구동부는 서로 종속적으로 접속되는 제1 내지 제n(n은 자연수) 스캔 드라이버를 포함하되,

상기 스캔 드라이버는

스타트신호에 응답하여 턴-온 전압이 되는 Q1 노드에 연결되는 게이트전극, 제1 클럭입력단에 연결되는 소스전극 및 제1 출력단에 연결되는 드레인전극을 포함하는 제1 풀업 트랜지스터;

상기 Q1 노드와 분리되는 Q2 노드를 제어하되, 상기 Q1 노드가 턴-온 전압인 구간에 동기되어 상기 Q2 노드의 전압을 턴-온 전압으로 제어하는 제1 전압제어 트랜지스터; 및

상기 Q2 노드에 연결되는 게이트전극, 제2 클럭입력단에 연결되는 소스전극 및 제2 출력단에 연결되는 드레인전극을 포함하는 제2 풀업 트랜지스터를 포함하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 전압제어 트랜지스터는 상기 Q1 노드가 제1 전압레벨로 부트스트래핑 될 때, 상기 Q2 노드를 상기 제1 전압레벨 보다 높은 전압으로 제어하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 전압제어 트랜지스터는 게이트전극이 턴-온 전압의 입력단에 연결되고, 상기 Q1 노드와 Q2 노드 사이에 접속되는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 스캔 드라이버는

상기 Q1 노드의 전압이 턴-온 전압일 때에 QB 노드의 전압을 턴-오프 전압으로 유지하는 인버터 트랜지스터; 및

상기 Q1 노드와 상기 인버터 트랜지스터 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제2 전압제어 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 스캔 드라이버는

상기 제1 및 제2 클럭입력단에 인가되는 클럭신호들이 턴-온 전압이 되기 이전에, 스타트 신호 또는 캐리신호에 응답하여 상기 Q1 노드를 턴-온 전압으로 충전시키는 스타트 제어부; 및

상기 스타트 제어부와 상기 Q1 노드 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제3 전압 제어 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 스캔 드라이버는

리셋신호에 응답하여 상기 Q1 노드를 턴-오프 전압으로 충전시키는 리셋 제어부; 및

상기 리셋 제어부와 상기 Q1 노드 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제4 전압 제어 트랜지스터를 더 포함하는 유기발광 표시장치.

청구항 7

제1 및 제2 스캔라인에 연결되는 픽셀들; 및

상기 제1 스캔라인에 제1 스캔신호를 인가하고, 상기 제2 스캔라인에 제2 스캔신호를 인가하는 게이트 구동부를 포함하고,

상기 게이트 구동부는 서로 종속적으로 접속되는 제1 내지 제 n (n 은 자연수) 스캔 드라이버를 포함하되,

상기 스캔 드라이버는

스타트신호에 응답하여 턴-온 전압이 되는 Q1 노드에 연결되는 게이트전극, 제1 클럭입력단에 연결되는 소스전극 및 제1 출력단에 연결되는 드레인전극을 포함하는 제1 풀업 트랜지스터;

상기 Q1 노드에 연결되는 게이트전극, 제2 클럭입력단에 연결되는 소스전극 및 제2 출력단에 연결되는 드레인전극을 포함하는 제2 풀업 트랜지스터;

상기 Q1 노드의 전압을 제어하거나 상기 Q1 노드의 전압에 따라 동작하는 노드 제어부; 및

상기 Q1 노드 및 상기 노드 제어부 사이에 접속되고, 상기 Q1 노드가 제1 전압레벨로 부트스트래핑 될 때 상기 노드 제어부에 상기 제1 전압레벨 보다 높은 전압을 인가하는 전압제어 트랜지스터부를 포함하는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 노드 제어부는 풀다운 트랜지스터의 게이트전압을 제어하는 QB 노드의 전압이 턴-온 전압일 때에 상기 Q1 노드의 전압을 턴-오프 전압으로 제어하는 제1 인버터 트랜지스터를 포함하고,

상기 전압제어 트랜지스터부는 게이트전극이 턴-온 전압의 입력단에 연결되고, 상기 Q1 노드 및 상기 제1 인버터 트랜지스터 사이에 접속되는 제1 전압제어 트랜지스터를 포함하는 유기발광 표시장치.

청구항 9

제 7 항에 있어서,

상기 노드 제어부는 상기 Q1 노드의 전압이 턴-온 전압일 때에 QB 노드의 전압을 턴-오프 전압으로 제어하는 제 2 인버터 트랜지스터를 포함하고,

상기 전압제어 트랜지스터부는 상기 Q1 노드와 상기 인버터 트랜지스터 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제2 전압제어 트랜지스터를 포함하는 유기발광 표시장치.

청구항 10

제 7 항에 있어서,

상기 노드 제어부는

상기 제1 및 제2 클럭입력단에 인가되는 클럭신호들이 턴-온 전압이 되기 이전에, 스타트 신호 또는 캐리신호에 응답하여 상기 Q1 노드를 턴-온 전압으로 충전시키는 스타트 제어부를 포함하고,

상기 전압제어 트랜지스터부는

상기 스타트 제어부와 상기 Q1 노드 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제3 전압제어 트랜지스터를 포함하는 유기발광 표시장치.

청구항 11

제 7 항에 있어서,

상기 노드 제어부는 리셋신호에 응답하여 상기 Q1 노드를 턴-오프 전압으로 충전시키는 리셋 제어를 포함하고,

상기 전압제어 트랜지스터부는 상기 리셋 제어부와 상기 Q1 노드 사이에 접속되고, 게이트전극이 턴-온 전압의 입력단에 연결되는 제4 전압제어 트랜지스터를 포함하는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치(FPD; Flat Panel Display)는 소형화 및 경량화에 유리한 장점으로 인해서 데스크탑 컴퓨터의 모니터뿐만 아니라, 노트북컴퓨터, 태블릿 등의 휴대용 컴퓨터나 휴대 전화 단말기 등에 폭넓게 이용되고 있다. 이러한 평판 표시장치는 액정표시장치(Liquid Crystal Display; LCD), 플라즈마 표시장치(Plasma Display Panel; PDP), 전계 방출표시장치(Field Emission Display; FED) 및 유기발광다이오드 표시장치(Organic Light Emitting diode Display; 이하, OLED) 등이 있다.

[0003] 이 중에서 유기발광다이오드 표시장치는 응답속도가 빠르고, 발광효율이 높은 휘도를 표현할 수 있으며 시야각이 큰 장점이 있다. 일반적으로 유기발광다이오드 표시장치는 스캔신호에 의해서 턴-온 되는 트랜지스터를 이용하여 데이터전압을 구동트랜지스터의 게이트 전극에 인가하고, 구동트랜지스터에 공급되는 데이터전압을 스토리지 커패시터에 충전한다. 그리고 발광제어신호를 이용하여 스토리지 커패시터에 충전된 데이터전압을 출력함으로써 유기발광다이오드를 발광시킨다.

[0004] 모든 픽셀들에 배치되는 구동 트랜지스터들은 전기적 특성이 동일하여야 하지만, 공정 조건이나 구동 환경 등에 의해서 불균일하게 된다. 이러한 이유로 동일 데이터전압에 따른 구동 전류는 픽셀들마다 달라지고 그 결과, 픽셀들간 휘도 편차가 발생하게 된다. 이를 해결하기 위하여, 각 픽셀로부터 구동 트랜지스터의 특성 파라미터(문턱전압, 이동도)를 센싱하고, 센싱 결과에 따라 입력 데이터를 적절히 보정함으로써 휘도 불균일을 감소시키는 화질 보상기술이 알려져 있다. 화질 보상기술 중에서 내부 보상 방식은 유기발광다이오드가 발광하는 동안에 구동 트랜지스터의 전기적 특성을 배제시키도록 픽셀 구조 및 구동 타이밍을 제어한다. 내부 보상 방식은 기본적으로 구동 트랜지스터의 게이트 전압을 소스 팔로워 방식으로 상승시켜서 일정 수준으로 포화(saturation)시키는 샘플링 동작을 수행한다

[0005] 내부 보상 방식은 다수의 트랜지스터들로 구성되는 픽셀 구조를 갖고, 각각의 픽셀들은 게이트신호들에 의해서 동작한다. 픽셀 구조에 따라 게이트신호들은 두 개 이상의 신호들을 포함할 수 있다. 일반적으로 게이트신호

들은 픽셀의 주요 노드를 초기화시키는 트랜지스터와 픽셀에 데이터전압을 충전하는 동작을 제어하는 트랜지스터들에 인가되는 스캔신호와, 픽셀의 발광기간을 제어하는 에미션신호를 포함한다.

[0006] 게이트신호들을 인가하는 게이트 구동부는 표시패널의 베젤 영역에 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. GIP 형태의 게이트 구동부는 하나의 게이트신호를 생성하기 위해서 서로 종속적으로 연결되는 스테이지들로 이루어지는 시프트레지스터를 구비한다. 따라서, 시프트레지스터는 게이트신호들의 개수만큼 요구된다. 픽셀의 구조에 따라서 시프트레지스터가 필요하고, 이는 베젤 영역을 증가시키는 요인이 된다.

[0007] 또한, 시프트레지스터에 포함되는 다수의 트랜지스터들 중에서 클럭신호가 인가될 때 부트스트래핑되는 노드와 연결되는 트랜지스터들은 순간적으로 드레인-소스 간의 전압 차이가 커지게 되어서 신뢰성에 영향을 주는 문제점이 나타나기도 한다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 표시패널의 베젤 영역을 줄일 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

[0009] 또한, 본 발명은 동작 신뢰성을 높일 수 있는 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0010] 본 발명은 제1 및 제2 스캔라인에 연결되는 픽셀들 및 제1 스캔라인에 제1 스캔신호를 인가하고 제2 스캔라인에 제2 스캔신호를 인가하는 게이트 구동부를 포함한다. 게이트 구동부는 서로 종속적으로 접속되는 제1 내지 제 n (n 은 자연수) 스캔 드라이버를 포함한다. 스캔 드라이버는 스타트신호에 응답하여 턴-온 전압이 되는 Q1 노드에 연결되는 게이트전극과 제1 클럭입력단에 연결되는 소스전극 및 제1 출력단에 연결되는 드레인전극을 포함하는 제1 풀업 트랜지스터, Q1 노드와 분리되는 Q2 노드를 제어하되 Q1 노드가 턴-온 전압인 구간에 동기되어 Q2 노드의 전압을 턴-온 전압으로 제어하는 제1 전압제어 트랜지스터 및 Q2 노드에 연결되는 게이트전극과 제2 클럭입력단에 연결되는 소스전극 및 제2 출력단에 연결되는 드레인전극을 포함하는 제2 풀업 트랜지스터를 포함한다.

발명의 효과

[0011] 본 발명에 의한 표시장치는 하나의 스캔 드라이버를 이용하여 제1 및 제2 스캔신호를 출력하기 때문에 전체적인 시프트레지스터의 사이즈를 줄일 수 있고, 그 결과 시프트레지스터가 배치되는 베젤 영역을 줄일 수 있다.

[0012] 특히, 본 발명에 의한 스캔 드라이버는 제1 및 제2 스캔신호를 출력하는 제1 및 제2 풀업 트랜지스터의 제어를 위해서 동일한 노드를 사용하지 않기 때문에, 어느 하나의 풀업 트랜지스터가 부트스트래핑되는 과정에서 다른 풀업 트랜지스터의 동작을 방해하는 현상을 개선할 수 있다. 그 결과 하나의 스캔 드라이버에서 제1 및 제2 스캔신호를 안정적으로 출력할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명에 의한 유기발광다이오드 표시장치의 구성을 나타내는 도면.

도 2는 본 발명에 의한 시프트레지스터의 구성을 나타내는 도면.

도 3은 본 발명에 의한 픽셀 구조를 나타내는 도면.

도 4는 도 3에 도시된 픽셀의 구동을 위한 게이트신호들의 타이밍을 나타내는 도면.

도 5는 제1 실시 예에 의한 스캔 드라이버를 나타내는 도면.

도 6은 도 5에 도시된 스캔 드라이버를 구동하기 위한 스캔클럭들의 타이밍 및 주요 노드의 전압변화를 나타내는 도면.

도 7은 제2 실시 예에 의한 스캔 드라이버를 나타내는 도면.

도 8은 도 7에 도시된 스캔 드라이버를 구동하기 위한 스캔클럭들의 타이밍 및 주요 노드의 전압변화를 나타내

는 도면.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0015] 본 발명의 게이트 구동부에서 스위치 소자들은 n 타입 또는 p 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 이하의 실시예에서 p 타입 트랜지스터를 예시하였지만, 본 발명은 이에 한정되지 않는다는 것에 주의하여야 한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되어서는 안된다.
- [0016] 도 1은 본 발명에 의한 표시장치의 구성을 나타내는 도면이다.
- [0017] 도 1을 참조하면, 본 발명에 의한 유기발광다이오드 표시장치는 픽셀들(P)이 매트릭스 형태로 배열되는 표시패널(100), 데이터 구동부(120), 게이트 구동부(130,140) 및 타이밍 콘트롤러(110)를 구비한다.
- [0018] 표시패널(100)은 픽셀(P)들이 배치되어 영상을 표시하는 표시부(100A) 및 시프트레지스터(140)가 배치되고 영상을 표시하지 않는 비표시부(100B)를 포함한다.
- [0019] 표시부(100A)는 복수 개의 픽셀(P)을 포함하고, 각각의 픽셀(P)들이 표시하는 계조를 기반으로 영상을 표시한다. 픽셀(P)들은 제1 내지 제n 픽셀라인(HL1 내지 HL[n])들을 따라 배열된다. 각각의 픽셀(P)은 컬럼라인(Column Line)을 따라 배열되는 데이터라인(DL)과 연결되고, 픽셀라인(HL)을 따라 배열되는 게이트라인(GL)에 연결된다. 즉, 동일한 픽셀라인에 배치된 픽셀들은 동일한 게이트라인(GL)을 공유하여 동시에 구동된다. 그리고 제1 픽셀라인(HL1)에 배치된 픽셀들을 제1 픽셀(P1)들이라 정의하고, 제n 픽셀라인(HLn)에 배치된 픽셀들을 제n 픽셀(Pn)들이라 정의할 때, 제1 픽셀(P1)들부터 제n 픽셀(Pn)들은 순차적으로 구동된다. 그리고, 하나의 스캔라인에 데이터를 기입하는 샘플링 기간을 1수평기간(1H)이라고 정의할 수 있다.
- [0020] 게이트라인(GL)은 픽셀 구조에 따라 복수의 에미션라인과 복수의 스캔라인을 포함할 수 있다. 본 발명의 실시예에 의한 게이트라인(GL)은 도 2에 도시된 것과 같이, 제1 스캔라인(SL1), 제2 스캔라인(SL2) 및 에미션라인(EML)을 포함한다.
- [0021] 타이밍 콘트롤러(110)는 데이터 구동부(120) 및 게이트 구동부(130,140)의 구동 타이밍을 제어하기 위한 것이다. 이를 위해서 타이밍 콘트롤러(110)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(120)에 공급한다. 또한, 타이밍 콘트롤러(110)는 수직 동기 신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(130,140)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0022] 데이터 구동부(120)는 데이터라인부(DL)를 구동하기 위한 것이다. 이를 위해서 데이터 구동부(120)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(110)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 데이터라인(DL)들에 공급한다.
- [0023] 게이트 구동부(130,140)는 레벨 시프터(130) 및 시프트레지스터(140)를 포함한다. 레벨 시프터(130)는 IC 형태로 표시패널(100)에 접속되는 인쇄회로기판(미도시)에 형성되고, 시프트레지스터(140)는 표시패널(100)의 비표시영역(100B)에 형성되는 게이트-인-패널(Gate In Panel; 이하 GIP) 방식으로 형성된다.

- [0024] 레벨 시프터(130)는 타이밍 콘트롤러(110)의 제어하에 클럭들 및 스타트신호(VST)를 레벨 쉬프팅한 후 시프트레지스터(140)에 공급한다. 시프트레지스터(140)는 GIP 방식에 의해 표시패널(100)의 비표시영역(100B)에서 다수의 박막 트랜지스터(이하 트랜지스터)조합으로 형성된다.
- [0025] 도 2는 본 발명에 의한 시프트레지스터를 나타내는 도면이다.
- [0026] 도 2를 참조하면, 본 발명에 의한 시프트레지스터는 에미션신호 생성부(141) 및 스캔신호 생성부(143)를 포함한다.
- [0027] 에미션신호 생성부(141)는 제1 내지 제n 에미션 드라이버(EMD1~EMDn)를 포함한다. 제1 에미션 드라이버(EMD1)는 에미션신호(EM1)를 생성하여, 제1 픽셀라인(HL1)의 에미션 라인(EML(1))에 인가한다. 제2 에미션 드라이버(EMD2)는 에미션신호(EM2)를 생성하고, 제2 픽셀라인(HL2)의 에미션 라인(EML(2))에 인가한다. 제n 에미션 드라이버(EMDn)는 에미션신호(EMn)를 생성하고, 제n 픽셀라인(HLn)의 에미션 라인(EML(n))에 인가한다.
- [0028] 스캔신호 생성부(143)는 제1 내지 제n 스캔 드라이버(SD1~SDn)를 포함한다. 제1 스캔 드라이버(SD1)는 제1 스캔신호(SCAN1(1))를 생성하여 제1 픽셀라인(HL1)의 제1 스캔라인(SL1(1))에 인가하고, 제2 스캔신호(SCAN2(1))를 생성하여 제1 픽셀라인(HL1)의 제2 스캔라인(SL2(1))에 인가한다. 제2 스캔 드라이버(SD2)는 제1 스캔신호(SCAN1(2))를 생성하여 제2 픽셀라인(HL2)의 제1 스캔라인(SL1(2))에 인가하고, 제2 스캔신호(SCAN2(2))를 생성하여 제2 픽셀라인(HL2)의 제2 스캔라인(SL2(2))에 인가한다. 제n 스캔 드라이버(SDn)는 제1 스캔신호(SCAN1(n))를 생성하여 제n 픽셀라인(HLn)의 제1 스캔라인(SL1(n))에 인가하고, 제2 스캔신호(SCAN2(n))를 생성하여 제n 픽셀라인(HLn)의 제2 스캔라인(SL2(n))에 인가한다.
- [0029] 에미션신호 생성부(141)의 제1 내지 제n 에미션 드라이버(EMD1~EMDn)는 서로 종속적으로 연결되고, 마찬가지로 스캔신호 생성부(143)의 제1 내지 제n 스캔 드라이버(SD1~SDn)는 서로 종속적으로 연결된다. 특히, 도면에서와 같이 스캔 드라이버들(SD1~SDn) 각각은 제1 및 제2 스캔신호(SCAN1, SCAN2)를 생성한다. 이와 같이, 스캔 드라이버들(SD1~SDn) 각각은 제1 및 제2 스캔신호(SCAN1, SCAN2)를 출력하기 때문에, 스캔신호 생성부(143)의 전체적인 사이즈를 줄일 수 있다. 이에 따라, 스캔 드라이버들(SD1~SDn)이 배치되는 베젤을 줄일 수 있다.
- [0030] 이하, 본 발명의 스캔신호 생성부가 적용되는 유기발광다이오드 표시장치의 실시 예를 살펴보면 다음과 같다.
- [0031] 도 3은 실시 예에 의한 픽셀을 나타내는 도면이다. 도 3에 도시된 픽셀은 제1 픽셀라인(HL1)에 배치된 픽셀들을 도시하고 있다. 제2 내지 제n 픽셀라인들(HL2~HLn)에 배치된 픽셀들 역시 도 3에 도시된 것과 동일한 구조로 이루어질 수 있다. 도 4는 도 3에 도시된 픽셀을 구동하는 게이트신호들의 타이밍을 나타내는 도면이다.
- [0032] 도 3을 참조하면, 실시 예에 의한 픽셀은 유기발광다이오드(OLED), 구동 트랜지스터(DT), 제1 내지 제5 스위칭 트랜지스터들(ST1~ST5) 및 스토리지 커패시터(Cst)를 포함한다.
- [0033] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극은 제5 노드(N5)에 접속되고, 캐소드전극은 저전위 구동전압(VSS)의 입력단에 접속된다.
- [0034] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동 트랜지스터(DT)의 게이트전극은 제1 노드(N1)에 접속되고, 소스전극은 제3 노드(N3)에 접속되며, 드레인전극은 제2 노드(N2)에 접속된다.
- [0035] 제1 스위칭 트랜지스터(ST1)는 데이터라인(DL)과 제4 노드(N4) 사이에 접속되고, 제1 스캔신호(SCAN1(1))에 따라 온/오프된다. 제1 스위칭 트랜지스터(ST1)의 게이트전극은 제1 스캔신호(SCAN1(1))가 인가되는 제1 스캔라인(SL1(1))에 접속되고, 그의 소스전극은 데이터라인(DL)에 접속되며, 그의 드레인전극은 제4 노드(N4)에 접속된다.
- [0036] 제2 스위칭 트랜지스터(ST2)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되고, 제2 스캔신호(SCAN2(1))에 따라 온/오프 된다. 제2 스위칭 트랜지스터(ST2)의 게이트전극은 제2 스캔신호(SCAN2(1))가 인가되는 제2 스캔라인(SL2(1))에 접속되고, 그의 소스전극은 제2 노드(N2)에 접속되며, 그의 드레인전극은 제1 노드(N1)에 접속된다.
- [0037] 제3 스위칭 트랜지스터(ST3)는 제4 노드(N4)와 초기전압(Vinit)의 입력단 사이에 접속되고, 에미션신호(EM(1))에 따라 온/오프 된다. 제3 스위칭 트랜지스터(ST3)의 게이트전극은 에미션신호(EM(1))가 인가되는 에미션라인(EML(1))에 접속되고, 그의 소스전극은 제4 노드(N4)에 접속되며, 그의 드레인전극은 초기전압(Vinit)의 입력단에 접속된다.
- [0038] 제4 스위칭 트랜지스터(ST4)는 제2 노드(N2)와 제5 노드(N5) 사이에 접속되고, 에미션신호(EM(1))에 따라 온/오프

프 된다. 제4 스위칭 트랜지스터(ST4)의 게이트전극은 에미션신호(EM(1))가 인가되는 에미션라인(EML(1))에 접속되고, 그의 소스전극은 제2 노드(N2)에 접속되며, 그의 드레인전극은 제5 노드(N5)에 접속된다.

[0039] 제5 스위칭 트랜지스터(ST5)는 제5 노드(N5)와 초기전압(Vinit)의 입력단 사이에 접속되고, 제2 스캔신호(SCAN2(1))에 따라 온/오프 된다. 제5 스위칭 트랜지스터(ST5)의 게이트전극은 제2 스캔신호(SCAN2(1))가 인가되는 제2 스캔라인(SL2(1))에 접속되고, 그의 소스전극은 제5 노드(N5)에 접속되며, 그의 드레인전극은 초기전압(Vinit)의 입력단에 접속된다.

[0040] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제4 노드(N4) 사이에 접속된다. 보조 커패시터(Cgv)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 보조 커패시터(Cgv)의 제3 노드(N3)는 정전압원인 고전위 구동전압(VDD)의 입력단과 연결되어서, 구동 트랜지스터(DT)의 게이트전극의 전압이 원치않는 커플링 현상에 의해서 변화되는 것을 방지한다.

[0041] 도 3 및 도 4를 참조하여, 실시 예에 의한 픽셀의 구동을 살펴보면 다음과 같다. 특히, 제1 스캔 드라이버(SD1)가 출력하는 제1 스캔신호(SCAN1(1)) 및 제2 스캔신호(SCAN2(1))를 중심으로 제1 픽셀라인(HL1)의 픽셀들의 동작을 살펴보기로 한다.

[0042] 이니셜 기간(Ti)에서, 제2 스캔신호(SCAN2(1)) 및 에미션신호(EM(1))는 온 레벨로 인가되고, 제1 스캔신호(SCAN1(1))는 오프 레벨로 인가된다. 그 결과, 제3 스위칭 트랜지스터(ST3)는 에미션신호(EM(1))에 응답하여, 초기화전압을 제4 노드(N4)에 충전한다. 제4 스위칭 트랜지스터(ST4)는 에미션신호(EM(1))에 응답하여 제2 노드(N2) 및 제5 노드(N5)를 연결시킨다. 제5 스위칭 트랜지스터(ST5)는 제2 스캔신호(SCAN2(1))에 응답하여, 제5 노드(N5)를 초기화전압(Vinit)으로 초기화한다. 제4 스위칭 트랜지스터(ST4)가 턴-온됨으로써 제2 노드(N2)의 전압은 초기화 전압(Vini)이 된다. 제2 스위칭 트랜지스터(ST2)는 제2 스캔신호(SCAN2(1))에 응답하여, 제1 노드(N1) 및 제2 노드(N2)를 연결시킨다. 이에 따라 구동트랜지스터(DT)의 게이트전극과 드레인전극은 다이오드 커넥션(diode connection) 상태가 되고, 제1 노드(N1)의 전압 또한 초기화 전압(Vini)이 된다.

[0043] 샘플링 기간(Ts)에서, 제1 스캔신호(SCAN1(1)) 및 제2 스캔신호(SCAN2(1))는 온 레벨로 인가되고, 에미션신호(EM(1))는 오프 레벨로 인가된다. 샘플링 기간(Ts)에서, 제3 스위칭 트랜지스터(ST3)가 턴-오프되고, 제1 스캔신호(SCAN1(1))에 응답하여 제1 스위칭 트랜지스터(ST1)가 턴 온 됨으로써, 제4 노드(N4)에는 데이터전압이 충전된다. 그리고, 구동 트랜지스터(DT)의 게이트전극과 드레인전극은 다이오드 커넥션 상태를 유지한다. 샘플링 기간(Ts)에서, 제4 스위칭 트랜지스터(ST4)가 턴-오프되어서 제2 노드(N2)는 플로팅 상태가 된다. 그리고 제3 노드(N3)에서 제2 노드(N2)로 흐르는 전류에 의해서 제2 노드(N2)의 전압은 상승하고, 이에 따라 제1 노드(N1)의 전압도 상승한다. 제1 노드(N1)의 전압이 상승함에 따라, 구동 트랜지스터(DT)의 Vgs 값이 작아진다. 샘플링 기간에서 제3 노드(N3)에서 제2 노드(N2)로 흐르는 전류는 구동 트랜지스터(DT)의 Vgs가 구동 트랜지스터(DT)의 문턱전압과 동일해질 때까지 흐른다. 즉, 샘플링 기간(Ts)에서 제1 노드(N1) 및 제2 노드(N2)의 전압은 고전위구동전압(VDD)에서 문턱전압(Vth)의 절대값을 뺀 값($VDD - |Vth|$)으로 포화된다.

[0044] 에미션 기간(Te)에서, 에미션신호(EM(1))는 온 레벨로 인가되고, 제1 스캔신호(SCAN1(1)) 및 제2 스캔신호(SCAN2(1))는 오프 레벨로 인가된다. 제3 스위칭 트랜지스터(ST3)는 에미션신호(EM(1))에 응답하여, 초기전압(Vini)을 제4 노드(N4)에 인가한다. 그 결과 제4 노드(N4)의 전압은 데이터전압(Vdata)에서 초기전압(Vini)을 뺀 값만큼 변한다.

[0045] 커플링 효과에 의해서, 제4 노드(N4)의 전위 변화분($Vdata - Vinit$)에 해당하는 전압이 제1 노드(N1)에 반영된다. 즉, 제1 노드(N1)의 전압은 샘플링 기간(Ts)에서의 전압레벨($VDD - |Vth|$)에서 제4 노드(N4)의 전위 변화분($Vdata - Vinit$)을 뺀 값에 해당하는 " $VDD - |Vth| - (Vdata - Vinit)$ "이 된다.

[0046] 제4 스위칭 트랜지스터(ST4)는 에미션신호(EM(1))에 응답하여, 제2 노드(N2) 및 제5 노드(N5)를 연결시킨다. 이때, 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 [수학식 1]과 같이 된다.

[0047] [수학식 1]

$$[0048] \quad I_{OLED} = k/2(V_{sg} - |V_{th}|)^2 = k/2((V_s - V_g) - |V_{th}|)^2 = k/2[(VDD - \{VDD - |V_{th}| - (V_{data} - V_{init})\} - |V_{th}|)^2 = k/2(V_{data} - V_{init})^2$$

[0049] [수학식 1]에서, k/2는 구동 트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다. [수학식 1]에서 알 수 있는 바와 같이, 구동전류(Ioled) 관계식에서 구동 트랜지스터

(DT)의 문턱전압(V_{th}) 성분은 소거된다. 이를 통해, 문턱전압(V_{th}) 변화가 구동전류(I_{oled})에 미치는 영향이 제거된다.

- [0050] 도 5는 도 2에 도시된 제1 스캔 드라이버의 구성을 나타내는 도면이다.
- [0051] 도 5를 참조하면, 제1 스캔 드라이버(SD1)는 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2), 제1 및 제2 풀다운 트랜지스터(Tpd1, Tpd2), 노드 제어부 및 전압제어 트랜지스터부를 포함한다. 노드 제어부는 스타트 제어부(T1, T2), 제1 인버터 트랜지스터(T3), 제2 인버터 트랜지스터(T6), 리셋 트랜지스터(T7)(이하, 제7 트랜지스터) 및 제4 및 제5 트랜지스터(T4, T5)를 포함한다. 전압제어 트랜지스터부는 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)을 포함한다.
- [0052] 스타트 제어부(T1, T2) 및 제3 전압제어 트랜지스터(Tbv3)는 저전위전압(VGL)의 입력단과 Q1 노드 사이에서 서로 직렬로 연결된다. 본 명세서에서는 PMOS 트랜지스터를 실시 예로 설명하고 있기 때문에, 저전위전압(VGL)은 턴-온 전압에 해당하고, 저전위전압(VGL)의 입력단은 턴-온 전압의 입력단으로 지칭될 수 있다. 스타트 제어부(T1, T2)는 제1 및 제2 트랜지스터들(T1, T2)을 포함한다. 제1 트랜지스터(T1)의 게이트전극은 스타트신호(VST) 또는 캐리신호(CARRY)를 입력받는 스타트신호 입력단(VP)에 연결되고, 제2 트랜지스터(T2)의 게이트전극은 제4 스캔2클럭(S2CLK4)의 입력단에 연결되며, 제3 전압제어 트랜지스터(Tbv3)의 게이트전극은 저전위전압(VGL)의 입력단에 연결된다. 제3 전압제어 트랜지스터(Tbv3)는 항상 턴-온 상태를 유지한다. 그 결과, 스타트신호 입력단(VP)에 인가되는 스타트 신호와 제4 스캔2클럭(S2CLK4)이 동기되는 구간에서 Q1 노드는 저전위전압(VGL)으로 프리차지된다.
- [0053] 제1 인버터 트랜지스터(T3)는 QB 노드에 연결되는 게이트전극, 제1 전압제어 트랜지스터(Tbv1)의 드레인 전극에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제1 인버터 트랜지스터(T3)는 QB 노드가 턴-온 전압일 때, Q1 노드를 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다.
- [0054] 제4 트랜지스터(T4)는 제3 스캔2클럭(S2CLK3)의 입력단에 연결되는 게이트전극, 저전위전압(VGL)의 입력단에 연결되는 소스전극 및 QB 노드에 연결되는 드레인전극을 포함한다. 제4 트랜지스터(T4)는 제3 스캔2클럭(S2CLK3)에 응답하여, QB 노드를 턴-온 전압인 저전위전압(VGL)으로 충전한다.
- [0055] 제5 트랜지스터(T5)는 스타트신호 입력단(VP)에 연결되는 게이트전극, QB 노드에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제5 트랜지스터(T5)는 스타트신호 입력단(VP)에 인가되는 스타트신호(VST) 또는 캐리신호(CARRY)에 응답하여, QB 노드를 턴-오프 전압인 고전위전압으로 충전시킨다.
- [0056] 제2 인버터 트랜지스터(T6)는 제2 전압제어 트랜지스터(Tbv2)의 드레인전극에 연결되는 게이트전극, QB 노드에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제2 인버터 트랜지스터(T6)는 Q1 노드가 턴-온 전압일 때에, QB 노드의 전압을 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다.
- [0057] 제7 트랜지스터(T7)는 리셋신호(QRST)의 입력단에 연결되는 게이트전극, 제4 전압제어 트랜지스터(Tbv4)의 드레인전극에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제7 트랜지스터(T7)는 리셋신호(QRST)에 응답하여, Q1 노드를 턴-오프 전압인 고전위전압(VGH)으로 충전시킨다.
- [0058] 제1 풀업 트랜지스터(Tpu1)는 Q1 노드에 연결되는 게이트전극, 제1 출력단(G1SRO)에 연결되는 드레인전극 및 제1 클럭 입력단(CP1)에 연결되는 소스전극으로 이루어진다. 제1 풀업 트랜지스터(Tpu1)는 Q1 노드 전압에 응답하여, 제1 클럭 입력단(CP1)에 인가되는 게이트클럭에 따라 제2 스캔신호(SCAN2(1))를 출력한다.
- [0059] 제2 풀업 트랜지스터(Tpu2)는 Q1 노드에 연결되는 게이트전극, 제2 출력단(G2SRO)에 연결되는 드레인전극 및 제2 클럭 입력단(CP2)에 연결되는 소스전극으로 이루어진다. 제2 풀업 트랜지스터(Tpu2)는 Q1 노드 전압에 응답하여, 제2 클럭 입력단(CP2)에 인가되는 스캔클럭에 따라 제1 스캔신호(SCAN1(1))를 출력한다.
- [0060] 제1 풀다운 트랜지스터(Tpd1)는 QB 노드에 연결되는 게이트전극, 고전위전압(VGH)의 입력단에 연결되는 드레인전극, 제1 출력단(G1SRO)에 연결되는 소스전극으로 이루어진다. 제1 풀다운 트랜지스터(Tpd1)는 QB 노드 전압에 응답하여, 제1 출력단(G1SRO)을 턴-오프 전압인 고전위전압(VGH)으로 충전한다.
- [0061] 제2 풀다운 트랜지스터(Tpd2)는 QB 노드에 연결되는 게이트전극, 고전위전압(VGH)의 입력단에 연결되는 드레인전극, 제2 출력단(G2SRO)에 연결되는 소스전극으로 이루어진다. 제2 풀다운 트랜지스터(Tpd2)는 QB 노드 전압에 응답하여, 제2 출력단(G2SRO)을 턴-오프 전압인 고전위전압(VGH)으로 충전한다.

- [0062] 제3 내지 제7 트랜지스터들(T3~T7)은 듀얼 게이트 구조로 구현하여 채널 길이를 증가시킴으로써, 누설전류 특성을 강화시킬 수 있다. 트랜지스터들의 게이트-소스 간의 전압 또는 드레인-소스 간의 전압이 장시간 크게 편차를 갖는 경우에 누설전류로 인하여 스캔 드라이버 구동에 신뢰성이 저하될 수 있다. 제3 내지 제7 트랜지스터들(T3~T7)이 듀얼 게이트 구조로 구현되는 것은 이처럼 신뢰성을 높이기 위한 것이며, 스캔 드라이버에서 듀얼 게이트 구조로 구현되는 트랜지스터들은 도 5에 도시된 실시 예에 한정되지 않는다.
- [0063] 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 게이트전극은 저전위전압(VGL)의 입력단에 연결되고, 소스전극 또는 드레인전극이 Q1 노드와 연결된다. 구체적으로, 제1 전압제어 트랜지스터(Tbv1)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제1 인버터 트랜지스터(T3)의 소스전극에 연결되는 드레인전극 및 Q1 노드에 연결되는 소스전극을 포함한다. 제2 전압제어 트랜지스터(Tbv2)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제2 인버터 트랜지스터(T6)의 게이트전극에 연결되는 드레인전극 및 Q1 노드에 연결되는 소스전극을 포함한다. 제3 전압제어 트랜지스터(Tbv3)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제2 트랜지스터(T2)의 드레인전극에 연결되는 소스전극 및 Q1 노드에 연결되는 드레인전극을 포함한다. 제4 전압제어 트랜지스터(Tbv4)는 저전위전압(VGL)의 입력단에 연결되는 게이트전극, 제7 트랜지스터(T7)의 소스전극에 연결되는 드레인전극 및 Q1 노드에 연결되는 소스전극을 포함한다.
- [0064] 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)은 Q1 노드가 부트스트래핑되는 순간에 Q1 노드와 연결되는 트랜지스터들에 인가되는 전압레벨을 낮춘다. Q1 노드가 부트스트래핑될 때 Q1 노드는 저전위전압(VGL)의 전압레벨 보다 낮은 제1 전압레벨(VL1)로 하강하기 때문에 Q1 노드와 접속하는 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 전극은 드레인전극에 해당한다. 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 동작하는 상태에서 게이트전극과 소스전극 간의 전압 차이(V_{gs})와 문턱전압(V_{th})의 크기는 " $V_{gs} < V_{th} < 0$ "인 조건을 만족한다. 따라서, 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 게이트전압(V_g)과 문턱전압(V_{th}) 간의 전압 차이는 소스전압(V_s) 보다 작고, 이를 수식으로 표현하면 " $V_g - V_{th} < V_s$ "가 된다. 문턱전압(V_{th})은 0V 보다 작은 전압이기 때문에, $V_g - V_{th}$ 는 저전위전압(VGL) 보다 큰 값이 된다. 즉, 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 동작하는 상태에서, 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)의 소스전압(V_s)은 저전위전압(VGL) 보다 큰 전압이 된다. 예컨대, 저전위전압(VGL)이 -10V이고, 문턱전압(V_{th})이 -3V일 때, 소스전압(V_s)은 -7V 보다 큰 전압이 된다. 따라서, 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)과 접속되는 제2 트랜지스터(T2), 제1 인버터 트랜지스터(T3), 제2 인버터 트랜지스터(T6) 및 제7 트랜지스터(T7)는 Q1 노드가 부트스트래핑 되는 과정에서 제1 전압레벨(VL1) 보다 큰 전압레벨을 인가받는다. 만약, 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)이 없다면, 제2 트랜지스터(T2), 제1 인버터 트랜지스터(T3), 제2 인버터 트랜지스터(T6) 및 제7 트랜지스터(T7)는 Q1 노드가 부트스트래핑 되는 과정에서 저전위전압(VGL) 보다 낮은 전압인 제1 전압레벨(VL1)의 전압을 인가받는다. 따라서, 제2 트랜지스터(T2), 제1 인버터 트랜지스터(T3), 제2 인버터 트랜지스터(T6) 및 제7 트랜지스터(T7)들의 V_{ds} 또는 V_{gs} 값은 매우 커지기 때문에 신뢰성에 영향을 줄 수 있다. 이에 반해서 본 발명은 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)을 이용하여 Q1 노드가 부트스트래핑 될 때에도, Q1 노드와 접속되는 트랜지스터들에 제1 전압레벨(VL1) 수준의 낮은 전압이 인가되는 것을 방지하여 트랜지스터들의 신뢰성을 높일 수 있다.
- [0065] 도 6은 도 5에 도시된 스캔 드라이버에 인가되는 게이트클럭들의 타이밍과 이에 따른 제1 및 제2 스캔신호의 출력 타이밍을 나타내는 도면이다. 도 6에서 이니셜 기간(T_i), 샘플링 기간(T_s) 및 발광 기간(T_e)은 제1 픽셀라인(HL1)의 구동을 위한 제1 스캔 드라이버(SD1)의 동작 타이밍을 명시하고 있다.
- [0066] 도 5 및 도 6을 참조하여, 스캔 드라이버의 동작을 살펴보면 다음과 같다. 특히, 제1 및 제2 스캔신호(SCAN1(1), SCAN2(1))를 생성하는 제1 스캔 드라이버(SD1)의 동작을 중심으로 실시 예를 살펴보면 다음과 같다.
- [0067] 스타트신호(VST)가 인가되기 이전에, 제7 트랜지스터(T7)는 리셋신호(QRST)에 응답하여, Q1 노드에 턴-오프 전압인 고전위전압(VGH)을 인가한다. 그 결과, Q1 노드는 턴-오프 전압으로 리셋된다.
- [0068] 스타트신호(VST)와 제4 스캔클럭(S2CLK4)이 동기되는 구간에서 스타트 제어부(T1, T2)는 Q1 노드 Q1 노드를 턴-온전압인 저전위전압(VGL)으로 프리차지한다. 제5 트랜지스터(T5)는 스타트신호(VST)에 응답하여 QB 노드에 고전위전압(VGH)을 공급함으로써, 제1 및 제2 풀다운 트랜지스터(Tpd1, Tpd2)는 안정적으로 턴-오프 상태를 유지한다.
- [0069] 스타트신호(VST) 및 제4 스캔클럭(S2CLK4)에 의해서 Q1 노드가 저전위전압(VGL)으로 프리차지될 때, 제1 및 제2 클럭 입력단들(CP1, CP2)의 전압은 고전위전압(VGH)이다. 즉, 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2)의

Vgs는 턴-온 조건을 만족하는 전압이 된다. 다만, 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2)의 드레인전극과 접속되는 제1 및 제2 출력단들(G1SR0, G1SR0)의 전압이 소스전극의 전압과 동일한 수준의 고전위전압(VGH)이기 때문에, 제1 및 제2 출력단(G1SR0, G1SR0)의 전압의 변화는 없다.

- [0070] 이니셜 기간(Ti) 및 샘플링 기간(Ts) 동안, 제1 클럭 입력단(CP1)에는 저전위전압(VGL)의 제1 스캔2클럭(S2CLK1)이 입력되어서, 제1 풀업 트랜지스터(Tpu1)의 소스전극은 고전위전압(VGH)에서 저전위전압(VGL)으로 전압레벨이 낮아진다. 제1 풀업 트랜지스터(Tpu1)의 소스전극의 전압 변화에 따라 Q1 노드의 전압은 저전위전압(VGL)에서 제1 전압레벨(VL1)로 부트스트래핑(Bootstrapping) 된다. 또한, 제1 풀업 트랜지스터(Tpu1)의 소스전극의 전압 변화에 따라 제1 출력단(G1SR0)은 턴-온 전압레벨의 제2 스캔신호(SCAN2(1))를 출력한다.
- [0071] 샘플링 기간(Ts) 동안, 제2 클럭 입력단(CP2)에는 저전위전압(VGL)의 제1 스캔1클럭(S1CLK1)이 입력되어서, 제2 풀업 트랜지스터(Tpu2)의 소스전극은 고전위전압(VGH)에서 저전위전압(VGL)으로 전압레벨이 낮아지고, 제2 출력단(G1SR0)은 턴-온 전압레벨의 제1 스캔신호(SCAN1(1))를 출력한다.
- [0072] Q1 노드가 턴-온 전압일 때에, 제2 인버터 트랜지스터(T6)는 QB 노드에 턴-오프전압인 고전위전압(VGH)을 인가한다. 그 결과, 제1 및 제2 풀다운 트랜지스터(Tpd1, Tpd2)가 안정적으로 턴-오프 상태를 유지한다.
- [0073] 샘플링 기간(Ts)이 종료될 때, 제1 스캔1클럭(S1CLK1) 및 제1 스캔2클럭(S2CLK1)은 고전위전압(VGH)이 되고, 그 결과 제1 및 제2 출력단(G1SR0, G2SR0)의 전압은 고전위전압(VGH)이 된다.
- [0074] 제4 트랜지스터(T4)는 제3 스캔2클럭(S2CLK3)에 응답하여, QB 노드에 턴-온 전압인 저전위전압(VGL)을 인가한다. 그 결과 제1 및 제2 풀업 트랜지스터들(Tpu1, Tpu2)은 턴-온 되고, 제1 및 제2 출력단(G1SR0, G1SR0)에는 턴-오프 전압인 고전위전압(VGH)이 인가된다.
- [0075] 도 7은 제2 실시 예에 의한 스캔 드라이버를 나타내는 도면이고, 도 8은 도 7에 도시된 스캔 드라이버를 구동하기 위한 클럭들 및 주요 노드의 전압 변화를 나타내는 타이밍도이다.
- [0076] 도 7 및 도 8을 참조하면, 제2 실시 예에 의한 제1 스캔 드라이버(SD1)는 제1 및 제2 풀업 트랜지스터(Tpu1, Tpu2), 제1 및 제2 풀다운 트랜지스터(Tpd1, Tpd2), 노드 제어부 및 전압제어 트랜지스터부를 포함한다. 노드 제어부는 스타트 제어부(T1, T2), 제1 인버터 트랜지스터(T3), 제2 인버터 트랜지스터(T6), 리셋 트랜지스터(T7) 및 제4 및 제5 트랜지스터(T4, T5) 포함한다. 전압제어 트랜지스터부는 제1 내지 제4 전압제어 트랜지스터들(Tbv1, Tbv2, Tbv3, Tbv4)을 포함한다. 제2 실시 예의 구성 중에서, 도 5에 도시된 제1 실시 예와 동일한 구성에 대해서는 자세한 설명을 생략하기로 한다.
- [0077] 제1 인버터 트랜지스터(T3)는 QB 노드에 연결되는 게이트전극, Q2 노드에 연결되는 소스전극 및 고전위전압(VGH)의 입력단에 연결되는 드레인전극을 포함한다. 제1 인버터 트랜지스터(T3)는 QB 노드가 턴-온 전압일 때, Q1 노드 및 Q2 노드에 턴-오프 전압인 고전위전압(VGH)을 인가한다.
- [0078] 제1 풀업 트랜지스터(Tpu1)는 Q1 노드에 연결되는 게이트전극, 제1 출력단(G1SR0)에 연결되는 드레인전극 및 제1 클럭 입력단(CP1)에 연결되는 소스전극으로 이루어진다. 제1 풀업 트랜지스터(Tpu1)는 Q1 노드 전압에 응답하여, 제1 클럭 입력단(CP1)에 인가되는 스캔2클럭에 따라 제2 스캔신호(SCAN2(1))를 출력한다.
- [0079] 제2 풀업 트랜지스터(Tpu2)는 Q2 노드에 연결되는 게이트전극, 제2 출력단(G2SR0)에 연결되는 드레인전극 및 제2 클럭 입력단(CP2)에 연결되는 소스전극으로 이루어진다. 제2 풀업 트랜지스터(Tpu2)는 Q2 노드 전압에 응답하여, 제2 클럭 입력단(CP2)에 인가되는 스캔1클럭에 따라 제1 스캔신호(SCAN1(1))를 출력한다.
- [0080] Q2 노드는 제1 전압제어 트랜지스터(Tbv1)를 통해서 Q1 노드와 분리된다. 제1 전압제어 트랜지스터(Tbv1)는 Q1 노드가 턴-온 전압인 구간에서 동기되어 Q2 노드의 전압을 턴-온 전압으로 제어한다.
- [0081] 이와 같이 제2 실시 예는 제1 및 제2 풀업 트랜지스터들(Tpu1, Tpu2)이 동일한 노드를 공유하지 않기 때문에, 제1 실시 예에 비하여 구동의 신뢰성을 높일 수 있다.
- [0082] 이를 살펴보면 다음과 같다.
- [0083] 제1 실시 예는 제1 및 제2 풀업 트랜지스터들(Tpu1, Tpu2)의 게이트전극이 모두 Q1 노드에 연결된다. 제1 및 제2 풀업 트랜지스터들(Tpu1, Tpu2)이 모두 Q1 노드에 연결되면, Q1 노드의 전압은 제2 풀업 트랜지스터(Tpu2)의 영향으로 인해서 불안정한 구간이 발생할 수 있다. 도 6에서 보는 바와 같이, 제1 실시 예에서 Q1 노드는 제1 풀업 트랜지스터(Tpu1)에 제1 스캔2클럭(S2CLK1)이 인가되는 시점에 부트스트래핑되어야 한다. 하지만, 제1 풀업 트랜지스터(Tpu1)에 제1 스캔2클럭(S2CLK1)이 인가되는 시점에서 제2 풀업 트랜지스터(Tpu2)에

인가되는 제1 스캔클럭(S1CLK1)은 고전위전압(VGH) 상태이다. 따라서, 2 풀업 트랜지스터(Tpu2)의 게이트전극은 부트스트래핑되지 않고 게이트-소스 전압 차이를 유지하려고 한다. 제2 풀업 트랜지스터(Tpu2)의 게이트전극 또한 Q1 노드에 연결된 상태이기 때문에, Q1 노드가 부트스트래핑을 시작하는 초기에서는 제2 풀업 트랜지스터(Tpu2)에 의해서 부트스트래핑이 방해된다. 그 결과, 제1 풀업 트랜지스터(Tpu1)에 제1 스캔클럭(S2CLK1)이 인가되기 시작하는 시점에서 제2 스캔신호(SCAN2(1))는 출력이 지연되고 파형이 왜곡되는 문제점이 나타나기도 한다.

[0084] 이에 반해서, 제2 실시 예의 제2 풀업 트랜지스터(Tpu2)의 게이트전극은 제1 전압제어 트랜지스터(Tbv1)를 통해서 Q1 노드와 연결된다. 따라서, 제1 풀업 트랜지스터(Tpu1)에 제1 스캔클럭(S2CLK1)이 인가되는 시점에서 Q1 노드는 제2 풀업 트랜지스터(Tpu2)의 영향을 받지않고 충분히 부트스트래핑 될 수 있다. 그 결과 제1 풀업 트랜지스터(Tpu1)가 출력하는 제2 스캔신호(SCAN2(1))는 이상적인 파형에 가까운 형태로 출력될 수 있다.

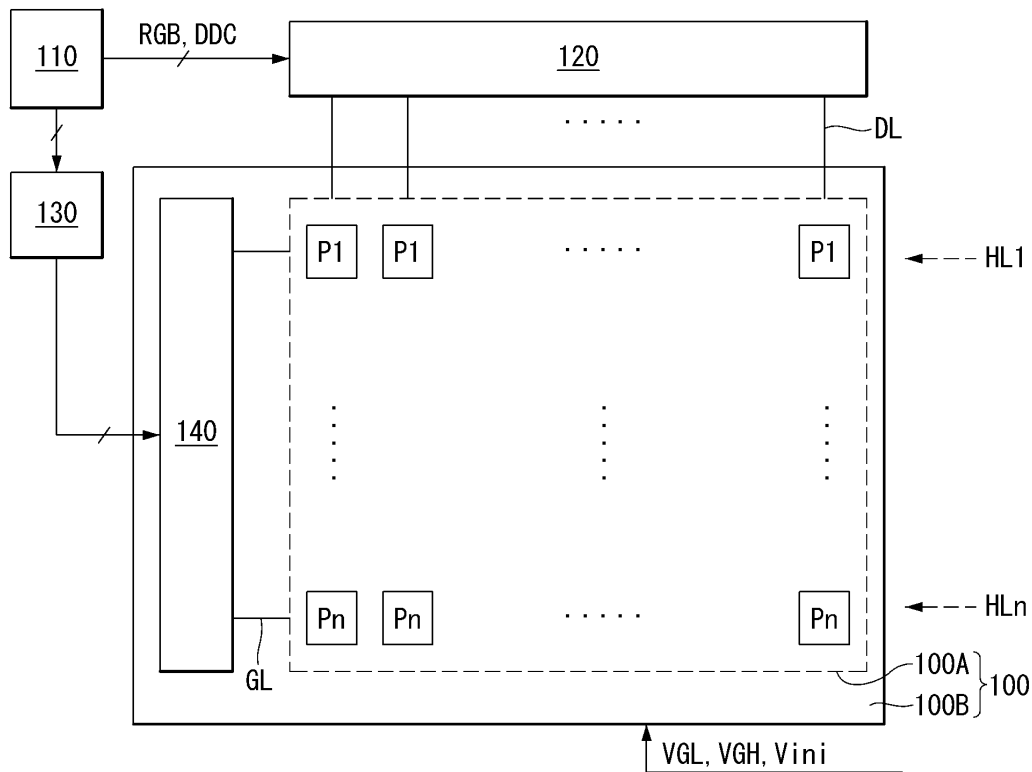
[0085] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

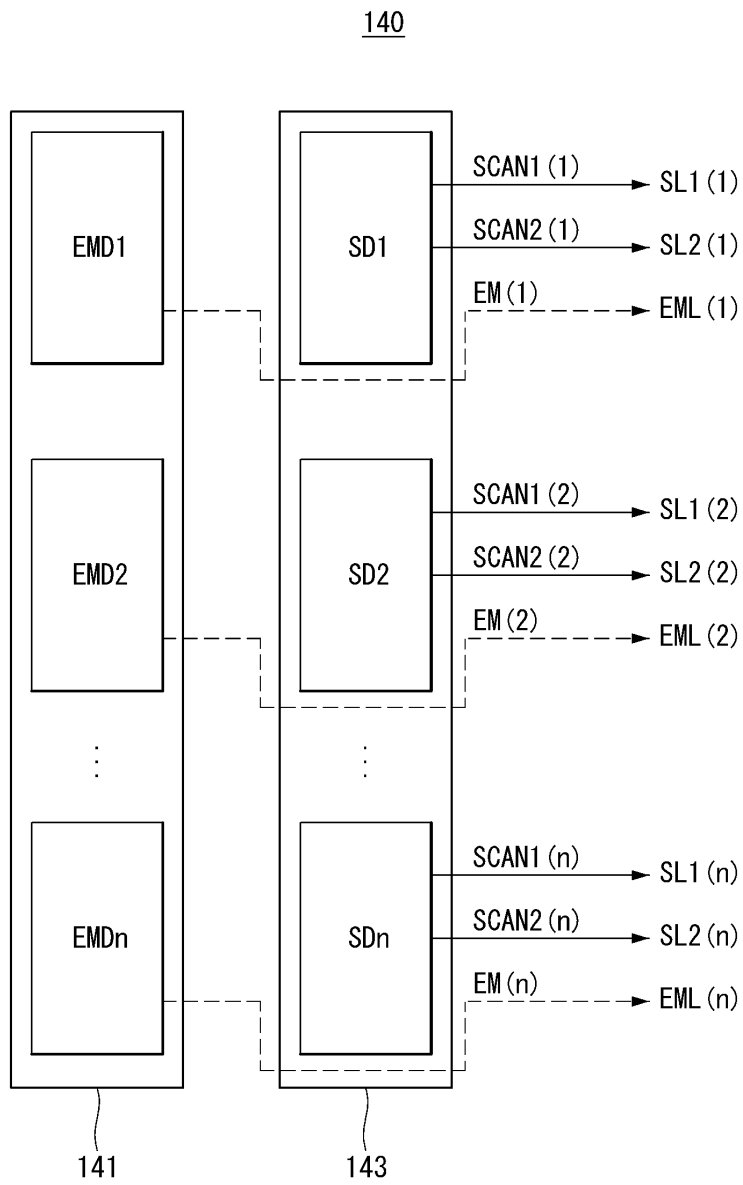
[0086] 100: 표시패널 110: 타이밍 콘트롤러
120: 데이터 구동회로 130,140: 게이트 구동회로
EMD1~EMDn: 에미션 드라이버
SD1~SDn: 스캔 드라이버

도면

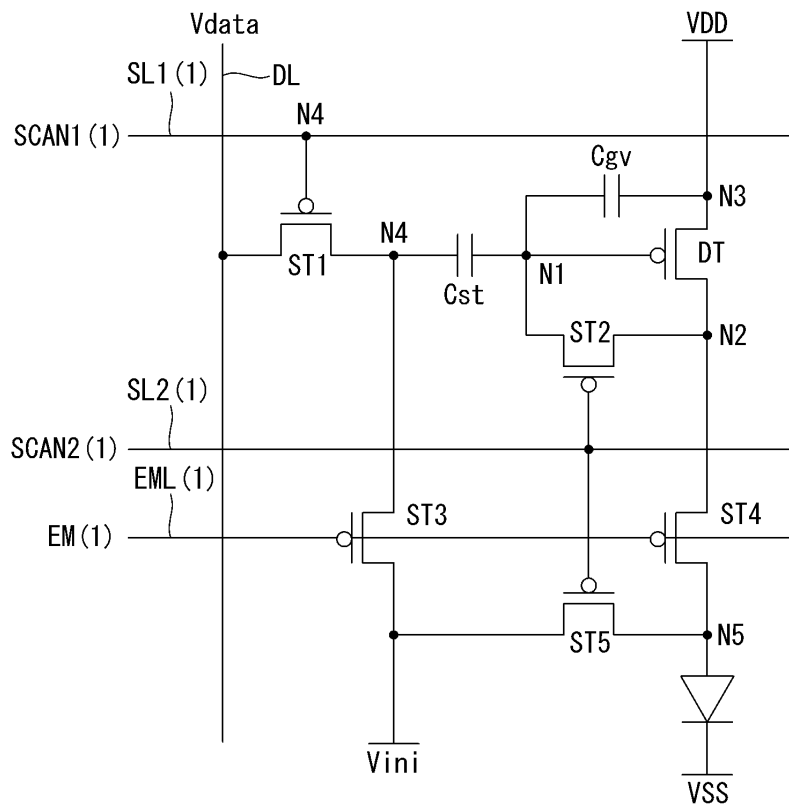
도면1



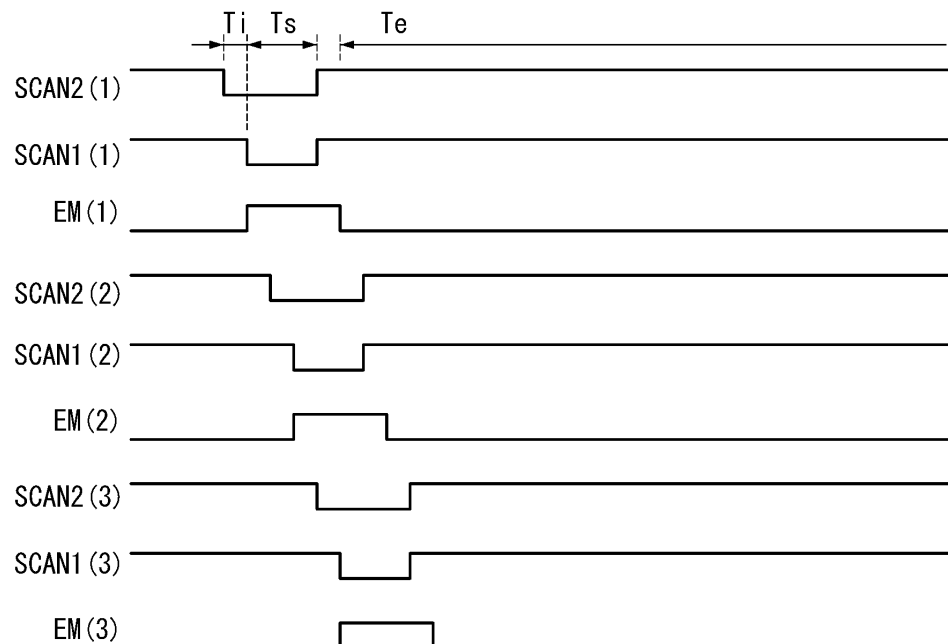
도면2



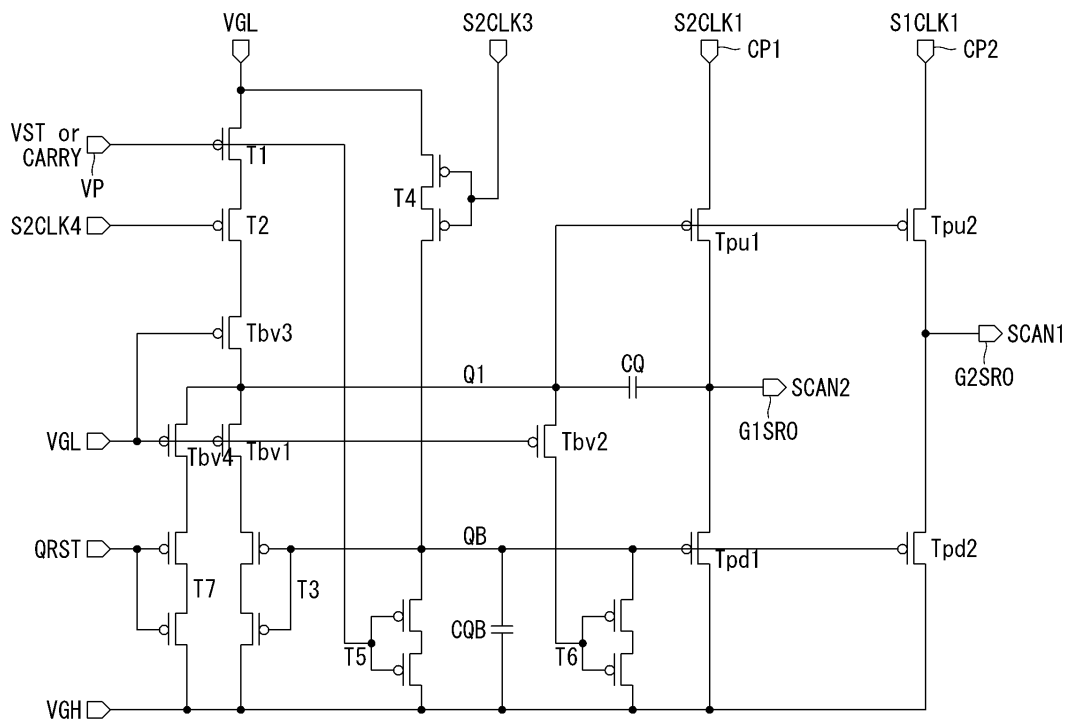
도면3



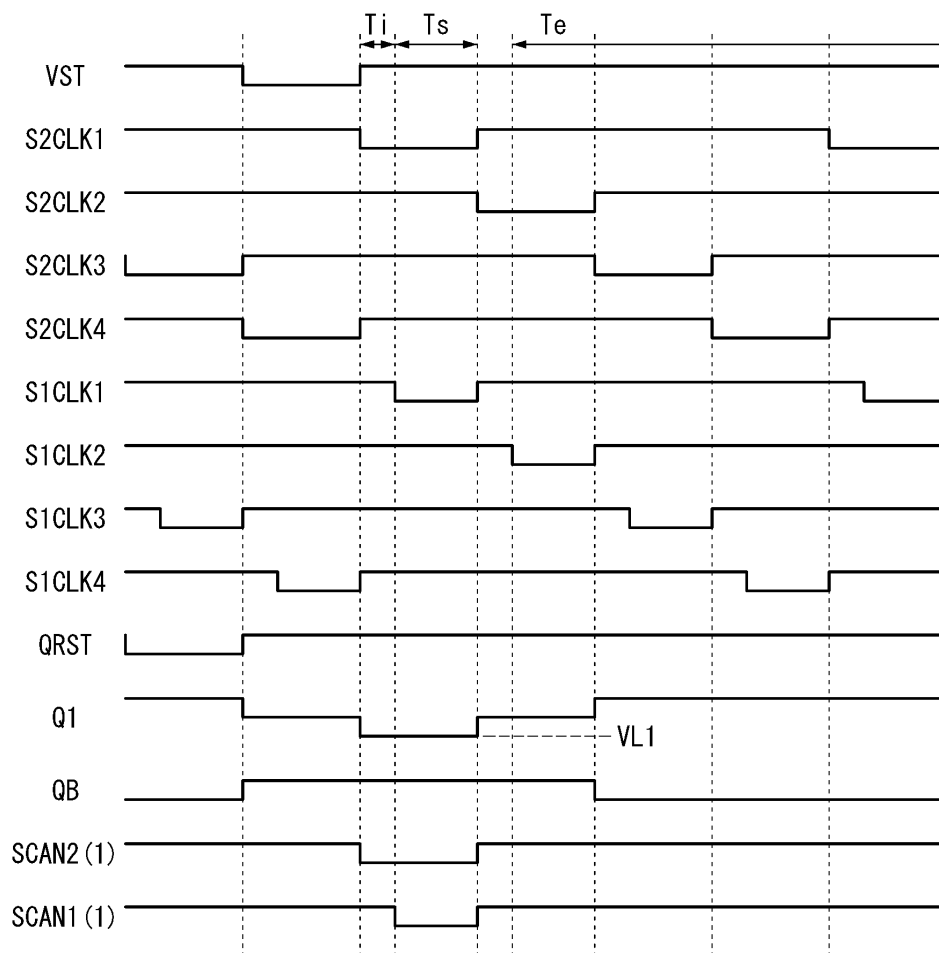
도면4



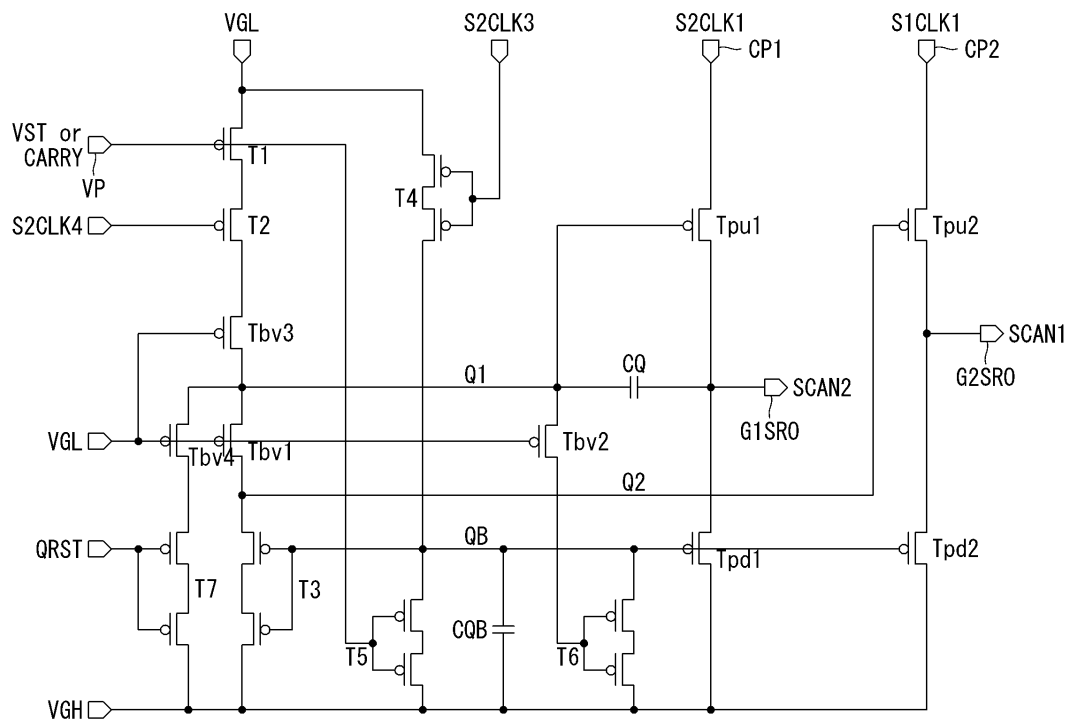
도면5



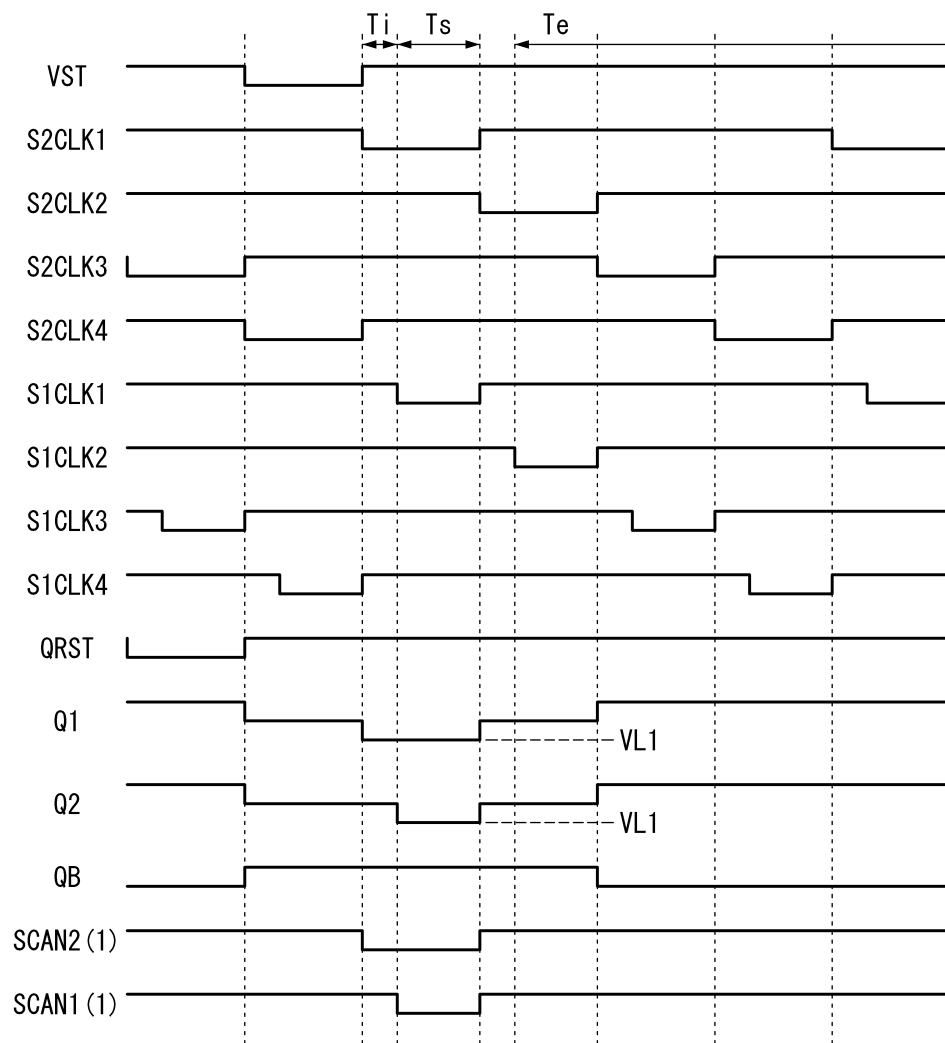
도면6



도면7



도면8



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190021985A	公开(公告)日	2019-03-06
申请号	KR1020170107548	申请日	2017-08-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김인섭 김대규 김정호		
发明人	김인섭 김대규 김정호		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2310/0286		
外部链接	Espacenet		

摘要(译)

本发明包括连接到第一和第二扫描线的像素，以及用于将第一扫描信号施加到第一扫描线并将第二扫描信号施加到第二扫描线的栅极驱动器。栅极驱动器包括相互独立地连接的第一至第n (n是自然数) 个扫描驱动器。扫描驱动器包括第一上拉晶体管和Q1节点，其包括连接至Q1节点的栅极，响应于起始信号而变为导通电压的Q1节点，连接至第一时钟输入端子的源极，以及连接至第一输出端子的漏极。第一电压控制晶体管以及与第一电压控制晶体管连接的栅电极和第二时钟输入端子，用于与Q2节点分离的导通电压Q1节点的周期同步地将Q2节点的电压控制为导通电压。第二上拉晶体管，其包括连接至漏极的源极和连接至第二输出端子的漏极。

