



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0018932
(43) 공개일자 2019년02월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/3266 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0103704

(22) 출원일자 2017년08월16일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

허승호

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인천문

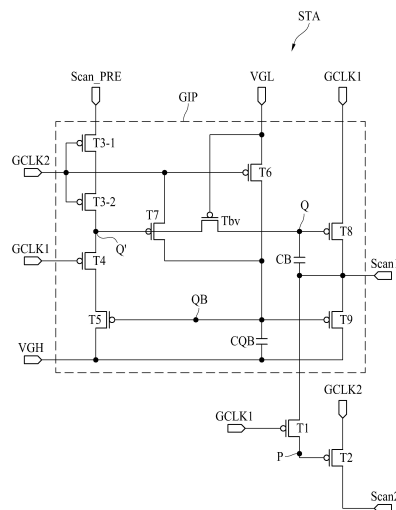
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 게이트 구동부와 이를 포함한 유기발광 표시장치

(57) 요약

본 출원의 일 예는 동일한 개수의 스캔 신호들을 생성하면서도 스테이지들의 개수를 감소시켜 면적을 감소시킨 게이트 구동부와 이를 포함한 유기발광 표시장치에 관한 것이다. 본 출원의 일 예에 따른 게이트 구동부는 2가지의 상이한 스캔 신호를 출력하는 복수의 스테이지들을 구비한다. 각각의 스테이지는 복수의 게이트 클럭 신호들을 공급받아 내부의 Q 노드의 전압의 크기를 설정하고, Q 노드의 전압에 따라 설정되는 제 1 스캔 신호를 출력하는 GIP 회로, 복수의 클럭 신호들 중 제 1 게이트 클럭 신호에 따라 제 1 스캔 신호를 공급받아 P 노드의 전압을 설정하는 제 1 트랜지스터, 및 P 노드의 전압에 따라 복수의 클럭 신호들 중 제 2 게이트 클럭 신호를 공급받아 제 2 스캔 신호를 출력하는 제 2 트랜지스터를 포함한다.

대표도 - 도5



(52) CPC특허분류

G09G 2300/0408 (2013.01)

G09G 2310/0262 (2013.01)

명세서

청구범위

청구항 1

2가지의 상이한 스캔 신호를 출력하는 복수의 스테이지들을 구비하고,

상기 각각의 스테이지는,

복수의 게이트 클럭 신호들을 공급받아 내부의 Q 노드의 전압의 크기를 설정하고, 상기 Q 노드의 전압에 따라 설정되는 제 1 스캔 신호를 출력하는 GIP 회로;

상기 복수의 클럭 신호들 중 제 1 게이트 클럭 신호에 따라 상기 제 1 스캔 신호를 공급받아 P 노드의 전압을 설정하는 제 1 트랜지스터; 및

상기 P 노드의 전압에 따라 상기 복수의 클럭 신호들 중 제 2 게이트 클럭 신호를 공급받아 제 2 스캔 신호를 출력하는 제 2 트랜지스터를 포함하는 게이트 구동부.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터는,

상기 제 1 게이트 클럭 신호를 게이트 전극으로 공급받고, 상기 제 1 스캔 신호를 소스 전극으로 공급받아 드레인 전극의 전압을 설정하는 게이트 구동부.

청구항 3

제 1 항에 있어서,

상기 제 2 트랜지스터는,

상기 제 1 트랜지스터의 드레인 전극의 전압을 게이트 전극으로 공급받고, 상기 제 2 게이트 클럭 신호를 소스 전극으로 공급받아 드레인 전극으로 제 2 스캔 신호를 출력하는 게이트 구동부.

청구항 4

제 1 항에 있어서,

상기 GIP 회로는,

상기 제 2 게이트 클럭 신호에 의해 턴-온 되어, 이전 스테이지에서 출력된 스캔 신호인 이전 스캔 신호를 이용하여 상기 Q 노드의 전압을 설정하는 제 3-1 및 제 3-2 트랜지스터를 포함하는 게이트 구동부.

청구항 5

제 1 항에 있어서,

상기 제 1 스캔 신호는 상기 Q 노드의 전압을 로우 로직 레벨인 제 2 로직 레벨 보다 낮은 제 3 로직 레벨로 변화시키는 시점과 동시에 출력하는 게이트 구동부.

청구항 6

제 1 항에 있어서,

상기 제 2 스캔 신호는 상기 P 노드의 전압을 로우 로직 레벨인 제 2 로직 레벨 보다 낮은 제 3 로직 레벨로 변화시키는 시점과 동시에 출력하는 게이트 구동부.

청구항 7

데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들과 상기 게이트 라인들에 접속되는 화소들, 및 상기 게이트 라인들에 스캔 신호들을 출력하는 스테이지들을 포함하는 게이트 구동부를 포함하는 표시패널; 및

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 구비하고,

상기 스테이지는,

제 1 스캔 신호를 출력하는 GIP 회로;

제 1 게이트 클럭 신호에 따라 상기 제 1 스캔 신호를 공급받아 P 노드의 전압을 설정하는 제 1 트랜지스터; 및 P 노드의 전압에 따라 제 2 게이트 클럭 신호를 공급받아 제 2 스캔 신호를 출력하는 제 2 트랜지스터를 포함하는 유기발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 게이트 라인들 중 어느 하나의 게이트 라인의 일 측에 상기 GIP 회로가 배치되고, 상기 어느 하나의 게이트 라인의 타 측에 상기 제 2 트랜지스터가 배치된 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 임의의 게이트 라인의 일 측에 배치된 스테이지에 GIP 회로가 배치된 경우, 상기 임의의 게이트 라인의 타 측에 배치된 스테이지에는 제 2 트랜지스터가 배치된 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 출원은 게이트 구동부와 이를 포함한 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시장치 분야 기술이 많이 개발되고 있다. 표시장치 중 유기발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 화상을 표시한다. 유기발광 표시장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력이 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 유기발광 표시장치는 화상을 표시하는 화소들이 마련된 표시영역과 표시영역의 외곽에 배치되어 화상을 표시하지 않는 비표시영역을 갖는 표시패널을 포함한다. 화소들 각각은 스캔 신호에 의해 구동하며, 데이터 전압의 크기에 대응하는 밝기로 발광한다.

[0004] 유기발광 표시장치는 데이터 라인들, 게이트 라인들, 데이터 라인들과 게이트 라인들에 접속된 다수의 화소들을 포함하는 표시패널, 게이트 라인들에 스캔 신호들을 공급하는 게이트 구동부, 및 데이터 라인들에 데이터 전압들을 공급하는 데이터 구동부를 구비한다. 게이트 구동부는 표시패널의 비표시영역에 게이트 드라이버가 내장된 패널(gate driver in panel, 이하 “GIP” 라 한다) 회로로 형성될 수 있다. 게이트 구동부는 복수의 스테이지들을 포함한다. 각각의 스테이지는 게이트 라인들에 게이트하이전압과 게이트로우전압 사이를 스윙하는 스캔 신호들을 공급한다.

[0005] 기존의 GIP 회로의 경우, 하나의 스캔 신호들을 생성하기 위해서는 하나의 스테이지가 필요하였다. 각각의 스테이지는 복수의 트랜지스터들로 이루어진다. 따라서, 화소열의 개수가 증가한 고해상도 모델의 경우 스캔 신호들의 개수 역시 증가하게 된다. 이에 따라, 스테이지의 개수 역시 증가하게 되어, 게이트 구동부의 면적이 증가하게 된다. 게이트 구동부의 면적이 증가하는 경우, 비표시영역의 두께를 감소시키는 내로우 베젤(Narrow Bezel)을 구현하기 어렵게 된다.

발명의 내용

해결하려는 과제

[0006] 본 출원의 일 예는 동일한 개수의 스캔 신호들을 생성하면서도 스테이지들의 개수를 감소시켜 면적을 감소시킨 게이트 구동부와 이를 포함한 유기발광 표시장치를 제공하고자 한다.

과제의 해결 수단

[0007] 본 출원의 일 예에 따른 게이트 구동부는 2가지의 상이한 스캔 신호를 출력하는 복수의 스테이지들을 구비한다. 각각의 스테이지는 복수의 게이트 클럭 신호들을 공급받아 내부의 Q 노드의 전압의 크기를 설정하고, Q 노드의 전압에 따라 설정되는 제 1 스캔 신호를 출력하는 GIP 회로, 복수의 클럭 신호들 중 제 1 게이트 클럭 신호에 따라 제 1 스캔 신호를 공급받아 P 노드의 전압을 설정하는 제 1 트랜지스터, 및 P 노드의 전압에 따라 복수의 클럭 신호들 중 제 2 게이트 클럭 신호를 공급받아 제 2 스캔 신호를 출력하는 제 2 트랜지스터를 포함한다.

[0008] 본 출원의 일 예에 따른 유기발광 표시장치는 데이터 라인들, 데이터 라인들과 교차되는 게이트 라인들, 데이터 라인들과 게이트 라인들에 접속되는 화소들, 및 게이트 라인들에 스캔 신호들을 출력하는 스테이지들을 포함하는 게이트 구동부를 포함하는 표시패널 및 데이터라인들에 데이터전압들을 공급하는 데이터 구동부를 구비한다. 본 출원에 따른 스테이지는 제 1 스캔 신호를 출력하는 GIP 회로, 제 1 게이트 클럭 신호에 따라 제 1 스캔 신호를 공급받아 P 노드의 전압을 설정하는 제 1 트랜지스터, 및 P 노드의 전압에 따라 제 2 게이트 클럭 신호를 공급받아 제 2 스캔 신호를 출력하는 제 2 트랜지스터를 포함한다.

발명의 효과

[0009] 본 출원의 일 예는 동일한 개수의 스캔 신호들을 생성하면서도 스테이지들의 개수를 감소시켜 면적을 감소시킨 게이트 구동부와 이를 포함한 유기발광 표시장치를 구현할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 출원에 따른 유기발광 표시장치를 보여주는 블록도이다.
 도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.
 도 3은 60Hz의 프레임 주파수에서의 액티브 기간과 블랭크 기간을 보여주는 파형도이다.
 도 4는 1Hz의 프레임 주파수에서의 액티브 기간과 블랭크 기간을 보여주는 파형도이다.
 도 5는 본 출원의 일 예에 따른 제 1 게이트 구동부에 포함된 스테이지를 상세히 나타낸 회로도이다.
 도 6은 본 출원의 일 예에 따른 유기발광 표시장치의 제 1 및 제 2 게이트 구동부 내의 GIP 회로의 배치 관계를 나타낸 평면도이다.
 도 7은 본 출원의 일 예에 따른 스테이지의 이전 출력 신호, 제 1 및 제 2 게이트 클럭 신호, Q 노드 전압, 제 1 스캔 신호, P 노드 전압, 및 제 2 스캔 신호를 나타낸 파형도이다.
 도 8은 본 출원의 다른 예에 따른 스테이지의 블록도이다.
 도 9는 본 출원의 다른 예에 따른 GIP 회로를 상세히 보여주는 회로도이다.
 도 10은 본 출원의 다른 예에 따른 스타트 단자, 전단 출력신호 입력 단자에 입력되는 신호들, 클럭 신호들, 풀업 노드의 전압, 및 게이트 신호들을 보여주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0012] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

- [0013] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우, '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0014] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0015] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0016] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0017] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0018] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.
- [0019] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.
- [0020] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0021] 도 1은 본 출원에 따른 유기발광 표시장치를 보여주는 블록도이다. 도 2는 본 출원의 일 예에 따른 화소(P)의 내부 회로도이다.
- [0022] 도 1를 참조하면, 본 출원에 따른 유기발광 표시장치는 표시패널(10), 데이터 구동부(20), 및 타이밍 제어부(30)를 구비한다.
- [0023] 본 출원에 따른 유기발광 표시장치는 스캔 신호들을 게이트 라인들(G1~Gn)에 순차적으로 공급하는 라인 순차 스캐닝으로 픽셀들에 데이터 전압들을 공급한다.
- [0024] 표시패널(10)은 데이터 라인들(D1~Dm, m은 2 이상의 양의 정수), 게이트 라인들(G1~Gn, n은 2 이상의 양의 정수), 및 데이터 라인들(D1~Dm)과 게이트 라인들(G1~Gn)에 접속된 화소(P)들, 제 1 및 제 2 게이트 구동부들(11, 12)을 포함한다.
- [0025] 화소(P)는 데이터 라인들(D1~Dm) 중 어느 하나와 게이트 라인들(G1~Gn) 중 어느 하나에 접속될 수 있다. 이로 인해, 화소(P)는 게이트 라인에 스캔 신호가 공급될때 데이터 라인의 데이터 전압을 공급받으며, 공급된 데이터 전압에 따라 소정의 밝기로 발광한다.
- [0026] 화소(P)들 각각은 게이트 라인들(GL1~GLp) 중 어느 하나, 데이터 라인들(DL1~DLq) 중 어느 하나 및 센싱 라인들(SL1~SLq) 중 어느 하나에 접속될 수 있다. 도 2에서 나타난 바와 같이, 본 출원의 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 발광소자(EL), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 스위칭 트랜지스터(ST1~ST6)들을 포함한다. 이하의 설명에서, 본 출원의 일 예에 따른 구동 트랜지스터(DT) 및 제 1 내지 제 6 스위칭 트랜지스터(ST1~ST6)는 게이트(gate) 전극, 소스(source) 전극, 및 드레인(drain) 전극을 갖는 P형 MOSFET으로 구현되는 것으로 가정하기로 한다.
- [0027] 구동 트랜지스터(DT)의 게이트 전극은 스토리지 커패시터(Cst)의 일 측 전극, 제 1 스위칭 트랜지스터(ST1)의 드레인 전극, 및 제 5 스위칭 트랜지스터(ST5)의 드레인 전극이 연결된 제 1 노드(Node)(N1)에 접속된다. 구동

트랜지스터(DT)의 소스 전극은 화소 구동 전원(ELVDD)을 소스 전극으로 공급받는 제 3 스위칭 트랜지스터(ST3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 스위칭 트랜지스터(ST4)의 소스 전극과 연결된다.

- [0028] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.
- [0029] 발광소자(EL)는 애노드 전극 및 캐소드 전극을 포함한다. 발광소자(EL)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 발광소자(EL)의 애노드 전극은 제 4 스위칭 트랜지스터(ST4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 발광소자(EL)의 캐소드 전극은 저전위 전원 전압(ELVSS)이 형성된 접지 라인에 캐소드 전극이 연결된다. 발광소자(EL)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.
- [0030] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(ELVDD) 라인에 연결된다.
- [0031] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 스위칭 트랜지스터(ST5)가 턴-온 된 경우 화소 구동 전원(ELVDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 스위칭 트랜지스터(ST5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.
- [0032] 제 1 스위칭 트랜지스터(ST1)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 1 스위칭 트랜지스터(ST1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 스위칭 트랜지스터(ST1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 스위칭 트랜지스터(ST1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 Vdata+Vtp까지 상승시킨다.
- [0033] 제 2 스위칭 트랜지스터(ST2)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 2 스위칭 트랜지스터(ST2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(Vdata)을 공급받는다. 제 2 스위칭 트랜지스터(ST2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 스위칭 트랜지스터(ST2)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)을 공급한다.
- [0034] 제 3 스위칭 트랜지스터(ST3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 스위칭 트랜지스터(ST3)의 소스 전극은 화소 구동 전원(ELVDD)을 공급받는다. 제 3 스위칭 트랜지스터(ST3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 스위칭 트랜지스터(ST3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(ELVDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.
- [0035] 제 4 스위칭 트랜지스터(ST4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 스위칭 트랜지스터(ST4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 스위칭 트랜지스터(ST4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 스위칭 트랜지스터(ST4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 발광소자(EL)를 흐르게 하여 발광소자(EL)를 발광시킨다.
- [0036] 제 5 스위칭 트랜지스터(ST5)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 5 스위칭 트랜지스터(ST5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 스위칭 트랜지스터(ST5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 스위칭 트랜지스터(ST5)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0037] 제 6 스위칭 트랜지스터(ST6)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 6 스위칭 트랜지스터(ST6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 스위칭 트랜지스터(ST6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 스위칭 트랜지스터(ST6)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.
- [0038] 본 발명의 제 1 실시예에 따른 화소(P)는 7개의 박막 트랜지스터(Thin Film Transistor, TFT)와 1개의 커패시터(Capacitor)로 이루어져 있어 7T1C 보상 회로로 통칭한다. 또한, 본 발명의 제 1 실시예에 따른 화소(P)는 2종류의 스캔 신호(Scan)와 1종류의 발광 제어 신호(EM)로 동작한다.
- [0039] 제 1 게이트 구동부(11)는 기수 게이트 라인들(G1, G3, ..., Gn-1)에 접속되어 기수 스캔 신호들을 공급한다. 제 2 게이트 구동부(12)는 우수 게이트 라인들(G2, G4, ..., Gn)에 접속되어 우수 스캔 신호들을 공급한다.

- [0040] 구체적으로, 제1 게이트 구동부(11)는 타이밍 제어부(30)로부터 제1 게이트 제어신호(GCS1)를 입력받는다. 제 1 게이트 구동부(11)는 제 1 게이트 제어신호(GCS1)에 따라 기수 스캔 신호들을 생성하여 기수 게이트 라인들(G1, G3, ..., Gn-1)에 공급한다. 제 2 게이트 구동부(12)는 타이밍 제어부(30)로부터 제 2 게이트 제어신호(GCS2)를 입력받는다. 제 2 게이트 구동부(12)는 제 2 게이트 제어신호(GCS2)에 따라 우수 스캔 신호들을 생성하여 우수 게이트 라인들(G2, G4, ..., Gn)에 공급한다. 즉, 제 1 및 제 2 게이트 구동부들(11, 12)은 인터레이스(interlace) 방식으로 구동될 수 있다.
- [0041] 그러나, 제 1 및 제 2 게이트 구동부(11, 12)들은 인터레이스 방식으로 구동되는 것에 한정되지 않는다. 제 1 게이트 구동부(11)는 표시패널(10)의 일부 게이트 라인들에 스캔 신호들을 공급하고, 제 2 게이트 구동부(12)는 표시패널(10)의 나머지 게이트 라인들에 스캔 신호들을 공급할 수 있다.
- [0042] 또는, 제 1 게이트 구동부(11)는 표시패널(10)의 모든 게이트 라인들에 스캔 신호들을 공급하고, 제 2 게이트 구동부(12) 역시 표시패널(10)의 모든 게이트 라인들에 스캔 신호들을 공급할 수 있다. 이 경우, 동일한 게이트 라인에는 동일한 파형의 스캔 신호가 공급된다.
- [0043] 표시패널(10) 내부에는 배선 및 화소를 구성하는 층들의 저항 및 커패시터 성분으로 인한 RC 로드(load)가 발생한다. RC 로드로 인하여, 표시패널(10)의 일 측에서만 스캔 신호가 공급되는 경우 스캔 신호가 공급되는 쪽의 반대 측에서는 스캔 신호가 지연(delay)되거나, 스캔 신호의 파형이 왜곡되는 현상이 발생한다. 스캔 신호의 지연 또는 왜곡을 방지하기 위해 표시패널(10)의 좌우 양 측에 제 1 및 제 2 게이트 구동부(11, 12)를 배치하고, 좌우 양측의 GIP 회로에서 동일한 게이트 라인에 동일한 스캔 신호를 공급한다. 즉, 동일한 게이트 라인의 양 쪽에서 신호를 공급하는 구조인 더블 피딩(Double Feeding) 구조를 적용하여 스캔 신호의 지연 또는 왜곡을 최대한 방지한다.
- [0044] 표시패널(10)은 표시영역(DA)과 비표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)은 화소(P)들이 마련되어 화상이 표시되는 영역이다. 비표시영역(NDA)은 표시영역(DA)의 주변에 마련되는 영역으로, 화상이 표시되지 않는 영역이다. 제 1 및 제 2 게이트 구동부(11, 12)는 게이트 드라이브 인 패널(gate driver in panel, GIP) 방식으로 비표시영역(NDA)에 마련될 수 있다. 도 1에서는 제 1 게이트 구동부(11)가 표시패널(10)의 좌 측 비표시영역(NDA)에 마련되고 제 2 게이트 구동부(12)가 표시패널(10)의 우 측 비표시영역(NDA)에 마련된 것을 예시하였다. 그러나, 이에 한정되지 않으며, 제 1 및 제 2 게이트 구동부(11, 12)는 표시패널(10)의 비표시영역(NDA) 내에서 필요에 따라 다른 방향의 측면에 배치될 수도 있으며, 비표시영역(NDA)을 벗어나지 않고 중첩되지 않는 경우 동일한 측면 상에 배치될 수도 있다.
- [0045] 데이터 구동부(20)는 데이터 라인들(D1~Dm)에 접속된다. 데이터 구동부(20)는 타이밍 제어부(30)로부터 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 입력받고, 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 데이터 전압들로 변환한다. 데이터 구동부(20)는 아날로그 데이터 전압들을 데이터 라인들(D1~Dm)에 공급한다. 데이터 구동부(20)는 하나의 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함) 또는 복수의 소스 드라이브 IC들을 포함할 수 있다.
- [0046] 타이밍 제어부(30)는 외부의 시스템 보드로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들(TS)을 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다. 타이밍 제어부(30)는 타이밍 신호에 기초하여 제1 및 제2 게이트 구동부(11, 12)의 동작 타이밍을 제어하기 위한 제1 및 제2 게이트 제어신호(GCS1, GCS2)와 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 생성한다. 제 1 및 제 2 게이트 제어신호(GCS1)는 스타트 신호들, 클럭 신호들, 및 리셋 신호 등을 포함할 수 있다.
- [0047] 타이밍 제어부(30)는 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 데이터 구동부(20)에 공급한다. 타이밍 제어부(30)는 제1 게이트 제어신호(GCS1)를 제1 게이트 구동부(11)에 공급하고, 제2 게이트 제어신호(GCS2)를 제2 게이트 구동부(12)에 공급한다.
- [0048] 한편, 타이밍 제어부(30)는 디지털 비디오 데이터(DATA)의 비디오 영상이 정지영상인 경우, 표시장치를 저전력으로 구동하기 위해, 표시장치를 낮은 프레임 주파수로 구동하도록 제어할 수 있다. 즉, 타이밍 제어부(30)는 표시장치를 로우 리프레쉬 레이트(low refresh rate, LRR) 또는 가변 리프레쉬 레이트(variable refresh rate, VRR)로 구동하도록 제어할 수 있다.
- [0049] 예를 들어, 타이밍 제어부(30)는 디지털 비디오 데이터(DATA)의 비디오 영상이 동영상인 경우 도 3과 같이 표시장치를 60Hz의 프레임 주파수로 구동하도록 제어할 수 있다. 반면, 디지털 비디오 데이터(DATA)의 비디오 영상

이 정지영상인 경우 도 4와 같이 표시장치를 1Hz의 프레임 주파수로 구동하도록 제어할 수 있다. 60Hz의 프레임 주파수의 경우 도 3과 같이 1초(1s) 동안 60개의 프레임 기간들(FR1-FR60)이 존재하고, 1Hz의 프레임 주파수의 경우 도 4와 같이 1초(1s) 동안 1개의 프레임 기간(FR1)이 존재한다. 프레임 기간들 각각은 액티브 기간(AP)과 블랭크 기간(BP)을 포함한다. 액티브 기간(AP)은 제 1 및 제 2 게이트 구동부(11, 12)가 스캔 신호들을 출력하고 데이터 구동부(20)가 데이터 전압들을 출력하여, 화소(P)들에 데이터 전압들을 공급하는 기간이다. 블랭크 기간(BP)은 액티브 기간(AP)들 사이에 삽입되는 휴지 기간이다. 따라서, 블랭크 기간(BP) 동안 제 1 및 제 2 게이트 구동부(11, 12)가 스캔 신호들을 출력하지 않고, 데이터 구동부(20)는 데이터 전압들을 출력하지 않는다. 도 4와 같이 유기발광 표시장치를 1Hz의 프레임 주파수로 구동하는 경우, 블랭크 기간(BP)이 액티브 기간(AP)에 비해 매우 길어지므로, 유기발광 표시장치의 소비전력을 절감시킬 수 있다.

[0050] 또한, 타이밍 제어부(30)는 표시장치를 스톱&스타트 구동하도록 제어할 수 있다. 스톱&스타트 구동은 표시패널(10)을 N(N은 2 이상의 양의 정수) 개의 블록들로 분할하고, 표시패널(10)의 N 개의 블록들에 대응되도록 제1 및 제2 게이트 구동부(11, 12) 각각의 스테이지들 역시 N 개의 블록들로 분할한 후, 화상이 표시되는 표시패널(10)의 블록에 대응되는 제1 및 제2 게이트 구동부들(11, 12) 각각의 블록에 포함된 스테이지들이 스캔 신호들을 출력하도록 제어하고, 화상이 비표시되는 표시패널(10)의 블록에 대응되는 제1 및 제2 게이트 구동부들(11, 12) 각각의 블록에 포함된 스테이지들이 스캔 신호들을 출력하지 않도록 제어하는 구동 방법이다. 스톱&스타트 구동을 하는 경우 화상이 비표시되는 영역에 불필요한 스캔 신호들을 출력하지 않으므로 표시장치의 소비전력을 절감시킬 수 있다.

[0051] 도 5는 본 출원의 일 예에 따른 제 1 게이트 구동부(11)에 포함된 스테이지(STA)를 상세히 나타낸 회로도이다. 도 6은 본 출원의 일 예에 따른 유기발광 표시장치의 제 1 및 제 2 게이트 구동부(11, 12) 내의 GIP 회로(GIP)의 배치 관계를 나타낸 평면도이다. 도 7은 본 출원의 일 예에 따른 스테이지(STA)의 이전 출력 신호(Scan_PRE), 제 1 및 제 2 게이트 클럭 신호(GCLK1, GCLK2), Q 노드 전압(VQ), 제 1 스캔 신호(Scan1), P 노드 전압(VP), 및 제 2 스캔 신호(Scan2)를 나타낸 파형도이다.

[0052] 본 출원의 일 예에 따른 제 1 및 제 2 게이트 구동부(11, 12)는 복수의 스테이지(STA)들을 갖는다. 스테이지(STA) 각각은 하나의 GIP 회로(GIP)와, 그 GIP 회로(GIP)에 연결된 제 1 및 제 2 트랜지스터(T1, T2)로 이루어진다. 스테이지(STA)는 전단 스테이지의 제 2 스캔 신호(Scan2)인 이전 스캔 신호(Scan_PRE), 제 1 및 제 2 게이트 클럭 신호(GCLK1, GCLK2), 및 직류 전원 전압인 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)을 공급받는다. 스테이지(STA)는 제 1 및 제 2 스캔 신호(Scan1, Scan2)를 출력한다. 이하의 설명에서 제 1 및 제 2 트랜지스터(T1, T2)는 P형 MOS 트랜지스터인 것을 가정하여 설명하기로 한다.

[0053] 또한, 이하의 설명에서, "전단 스테이지"는 기준이 되는 임의의 스테이지의 앞에 위치한 스테이지를 지시한다. "후단 스테이지"는 기준이 되는 임의의 스테이지의 뒤에 위치한 스테이지를 지시한다.

[0054] 본 출원의 일 예에 따른 제 1 및 제 2 게이트 구동부(11, 12)에 포함된 스테이지(STA)는 2가지의 상이한 스캔 신호를 출력한다. 기존의 경우, 하나의 스테이지에는 하나의 GIP 회로(GIP)가 존재하고, 하나의 스캔 신호만을 출력할 수 있었다. 따라서, 표시패널(10) 상의 스캔 라인의 개수와 동일한 개수의 스테이지(STA)가 필요하였다. 즉, 스캔 라인의 개수와 동일한 개수의 GIP 회로(GIP)가 필요하였다.

[0055] 고해상도의 유기발광 표시장치의 경우 화소열의 개수 역시 증가하게 된다. 스캔 라인은 각각의 화소열마다 배치되어야 화소들에 스캔 신호를 공급할 수 있다. 이에 따라, 고해상도의 유기발광 표시장치에서는 스캔 라인의 개수가 증가한다. 표시패널(10) 상의 스캔 라인의 개수가 증가하는 경우 스테이지(STA)의 개수 및 GIP 회로(GIP)의 개수 역시 증가하게 된다. GIP 회로(GIP)는 표시패널(10)의 비표시영역에 배치된다. GIP 회로(GIP)는 다수의 트랜지스터들로 이루어져 있으므로, GIP 회로(GIP)의 개수가 증가하게 되면, 비표시영역의 면적 또한 증가하게 된다. 이에 따라, 내로우 베젤(Bezel)을 구현하기가 용이하지 않게 된다.

[0056] 본 출원의 일 예에 따른 스테이지(STA)는 2가지의 상이한 스캔 신호를 2개의 게이트 라인들에 공급할 수 있다. 따라서, 기존에 비해 유기발광 표시장치에 사용되는 스테이지(STA)의 개수를 1/2로 감소시킬 수 있다. 이에 따라, 본 출원의 일 예에 따른 경우 제 1 및 제 2 게이트 구동부(11, 12)의 배치 면적을 감소시킬 수 있다. 이 경우 내로우 베젤을 보다 용이하게 구현할 수 있다.

[0057] 본 출원의 일 예에 따른 스테이지(STA)는 GIP 회로(GIP), 제 1 및 제 2 트랜지스터(T1, T2)로 이루어진다.

[0058] GIP 회로(GIP)는 이전 스캔 신호(Scan_PRE), 제 1 및 제 2 게이트 클럭 신호(GCLK1, GCLK2), 및 직류 전원 전압인 게이트 하이 전압(VGH), 및 게이트 로우 전압(VGL)을 공급받는다. 제 1 및 제 2 게이트 클럭 신호(GCLK1,

GCLK2)은 타이밍 제어부(30)로부터 공급되며, 전원 전압은 전원 공급원으로부터 공급될 수 있다.

- [0059] GIP 회로(GIP)는 내부의 Q 노드(Q)의 전압의 크기를 설정한다. Q 노드(Q)는 제 1 게이트 클럭 신호(GCLK1)에 의해 게이트 하이 전압(VGH)으로 상승하여 풀-업 되거나 제 2 게이트 클럭 신호(GCLK2)에 의해 게이트 로우 전압(VGL)으로 풀-다운 되는 노드이다.
- [0060] GIP 회로(GIP)는 Q 노드(Q)의 전압에 따라 설정되는 제 1 스캔 신호(Scan1)를 출력한다. 제 1 스캔 신호(Scan1)는 Q 노드(Q)의 전압이 일정 전압 레벨 이상으로 변화하는 경우 변화한다.
- [0061] 제 1 트랜지스터(T1)는 제 1 게이트 클럭 신호(GCLK1)에 따라 제 1 스캔 신호(Scan1)를 공급받아 P 노드(P)의 전압을 설정한다.
- [0062] 제 2 트랜지스터(T2)는 P 노드(P)의 전압에 따라 제 2 게이트 클럭 신호(GCLK2)를 공급받아 제 2 스캔 신호를 출력한다.
- [0063] 이 경우, 본 출원의 일 예에 따른 스테이지(STA)는 제 1 및 제 2 트랜지스터(T1, T2)를 이용하여 하나의 GIP 회로(GIP)를 추가한 것과 동일하게 제 2 스캔 신호(Scan2)를 생성할 수 있다. 이에 따라, 본 출원의 일 예에 따른 게이트 구동부에서는 스테이지(STA)의 개수가 기존에 비해 1/2로 감소하고, 하나의 스테이지(STA)를 대체하여 2 개의 트랜지스터만을 이용하여 면적을 감소시킨 게이트 구동부를 구현할 수 있다. 이에 따라, 게이트 구동부가 배치되는 비표시영역의 면적 역시 감소하여, 내로우 베젤(Bezel)을 용이하게 구현할 수 있다.
- [0064] 본 출원의 제 1 트랜지스터(T1)는 제 1 게이트 클럭 신호(GCLK1)를 게이트 전극으로 공급받는다. 제 1 게이트 클럭 신호(GCLK1)는 GIP회로(GIP)를 경유하여 공급할 수도 있고, 제 1 게이트 클럭 신호 라인에서 곧바로 공급할 수도 있다.
- [0065] 제 1 트랜지스터(T1)는 제 1 스캔 신호(Scan1)를 소스 전극으로 공급받는다. 제 1 스캔 신호(Scan1)를 공급받기 위하여 제 1 트랜지스터(T1)의 소스 전극은 QIP 회로(GIP) 내에서 제 1 스캔 신호(Scan1)를 출력하는 노드와 연결되거나, 출력하는 노드에서 분기된 라인과 연결된다.
- [0066] 제 1 트랜지스터(T1)의 드레인 전극은 P 노드(P)와 연결된다. 제 1 트랜지스터(T1)의 게이트 전극으로 제 1 게이트 클럭 신호(GCLK1)가 인가되는 경우 소스 전극으로 공급된 제 1 스캔 신호(Scan1)의 크기 변화는 드레인 전극으로 전달된다. 이에 따라, 제 1 트랜지스터(T1)는 제 1 스캔 신호(Scan1)를 이용하여 P 노드(P)의 전압을 설정할 수 있다.
- [0067] 이와 같이 제 1 트랜지스터(T1)를 설정하는 경우, 제 1 트랜지스터(T1)를 구동하기 위해서 별도의 전압을 생성할 필요가 없다. 따라서, 제 1 트랜지스터(T1) 이외의 회로적으로 부가하는 구성 요소를 최소화할 수 있어, 스테이지의 면적을 최소화할 수 있다.
- [0068] 본 출원에 따른 제 2 트랜지스터(T2)는 제 1 트랜지스터(T1)의 드레인 전극의 전압을 게이트 전극으로 공급받는다. 제 2 트랜지스터(T2)의 게이트 전극과 제 1 트랜지스터(T1)의 드레인 전극이 P 노드(P)에 연결되어 있기 때문에 제 2 트랜지스터(T2)의 게이트 전극과 제 1 트랜지스터(T1)의 드레인 전극은 동일한 전압을 갖는다.
- [0069] 제 2 트랜지스터(T2)는 제 2 게이트 클럭 신호(GCLK2)를 소스 전극으로 공급받는다. 제 2 게이트 클럭 신호(GCLK2)를 공급받기 위하여 제 2 트랜지스터(T2)의 소스 전극은 제 2 게이트 클럭 신호(GCLK2)를 출력하는 외부의 라인과 직접 연결된다.
- [0070] 제 2 트랜지스터(T2)는 드레인 전극으로 제 2 스캔 신호(Scan2)를 출력한다. 제 2 트랜지스터(T2)가 P 노드(P)의 전압에 따라 턴-온 된 경우, 제 2 게이트 클럭 신호(GCLK2)의 전압이 제 2 트랜지스터(T2)의 드레인 전극으로 전달된다. 따라서, 제 2 트랜지스터(T2)는 제 2 게이트 클럭 신호(GCLK2)에 따라 제 2 스캔 신호(Scan2)를 생성하여 게이트 라인으로 출력한다.
- [0071] 이에 따라, 제 2 스캔 신호(Scan2)를 생성하기 위해서 제 2 트랜지스터(T2)를 배치하는 것 이외에, 별도의 신호 또는 전원을 추가로 생성할 필요가 없다. 따라서, 스테이지(STA) 상에서 별도의 신호를 생성하기 위한 구성 요소들을 부가하지 않아도 된다. 이 경우 게이트 구동부의 면적 증가를 최소화할 수 있다.
- [0072] 본 출원의 GIP 회로(GIP)는 제 3-1 및 3-2 트랜지스터(T3-1, T3-2), 제 4 내지 제 9 트랜지스터(T4-T9), 브릿지 전압 트랜지스터(Tbv), Q 노드 커패시터(CB), 및 QB 노드 커패시터(CQB)를 포함한다. 제 3-1 및 제 3-2 트랜지스터(T3-1, T3-2) 및 제 4 내지 제 9 트랜지스터(T4-T9)는 모두 P형 MOS 트랜지스터인 것으로 가정한다.

- [0073] 제 3-1 및 제 3-2 트랜지스터(T3-1, T3-2)의 게이트 전극은 제 2 게이트 클럭 신호(GCLK2)를 공급받는다. 제 3-1 트랜지스터(T3-1)의 소스 전극은 이전 스캔 신호(Scan_PRE)를 공급받는다. 제 3-1 트랜지스터(T3-1)의 드레인 전극은 제 3-2 트랜지스터(T3-2)의 소스 전극과 연결된다. 제 3-2 트랜지스터(T3-2)의 드레인 전극은 Q' 노드(Q')와 연결된다. Q' 노드(Q')는 Q 노드(Q)와 실질적으로 동일한 전압 상태를 유지한다.
- [0074] 제 4 트랜지스터(T4)의 게이트 전극은 제 1 게이트 클럭 신호(GCLK1)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 Q' 노드(Q')와 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 5 트랜지스터(T5)와 연결된다.
- [0075] 제 5 트랜지스터(T5)의 게이트 전극은 QB 노드(QB)와 연결된다. QB 노드(QB)는 Q 노드(Q)와 반대의 로직 레벨을 갖는다. 제 5 트랜지스터(T5)의 소스 전극은 게이트 하이 전압(VGH)과 연결된다. 제 5 트랜지스터(T5)의 드레인 전극은 Q' 노드(Q')와 연결된다.
- [0076] 제 6 트랜지스터(T6)의 게이트 전극은 제 2 게이트 클럭 신호(GCLK2)를 공급받는다. 제 6 트랜지스터(T5)의 소스 전극은 게이트 로우 전압(VGL)과 연결된다. 제 6 트랜지스터(T6)의 드레인 전극은 QB 노드(QB)와 연결된다.
- [0077] 제 7 트랜지스터(T6)의 게이트 전극은 Q' 노드(Q')와 연결된다. 제 7 트랜지스터(T7)의 소스 전극은 제 2 게이트 클럭 신호(GCLK2)를 공급받는다. 제 7 트랜지스터(T67)의 드레인 전극은 QB 노드(QB)와 연결된다.
- [0078] 제 8 트랜지스터(T8)의 게이트 전극은 Q 노드(Q)와 연결된다. 제 8 트랜지스터(T8)의 소스 전극은 제 1 게이트 클럭 신호(GCLK1)를 공급받는다. 제 8 트랜지스터(T8)의 드레인 전극은 제 1 스캔 신호(Scan1)를 출력한다.
- [0079] 제 9 트랜지스터(T9)의 게이트 전극은 QB 노드(QB)와 연결된다. 제 9 트랜지스터(T9)의 소스 전극은 게이트 하이 전압(VGH)과 연결된다. 제 9 트랜지스터(T9)의 드레인 전극은 제 1 스캔 신호(Scan1)를 출력한다.
- [0080] 브릿지 전압 트랜지스터(Tbv)의 게이트 전극은 게이트 로우 전압(VGL)을 공급받는다. 이에 따라 브릿지 전압 트랜지스터(Tbv)는 항상 턴-온 상태이다. 브릿지 전압 트랜지스터(Tbv)의 소스 전극은 Q' 노드(Q')와 연결되고, 드레인 전극은 Q 노드(Q)와 연결된다. 브릿지 전압 트랜지스터(Tbv)는 Q' 노드(Q')와 Q 노드(Q)의 전압을 실질적으로 동일하게 유지한다. 브릿지 전압 트랜지스터(Tbv)는 Q' 노드(Q')에 가해진 정전기(ESD)가 Q 노드(Q)에 전달되는 것을 방지한다.
- [0081] Q 노드 커패시터(CB)는 Q 노드(Q)와 제 1 스캔 신호(Scan1)의 출력 노드 사이에 연결된다. Q 노드 커패시터(CB)는 Q 노드(Q)의 전압을 저장한다.
- [0082] QB 노드 커패시터(CQB)는 QB 노드(QB)와 게이트 하이 전압(VGH)의 입력 노드 사이에 연결된다. QB 노드 커패시터(CQB)는 QB 노드(QB)의 전압을 저장한다.
- [0083] 도 6을 참고하여 본 출원의 스테이지(STA)에 따른 GIP 회로(GIP)의 배치 구조를 설명하기로 한다. 본 좌우 양측의 GIP 회로에서 동일한 게이트 라인에 동일한 스캔 신호를 공급한다. 즉, 동일한 게이트 라인의 양 쪽에서 신호를 공급하는 구조인 더블 피딩(Double Feeding) 구조를 적용한다.
- [0084] 이를 정리하면, 본 출원에 따른 스테이지(STA)는 임의의 게이트 라인의 양 측에 배치되고, 양 측에서 동일한 게이트 라인에 동일한 스캔 신호를 공급한다. 이 경우 표시패널(10) 내의 화소(P)들 중 양 측에 배치된 화소들 간의 스캔 신호 지연 또는 왜곡 현상을 최소화할 수 있다.
- [0085] 이 때, 본 출원에 따른 유기발광 표시장치는 임의의 게이트 라인의 일 측에 배치된 스테이지에 GIP 회로(GIP1~GIP4)가 배치된 경우, 그 게이트 라인의 타 측에 배치된 스테이지에는 제 2 트랜지스터(T21~T23)가 배치된다.
- [0086] 즉, 비표시영역(NDA) 중 좌측에 배치된 제 1 게이트 구동부(11)의 최상부에는 제 1 GIP 회로(GIP1)가 배치되고, 그와 연결된 제 21 트랜지스터(T21)가 배치될 것이고, 그 하부에는 제 3 GIP 회로(GIP3)가 배치되고, 다시 제 3 GIP 회로(GIP3)와 연결된 제 23 트랜지스터(T23)가 배치된다.
- [0087] 이 때, 비표시영역(NDA) 중 제 21 트랜지스터(T21)가 연결된 게이트 라인의 타 측에 제 2 GIP 회로(GIP2)가 배치된다. 또한, 제 3 GIP 회로(GIP3)가 연결된 게이트 라인의 타 측에는 제 2 GIP 회로(GIP2)와 연결된 제 2 트랜지스터(T22)가 배치된다. 또한, 제 23 트랜지스터(T23)가 연결된 게이트 라인의 타 측에 제 4 GIP 회로(GIP4)가 배치된다.
- [0088] 본 출원에 따른 유기발광 표시장치는 GIP 회로(GIP)와, GIP 회로(GIP) 대신 면적을 감소시키기 위해 대체적으로 배치한 제 2 트랜지스터(T2)를 양 측에서 교대로 배치되도록 한다. 이에 따라, 본 출원에 따른 유기발광 표시장

치는 양 측의 게이트 구동부의 면적을 동일하게 하고, GIP 회로(GIP)가 중첩되게 배치되거나 양 측 모두 GIP 회로(GIP)가 배치된 부분이 발생하여 비표시영역(NDA)의 면적이 특정 부분에서 증가하게 되는 문제를 방지할 수 있다.

- [0089] 도 7을 참고하여 스테이지(STA)의 구동을 설명하기로 한다. 상술한 바와 같이, 스테이지(STA)를 구성하는 모든 트랜지스터들은 P 형 MOS 트랜지스터들이다. 이에 따라, 하이 로직 레벨인 제 1 로직 레벨(L1)을 게이트 전극에 입력받는 경우 트랜지스터들은 턴-오프 된다. 또한, 로우 로직 레벨인 제 2 로직 레벨(L2)을 게이트 전극에 입력받는 경우, 트랜지스터들은 턴-온 된다.
- [0090] 제 1 및 제 2 게이트 클럭 신호(GCLK1, GCLK2)는 교번하면서 입력된다. 제 2 게이트 클럭 신호(GCLK2)가 제 2 로직 레벨일 때, 이전 스캔 신호(Scan_PRE)가 제 2 로직 레벨(L2)로 변화하는 경우, 제 2 게이트 클럭 신호(GCLK2)에 의하여 Q 노드(Q)의 전압(VQ)이 제 2 로직 레벨(L2)로 변화한다. 이는 제 3-1 트랜지스터 및 제 3-2 트랜지스터(T3-1, T3-2)가 제 2 게이트 클럭 신호(GCLK2)에 의해 턴-온 된 상태에서 이전 스캔 신호(Scan_PRE)를 Q 노드(Q)에 전달하였기 때문이다.
- [0091] 본 출원의 제 3-1 및 제 3-2 트랜지스터(T3-1, T3-2)는 제 2 게이트 클럭 신호(GCLK2)와 이전 스캔 신호(Scan_PRE)를 공급받고 제 2 게이트 클럭 신호(GCLK2)에 의해 턴-온 되어 Q 노드(Q)의 전압(VQ)을 이전 스캔 신호(Scan_PRE)와 동일하게 설정할 수 있다. 이 경우 이전 스테이지의 출력을 이용하여 Q 노드(Q)의 전압(VQ)을 설정하여 현재 스테이지의 출력을 제어할 수 있어, 순차적인 스캔 신호의 출력이 가능하게 할 수 있다.
- [0092] 본 출원의 제 1 스캔 신호(Scan1)는 Q 노드(Q)의 전압을 제 2 로직 레벨(L2) 보다 낮은 제 3 로직 레벨(L3)로 변화시키는 시점과 동시에 출력된다. 이에 따라, 본 출원의 제 8 트랜지스터(T8)의 게이트 전극은 Q 노드(Q)와 연결되어, 제 3 로직 레벨(L3)을 공급받았을 때 제 1 게이트 클럭 신호(GCLK1)를 더욱 강하게 드레인 전극으로 전달하여 제 1 스캔 신호(Scan1)를 보다 확실하게 출력할 수 있다. 제 1 및 제 2 게이트 클럭 신호(GCLK1, GCLK2)가 교번하면서 이와 같이 Q 노드(Q)의 전압이 추가적으로 하강하는 것이다. 이와 같이, 트랜지스터의 게이트 전압을 보다 낮게 하여 드레인 전극으로 출력을 상승시키는 방법은 부트스트랩(Bootstrap)이라고 통칭한다.
- [0093] 이와 동일한 원리로, 본 출원의 제 2 스캔 신호(Scan2)는 P 노드(P)의 전압을 제 2 로직 레벨(L2) 보다 낮은 제 3 로직 레벨(L3)로 변화시키는 시점과 동시에 출력된다. 이에 따라, 본 출원의 제 2 트랜지스터(T2)의 게이트 전극은 P 노드(P)와 연결되어, 제 3 로직 레벨(L3)을 공급받았을 때 제 2 게이트 클럭 신호(GCLK2)를 더욱 강하게 드레인 전극으로 전달하여 제 2 스캔 신호(Scan2)를 보다 확실하게 출력할 수 있다.
- [0094] 본 출원에서 사용하는 GIP 회로(GIP)의 구조는 도 5 내지 도 7을 결부하여 설명한 GIP 회로(GIP)에 한정되지 않는다. 본 출원은 제 1 및 제 2 트랜지스터(T1, T2)를 여러 가지 방식으로 구현된 GIP 회로(GIP)와 연결하여, 2 개의 GIP 회로(GIP)들을 배치한 것과 동일한 신호를 출력할 수 있다.
- [0095] 도 8은 본 출원의 다른 예에 따른 스테이지(STA)의 블록도이다. 본 출원의 다른 예에 따른 제 1 및 제 2 게이트 구동부(11)는 복수의 스테이지(STA)들을 갖는다. 스테이지(STA) 각각은 하나의 GIP 회로(GIP)와, 그 GIP 회로(GIP)에 연결된 제 1 및 제 2 트랜지스터(T1, T2)로 이루어진다. 스테이지(STA)는 스타트 신호, 리셋 신호, 및 제 1 내지 제 3 클럭 신호들을 입력받는다. 스테이지(STA)는 제 1 및 제 2 스캔 신호(Scan1, Scan2)를 출력한다. 이하의 설명에서 제 1 및 제 2 트랜지스터(T1, T2)는 P형 MOS 트랜지스터인 것을 가정하여 설명하기로 한다.
- [0096] 또한, 이하의 설명에서, "전단 스테이지"는 기준이 되는 임의의 스테이지의 앞에 위치한 스테이지를 지시한다. "후단 스테이지"는 기준이 되는 임의의 스테이지의 뒤에 위치한 스테이지를 지시한다.
- [0097] GIP 회로(GIP)에는 스타트 신호가 공급되는 스타트 신호 라인(STL), 리셋 신호가 공급되는 리셋 라인(RL), 제 1 내지 제 3 게이트 클럭 신호들이 공급되는 제 1 내지 제 3 클럭 라인들(CL1~CL3), 직류 전원 전압이 공급되는 전원 전압 라인(VSSL)이 연결된다. 스타트 신호, 리셋 신호, 제 1 내지 제 3 게이트 클럭 신호들은 타이밍 제어부(30)로부터 공급되며, 전원 전압은 전원 공급원으로부터 공급될 수 있다.
- [0098] GIP 회로(GIP)는 스타트 단자(ST), 리셋 단자(RT), 전단 캐리 신호 입력 단자(PT), 후단 캐리 신호 입력 단자(NT), 제 1 내지 제 3 클럭 단자들(CT1~CT3), 전원 전압 단자(VSST), 및 출력 단자(OT)를 포함한다.
- [0099] 스타트 단자(ST)는 스타트 신호 라인(STL) 또는 전단 스테이지의 출력 단자(OT)에 접속된다. 스타트 단자(ST)는 스타트 신호 라인(STL)의 스타트 신호, 또는 전단 스테이지에서 출력한 제 1 스캔 신호(Scan1)를 입력받는다.

- [0100] 리셋 단자(RT)는 리셋 신호 라인(RL)에 접속된다. 리셋 단자(RT)는 리셋 신호를 입력받는다.
- [0101] 전단 캐리 신호 입력 단자(PT)는 전단 캐리 신호 라인(PL)에 접속될 수 있다. 전단 캐리 신호 라인은 전단 스테이지의 제 2 트랜지스터(T2)의 드레인 전극에서 연장된 라인이다. 전단 캐리 신호 입력 단자(PT)는 전단 스테이지에서 출력한 제 2 스캔 신호(Scan2)를 입력받는다.
- [0102] 후단 캐리 신호 입력 단자(NT)는 후단 캐리 신호 라인(NL)에 접속될 수 있다. 후단 캐리 신호 라인은 후단 스테이지의 출력 단자(OT)에서 연장된 라인이다. 후단 캐리 신호 입력 단자(NT)는 후단 스테이지에서 출력한 제 1 스캔 신호(Scan1)를 입력받는다.
- [0103] 제 1 내지 제 3 클럭 단자들(CT1-CT3) 각각은 제 1 내지 제 3 클럭 라인들(CL1-CL3)에 접속된다. 제 1 내지 제 3 클럭 라인들(CL1-CL3) 각각에는 제 1 내지 제 3 게이트 클럭 신호들이 공급된다. 제 1 내지 제 3 게이트 클럭 신호들은 고속 구동시 충분한 충전시간 확보를 위해 순차적으로 위상이 지연되는 i (i 는 4 이상의 자연수) 상 클럭 신호들로 구현되는 것이 바람직하다. 본 출원에서는 제 1 내지 제 3 게이트 클럭 신호들이 소정의 기간만큼 중첩되고 순차적으로 위상이 지연되는 8상 클럭 신호들의 일부인 것으로 가정하여 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 제 1 내지 제 3 게이트 클럭 신호들 각각은 소정의 주기를 갖고 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스위칭한다.
- [0104] 전원 전압 단자(VSST)는 전원 전압 라인(VSSL)에 접속된다. 전원 전압 단자(VSST)는 직류 전압인 전원 전압을 공급받는다.
- [0105] 출력 단자(OT)는 제 1 게이트 라인에 접속된다. 출력 단자(OT)는 제 1 게이트 라인으로 제 1 스캔 신호(Scan1)를 출력한다. 또한, 출력 단자(OT)는 제 1 트랜지스터(T1)의 소스 전극에 접속된다.
- [0106] 제 1 트랜지스터(T1)의 게이트 전극은 제 1 클럭 라인(CL1)과 연결된다. 제 1 트랜지스터(T1)의 게이트 전극은 제 1 게이트 클럭 신호를 입력받는다. 제 1 트랜지스터(T1)의 소스 전극은 GIP 회로(GIP)의 출력 단자(OT)와 접속된다. 제 1 트랜지스터(T1)의 소스 전극은 제 1 스캔 신호(Scan1)를 입력받는다. 제 1 트랜지스터(T1)의 드레인 전극은 제 2 트랜지스터(T2)의 게이트 전극과 연결된 P 노드(P)에 연결된다. 제 1 트랜지스터(T1)는 제 1 게이트 클럭 신호에 따라 제 1 스캔 신호(Scan1)를 이용하여 P 노드(P)의 전압의 크기를 설정한다.
- [0107] 제 2 트랜지스터(T2)의 게이트 전극은 P 노드(P)와 연결된다. 제 2 트랜지스터(T2)의 게이트 전극은 P 노드(P)의 전압을 입력받는다. 제 2 트랜지스터(T2)의 소스 전극은 제 2 클럭 라인(CL2)과 연결된다. 제 2 트랜지스터(T2)의 소스 전극은 제 2 게이트 클럭 신호를 입력받는다. 제 2 트랜지스터(T2)의 드레인 전극은 제 2 스캔 신호(Scan2)를 출력한다. 제 2 트랜지스터(T2)는 P 노드(P)의 전압에 따라 제 2 게이트 클럭 신호를 이용하여 제 2 스캔 신호(Scan2)를 출력한다.
- [0108] 도 9는 본 출원의 다른 예에 따른 GIP 회로(GIP)를 상세히 보여주는 회로도이다. 도 10은 도 9의 GIP 회로(GIP)의 스타트 단자, 전단 출력신호 입력 단자에 입력되는 신호들, 클럭 신호들, 풀-업 노드의 전압, 및 게이트 신호들을 보여주는 파형도이다. 도 9 및 도 10을 결부하여 GIP 회로(GIP)의 구조 및 구동에 관하여 보다 상세하게 설명하기로 한다.
- [0109] 도 9에서는 설명의 편의를 위해 풀-업 노드는 Q 노드(NQ)이고, 풀-다운 노드는 QB 노드(NQB)인 것을 중심으로 설명하였다. 도 9를 참조하면, GIP 회로(GIP)는 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 제1 노이즈 제거부(100), 제2 노이즈 제거부(200), Q 노드 충전전부(300), Q 노드 리셋부(400), 출력단자 노이즈 제거부(500), 및 부스팅 커패시터(CB)를 포함한다. 또한, 이하의 설명에서 풀-업 트랜지스터(TU) 및 풀-다운 트랜지스터(TD)는 N형 MOS 트랜지스터인 것을 가정하여 설명하기로 한다.
- [0110] 풀-업 트랜지스터(TU)의 게이트 전극은 Q 노드(NQ)에 접속되고, 드레인 전극은 제 1 클럭 단자(CT1)에 접속되고, 소스 전극은 출력 단자(OT)에 접속된다. 풀-업 트랜지스터(TU)는 Q 노드(NQ)의 게이트 온 전압에 의해 턴-온되어 제 1 클럭 단자(CT1)로 입력되는 클럭 신호를 출력 단자(OT)로 공급한다. 풀-업 트랜지스터(TU)가 Q 노드(NQ)의 게이트 온 전압에 의해 턴-온되고 게이트 온 전압의 클럭 신호가 제 1 클럭 단자(CT1)로 입력되는 경우, 게이트 온 전압의 게이트 신호가 출력 단자(OT)로 출력될 수 있다.
- [0111] 풀-다운 트랜지스터(TD)의 게이트 전극은 제 3 클럭 단자(CT3)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속되며, 소스 전극은 출력 단자(OT)에 접속될 수 있다. 풀-다운 트랜지스터(TD)는 QB 노드(NQB)의 게이트 온 전압에 의해 턴-온 되어 전원 전압 단자(VSST)로 입력되는 전원 전압을 출력 단자(OT)로 공급한다. 풀-다운 트랜지스터(TD)가 QB 노드(NQB)의 게이트 온 전압에 의해 턴-온되는 경우, 게이트 오프 전압의 게이트

신호가 출력 단자(OT)로 출력될 수 있다. 이하에서는, 전원 전압 단자(VSST)로 입력되는 전원 전압이 게이트 오프 전압인 것으로 설명한다. 게이트 오프 전압은 게이트 라인들(G1~Gn)에 접속된 화소(P)들의 트랜지스터들을 턴-오프시킬 수 있는 전압이고, 게이트 온 전압은 트랜지스터들을 턴-온시킬 수 있는 전압이다. 게이트 온 전압은 게이트 하이 전압(VGH)으로 설정될 수 있고, 게이트 오프 전압은 게이트 로우 전압(VGL)으로 설정될 수 있다.

- [0112] 제1 노이즈 제거부(100)는 제 1 클럭 단자(CT1)로 입력되는 클럭 신호에 따라 Q 노드(NQ)의 노이즈를 제거한다. 제 1 노이즈 제거부(100)는 제 1 내지 제 4 스위칭 소자들(SW1~SW4)을 포함할 수 있다. 이하의 설명에서, GIP 회로(GIP) 내에 마련된 스위칭 소자들은 모두 N형 MOS 트랜지스터들로 구현되는 것을 가정하여 설명하기로 한다.
- [0113] 제 1 스위칭 소자(SW1)의 게이트 전극은 제 1 노드(N1)에 접속되고, 소스 전극은 Q 노드(NQ)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속될 수 있다. 제 1 스위칭 소자(SW1)는 제 1 노드(N1)의 게이트 온 전압에 의해 턴-온되어 Q 노드(NQ)를 전원 전압 단자(VSST)에 접속시킨다. 제 1 스위칭 소자(SW1)가 턴-온되는 경우 Q 노드(NQ)에는 게이트 오프 전압이 공급되므로, 풀-업 트랜지스터(TU)는 턴-오프될 수 있다.
- [0114] 제 2 스위칭 소자(SW2)의 게이트 전극과 드레인 전극은 제 1 클럭 단자(CT1)에 접속되고, 소스 전극은 제 1 노드(N1)에 접속될 수 있다. 즉, 제 2 스위칭 소자(SW2)는 다이오드(diode) 접속될 수 있다. 제 2 스위칭 소자(SW2)는 제 1 클럭 단자(CT1)로 입력되는 클럭 신호의 게이트 온 전압에 의해 턴-온되어 제 1 노드(N1)에 게이트 온 전압을 공급한다. 제 2 스위칭 소자(SW2)가 턴-온되는 경우 제 1 노드(N1)에는 게이트 온 전압이 공급되므로, 제 1 스위칭 소자(SW1)는 턴-온될 수 있다.
- [0115] 제 3 스위칭 소자(SW3)의 게이트 전극은 Q 노드(NQ)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속되고, 소스 전극은 제 1 노드(N1)에 접속될 수 있다. 제 3 스위칭 소자(SW3)는 Q 노드(NQ)의 게이트 온 전압에 의해 턴-온되어 제 1 노드(N1)를 전원 전압 단자(VSST)에 접속시킨다. 제 3 스위칭 소자(SW3)가 턴-온되는 경우 제 1 노드(N1)에 게이트 오프 전압이 공급되며, 이로 인해 제 1 트랜지스터(SW1)는 턴-오프될 수 있다.
- [0116] 제 4 스위칭 소자(SW4)의 게이트 전극은 QB 노드(NQB)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속되며, 소스 전극은 제 1 노드(N1)에 접속될 수 있다. 제 4 스위칭 소자(SW4)는 QB 노드(NQB)의 게이트 온 전압에 의해 턴-온되어 제 1 노드(N1)를 전원 전압 단자(VSST)에 접속시킨다. 제 4 스위칭 소자(SW4)가 턴-온되는 경우 제 1 노드(N1)에 게이트 오프 전압이 공급되며, 이로 인해 제 1 스위칭 소자(SW1)는 턴-오프될 수 있다.
- [0117] 제 2 노이즈 제거부(200)는 제 2 클럭 단자(CT2)로 입력되는 클럭 신호에 따라 Q 노드(NQ)의 노이즈를 제거한다. 제 2 노이즈 제거부(200)는 제 5 스위칭 소자(SW5)를 포함할 수 있다.
- [0118] 제 5 스위칭 소자(SW5)의 게이트 전극은 제 2 클럭 단자(CT2)에 접속되고, 드레인 전극은 전단 출력 신호 입력 단자(PT)에 접속되고, 소스 전극은 Q 노드(NQ)에 접속될 수 있다. 제 5 스위칭 소자(SW5)는 제 2 클럭 단자(CT2)로 입력되는 클럭 신호의 게이트 온 전압에 의해 턴-온되어 Q 노드(NQ)를 전단 출력 신호 입력 단자(PT)에 접속시킨다. 제 5 스위칭 소자(SW5)가 턴-온되는 경우, Q 노드(NQ)에 전단 출력 신호 입력 단자(PT)로부터 입력되는 전단 스테이지의 제 2 스캔 신호(Scan2)의 게이트 온 전압 또는 게이트 오프 전압이 공급될 수 있다. 제 5 스위칭 소자(SW5)가 턴-온되어 Q 노드(NQ)에 게이트 오프 전압이 공급되는 경우, Q 노드(NQ)의 노이즈는 제거될 수 있다.
- [0119] Q 노드 충방전부(300)는 스타트 단자(ST)로 입력되는 스타트 신호에 따라 Q 노드(NQ)를 게이트 온 전압으로 충전하거나, 후단 출력 신호 입력 단자(NT)로 입력되는 후단 출력 신호에 따라 Q 노드(NQ)를 게이트 오프 전압으로 방전한다. Q 노드 충방전부(300)는 제 6 및 제 7 스위칭 소자들(SW6, SW7)을 포함할 수 있다.
- [0120] 제 6 스위칭 소자(SW6)의 게이트 전극과 드레인 전극은 스타트 단자(ST)에 접속되고, 소스 전극은 Q 노드(NQ)에 접속될 수 있다. 즉, 제 6 스위칭 소자(SW6)는 다이오드 접속될 수 있다. 제 6 스위칭 소자(SW6)는 스타트 단자(ST)로 입력되는 스타트 신호의 게이트 온 전압에 의해 턴-온되어 Q 노드(NQ)에 게이트 온 전압을 공급한다. 제 6 스위칭 소자(SW6)가 턴-온되는 경우 Q 노드(NQ)에는 게이트 온 전압이 공급되므로, 풀-업 트랜지스터(TU)는 턴-온될 수 있다.
- [0121] 제 7 스위칭 소자(SW7)의 게이트 전극은 후단 출력 신호 입력 단자(NT)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속되며, 소스 전극은 Q 노드(NQ)에 접속될 수 있다. 제 7 스위칭 소자(SW7)는 후단 출력 신호 입력 단자(NT)로 입력되는 후단 출력 신호의 게이트 온 전압에 의해 턴-온되어 Q 노드(NQ)에 게이트 오프 전압을 공급한다. 제 7 스위칭 소자(SW7)가 턴-온되는 경우 Q 노드(NQ)에는 게이트 오프 전압이 공급되므로, 풀-업

트랜지스터(TU)는 턴-오프될 수 있다.

- [0122] Q 노드 리셋부(400)는 리셋 단자(RT)로 입력되는 리셋 신호에 따라 Q 노드(NQ)를 게이트 오프 전압으로 리셋한다. Q 노드 리셋부(400)는 제 8 스위칭 소자(SW8)를 포함할 수 있다.
- [0123] 제 8 스위칭 소자(SW8)의 게이트 전극은 리셋 단자(RT)에 접속되고, 드레인 전극은 전원 전압 단자(VSST)에 접속되며, 소스 전극은 Q 노드(NQ)에 접속될 수 있다. 제 8 스위칭 소자(SW8)는 리셋 단자(RT)로 입력되는 리셋 신호의 게이트 온 전압에 따라 Q 노드(NQ)를 전원 전압 단자(VSST)에 접속시킨다. 제 8 스위칭 소자(SW8)가 턴-온 되는 경우 Q 노드(NQ)는 게이트 오프 전압으로 리셋될 수 있다.
- [0124] 출력 단자 노이즈 제거부(500)는 출력 단자(OT)의 전압에 따라 출력 단자(OT)를 제 1 클럭 단자(CT1)에 접속시켜 출력 단자(OT)의 노이즈를 제거한다. 출력 단자 노이즈 제거부(500)는 제 9 스위칭 소자(SW9)를 포함할 수 있다.
- [0125] 제 9 스위칭 소자(SW9)의 게이트 전극과 소스 전극이 출력 단자(OT)에 접속되고, 드레인 전극이 제 1 클럭 단자(CT1)에 접속된다. 즉, 제 9 스위칭 소자(SW9)는 다이오드 접속될 수 있다. 제 9 스위칭 소자(SW9)는 출력 단자(OT)의 전압이 제 1 클럭 단자(CT1)로 입력되는 제 1 게이트 클럭 신호의 전압과 제 9 스위칭 소자(SW9)의 문턱 전압의 합보다 높아지는 경우, 출력 단자(OT)를 제 1 클럭 단자(CT1)에 접속시킨다. 따라서, 출력 단자(OT)에 노이즈가 발생하여 출력 단자(OT)의 전압이 제 1 클럭 단자(OT)로 입력되는 제 1 게이트 클럭 신호의 게이트 오프 전압과 제 9 스위칭 소자(SW9)의 문턱 전압의 합보다 높아지는 경우, 출력 단자(OT)의 노이즈는 제 1 클럭 단자(OT)로 방전될 수 있다.
- [0126] 부스팅 캐패시터(CB)는 출력 단자(OT)와 Q 노드(NQ) 사이에 접속된다. 부스팅 커패시터(CB)는 출력 단자(OT)와 Q 노드(NQ)의 차전압을 유지한다.
- [0127] 본 출원에 따른 유기발광 표시장치가 소비전력을 절감하기 위해 표시장치를 로우 리프레쉬 레이트 또는 가변 리프레쉬 레이트로 구동하거나, 스톱&스타트 구동하는 경우, 블랭크 기간(BP)이 길어질 수 있다. 이 경우, 본 출원에 따른 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 제 1 내지 제 9 스위칭 소자(SW1~SW9)의 반도체 층은 산화물(oxide)로 구현되는 것이 바람직하다. 하지만, 풀-업 트랜지스터(TU), 풀-다운 트랜지스터(TD), 및 제 1 내지 제 9 스위칭 소자(SW1~SW9)의 반도체 층은 산화물에 한정되지 않으며, 비정질 실리콘(amorphous silicon, a-Si) 또는 폴리 실리콘(poly silicon, Poly-Si)으로도 형성될 수 있다.
- [0128] 도 10에는 도 9의 GIP 회로(GIP)의 스타트 단자(ST)에 입력되는 스타트 신호(VST), 제 1 내지 제 3 게이트 클럭 신호들(CLK1~CLK3), Q 노드의 전압(VQ), 제 1 노드(N1)의 전압(VN1), 제 1 내지 제 3 스캔 신호(Scan1~Scan3)가 나타나 있다. 제 3 스캔 신호(Scan3)는 후단 스테이지의 제 1 스캔 신호이다.
- [0129] 스타트 신호(VST)는 게이트 온 전압(Von)과 게이트 오프 전압(Voff) 사이에서 스위칭한다. 제 1 내지 제 3 게이트 클럭 신호들(CLK1~CLK3)은 소정의 기간만큼 중첩되고 순차적으로 위상이 지연되는 4상 이상의 상을 갖는 클럭 신호들 중 일부의 신호로써 구현될 수 있다.
- [0130] 제 1 내지 제 3 게이트 클럭 신호들(CLK1~CLK3)은 게이트 온 전압(Von)과 게이트 오프 전압(Voff) 사이에서 스위칭한다. 제 1 내지 제 3 게이트 클럭 신호들(CLK1~CLK3) 각각은 2 단위 시간(t) 동안 게이트 온 전압(Von)을 갖고, 2 단위 시간(t) 동안 게이트 오프 전압(Voff)을 가질 수 있다. 이 경우, 제 1 내지 제 3 게이트 클럭 신호들(CLK1~CLK3) 각각은 1 단위 길이(t)만큼 서로 중첩될 수 있다. 1 단위 시간(t)은 표시패널(10)의 어느 한 게이트 라인에 접속된 화소들에 데이터 전압들이 공급되는 시간인 1 수평 라인 스캐닝 기간을 정의한다.
- [0131] 풀-업 기간(put)에는 GIP 회로(GIP)의 풀-업 노드인 Q 노드(NQ)가 게이트 온 전압(Von)으로 충전된다. 풀-업 기간(put)에는 Q 노드(NQ)가 게이트 온 전압(Von)을 출력한다. 풀-다운 기간(pdt)에는 Q 노드(NQ)가 게이트 오프 전압(Voff)으로 방전된다. 풀-다운 기간(pdt)에는 풀-다운 노드인 QB 노드(NQB)가 게이트 온 전압(Von)으로 충전된다. 풀-다운 기간(pdt)에는 GIP 회로(GIP)가 게이트 오프 전압(Voff)을 출력한다. 풀-업 기간(put)은 제 1 내지 제 6 기간들(t1~t6)을 포함하고, 풀-다운 기간(pdt)은 제 7 내지 제 10 기간들(t7~t10)을 포함할 수 있다.
- [0132] 이러한 경우, 제 1 스캔 신호(Scan1) 제 2 스캔 신호(Scan2)가 이상 없이 생성됨을 알 수 있다. 기존의 경우 하나의 스캔 신호를 생성하기 위해서는 하나의 GIP 회로(GIP)가 필요하였다. 이에 따라 다수의 스캔 신호의 생성하기 위해서 스캔 신호의 개수와 동일한 개수의 GIP 회로(GIP)를 배치하였다.
- [0133] 그러나 본 출원의 경우, GIP 회로(GIP)와, 그 GIP 회로(GIP)에 연결된 제 1 및 제 2 트랜지스터(T1, T2)를 이용하여 2개의 스캔 신호를 생성할 수 있다. 즉, 본 출원은 2개의 GIP 회로(GIP)를 1개의 GIP 회로(GIP)와 2개의

트랜지스터로 대체할 수 있어, 다수의 트랜지스터들로 구성된 GIP 회로(GIP)의 개수를 감소시킬 수 있다. 이에 따라, 본 출원은 스캔 신호의 개수가 증가하는 고해상도 유기발광 표시장치에서도 GIP 회로(GIP)의 개수를 감소 시킴으로써 배치 면적을 감소시킨 게이트 구동부를 구현할 수 있어, 게이트 구동부가 배치된 비표시영역의 면적을 감소시켜 내로우 베젤(Bezel)을 용이하게 구현할 수 있다.

[0134] 본 출원의 일 예는 동일한 개수의 스캔 신호들을 생성하면서도 스테이지들의 개수를 감소시켜 면적을 감소시킨 게이트 구동부와 이를 포함한 유기발광 표시장치를 구현할 수 있다.

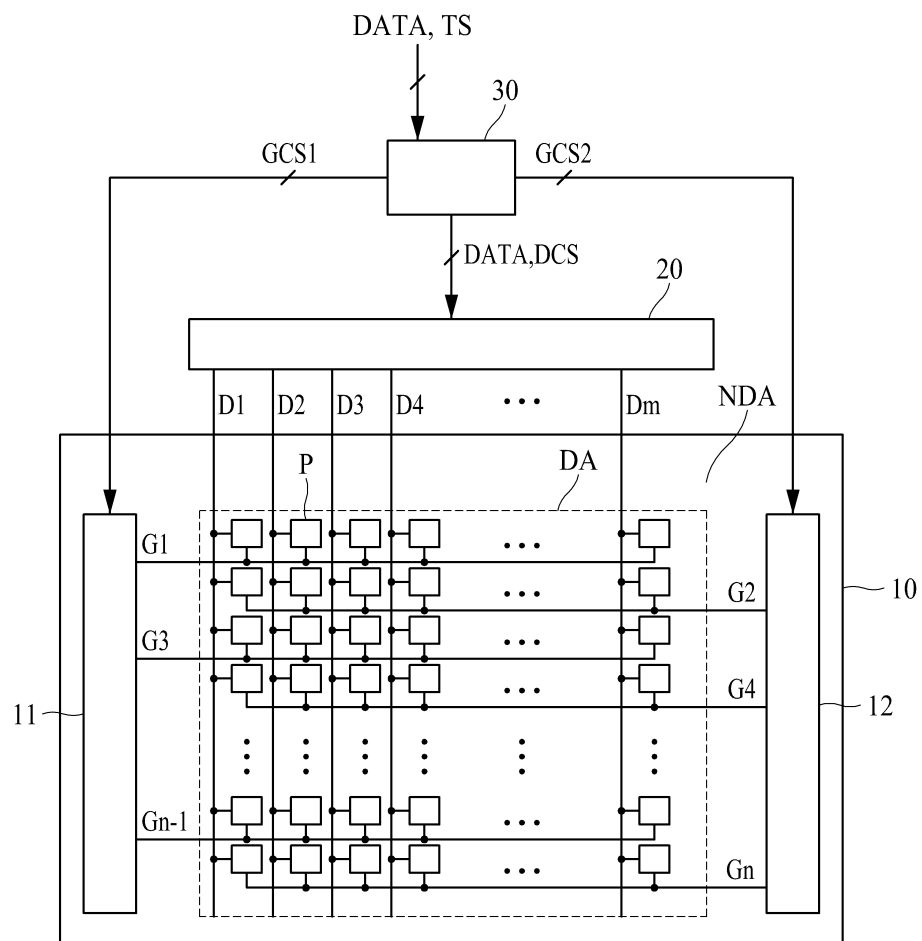
[0135] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

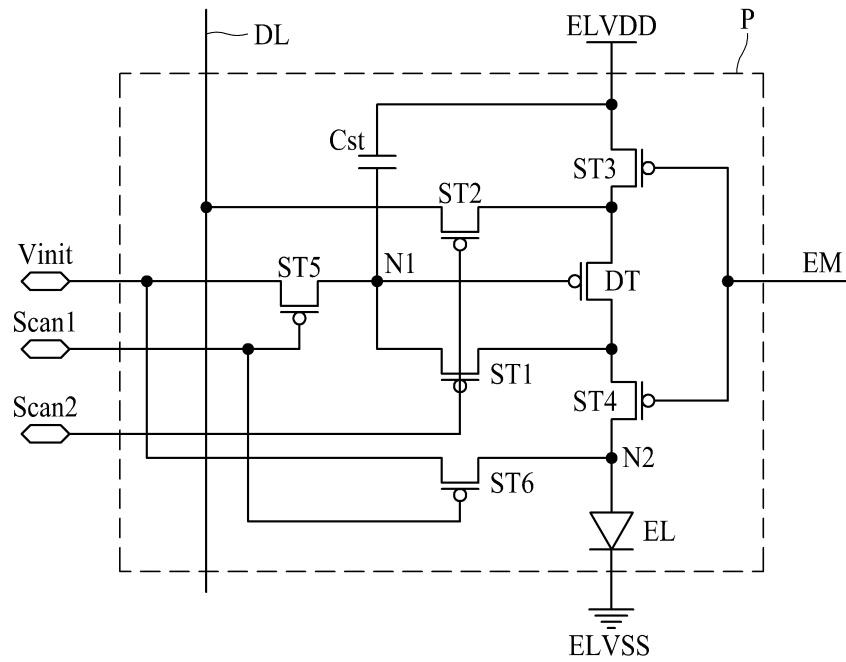
[0136] 10: 표시패널 11: 제1 게이트 구동부
12: 제2 게이트 구동부 20: 데이터 구동부
30: 타이밍 제어부 P: 화소
DT: 구동 트랜지스터 EL: 발광소자
Cst: 스토리지 커패시터 ST1~ST6: 제 1 내지 제 6 트랜지스터
100: 제1 노이즈 제거부 200: 제2 노이즈 제거부
300: 풀-업 노드 충방전부 400: 풀-업 노드 리셋부
500: 출력 노드 노이즈 제거부 600: 풀-다운 노드 충방전부

도면

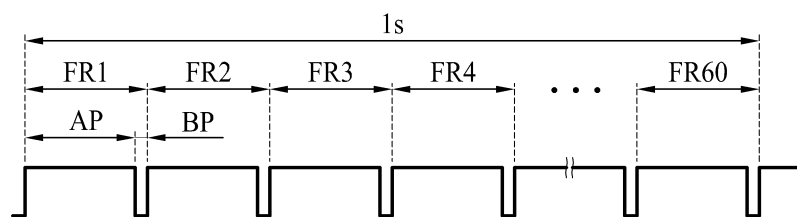
도면1



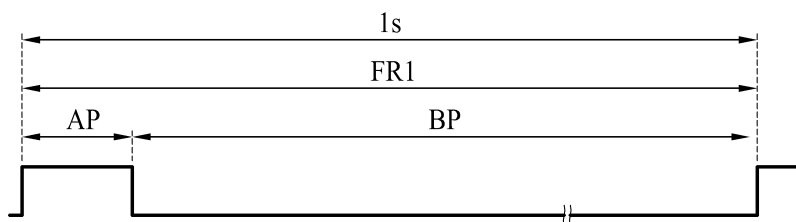
도면2



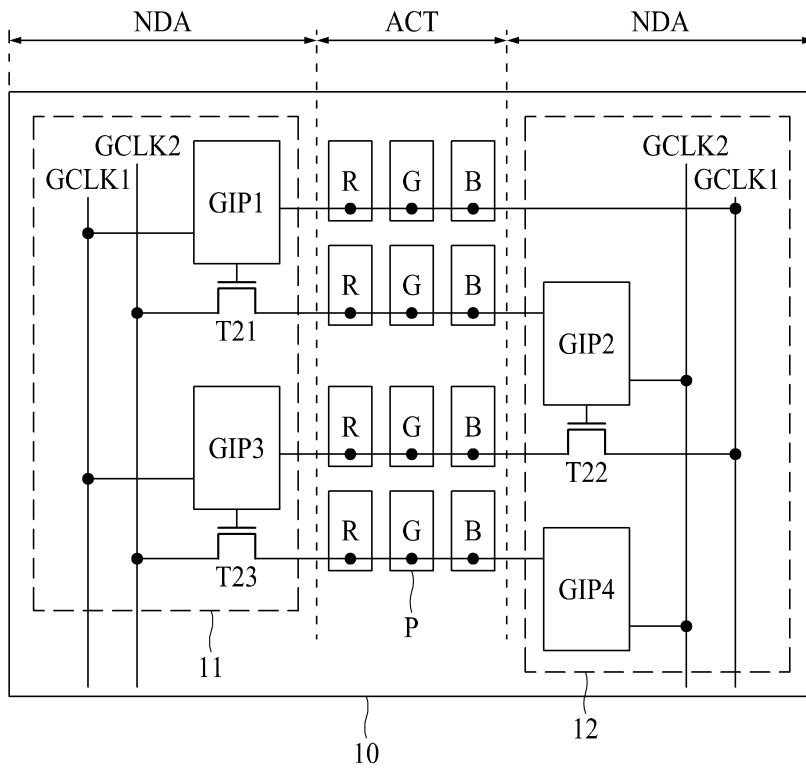
도면3



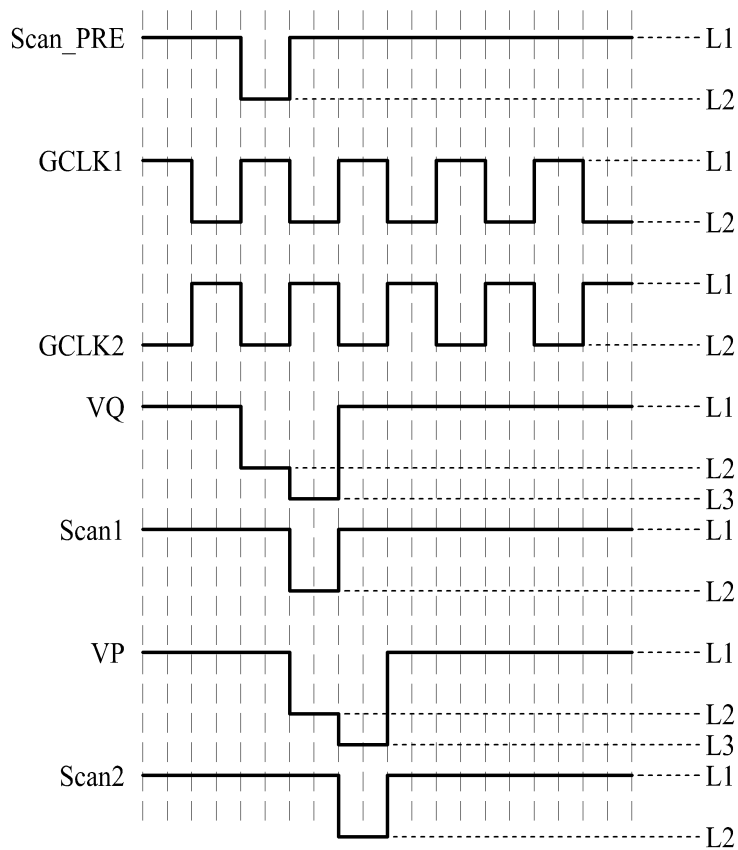
도면4



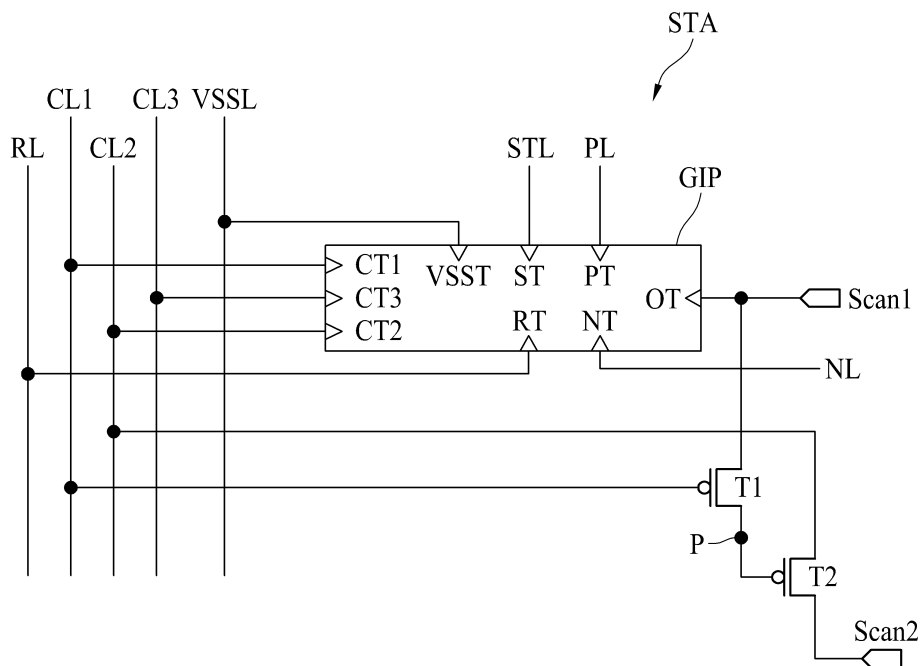
도면6



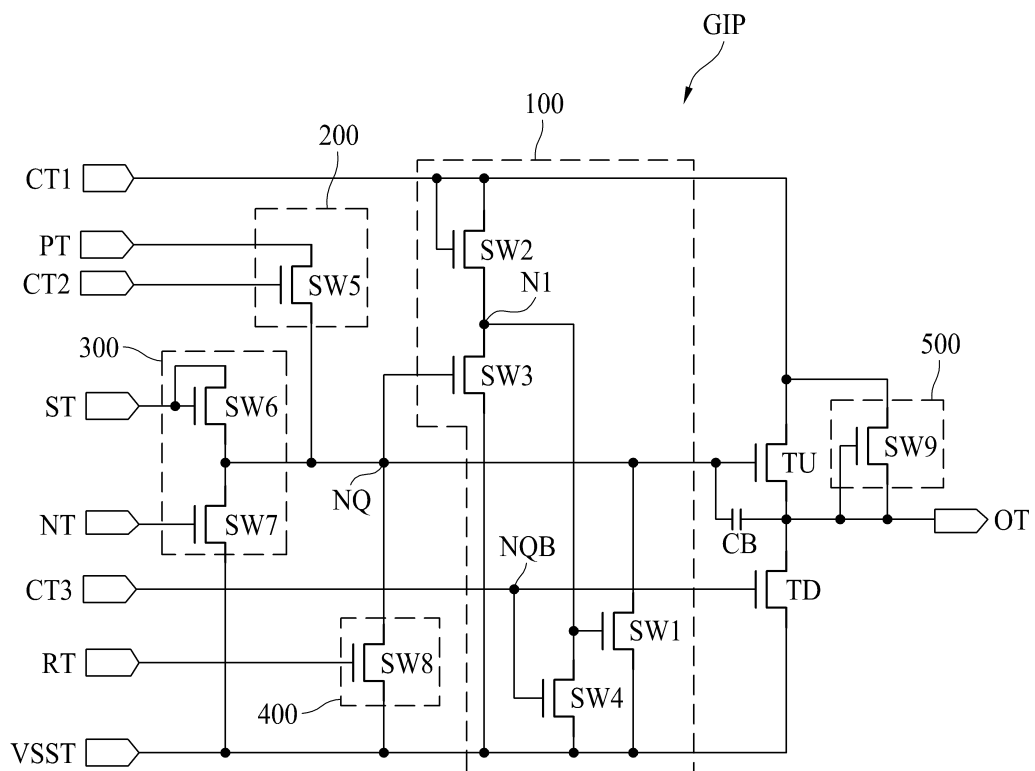
도면7



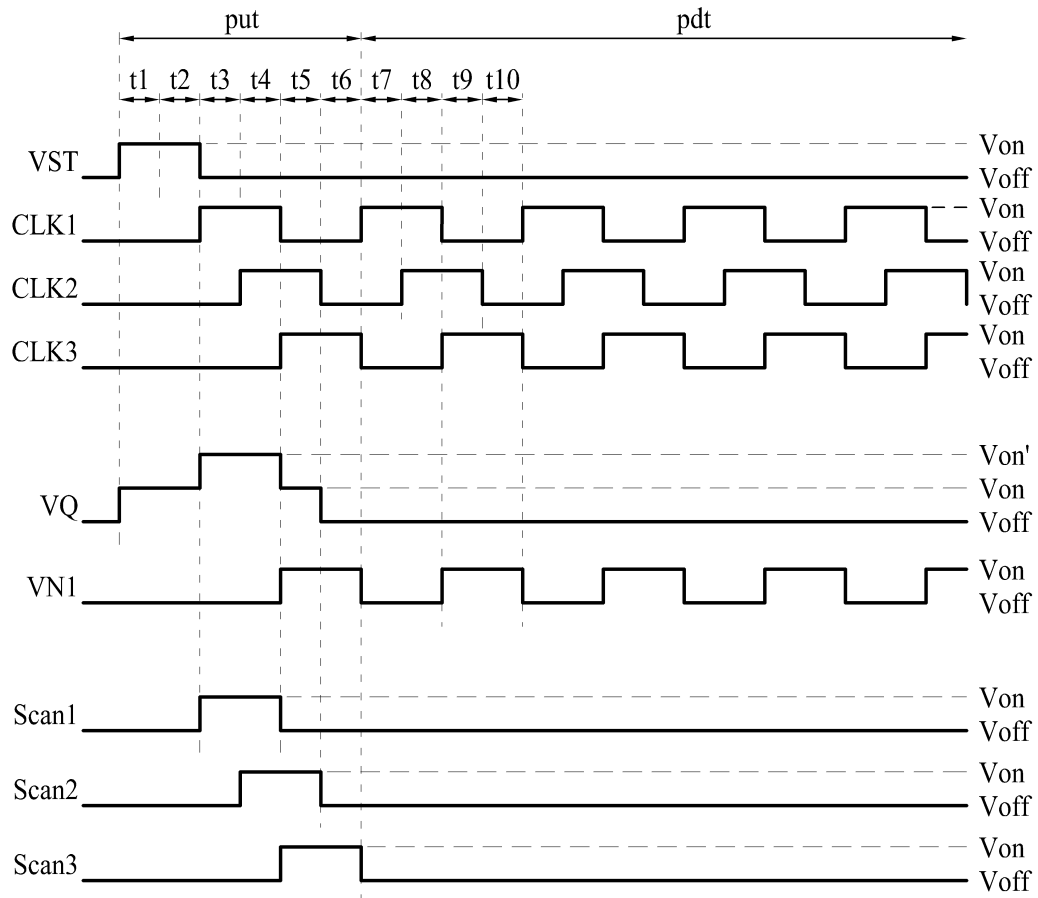
도면8



도면9



도면10



专利名称(译)	栅极驱动器和包括其的有机发光显示器		
公开(公告)号	KR1020190018932A	公开(公告)日	2019-02-26
申请号	KR1020170103704	申请日	2017-08-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	허승호		
发明人	허승호		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2300/0408 G09G2310/0262		
外部链接	Espacenet		

摘要(译)

本申请的一个示例涉及一种在产生相同数量的扫描信号的同时通过减少级数来减小面积的栅极驱动器以及包括该栅极驱动器的有机发光显示装置。根据本申请的示例的栅极驱动器包括用于输出两个不同的扫描信号的多个级。每级接收多个门时钟信号以设置内部Q节点的电压的大小，并输出根据Q节点的电压设置的第一扫描信号，该多个时钟信号中的第一个。第一晶体管，被配置为根据所述栅极时钟信号接收第一扫描信号以设置所述P节点的电压，并根据所述P节点的电压接收多个时钟信号中的第二栅极时钟信号并输出第二扫描信号包括第二晶体管。

