

(52) CPC특허분류

H01L 27/1251 (2013.01)

H01L 27/1255 (2013.01)

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

복수개의 서브 픽셀을 갖는 기관;

상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극, 제 1 액티브층과, 상기 제 1 액티브층의 양측에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 1 액티브층과 상기 제 1 게이트 전극의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터; 및

상기 각 서브 픽셀에 상기 구동 박막 트랜지스터와 전기적으로 연결되며, 제 2 게이트 전극, 제 2 액티브층과, 상기 제 2 액티브층의 양측에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터를 포함하며,

상기 제 1 액티브층과 제 2 액티브층은 동일층에 위치하며,

상기 제 1 게이트 전극과 제 2 게이트 전극은 서로 다른 층에 있으며,

상기 제 1 액티브층은, 평면적으로 상기 제 1 게이트 전극의 에지에서 일정 폭 돌출되는 오프셋 영역과, 상기 오프셋 영역과 접하며 상기 제 1 게이트 전극의 에지에서 이격된 제 1 도핑 영역을 갖는 백플레인 기관.

청구항 2

제 1항에 있어서,

상기 제 2 액티브층은, 평면적으로 상기 제 2 게이트 전극의 에지와 접하는 제 2 도핑 영역을 갖는 백플레인 기관.

청구항 3

제 1항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 액티브층과 중첩되며, 상기 제 2 소오스 전극과 접속되는 백플레인 기관.

청구항 4

제 3항에 있어서,

상기 제 2 소오스 전극은 상기 제 2 액티브층을 관통하여, 상기 제 2 액티브층과 제 1 게이트 전극간의 중첩 부위에서 상기 제 1 게이트 전극과 접속된 백플레인 기관.

청구항 5

제 4항에 있어서,

상기 제 1 게이트 전극과 중첩되는 제 1 스토리지 전극을 더 포함한 백플레인 기관.

청구항 6

제 5항에 있어서,

상기 제 1 스토리지 전극과 상기 제 1 게이트 전극은 스토리지 캐패시터를 이루는 백플레인 기관.

청구항 7

제 2항에 있어서,

상기 제 1 도핑 영역과 제 2 도핑 영역은 동일한 도펀트가 도핑된 백플레인 기관.

청구항 8

제 1항에 있어서,

상기 제 2 게이트 전극과 동일층에 상기 오프셋 영역과 중첩하는 제 1 보조 게이트 전극을 더 포함한 백플레인 기판.

청구항 9

제 3항에 있어서,

상기 제 1 게이트 전극과 접속되는 상기 제 2 소오스 전극은 상기 제 2 드레인 전극과 다른 층에 평탄부를 갖는 백플레인 기판.

청구항 10

제 9항에 있어서,

상기 제 2 소오스 전극의 평탄부와 상기 제 1 게이트 전극 사이의 제 1 콘택홀은, 상기 제 2 드레인 전극의 상부면과 상기 제 2 액티브층간의 제 2 콘택홀보다 긴 깊이를 갖는 백플레인 기판.

청구항 11

제 9항에 있어서,

상기 제 1 스토리지 전극과 접속하며 상기 제 2 소오스 전극의 평탄부와 중첩하는 제 1 스토리지 보조 전극을 더 포함한 백플레인 기판.

청구항 12

제 1항에 있어서,

상기 제 1, 제 2 액티브층은 폴리 실리콘으로 이루어지며,

상기 제 1 액티브층은 상기 제 1 게이트 전극과 중첩한 제 1 채널을 가지며,

상기 제 2 액티브층은 상기 제 2 게이트 전극과 중첩한 제 2 채널을 갖는 백플레인 기판.

청구항 13

복수개의 서브 픽셀을 갖는 기판을 준비하는 단계;

상기 각 서브 픽셀에, 제 1 게이트 전극을 구비하는 단계;

상기 제 1 게이트 전극을 덮는 제 1 게이트 절연막을 구비하는 단계;

상기 제 1 게이트 절연막 상에, 서로 이격하는 제 1, 제 2 액티브층을 구비하는 단계;

상기 제 1, 제 2 액티브층을 덮는 제 2 게이트 절연막을 구비하는 단계;

상기 제 2 게이트 절연막 상에, 상기 제 2 액티브층과 중첩하는 제 2 게이트 전극 및 상기 제 1 액티브층과 중첩하며 상기 제 1 게이트 전극보다 돌출된 제 1 게이트 보조 전극을 구비하는 단계;

상기 제 2 게이트 전극 및 제 1 게이트 보조 전극을 마스크로 이용하여 상기 제 1 액티브층에 제 1 도핑 영역과, 제 2 액티브층에 제 2 도핑 영역을 구비하는 단계;

상기 제 2 게이트 전극을 덮으며, 상기 제 1, 제 2 액티브층 각각의 양측을 노출하는 제 1 내지 제 4 콘택홀을 갖는 층간 절연막을 구비하는 단계; 및

상기 제 1 내지 제 2 콘택홀을 통해 상기 제 1 액티브층의 양측과 접속하는 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 3 내지 제 4 콘택홀을 통해 상기 제 2 액티브층의 양측과 접속하는 제 2 소오스 전극 및 제 2 드레인 전극을 구비하는 단계를 포함하는 백플레인 기판의 제조 방법.

청구항 14

제 13항에 있어서,

상기 제 1 게이트 보조 전극을 제거하는 단계를 더 포함한 백플레인 기관의 제조 방법.

청구항 15

제 13항에 있어서,

상기 제 1 게이트 전극은 상기 제 2 액티브층과 평면적으로 일부 중첩하는 백플레인 기관의 제조 방법.

청구항 16

제 15항에 있어서,

상기 제 3 콘택홀을 구비하는 단계는,

상기 제 1 게이트 전극과 제 2 액티브층이 중첩하는 부위에서, 상기 층간 절연막과 함께, 상기 제 1 게이트 절연막, 상기 제 2 액티브층 및 하층의 제 1 게이트 절연막을 제거하는 것을 포함한 백플레인 기관의 제조 방법.

청구항 17

제 16항에 있어서,

상기 층간 절연막은 복수층 구비되는 백플레인 기관의 제조 방법.

청구항 18

제 17항에 있어서,

상기 제 3 콘택홀 및 제 4 콘택홀은 다른 순서에서 구비되며,

상기 제 3 콘택홀이 제 4 콘택홀보다 제거되는 층간 절연막이 더 많은 백플레인 기관의 제조 방법.

청구항 19

제 13항에 있어서,

상기 기관을 준비하는 단계 후 상기 제 1 게이트 전극의 하층에 상기 제 1 게이트 전극과 중첩된 제 1 스토리지 전극을 구비하는 단계를 포함하는 백플레인 기관의 제조 방법.

청구항 20

제 19항에 있어서,

상기 제 1 스토리지 전극과 접속하며, 상기 제 2 소오스 전극의 평탄부와 중첩하는 제 1 스토리지 보조 전극을 구비하는 단계를 더 포함하는 백플레인 기관의 제조 방법.

청구항 21

제 1항 내지 제 12항 중 어느 한 항에 따른 백플레인 기관; 및

상기 각 서브 픽셀에, 상기 제 1 소오스 전극과 접속한 제 1 전극과, 상기 제 1 전극 상에 유기 발광층 및 상기 유기 발광층 상에 제 2 전극을 포함한 유기 발광 다이오드를 포함한 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 백플레인 기관에 관한 것으로, 특히 초고해상도에 맞게 집적화가 가능하며, 작아진 픽셀에서도 고계조 표현이 가능한 백플레인 기관, 이의 제조 방법 및 이를 적용한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] [001] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자 기기가 발전함에 따라 이에 적용할 수 있는 평판 표시 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.

- [0003] [002] 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display Device), 플라즈마 표시 장치(Plasma Display Panel device), 전계 방출 표시 장치(Field Emission Display Device), 유기 또는 무기 발광 표시 장치(Organic or Inorganic Light Emitting Diode Display Device) 등이 연구되고 있다. 이러한 평판 표시 장치 중에서 특히 유기 발광 표시 장치는 양산 기술의 발전, 구동수단의 용이성, 저전력 소비, 고화질, 대화면 구현 및 연성화의 장점으로 적용 분야가 확대되고 있다.
- [0004] [003] 또한, 이러한 평판 표시 장치는 복수개의 픽셀을 매트릭스상으로 구비하며, 각 픽셀을 개별적으로 제어할 수 있는 TFT(Thin Film Transistor: 박막 트랜지스터)를 픽셀 내에 하나 이상 구비한다. 그리고, 각 픽셀은 색 표현을 위한 R-서브 픽셀, G-서브 픽셀, 및 B-서브 픽셀을 포함할 수 있다.
- [0005] [004] 그런데, 점차 증강 현실이나 가상 현실과 같이 고해상도를 요구되는 표시 장치에 있어서, 한정된 표시 장치의 크기 내에 고해상도를 갖기 때문에 개별 픽셀의 크기가 점차 작아지게 된다. 또한, 유기 발광 표시 장치와 같이, 발광 소자를 개별 서브 픽셀에 직접 갖는 표시 장치에 있어서는, 개별 서브 픽셀의 선택적인 계조 표현을 위해서 작아진 개별 서브 픽셀 내에 최소 2T1C (2 transistors and 1 capacitor)의 회로 소자를 포함시켜야 하며 이 경우 각 박막 트랜지스터는 동일 구조를 갖는다. 그런데, 개별 서브 픽셀의 면적이 작아, 각 박막 트랜지스터의 이동도 등의 소자 특성은 향상되거나 구동 박막 트랜지스터로서는 게이트 전압 인가시 단시간에 포화 특성을 갖게 되어, 다양하고 충분한 계조 표현이 어려운 실정이다.
- [0006] [005] 즉, 고해상도로 가며 서브 픽셀의 크기가 줄어들며, 한정된 서브 픽셀 면적 내에 각 서브 픽셀 구동을 위한 회로 구성을 모두 포함시킨다. 이 경우, 동일 스택 구조로 구동 박막 트랜지스터와 그 외 박막 트랜지스터를 구비시, 박막 트랜지스터의 반응 속도는 빠르나, 충분한 계조 표현이 어렵다는 문제가 있다.
- [0007] 또한, 동일 스택의 스위칭 트랜지스터와 구동 트랜지스터는 서로 연결되어야 하므로, 평면적으로 이들 트랜지스터들을 각각 연결해주는 연결 패턴이 구비되어야 한다. 즉, 2개 이상의 동일 스택의 복수개의 트랜지스터들을 연결해줄 경우 동일 스택의 트랜지스터들은 서로 연결 관계를 가져야 하기 때문에 적어도 각 트랜지스터 자체 외의 별도 연결 패턴이 있어야 하며, 이러한 연결 패턴의 구비로 인해 서브 화소 내 회로 집적화에 한계가 있어 초고해상도를 진행함에 있어 애로 사항이 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 초고해상도에 맞게 집적화가 가능하며, 작아진 픽셀에서도 고계조 표현이 가능한 백플레인 기관, 이의 제조 방법 및 이를 적용한 유기 발광 표시 장치를 제공하는 데, 그 목적이 있다.

과제의 해결 수단

- [0009] 본 발명의 백플레인 기관, 이의 제조 방법 및 이를 이용한 유기 발광 표시 장치는 서브 화소에 서로 다른 트랜지스터의 연결 부위를 수직으로 가져 장치의 집적화가 가능하다.
- [0010] 또한, 구동 트랜지스터는 오프셋 영역을 구비한 바텀 게이트 형상으로 하고, 스위칭 트랜지스터는 탑 게이트 형상을 갖는 것으로, 각각 그 구성 및 동작 특성을 상이하게 하여, 구동 트랜지스터는 초고해상도 구조에서도 고계조 표현이 가능하며 스위칭 트랜지스터는 우수한 이동도의 회로 특성을 갖게 할 수 있다.
- [0011] 이러한 본 발명의 일 실시예에 따른 백플레인 기관은 복수개의 서브 픽셀을 갖는 기관과, 상기 각 서브 픽셀에 위치하며, 제 1 게이트 전극, 제 1 액티브층과, 상기 제 1 액티브층의 양측에 접속된 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 1 액티브층과 상기 제 1 게이트 전극의 층간에 제 1 게이트 절연막을 포함한 구동 박막 트랜지스터 및 상기 각 서브 픽셀에 상기 구동 박막 트랜지스터와 전기적으로 연결되며, 제 2 게이트 전극, 제 2 액티브층과, 상기 제 2 액티브층의 양측에 접속된 제 2 소오스 전극 및 제 2 드레인 전극과, 상기 제 2 액티브층과 상기 제 2 게이트 전극의 층간에 제 2 게이트 절연막을 포함한 스위칭 박막 트랜지스터를 포함한다.
- [0012] 여기서, 상기 제 1 액티브층과 제 2 액티브층은 동일층에 위치하며, 상기 제 1 게이트 전극과 제 2 게이트 전극은 서로 다른 층에 있으며, 상기 제 1 액티브층은, 평면적으로 상기 제 1 게이트 전극의 에지에서 일정 폭 돌출되는 오프셋 영역과, 상기 오프셋 영역과 접하며 상기 제 1 게이트 전극의 에지에서 이격된 제 1 도핑 영역을 갖는다.

- [0013] 또한, 상기 제 2 액티브층은, 평면적으로 상기 제 2 게이트 전극의 에지와 접하는 제 2 도핑 영역을 갖는다.
- [0014] 그리고, 상기 제 1 게이트 전극은 상기 제 2 액티브층과 중첩되며, 상기 제 2 소오스 전극과 접속된다.
- [0015] 여기서, 상기 제 2 소오스 전극은 상기 제 2 액티브층을 관통하여, 상기 제 2 액티브층과 제 1 게이트 전극간의 중첩 부위에서 상기 제 1 게이트 전극과 접속될 수 있다.
- [0016] 상기 제 1 게이트 전극과 중첩되는 제 1 스토리지 전극을 더 포함할 수 있다.
- [0017] 그리고, 상기 제 1 스토리지 전극과 상기 제 1 게이트 전극은 스토리지 캐패시터를 이룬다.
- [0018] 상기 제 1 도핑 영역과 제 2 도핑 영역은 동일한 도펀트가 도핑될 수 있다.
- [0019] 상기 제 2 게이트 전극과 동일층에 상기 오프셋 영역과 중첩하는 제 1 보조 게이트 전극을 더 포함할 수 있다.
- [0020] 또한, 상기 제 1 게이트 전극과 접속되는 상기 제 2 소오스 전극은 상기 제 2 드레인 전극과 다른 층에 평탄부를 가질 수 있다.
- [0021] 상기 제 2 소오스 전극의 평탄부와 상기 제 1 게이트 전극 사이의 제 1 콘택홀은, 상기 제 2 드레인 전극의 상부면과 상기 제 2 액티브층간의 제 2 콘택홀보다 긴 깊이를 가질 수 있다.
- [0022] 상기 제 1 스토리지 전극과 접속하며 상기 제 2 소오스 전극의 평탄부와 중첩하는 제 1 스토리지 보조 전극을 더 포함할 수 있다.
- [0023] 또한, 상기 제 1, 제 2 액티브층은 폴리 실리콘으로 이루어지며, 상기 제 1 액티브층은 상기 제 1 게이트 전극과 중첩한 제 1 채널을 가지며, 상기 제 2 액티브층은 상기 제 2 게이트 전극과 중첩한 제 2 채널을 가질 수 있다.
- [0024] 또한, 동일한 목적을 달성하기 위한 본 발명의 백플레인 기관의 제조 방법은 복수개의 서브 픽셀을 갖는 기관을 준비하는 단계와, 상기 각 서브 픽셀에, 제 1 게이트 전극을 구비하는 단계와, 상기 제 1 게이트 전극을 덮는 제 1 게이트 절연막을 구비하는 단계와, 상기 제 1 게이트 절연막 상에, 서로 이격하는 제 1, 제 2 액티브층을 구비하는 단계와, 상기 제 1, 제 2 액티브층을 덮는 제 2 게이트 절연막을 구비하는 단계와, 상기 제 2 게이트 절연막 상에, 상기 제 2 액티브층과 중첩하는 제 2 게이트 전극 및 상기 제 1 액티브층과 중첩하며 상기 제 1 게이트 전극보다 돌출된 제 1 게이트 보조 전극을 구비하는 단계와, 상기 제 2 게이트 전극 및 제 1 게이트 보조 전극을 마스크로 이용하여 상기 제 1 액티브층에 제 1 도핑 영역과, 제 2 액티브층에 제 2 도핑 영역을 구비하는 단계와, 상기 제 2 게이트 전극을 덮으며, 상기 제 1, 제 2 액티브층 각각의 양측을 노출하는 제 1 내지 제 4 콘택홀을 갖는 층간 절연막을 구비하는 단계 및 상기 제 1 내지 제 2 콘택홀을 통해 상기 제 1 액티브층의 양측과 접속하는 제 1 소오스 전극 및 제 1 드레인 전극과, 상기 제 3 내지 제 4 콘택홀을 통해 상기 제 2 액티브층의 양측과 접속하는 제 2 소오스 전극 및 제 2 드레인 전극을 구비하는 단계를 포함할 수 있다.
- [0025] 그리고, 상술한 방법에 상기 제 1 게이트 보조 전극을 제거하는 단계를 더 포함할 수 있다.
- [0026] 상기 제 1 게이트 전극은 상기 제 2 액티브층과 평면적으로 일부 중첩할 수 있다.
- [0027] 상기 제 3 콘택홀을 구비하는 단계는, 상기 제 1 게이트 전극과 제 2 액티브층이 중첩하는 부위에서, 상기 층간 절연막과 함께, 상기 제 1 게이트 절연막, 상기 제 2 액티브층 및 하층의 제 1 게이트 절연막을 제거하는 것을 포함할 수 있다.
- [0028] 여기서, 상기 층간 절연막은 복수층 구비될 수 있다.
- [0029] 한편, 상기 제 3 콘택홀 및 제 4 콘택홀은 다른 순서에서 구비되며, 상기 제 3 콘택홀이 제 4 콘택홀보다 제거되는 층간 절연막이 더 많을 수 있다.
- [0030] 그리고, 상기 기관을 준비하는 단계 후 상기 제 1 게이트 전극의 하측에 상기 제 1 게이트 전극과 중첩된 제 1 스토리지 전극을 구비하는 단계를 포함할 수 있다.
- [0031] 또한, 상기 제 1 스토리지 전극과 접속하며, 상기 제 2 소오스 전극의 평탄부와 중첩하는 제 1 스토리지 보조 전극을 구비하는 단계를 더 포함할 수 있다.
- [0032] 한편, 본 발명의 유기 발광 표시 장치는 상술한 백플레인 기관 및 상기 각 서브 픽셀에, 상기 제 1 소오스 전극과 접속한 제 1 전극과, 상기 제 1 전극 상에 유기 발광층 및 상기 유기 발광층 상에 제 2 전극을 포함한 유기

발광 다이오드를 포함할 수 있다.

발명의 효과

- [0033] 본 발명의 백플레인 기관, 이의 제조 방법 및 이를 이용한 유기 발광 표시 장치는 다음과 같은 효과가 있다.
- [0034] 첫째, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 스택 구조를 달리하여, 각 박막 트랜지스터의 채널과 게이트 전극과의 중첩부를 조절함으로써, 선택적으로 구동 박막 트랜지스터에 오프셋 영역을 구비한다. 이로써, 계조 표현에 직접적인 영향을 주는 구동 박막 트랜지스터의 S-Factor를 크게 하여, 충분한 계조 표현을 수행할 수 있다.
- [0035] 둘째, 구동 박막 트랜지스터 외의 스위칭 박막 트랜지스터 등 기타 박막 트랜지스터는 구동 박막 트랜지스터와 달리 충분한 이동도 및 높은 반응 속도를 갖도록 하여, 고해상도 혹은 초고해상도 구조에서 충분히 고성능의 회로 동작을 수행할 수 있다.
- [0036] 셋째, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 연결부를 평면적인 연결이 아닌 수직적인 접속 구조로 하여, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터가 평면적으로 중첩 부위를 갖도록 함으로써, 장치의 집적화가 가능하여, 초고해상도에 유리하다.

도면의 간단한 설명

- [0037] 도 1은 해상도 변화에 따른 서브 화소의 면적 변화를 나타낸 개념도
- 도 2는 본 발명의 백플레인 기관의 각 서브 화소의 회로도
- 도 3은 본 발명의 제 1 실시예에 따른 백플레인 기관을 나타낸 단면도
- 도 4는 본 발명의 제 2 실시예에 따른 백플레인 기관을 나타낸 단면도
- 도 5는 본 발명의 제 3 실시예에 따른 백플레인 기관을 나타낸 단면도
- 도 6은 본 발명의 제 4 실시예에 따른 백플레인 기관을 나타낸 단면도
- 도 7a 내지 도 7e는 본 발명의 제 1 실시예에 따른 백플레인 기관의 제조 방법을 나타낸 공정 단면도 단면도
- 도 8a 내지 도 8e는 본 발명의 제 2 실시예에 따른 백플레인 기관의 제조 방법을 나타낸 공정 단면도
- 도 9a 내지 도 9f는 본 발명의 제 3 실시예에 따른 백플레인 기관의 제조 방법을 나타낸 공정 단면도
- 도 10은 본 발명의 유기 발광 표시 장치를 나타낸 단면도

발명을 실시하기 위한 구체적인 내용

- [0038] 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 다양한 실시예를 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 다양한 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 발명의 다양한 실시예는 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 따라서 본 발명은 청구항의 범주에 의해 정의된다.
- [0039] 본 발명의 다양한 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도면에 도시된 사항에 한정되는 것은 아니다. 본 명세서 전체에 걸쳐 동일한 도면 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0040] 본 발명의 다양한 실시예에 포함된 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0041] 본 발명의 다양한 실시예를 설명함에 있어, 위치 관계에 대하여 설명하는 경우에, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0042] 본 발명의 다양한 실시예를 설명함에 있어, 시간 관계에 대한 설명하는 경우에, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0043] 본 발명의 다양한 실시예를 설명함에 있어, '제 1~', '제 2~' 등이 다양한 구성 요소를 서술하기 위해서 사용될 수 있지만, 이러한 용어들은 서로 동일 유사한 구성 요소 간에 구별을 하기 위하여 사용될 따름이다. 따라서, 본 명세서에서 '제 1~'로 수식되는 구성 요소는 별도의 언급이 없는 한, 본 발명의 기술적 사상 내에서 '제 2~'로 수식되는 구성 요소와 동일할 수 있다.
- [0044] 본 발명의 여러 다양한 실시예의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 다양한 실시예가 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0045] 도 1은 해상도 변화에 따른 서브 화소의 면적 변화를 나타낸 개념도이다.
- [0046] 도 1과 같이, 점차 증강 현실이나 가상 현실과 같이 고해상도를 요구되는 표시 장치에 있어서, 한정된 표시 장치의 크기 내에 고해상도를 갖기 때문에 개별 픽셀의 크기가 점차 작아지게 된다. 도 1에서는 FHD 구조에서 403ppi의 해상도를 갖는 구조에서, 초고해상도의 1500ppi로 해상도가 늘어난 예를 나타내고 있다. 이 경우, 단일 서브 픽셀의 면적은 초고해상도에서 FHD 구조 대비 1/14 수준으로 줄어들었다.
- [0047] 한편, 유기 발광 표시 장치와 같이, 발광 소자인 유기 발광 다이오드를 개별 서브 픽셀에 직접 갖는 표시 장치에 있어서는, 개별 서브 픽셀의 선택적인 계조 표현을 위해서 작아진 개별 서브 픽셀 내에 최소 2T1C (2 transistors and 1 capacitor)의 회로 소자를 포함시켜야 하며 이 경우 각 박막 트랜지스터는 동일 구조를 갖는다. 그런데, 개별 서브 픽셀의 면적이 작아, 각 박막 트랜지스터의 이동도 등의 소자 특성은 향상되나 구동 박막 트랜지스터로서는 게이트 전압 인가시 단시간에 포화 특성을 갖게 되어, 다양하고 충분한 계조 표현이 어려운 실정이다.
- [0048] 즉, 고해상도로 가며 서브 픽셀의 크기가 줄어들며, 한정된 서브 픽셀 면적 내에 각 서브 픽셀 구동을 위한 회로 구성을 모두 포함시킨다. 이 경우, 동일 스택 구조로 구동 박막 트랜지스터와 그 외 박막 트랜지스터를 구비시, 박막 트랜지스터의 반응 속도는 빠르나, 충분한 계조 표현이 어렵다는 문제가 있다.
- [0049] 도 2는 본 발명의 백플레인 기관의 각 서브 화소의 회로도이다.
- [0050] 백플레인 기관은, 기관(미도시)을 중앙에 가장자리의 2개의 영역으로 크게 구분하고, 중앙에 액티브 영역(AA)과, 상기 액티브 영역(AA) 주변의 가장자리를 배선 및 패드 전극이 형성되는 데드 영역으로 구분한다. 그리고, 액티브 영역(AA)은 복수개의 서브 픽셀(SP)을 매트릭스 상으로 포함하며, 각 서브 픽셀은 도 2와 같은 회로 구성을 갖는다. 각 서브 픽셀은, 도 2과 같이, 수평 방향으로 평행한 게이트 라인(GL)과, 상기 게이트 라인(GL)에 교차하는 방향으로 서로 평행한 제 1 전압 라인(PL) 및 데이터 라인(DL)을 갖는다. 그리고, 상기 게이트 라인(GL)과 데이터 라인(DL)의 교차부에 스위칭 박막 트랜지스터(Tsw)와, 상기 스위칭 박막 트랜지스터(Tsw)와 상기 제 1 전압 라인(VDL)의 사이에 구비된 구동 박막 트랜지스터(Tdr)를 구비하며, 상기 구동 박막 트랜지스터(Tdr)의 소오스 전극에 유기 발광 다이오드(OLED)이 연결되고, 구동 박막 트랜지스터(Tds)의 드레인 전극과 게이트 전극 사이에 스토리지 캐패시터(Cst)가 구비된다. 여기서, 각 박막 트랜지스터(Tdr)들은 pMOS 로, 각각 채널을 구비한 액티브층은 p형 도핑 영역을 갖는다.
- [0051] 상기 구동 박막 트랜지스터(Tdr)는 상기 스위칭 박막 트랜지스터(Tsw)와 연결되는 제 1 게이트 전극(DG)과, 상기 제 1 전압 라인(PL)으로부터 과 연결되는 제 1 드레인 전극(DD) 및 상기 유기 발광 다이오드(OLED)에 연결되는 제 1 소오스 전극(DS)을 갖는다.
- [0052] 그리고, 상기 스위칭 박막 트랜지스터(Tsw)는 게이트 라인(GL)과 연결된 제 2 게이트 전극(SG), 데이터 라인(DL)과 연결된 제 2 드레인 전극(SD), 상기 스토리지 캐패시터의 일 노드 및 상기 구동 박막 트랜지스터(Tdr)의 제 1 게이트 전극(DG)과 연결되는 제 2 소오스 전극(SS)을 갖는다.
- [0053] 여기서, 상기 스위칭 박막 트랜지스터(Tsw)와 구동 박막 트랜지스터(Tdr)의 연결 노드를 제 1 노드(A)라 하며, 구동 박막 트랜지스터(Tdr)와 유기 발광 다이오드(OLED)의 연결 노드를 제 2 노드(B)라 한다.
- [0054] 상기 제 2 노드(B)에 상기 유기 발광 다이오드(OLED)의 제 1 전극(anode)이 연결된다. 유기 발광 다이오드(OLED)는 상기 제 1 전극과, 접지(ground) 단자에 연결된 제 2 전극(cathode) 및 상기 제 1, 제 2 전극에 유기 발광층을 포함하는 유기층이 구비된다. 여기서, 유기층은 단일의 유기 발광층을 포함할 수도 있고, 혹은 제 1

전극과 유기 발광층 사이에 정공 주입층/정공 수송층을 선택적 혹은 모두 포함시키고, 유기 발광층과 제 2 전극 사이에 전자 수송층/전자 주입층을 선택적 혹은 모두 포함시킬 수 있다.

- [0055] 스위칭 박막 트랜지스터(Tsw)는 게이트 라인(GL)과 데이터 라인(DL)에 연결되어, 해당 서브픽셀을 선택하는 기능을 한다. 그리고, 구동 박막 트랜지스터(Tdr)는 스위칭 박막 트랜지스터(Tsw)에 의해 선택된 서브 픽셀의 유기발광 다이오드(OLED)를 구동하는 기능을 한다.
- [0056] 경우에 따라, 추가적인 박막 트랜지스터가 구비될 수 있는 데, 예를 들어, 센싱 박막 트랜지스터(Tref)가 구비되는 경우, 센싱 라인(SSL)과 제 2 전압 라인(RL) 사이에 연결되어, 제 2 노드(B)의 전압 값을 센싱하거나 초기화한다.
- [0057] 상기 스위칭 트랜지스터(Tsw)는 게이트 라인(GL)에 공급되는 게이트 신호(GS)에 따라 스위칭되어 데이터 라인(DL)에 공급되는 데이터 전압(Vdata)을 구동 트랜지스터(Tdr)에 공급한다. 상기 구동 트랜지스터(Tdr)는 스위칭 트랜지스터(Tsw)로부터 공급되는 데이터 전압(Vdata)에 따라 스위칭되어 제 1 전압 라인(PL)에 공급되는 구동 전압(Vdd)에 의해 발광 소자(OLED)로 흐르는 데이터 전류(Ioled)를 제어한다. 상기 캐패시터(Cst)는 제 1 드레인 전극과 제 1 게이트 전극 사이에 접속되어 구동 트랜지스터(Tdr)의 제 1 게이트 전극에 공급되는 데이터 전압(Vdata)에 대응되는 전압을 저장하고, 저장된 전압으로 구동 트랜지스터(Tdr)의 턴-온시킨다.
- [0058] 상기 유기 발광 소자(OLED)는 구동 트랜지스터(DT)의 제 1 소오스 전극과 접지 라인(VSS) 사이에 전기적으로 접속되어 구동 트랜지스터(Tdr)로부터 공급되는 데이터 전류(Ioled)에 의해 발광한다.
- [0059] 따라서, 상술한 회로 구성을 각 서브 픽셀에 포함시켜 유기 발광 표시 장치를 구성시, 각 서브 픽셀(R, G, B)은 데이터 전압(Vdata)에 따른 구동 트랜지스터(Tdr)의 스위칭을 이용하여 구동 전압(Vdd)으로부터 유기 발광 소자(OLED)로 흐르는 데이터 전류(Ioled)의 크기를 제어하여 유기 발광 소자(OLED)를 발광시킴으로써 소정의 영상을 표시하게 된다.
- [0060] 이하에서는 구체적으로 단면도를 이용하여 본 발명의 백플레인 기관 및 유기 발광 표시 장치의 각 서브 픽셀에 구비되는 구동 박막 트랜지스터(Tdr) 및 스위칭 박막 트랜지스터(Tsw)의 구성을 살펴본다. 이들의 회로적 연결은 도 2를 참조한다.
- [0061] 도 3은 본 발명의 제 1 실시예에 따른 백플레인 기관을 나타낸 단면도이다.
- [0062] 도 3에는, 본 발명의 제 1 실시예에 따른 백플레인 기관의 하나의 서브 픽셀을 나타낸 것으로, 스위칭 박막 트랜지스터(Tsw)와 이와 연결된 구동 박막 트랜지스터(Tdr)의 일부를 나타낸 것이다. 각 서브 픽셀은 도시된 구조와 동일 구조가 반복되어 있다.
- [0063] 여기서, 구동 박막 트랜지스터(Tdr)는 제 1 게이트 전극(113), 제 1 액티브층(115A)과, 상기 제 1 액티브층(115A)의 양측에 접속된 제 1 소오스 전극(도 2의 DS 참조) 및 제 1 드레인 전극(도 2의 DD 참조)과, 상기 제 1 액티브층(115A)과 상기 제 1 게이트 전극(113)의 층간에 제 1 게이트 절연막(114)을 포함한다.
- [0064] 그리고, 스위칭 박막 트랜지스터(Tsw)는, 제 2 게이트 전극(117), 제 2 액티브층(115B)과, 상기 제 2 액티브층(115B)의 양측에 접속된 제 2 소오스 전극(120, 도 2의 SS 참조) 및 제 2 드레인 전극(121, 도 2의 SD 참조)과, 상기 제 2 액티브층(115B)과 상기 제 2 게이트 전극(117)의 층간에 제 2 게이트 절연막(116)을 포함한다.
- [0065] 즉, 상기 구동 박막 트랜지스터(Tdr)과 스위칭 박막 트랜지스터(Tsw)는 동일한 층에 제 1, 제 2 액티브층(115A, 115B)를 구비하며, 다른 층에 제 1, 제 2 게이트 전극(113, 117)을 구비한다. 보다 구체적으로 상기 제 1 게이트 전극(113)은 제 1 액티브층(115A)보다 하측에 위치하며, 제 2 게이트 전극(117)은 제 2 액티브층(115B)보다 상측에 구비한다. 이에 따라 제 1 액티브층(115A) 하측에 구비된 제1 게이트 전극(113)은 연장되어 제 2 액티브층(115B)에 일부 중첩할 수 있으며, 제 2 액티브층(115B)과 중첩된 부위로 제 2 소오스 전극(120)이 내려와 접속될 수 있다. 이 경우, 상기 제 2 소오스 전극(120)은 제 2 액티브층(115B)를 관통하며, 상기 제 2 액티브층(115B)의 하측의 제 1 게이트 전극(113) 상부에 접속된다.
- [0066] 한편, 상기 제 1 액티브층(115A)은 평면적으로 상기 제 1 게이트 전극(113)의 에지에서 일정 폭 돌출되는 오프셋 영역(OFA)과, 상기 오프셋 영역(OFA)과 접하며 상기 제 1 게이트 전극(113)의 에지에서 이격된 제 1 도핑 영역(115b)을 갖는다.
- [0067] 본 발명의 구동 박막 트랜지스터(Tdr)이 갖는 오프셋 영역(OFA)의 의미는 선택적으로 구동 박막 트랜지스터

(Tdr)에 오프셋 영역(OFA)을 구비하여 구동 박막 트랜지스터의 오프 상태에서 턴온되기까지의 구간을 늘려주어 이를 통해 계조표현을 다변화하고자 함이다.

[0068] 이를 설명하기 위해 S-factor에 대해 설명한다. 하기 수학적 식 1은 S-Factor를 나타내는 식이다.

[0069] [수학적 식 1]

$$s = 2.3 \frac{kT}{q} \left[1 + \frac{(C_g + C_d)}{C_i} \right]$$

[0070]

[0071] S-Factor는 유기 발광 표시 장치에서 Vgs-Ids 의 그래프의 관계에서, 스위칭 온되어 새채레이션되기까지의 Ids 의 기울기의 역수에 상당하는 것으로, 수학적 식 1과 같이 표현된다. 그리고, 상기 S-Factor가 크다는 것은 계조 변조가 가능한 ΔVgs가 상대적으로 크다는 의미로, 이 값이 일정 이상이어야 계조 표현을 다변화할 수 있음을 의미한다.

[0072] 여기서, Ci는 게이트 절연막의 용량, Cd는 오프셋 영역(공핍영역)의 용량, Cit는 게이트 절연막의 겹에서의 포획 밀도를 의미한다.

[0073] 위 S-Factor를 구하는 식에서 살펴볼 수 있듯이, 다른 조건이 동일할 때, 오프셋 영역이 늘수록 Cd 값이 늘게 되며, 이는 S-Factor를 높이는 원인이 될 수 있음을 알 수 있다.

[0074] 본 발명은 S-Factor의 값을 크게 한 구동 박막 트랜지스터를 통해 계조 표현을 다변화하고, 나머지 트랜지스터(예를 들어, 스위칭 박막 트랜지스터)는 고해상도의 이점인 작은 S-Factor를 유지하여 해당 트랜지스터의 빠른 응답 속도를 유지하고자 한다. 만일 다른 트랜지스터까지 오프셋 구간을 갖게 되면 서브 픽셀 전체의 속도가 느려질 수 있으므로, 선택적으로 고계조 표현을 위한 구동 박막 트랜지스터만에 오프셋 영역을 구비하는 것이다. 또한, 이를 구동 박막 트랜지스터(Tdr)와 스위칭 박막 트랜지스터(Tsw)의 스택 형상을 달리함에 의해 도핑 영역을 달리 구비할 수 있어, 오프셋 영역 구비를 위한 마스크 추가없이 구성이 가능하다.

[0075] 본 발명의 제 1 실시예에 따른 백플레인 기관에서, 제 1 액티브층(115A)은 상기 제 1 게이트 전극(113)과 중첩된 제 1 채널(115a) 측에 접하여 바로 접하여 오프셋 영역(OFA)을 구비하고, 상기 오프셋 영역(OFA)만큼 제 1 채널(115a)로부터 이격하여 제 1 도핑 영역(115b)을 갖는다.

[0076] 상기 제 1 도핑 영역(115b)은 p형 불순물을 포함할 수 있다.

[0077] 그리고, 상기 제 1 채널(115a) 및 오프셋 영역(OFA)은 불순물이 도핑되지 않은 진성 영역일 수 있다.

[0078] 여기서, 상기 오프셋 영역(OFA)과 제 1 도핑 영역(115b)은 상기 제 1 게이트 전극(113)과 중첩하지 않는다.

[0079] 그리고, 상기 제 2 액티브층(115B)은, 평면적으로 상기 제 2 게이트 전극(117)의 에지와 접하는 제 2 도핑 영역(115d)을 갖는다. 여기서, 상기 제 2 게이트 전극(117)과 중첩되는 제 2 액티브층(115B)의 영역의 제 2 채널(115c)이 되며, 진성 영역일 수 있다. 그리고, 제 2 도핑 영역(115d)은 제 2 게이트 전극(117)으로부터 노출된 부분에 정의되는 것으로, 이는 별도의 마스크 없이 정의되기 제 2 게이트 전극(117) 자체가 마스크로 이용되기 때문이다.

[0080] 상기 제 1, 제 2 도핑 영역(115b, 115d)의 불순물은 동일 형이며, 같은 공정에서 정의되는 것이며, 모두 붕소 등의 p+형 불순물일 수 있다.

[0081] 한편, 상기 제 1 채널(115a) 및 오프셋 영역(OFA)은 제 1 도핑 영역(115b)과 마찬가지로 상부에 전극없이 노출되어 있는데, 이는 불순물 도핑 주입 공정시 제 1 채널(115a) 및 제 1 도핑 영역(115b) 상부를 가린 구조물을 제거했기 때문이며, 경우에 따라, 상기 제 1 채널(115a) 및 제 1 도핑 영역(115b) 상부에 구조물을 남겨 이를 구동 박막 트랜지스터(Tdr)의 보조 게이트 전극으로 이용할 수도 있다 (이러한 구조는 본 발명의 제 2 실시예의 백플레인 기관의 설명에서 후술한다).

[0082] 한편, 본 발명의 오프 셋 영역(OFA)은 상대적으로 제 1 게이트 전극(113)보다 외측으로 돌출된 형태를 갖는데, 이는 상기 도핑 영역에 제 1 액티브층(115A) 상부에 위치하는 구조물의 형상으로 그 폭을 조절할 수 있다.

[0083] 또한, 본 발명은 오프셋 영역 외에 구동 박막 트랜지스터(Tdr)과 스위칭 박막 트랜지스터(Tsw)와의 수직적 접촉 관계에 의해서 집적 효과를 갖는다.

[0084] 즉, 상기 제 1 게이트 전극(113)은 상기 제 2 액티브층(115B)과 중첩되며, 상기 제 2 소오스 전극(120)과 접촉

된다. 구체적으로, 상기 제 2 소오스 전극(120)은 상기 제 2 액티브층(115B)을 관통하여, 상기 제 2 액티브층(115B)과 제 1 게이트 전극(113)간의 중첩 부위에서 상기 제 1 게이트 전극(113)과 접촉될 수 있다. 위에서부터 접촉 부분에서 절연막을 제외한 배선 및 액티브층의 구성을 순서대로 살펴보면, 가장 위에 제 2 소오스 전극(120)의 평탄부가 위치하며, 제 2 액티브층(115B), 제 2 게이트 전극(113)이 위치하며, 상기 제 2 소오스 전극(120)이 수직 방향에서 제 2 액티브층(115B)를 관통한다.

- [0085] 이와 같이, 스위칭 박막 트랜지스터(Tsw)의 제 2 소오스 전극(120)과 구동 박막 트랜지스터(Tdr)의 제 1 게이트 전극(113)은 수직적으로 접촉되어, 종래 수평적으로 접촉되는 구조 대비 구성의 집적화가 가능하며 작은 면적에 회로 구성을 수용하는 고해상도에 유리하다.
- [0086] 또한, 상기 제 1 게이트 전극(113)의 하측에, 상기 제 1 게이트 전극(113)과 중첩되는 제 1 스토리지 전극(111)이 포함되는데, 이 경우, 상기 중첩하는 제 1 게이트 전극(113)과 제 1 스토리지 전극(111)은 그 사이에 제 1 층간 절연막(112)과 함께 스토리지 캐패시터를 이룬다.
- [0087] 한편, 상술한 구성에서 설명하지 않은 구성 요소들로 절연막들이 있는데, 아래에서부터 설명하면 다음과 같다.
- [0088] 기판(100) 상에 버퍼층(110)이 위치하며, 상기 버퍼층(110) 위에 있는 제 1 스토리지 전극(111)을 덮으며, 제 1 층간 절연막(112)이 위치하고, 상기 제 1 층간 절연막(112) 상에 상기 제 1 스토리지 전극(111)과 중첩하는 제 1 게이트 전극(113)이 위치하고, 상기 제 1 게이트 전극(113)을 덮으며, 제 1 게이트 절연막(114)이 위치하고, 상기 제 1 게이트 절연막(114) 상에 서로 이격하는 제 1 액티브층(115A) 및 제 2 액티브층(115B)이 위치하고, 상기 제 1, 제 2 액티브층(115A, 115B)을 덮으며, 제 2 게이트 절연막(116)이 위치하고, 상기 제 2 액티브층(115B)와 일부 중첩하는 제 2 게이트 전극(117)이 상기 제 2 게이트 절연막(116) 상에 위치하며, 상기 제 2 게이트 전극(117)을 덮으며, 제 2 층간 절연막(118)이 위치하고, 연속하여, 제 3 층간 절연막(119)이 위치하며, 상기 제 3 층간 절연막(119), 제 2 층간 절연막(118), 제 2 게이트 절연막(116), 제 2 액티브층(115B) 및 제 1 게이트 절연막(114)이 소정 직경 제거되어 제 1 콘택홀(제 2 소오스 전극 형성 부위 참조)이 구비되며, 노출된 제 1 게이트 전극(113)과 접촉되는 제 2 소오스 전극(120) 및 동일 층이 소정 직경 제거되어 제 2 콘택홀(제 2 드레인 전극 형성 부위)이 형성되어, 제 2 액티브층(115B)의 타측에서 관통하여 접촉하는 제 2 드레인 전극(121)을 구비한다.
- [0089] 여기서, 제 1, 제 2 콘택홀들은 상기 제 2 액티브층(115B)의 양단을 과식각하여 그 하측의 제 1 게이트 전극(113)이 노출될 정도로 식각하여 형성하며, 이 경우, 제 2 드레인 전극(121) 부위의 제 2 액티브층(115B)의 하측에는 금속이 없어, 제 1 게이트 절연막(114)만이 식각될 수 있다.
- [0090] 경우에 따라, 제 2 드레인 전극(121)은 제 2 소오스 전극(120)과 층상 구조를 달리할 수 있는데, 이 경우에는 상기 제 2 드레인 전극(121)은 상기 제 2 액티브층(115B)의 상단과 접촉하는 구조를 가질 수 있다. 그러나, 이 경우에는 제 2 소오스 전극(120)과 제 2 드레인 전극(121)을 위한 마스크를 달리 적용하여야 하므로 상술한 예에 비해 마스크는 더 소요될 수 있다.
- [0091] 한편, 상기 제 1, 제 2 액티브층(115A, 115B)은 폴리 실리콘으로 이루어질 수 있다. 이는 집적화된 서브 픽셀의 구성에서, 각 액티브층의 높은 이동도를 통해 고속 구동을 가능하게 하기 위함이다.
- [0092] 이러한 본 발명의 제 1 실시예에 따른 백플레인 기판의 제조 방법을 후술한다.
- [0093] 본 발명의 제 1 실시예에 따른 백플레인 기판은 오프셋 영역(OFA)을 구동 박막 트랜지스터(Tdr)에 구비하여, S-Factor 상승에 따른 계조 표현을 다변화하고, 스위칭 박막 트랜지스터와 구동 박막 트랜지스터(Tdr)간의 접촉을 수직으로 하여, 서브 픽셀 내 회로 집적화가 용이하여 고해상도에 유리한 이점이 있다.
- [0094] 도 4는 본 발명의 제 2 실시예에 따른 백플레인 기판을 나타낸 단면도이다.
- [0095] 도 4와 같이, 본 발명의 제 2 실시예에 따른 백플레인 기판은, 상술한 제 1 실시예와 비교하여, 제 1 액티브층(115A)의 제 1 도핑 영역(115b)을 정의하기 위해 구비되는 제 1 게이트 보조 전극(127)을 남겨둔 구조로, 상술한 제 1 실시예에서 설명한 고집적화와, 오프셋 영역(OFA) 구비에 따른 구동 박막 트랜지스터(Tdr)의 계조 표현의 다변화가 가능한 동일한 이점이 있다.
- [0096] 더불어, 제 1 게이트 보조 전극(127)을 구비함에 따라 상기 제 1 게이트 전극(113)과 제 1 게이트 보조 전극(127)간의 전기적 신호를 공유하여 상기 구동 박막 트랜지스터(Tdr)의 효율을 향상시킬 수 있다. 또한, 공정 상 상기 제 1 게이트 보조 전극(127)을 제거하는 별도 공정이 요구되지 않아 제 1 실시예 대비 마스크 수 감소의

이점이 있다.

- [0097] 한편, 상술한 제 1 실시예와 동일 부분에 대해서는 설명을 생략한다.
- [0098] 도 5는 본 발명의 제 3 실시예에 따른 백플레인 기판을 나타낸 단면도이다.
- [0099] 도 5와 같이, 본 발명의 제 3 실시예에 따른 백플레인 기판은 구동 박막 트랜지스터(Tdr)는 제 1 게이트 전극(213), 제 1 액티브층(215A)과, 상기 제 1 액티브층(215A)의 양측에 접속된 제 1 소오스 전극(도 2의 DS 참조) 및 제 1 드레인 전극(도 2의 DD 참조)과, 상기 제 1 액티브층(215A)과 상기 제 1 게이트 전극(213)의 층간에 제 1 게이트 절연막(214)을 포함한다.
- [0100] 그리고, 스위칭 박막 트랜지스터(Tsw)는, 제 2 게이트 전극(217), 제 2 액티브층(215B)과, 상기 제 2 액티브층(215B)의 양측에 접속된 제 2 소오스 전극(223, 도 2의 SS 참조) 및 제 2 드레인 전극(221, 도 2의 SD 참조)과, 상기 제 2 액티브층(215B)과 상기 제 2 게이트 전극(217)의 층간에 제 2 게이트 절연막(216)을 포함한다.
- [0101] 즉, 상기 구동 박막 트랜지스터(Tdr)과 스위칭 박막 트랜지스터(Tsw)는 동일한 층에 제 1, 제 2 액티브층(215A, 215B)를 구비하며, 다른 층에 제 1, 제 2 게이트 전극(213, 217)을 구비한다. 보다 구체적으로 상기 제 1 게이트 전극(213)은 제 1 액티브층(215A)보다 하측에 위치하며, 제 2 게이트 전극(217)은 제 2 액티브층(215B)보다 상측에 구비한다. 이에 따라 제 1 액티브층(215A) 하측에 구비된 제 1 게이트 전극(213)은 연장되어 제 2 액티브층(215B)에 일부 중첩할 수 있으며, 제 2 액티브층(215B)과 중첩된 부위로 제 2 소오스 전극(223)이 내려와 접속된다. 이 경우, 상기 제 2 소오스 전극(223)은 제 2 액티브층(215B)를 관통하며, 상기 제 2 액티브층(215B)의 하측의 제 1 게이트 전극(213) 상부에 접속된다.
- [0102] 한편, 상기 제 1 액티브층(215A)은 평면적으로 상기 제 1 게이트 전극(213)의 에지에서 일정 폭 돌출되는 오프셋 영역(OFA)과, 상기 오프셋 영역(OFA)과 접하며 상기 제 1 게이트 전극(213)의 에지에서 이격된 제 1 도핑 영역(215b)을 가지며, 이를 통해 구동 박막 트랜지스터(Tdr)의 $V_{ds}-I_{ds}$ 의 그래프에서 턴온 시간을 늘려, 계조 표현을 다변화할 수 있다.
- [0103] 더불어, 본 발명의 제 3 실시예에 있어서는, 도 5와 같이, 제 1 게이트 전극(213)의 하측에서 제 1 게이트 전극(213)과 중첩하는 제 1 스토리지 전극(211)을 구비하고, 또한, 상기 제 1 게이트 전극(213)과 접속되는 상기 제 2 소오스 전극(223)은 상기 제 2 드레인 전극(221)과 다른 층에 평탄부를 가질 수 있다.
- [0104] 그리고, 상기 제 2 소오스 전극(223)의 평탄부와 상기 제 1 게이트 전극(213) 사이의 제 1 콘택홀(CT1)은, 상기 제 2 드레인 전극(221)의 상부면과 상기 제 2 액티브층(221)간의 제 2 콘택홀(CT2)보다 긴 깊이를 가질 수 있다. 이는 상기 제 2 소오스 전극(223)의 평탄부가 상기 제 2 드레인 전극(221)의 평탄부와 다른 층상에 위치하며, 또한, 제 1 콘택홀(CT1)이 제 2 액티브층(215B) 및 제 1 게이트 절연막(214)이 노출되도록 보다 과식각되기 때문이다.
- [0105] 또한, 상기 제 1 스토리지 전극(211)과 수직으로 접속하며 상기 제 2 소오스 전극(223)의 평탄부와 중첩하는 제 1 스토리지 보조 전극(225)을 더 포함하여, 중첩 영역을 크게 하여 스토리지 캐패시턴스를 향상할 수 있다.
- [0106] 또한, 구동 박막 트랜지스터(Tdr)과 스위칭 박막 트랜지스터(Tsw)과의 수직적 접속으로, 그 영역을 공유시켜 서브 픽셀 내 회로의 구성을 집적화할 수 있으며, 이로써 집적화에 용이하다.
- [0107] 한편, 상술한 구성에서 설명하지 않은 구성 요소들로 절연막들이 있는데, 아래에서부터 설명하면 다음과 같다.
- [0108] 기판(200) 상에 버퍼층(210)이 위치하며, 상기 버퍼층(210) 위에 있는 제 1 스토리지 전극(211)을 덮으며, 제 1 층간 절연막(212)이 위치하고, 상기 제 1 층간 절연막(212) 상에 상기 제 1 스토리지 전극(211)과 중첩하는 제 1 게이트 전극(213)이 위치하고, 상기 제 1 게이트 전극(213)을 덮으며, 제 1 게이트 절연막(214)이 위치하고, 상기 제 1 게이트 절연막(214) 상에 서로 이격하는 제 1 액티브층(215A) 및 제 2 액티브층(215B)이 위치하고, 상기 제 1, 제 2 액티브층(215A, 215B)을 덮으며, 제 2 게이트 절연막(216)이 위치하고, 상기 제 2 액티브층(215B)와 일부 중첩하는 제 2 게이트 전극(217)이 상기 제 2 게이트 절연막(216) 상에 위치하며, 상기 제 2 게이트 전극(217)을 덮으며, 제 2 층간 절연막(219)이 위치하고, 연속하여, 제 3 층간 절연막(220)이 위치하며, 상기 제 3 층간 절연막(220), 제 2 층간 절연막(219), 제 2 게이트 절연막(216), 제 2 액티브층(215B) 및 제 1 게이트 절연막(214)이 소정 직경 제거되어 제 1 콘택홀(도 5의 CT1 참조)이 구비되며, 노출된 제 1 게이트 전극(213)과 접속되는 제 2 소오스 전극(223)을 구성하고, 상기 제 3 층간 절연막(220), 제 2 층간 절연막(219) 및 제 2 게이트 절연막(216)이 제거되어 노출된 제 2 액티브층(215B)의 제 2 도핑 영역(215d)과 접속되는 제 2 드

레인 전극(221)을 형성한다.

- [0109] 여기서, 상기 제 2 소오스 전극(223)의 평탄부는 상기 제 2 드레인 전극(221)의 평탄부와는 층간에 제 3 층간 절연막(222)을 구비하며, 제 1 스토리지 보조 전극(225)의 평탄부는 상기 제 2 소오스 전극(223)의 평탄부와는 층간에 제 4 층간 절연막(224)이 구비되어 있다.
- [0110] 이러한 제 3 및 제 4 실시예의 구조는 상술한 제 1, 제 2 실시예 대비 스토리지 캐패시턴스를 보다 향상시킬 수 있으며, 고집적화하여 서브 픽셀의 면적이 작을 때에도 충분한 스토리지 캐패시턴스를 확보할 수 있다.
- [0111] 한편, 상기 제 1, 제 2 액티브층(215A, 215B)은 폴리 실리콘으로 이루어질 수 있다. 이는 집적화된 서브 픽셀의 구성에서, 각 액티브층의 높은 이동도를 통해 고속 구동을 가능하게 하기 위함이다. 그리고, 제 1 액티브층(315A)은 제 2 액티브층(215B)에 비해 오프셋 영역(OFA)을 구비하여 구동 박막 트랜지스터에서 고계조 표현이 가능하다.
- [0112] 도 6은 본 발명의 제 4 실시예에 따른 백플레인 기판을 나타낸 단면도이다.
- [0113] 도 6은 상술한 도 3 실시예의 백플레인 기판과 비교하여, 상기 제 1 액티브층(215A) 상에 제 1 액티브층(215A)의 제 1 도핑 영역(215b)을 정의하기 위한 마스크로 이용한 제 1 게이트 보조 전극(227)을 더 구비한 것이다.
- [0114] 나머지 구성은 도 5와 동일하므로 동일 구성에 대해서는 설명을 생략한다.
- [0115] 상술한 구조에서 또한, 구동 트랜지스터(Tdr)는 오프셋 영역을 구비한 바텀 게이트 형상으로 하고, 스위칭 트랜지스터(Tsw)는 탑 게이트 형상을 갖는 것으로, 각각 그 구성 및 동작 특성을 상이하게 하여, 구동 트랜지스터는 초고해상도 구조에서도 고계조 표현이 가능하며 스위칭 트랜지스터는 우수한 이동도의 회로 특성을 갖게 할 수 있다.
- [0116] 한편, 이하에서는 도면을 참조하여 본 발명의 백플레인 기판의 제조 방법을 설명한다.
- [0117] 도 7a 내지 도 7e는 본 발명의 제 1 실시예에 따른 백플레인 기판의 제조 방법을 나타낸 공정 단면도 단면도이다.
- [0118] 하기 후술되는 공정은 단일 서브 픽셀에서 이루어지는 것으로, 복수개의 서브 픽셀에서 동일 제조 방법을 통해 동일 구조가 반복될 수 있다.
- [0119] 먼저, 복수개의 서브 픽셀을 갖는 기판(도 7a의 100 참조)을 준비한다.
- [0120] 이어, 상기 각 서브 픽셀에, 도 7a와 같이, 기판(100) 상에 버퍼층(110)을 전면 형성하고, 이어, 버퍼층(110)의 소정 부위에 제 1 스토리지 전극(111)을 형성한다.
- [0121] 이어, 상기 제 1 스토리지 전극(111)을 덮는 제 1 층간 절연막(112)을 형성한다.
- [0122] 이어, 상기 제 1 층간 절연막(112) 상에 제 1 게이트 전극(113)을 형성한다.
- [0123] 이어, 도 7b와 같이, 상기 제 1 게이트 전극(113)을 덮는 제 1 게이트 절연막(114)을 형성한다.
- [0124] 이어, 상기 제 1 게이트 절연막(114) 상에, 비정질 실리콘을 증착하고, 탈수소 후 레이저 조사를 통한 결정화를 진행하여 폴리 실리콘화한다. 이어, 상기 폴리 실리콘을 패터닝하여, 서로 이격하는 제 1, 제 2 액티브층(115A, 115B)을 구비한다. 여기서, 형성된 제 2 액티브층(115B)은 상기 제 1 게이트 전극(113)에 일부 증착된다.
- [0125] 이어, 도 7c와 같이, 상기 제 1, 제 2 액티브층(115A, 115B)을 덮는 제 2 게이트 절연막(116)을 구비한다.
- [0126] 이어, 상기 제 2 게이트 절연막(116) 상에, 상기 제 2 액티브층(115B)과 증첩하는 제 2 게이트 전극(117) 및 상기 제 1 액티브층과 증첩하며 상기 제 1 게이트 전극(113)보다 돌출된 제 1 게이트 보조 전극(127)을 구비한다.
- [0127] 이어, 도 7d와 같이, 상기 제 2 게이트 전극(117) 및 제 1 게이트 보조 전극(127)을 마스크로 이용하여 p형 불순물을 도핑하여 상기 제 1 액티브층(115A)에 제 1 도핑 영역(115b)과, 제 2 액티브층(115B)에 제 2 도핑 영역(115d)을 구비한다.
- [0128] 여기서, 도핑되지 않은 부분은 진성 영역이며, 특히, 제 2 도핑 영역(115d) 안쪽의 상기 제 2 게이트 전극(117)과 증첩된 제 2 액티브층(115B)의 영역은 제 2 채널(115c)이며, 상기 제 1 게이트 전극(113)과 증첩되는 상기 제 1 액티브층(115A)의 영역의 제 1 채널(115a)이다. 그리고, 진성 영역 중 상기 제 1 채널(115a)과 바로 접하며 상기 제 1 도핑 영역(115A) 사이에 있는 영역은 오프셋 영역(OFA)으로, 이는 구동 박막 트랜지스터(Tdr)의

최종 형성 후 S-Factor를 늘리는 요인으로 계조 표현 다변화를 위한 수단이다.

- [0129] 이어, 도 7e와 같이, 상기 제 1 게이트 보조 전극(127)을 선택적으로 제거한다.
- [0130] 이어, 상기 제 2 게이트 전극(117)을 덮는 제 2 층간 절연막(118) 및 제 3 층간 절연막(119)을 연속으로 증착하여 형성하며, 상기 제 3 층간 절연막(119), 제 2 층간 절연막(118), 제 2 게이트 절연막(116), 상기 제 1, 제 2 액티브층(115A, 115B) 및 제 1 게이트 절연막(114)을 선택적으로 제거하여 상기 제 1, 제 2 액티브층(115A, 115B)을 관통하는 콘택홀(도 7e에서는 제 2 액티브층의 양단을 노출하는 제 1, 제 2 콘택홀(CT1, CT2)만이 도시됨, 제 3, 제 4 콘택홀은 도 10 참조)을 형성한다. 상대적으로 제 2 액티브층(115B)의 영역 중 하측에 제 1 게이트 전극(113)이 구비된 영역에서는 상기 제 1 게이트 전극(113)이 노출될 정도로 식각하여 제 1 콘택홀(CT1)을 구비하며, 동일 공정에서 형성시 제 2 액티브층(115B)의 타측에서도 동일 또는 유사 깊이로 콘택홀(CT2)을 형성한다.
- [0131] 이어, 상기 제 1 액티브층(115A)의 양측과 각각 관통하여 사이드 접촉하는 제 1 소오스 전극(도 2의 DS 참조) 및 제 1 드레인 전극(도 2의 DD 참조) 및 제 2 액티브층(115B)의 양측과 각각 관통하여 사이드 접촉하는 제 2 소오스 전극(120) 및 제 2 드레인 전극(121)을 형성한다. 여기서, 상기 제 2 소오스 전극(120)은 제 1 게이트 전극(113)과 접촉된다.
- [0132] 도 8a 내지 도 8e는 본 발명의 제 2 실시예에 따른 백플레인 기판의 제조 방법을 나타낸 공정 단면도이다.
- [0133] 본 발명의 제 2 실시예에 따른 백플레인 기판의 제조 방법에 있어서, 도 8a 내지 도 8d의 공정은 상술한 제 1 실시예 제조 방법과 동일하므로 그 설명은 생략한다.
- [0134] 여기서, 본 발명의 제 2 실시예에 따른 백플레인 기판의 제조 방법에서는 제 1, 제 2 도핑 영역(115b, 115d)을 정의한 후, 도핑 마스크로 이용된 제 1 게이트 보조 전극(227)을 제거하지 않고 남겨둔 것이다.
- [0135] 이어, 진행하는 도 8e의 공정은 콘택홀과 제 1 소오스 전극(도 2의 DS 참조), 제 1 드레인 전극(도 2의 DD), 제 2 소오스 전극(120) 및 제 2 드레인 전극(121)을 형성하는 것으로, 이러한 공정은 상술한 제 1 실시예에서 설명한 바와 동일하므로 설명을 생략한다.
- [0136] 도 9a 내지 도 9f는 본 발명의 제 3 실시예에 따른 백플레인 기판의 제조 방법을 나타낸 공정 단면도이다.
- [0137] 먼저, 복수개의 서브 픽셀을 갖는 기판(도 7a의 100 참조)을 준비한다.
- [0138] 이어, 상기 각 서브 픽셀에, 도 9a와 같이, 기판(200) 상에 버퍼층(210)을 전면 형성하고, 이어, 버퍼층(210)의 소정 부위에 제 1 스토리지 전극(211)을 형성한다.
- [0139] 이어, 상기 제 1 스토리지 전극(211)을 덮는 제 1 층간 절연막(212)을 형성한다.
- [0140] 이어, 상기 제 1 층간 절연막(212) 상에 제 1 게이트 전극(213)을 형성한다.
- [0141] 이어, 도 9b와 같이, 상기 제 1 게이트 전극(213)을 덮는 제 1 게이트 절연막(214)을 형성한다.
- [0142] 이어, 상기 제 1 게이트 절연막(214) 상에, 서로 이격하는 제 1, 제 2 액티브층(215A, 215B)을 구비한다. 여기서, 형성된 제 2 액티브층(215B)은 상기 제 1 게이트 전극(213)에 일부 중첩된다.
- [0143] 이어, 도 9c와 같이, 상기 제 1, 제 2 액티브층(215A, 215B)을 덮는 제 2 게이트 절연막(216)을 구비한다.
- [0144] 이어, 상기 제 2 게이트 절연막(216) 상에, 상기 제 2 액티브층(215B)과 중첩하는 제 2 게이트 전극(217) 및 상기 제 1 액티브층(215A)과 중첩하며 상기 제 1 게이트 전극(213)보다 돌출된 제 1 게이트 보조 전극(227)을 구비한다.
- [0145] 이어, 도 9d와 같이, 상기 제 2 게이트 전극(217) 및 제 1 게이트 보조 전극(227)을 마스크로 이용하여 p형 불순물을 도핑하여 상기 제 1 액티브층(215A)에 제 1 도핑 영역(215b)과, 제 2 액티브층(215B)에 제 2 도핑 영역(215d)을 구비한다.
- [0146] 여기서, 도핑되지 않은 부분은 진성 영역이며, 특히, 제 2 도핑 영역(215d) 안쪽의 상기 제 2 게이트 전극(217)과 중첩된 제 2 액티브층(215B)의 영역은 제 2 채널(215c)이며, 상기 제 1 게이트 전극(213)과 중첩되는 상기 제 1 액티브층(215A)의 영역의 제 1 채널(215a)이다. 그리고, 진성 영역 중 상기 제 1 채널(215a)과 바로 접하며 상기 제 1 도핑 영역(215A) 사이에 있는 영역은 오프셋 영역(OFA)으로, 이는 구동 박막 트랜지스터(Tdr)의 최종 형성 후 S-Factor를 늘리는 요인으로 계조 표현 다변화를 위한 수단이다.

- [0147] 이어, 도 9e와 같이, 상기 제 1 게이트 보조 전극(127)을 선택적으로 제거한다.
- [0148] 이어, 상기 제 2 게이트 전극(217)을 덮는 제 2 층간 절연막(219) 및 제 3 층간 절연막(220)을 연속으로 증착하여 형성하며, 상기 제 3 층간 절연막(119), 제 2 층간 절연막(118), 제 2 게이트 절연막(116)까지 제거하여 상기 제 2 액티브층(115B)의 제 2 도핑 영역(215d) 중 일부를 노출시켜 제 2 콘택홀(CT2)을 형성한다.
- [0149] 이어, 상기 제 2 콘택홀(CT2)을 통해 상기 제 2 액티브층(15B)의 제 2 도핑 영역(215d)과 접속되는 제 2 드레인 전극(221)을 형성한다. 여기서, 상기 제 2 드레인 전극(221)의 평탄부는 상기 제 3 층간 절연막(220) 상에 위치한다.
- [0150] 이어, 도 9f와 같이, 상기 제 2 드레인 전극(221)을 포함한 상기 제 3 층간 절연막(220) 상에 제 4 층간 절연막(222)을 증착하고, 상기 제 4 층간 절연막, 제 3 층간 절연막(220), 제 2 층간 절연막(219), 제 2 게이트 절연막(216), 제 2 액티브층(215B)의 제 2 도핑 영역(215d)의 소정 부위 및 제 1 게이트 절연막(214)을 선택적으로 제거하여 제 1 콘택홀(CT1)을 형성한다.
- [0151] 이어, 상기 제 1 콘택홀(CT1)을 통해 상기 제 1 게이트 전극(211)과 접속되는 제 2 소오스 전극(223)을 형성한다.
- [0152] 여기서, 상기 제 2 소오스 전극(223)의 평탄부는 상기 제 4 층간 절연막(222) 상에 위치하며, 이는 제 1 게이트 전극(213)과 유사한 면적을 가질 수 있다.
- [0153] 그리고, 상기 제 2 소오스 전극(223)의 평탄부를 포함한 제 4 층간 절연막(222) 상에 제 5 층간 절연막(224)을 형성한 후, 상기 제 5 층간 절연막(224), 상기 제 4 층간 절연막(222), 제 3 층간 절연막(220), 제 2 층간 절연막(219), 제 2 게이트 절연막(216), 제 2 액티브층(215B)의 제 2 도핑 영역(215d)의 소정 부위, 제 1 게이트 절연막(214) 및 제 1 층간 절연막(212)을 선택적으로 제거하여 스토리지 접속홀을 형성한다.
- [0154] 이어, 상기 스토리지 접속홀을 통해 상기 제 1 스토리지 전극(211)과 접속되며, 상기 제 5 층간 절연막(224) 상에는 상기 제 2 소오스 전극(223)의 평탄부와 부분적으로 중첩되는 스토리지 접속 전극(225)을 형성한다.
- [0155] 상기 스토리지 접속 전극(225)은 상기 구동 박막 트랜지스터(Tdr)의 제 1 소오스 전극 또는 제 1 드레인 전극으로 기능할 수 있다.
- [0156] 한편, 상술한 제 3 실시예에 따른 백플레인 기관의 제조 방법에 있어서 제 4 실시예에서 설명한 바와 같이, 제 1 게이트 보조 전극(227)을 제거하지 않고 유지할 수 있다.
- [0157] 이하, 상술한 본 발명의 백플레인 기관의 구성을 포함한 유기 발광 표시 장치를 설명한다.
- [0158] 도 10은 본 발명의 유기 발광 표시 장치를 나타낸 단면도이다.
- [0159] 도 10은 구동 박막 트랜지스터(Tdr)와 유기 발광 다이오드(OLED)가 접속된 부분만을 선택적으로 나타낸 단면도이며, 앞서 상술한 여러 가지 실시예 중 어느 하나의 백플레인 기관의 구성을 상기 유기 발광 다이오드 하층에 구비할 수 있다. 도면은 상술한 제 1 실시예에 따른 백플레인 기관을 하층 구성으로 도시하였지만, 이에 한하지 않으며, 제 2 내지 제 4 실시예로도 백플레인 기관의 형태를 변경할 수 있다.
- [0160] 즉, 상술한 백플레인 기관의 구동 박막 트랜지스터(Tdr)의 제 1 소오스 전극(122) 및 제 1 드레인 전극(123) 상에 보호막(125)을 구비하고, 상기 보호막(125)을 선택적으로 제거하여 상기 제 1 소오스 전극(122)을 일부 노출시키는 콘택홀을 구비하고, 상기 콘택홀을 통해 제 1 소오스 전극(122)과 접속되는 제 1 전극(231)과, 비발광부를 가리는 बैं크(250)와, 상기 제 1 전극(231) 상에 차례로 형성되는 유기 발광층을 포함한 유기층(232)과 제 2 전극(240)이 형성된다.
- [0161] 여기서, 제 1 전극(231), 유기 발광층을 포함한 유기층(232) 및 제 2 전극(240)을 포함하여 유기 발광 다이오드(OLED)라 한다.
- [0162] 이러한 본 발명의 유기 발광 표시 장치는 도 3 내지 도 6 중 또는 도 10과 같이, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 스택 구조를 달리하여, 각 박막 트랜지스터의 채널과 게이트 전극과의 중첩부를 조절함으로써, 선택적으로 구동 박막 트랜지스터에 오프셋 영역을 구비한다. 이로써, 계조 표현에 직접적인 영향을 주는 구동 박막 트랜지스터의 S-Factor를 크게 하여, 충분한 계조 표현을 수행할 수 있다.
- [0163] 그리고, 구동 박막 트랜지스터 외의 스위칭 박막 트랜지스터 등 기타 박막 트랜지스터는 구동 박막 트랜지스터와 달리 충분한 이동도 및 높은 반응 속도를 갖도록 하여, 고해상도 혹은 초고해상도 구조에서 충분히 고성능의

회로 동작을 수행할 수 있다.

[0164] 또한, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터의 연결부를 평면적인 연결이 아닌 수직적인 접속 구조로 하여, 구동 박막 트랜지스터와 스위칭 박막 트랜지스터가 평면적으로 중첩 부위를 갖도록 함으로써, 장치의 집적화가 가능하여, 초고해상도에 유리하다.

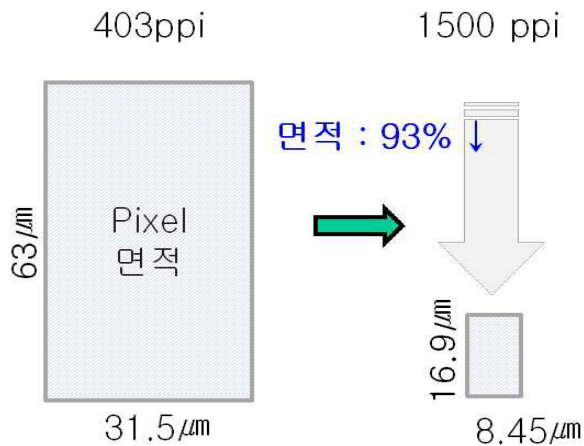
[0165] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

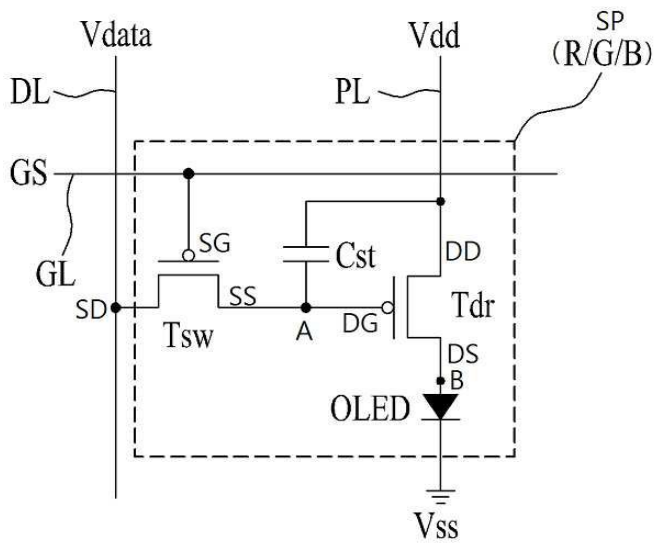
- | | | |
|--------|--------------------|------------------|
| [0166] | 100: 기판 | 110: 버퍼층 |
| | 111: 제 1 스토리지 전극 | 113: 제 1 게이트 전극 |
| | OFA: 오프셋 영역 | 114: 제 1 게이트 절연막 |
| | 115A: 제 1 액티브층 | 115B: 제 2 액티브층 |
| | 116: 제 2 게이트 절연막 | 117: 제 2 게이트 전극 |
| | 118: 제 2 층간 절연막 | 119: 제 3 층간 절연막 |
| | 120: 제 2 소오스 전극 | 121: 제 2 드레인 전극 |
| | 127: 제 1 보조 게이트 전극 | 231: 제 1 전극 |
| | 250: बैं크 | 232: 유기층 |
| | 240: 제 2 전극 | |

도면

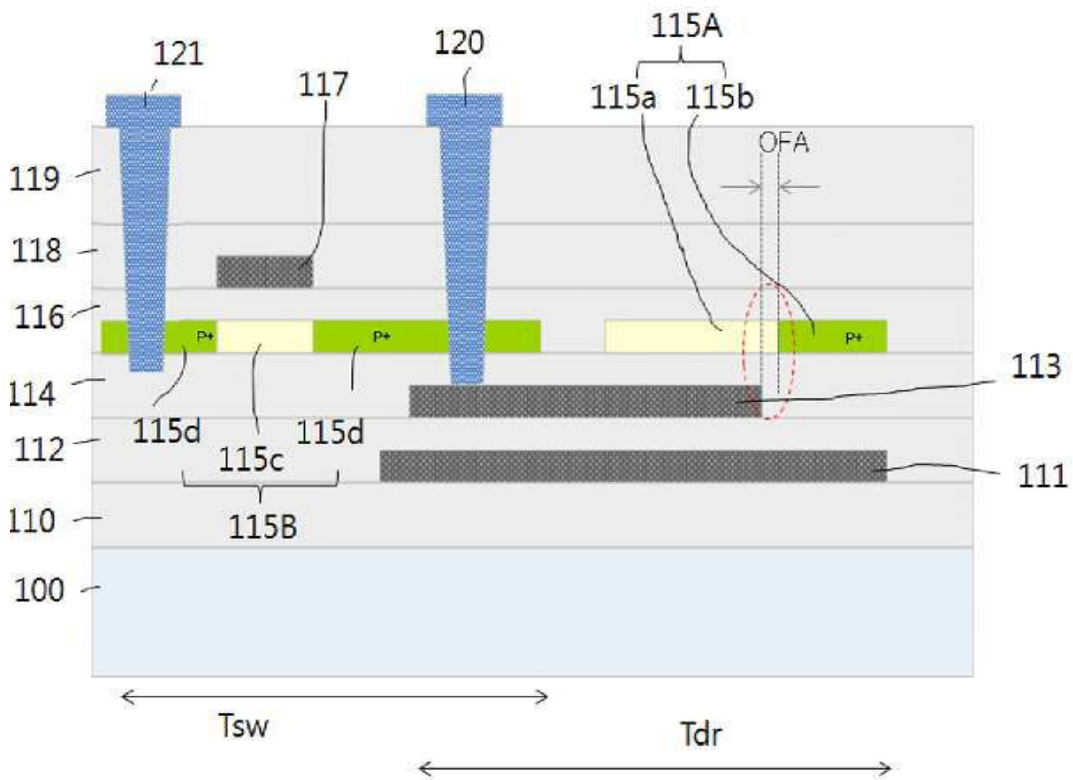
도면1



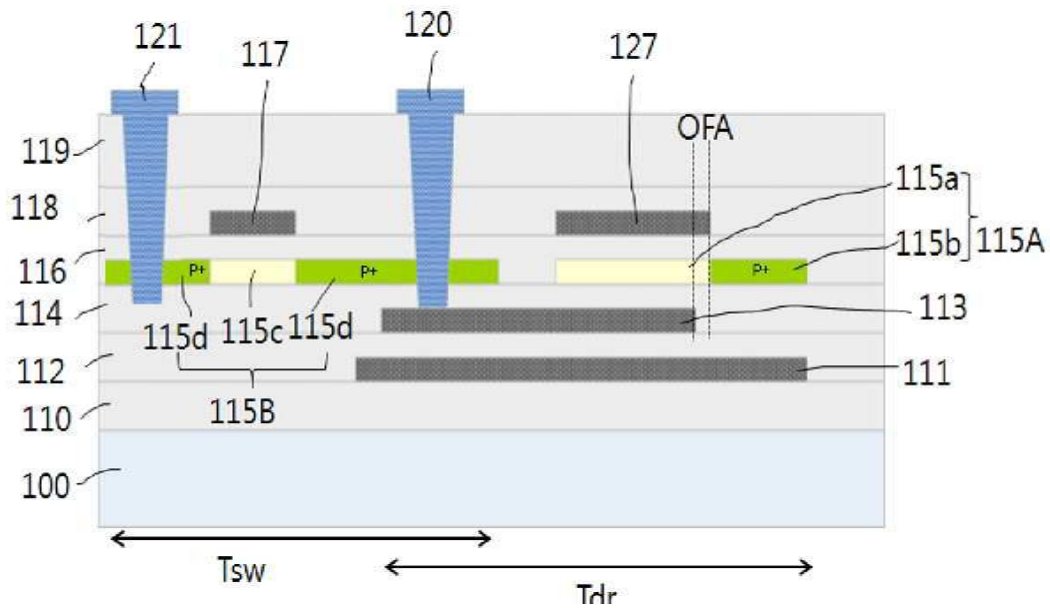
도면2



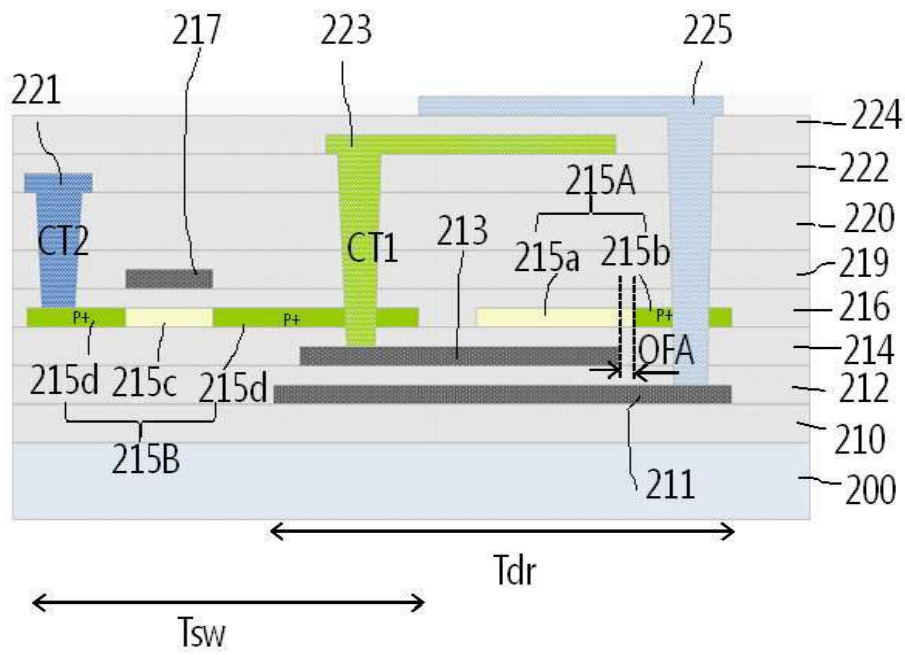
도면3



도면4



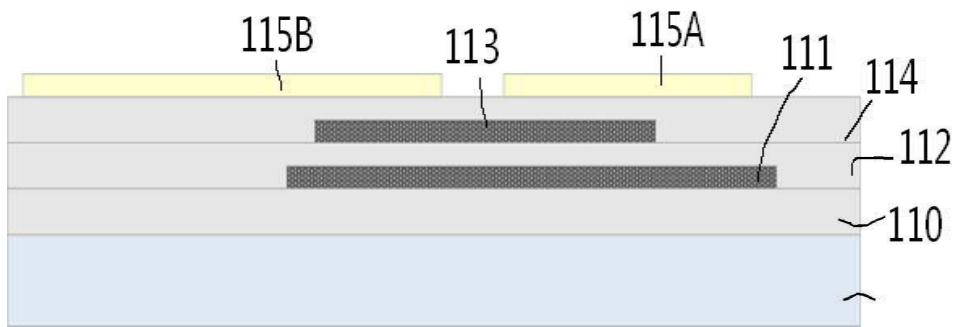
도면5



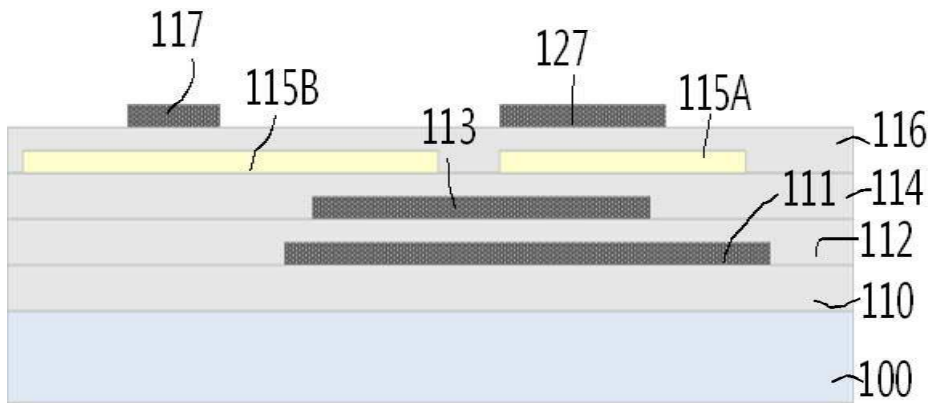
도면8a



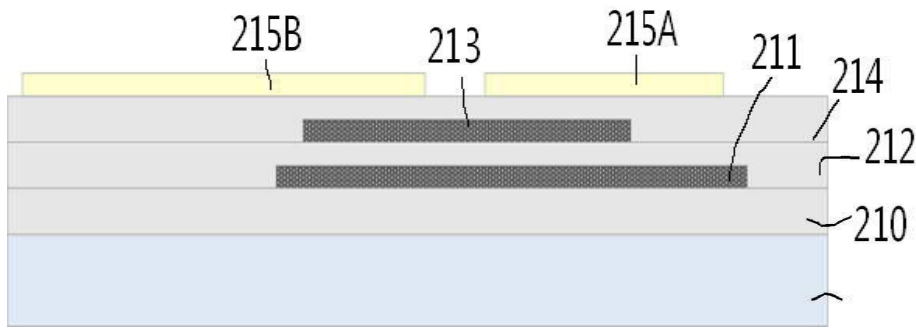
도면8b



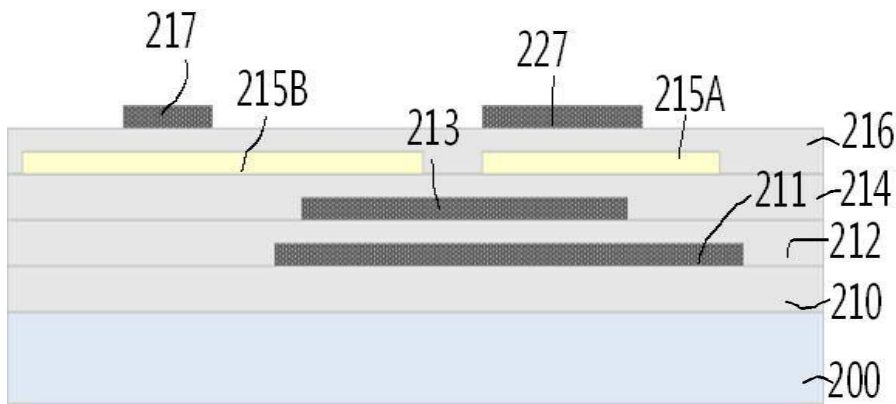
도면8c



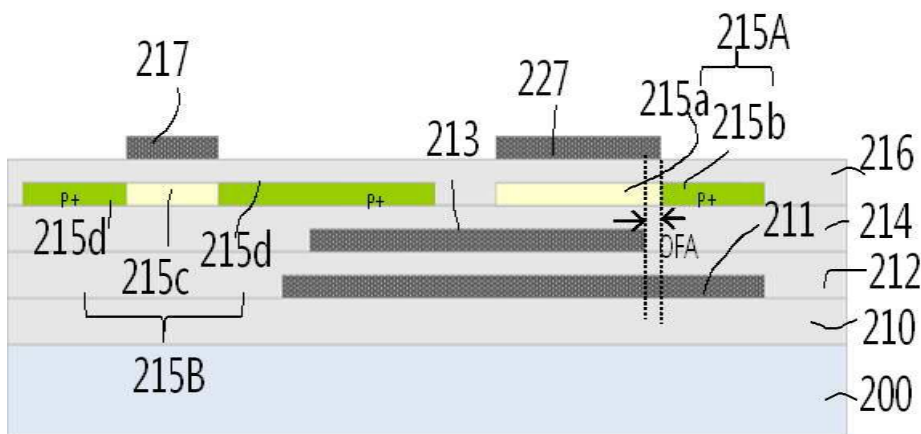
도면9b



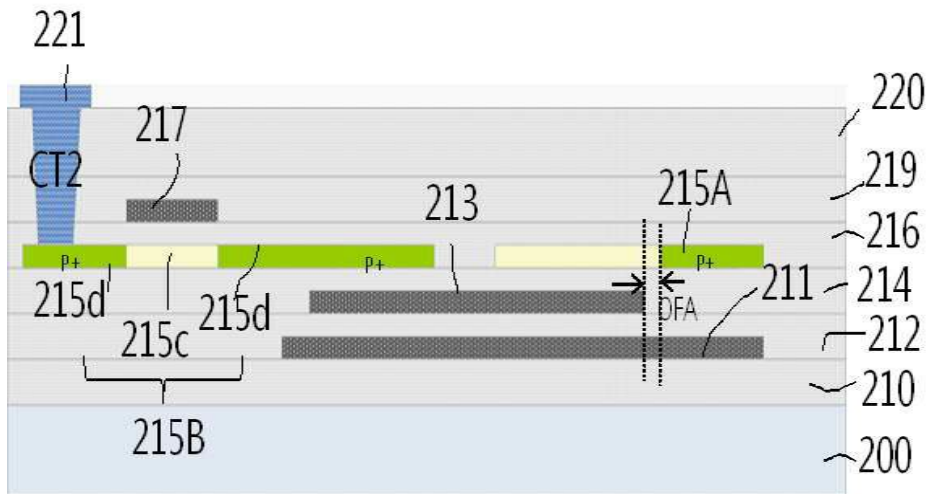
도면9c



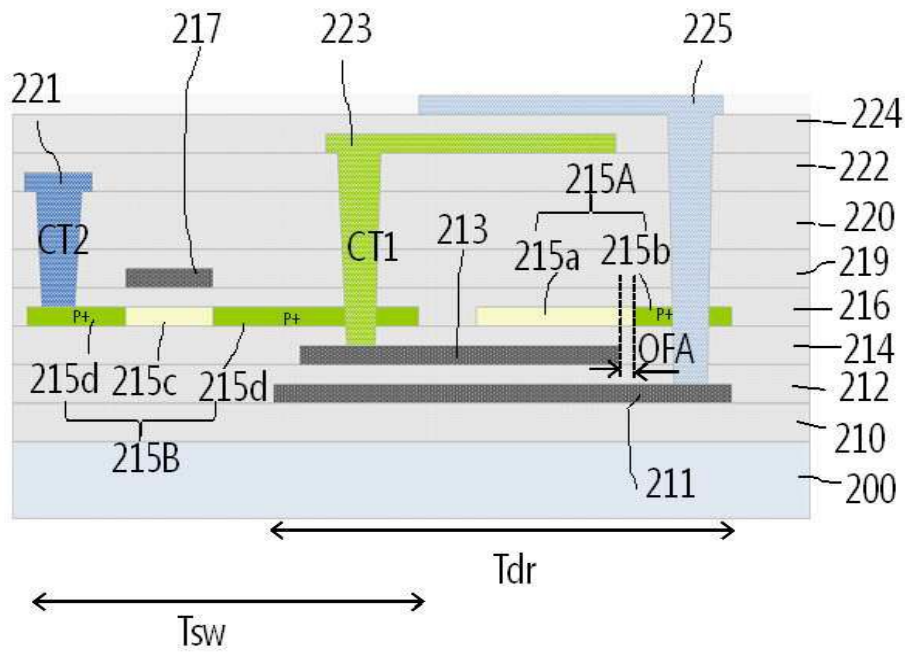
도면9d



도면9e



도면9f



도면10

