



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0062585
(43) 공개일자 2018년06월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/043 (2013.01)

(21) 출원번호 10-2016-0162367
(22) 출원일자 2016년11월30일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

송장훈

경기도 의정부시 시민로 49 517호 (가능동, 신동아 파라디움)

정석희

대구광역시 달서구 장기로 145 208동 1205호 (본리동, 성당래미안e-편한세상2단지아파트)

(74) 대리인

특허법인로얄

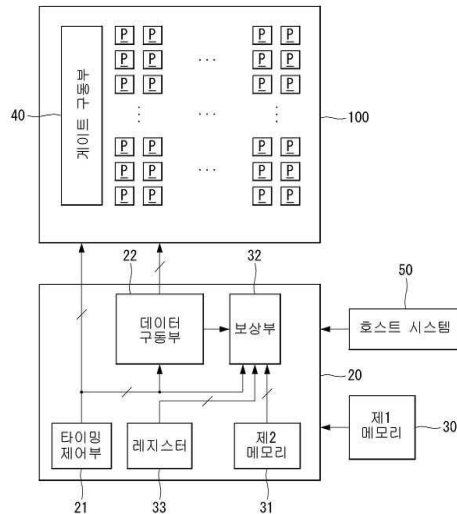
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 실시간 보상 회로와 그를 포함한 전계 발광 표시장치

(57) 요약

본 발명은 실시간 보상 회로와 그를 포함한 전계 발광 표시장치에 관한 것으로, 이 실시간 보상 회로는 M x N(M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리; 상기 제1 메모리로부터 상기 다수의 픽셀 블록별 보상값을 수신하는 제2 메모리; 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하는 보상부; 및 상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비한다. 상기 픽셀 블록별 보상값은 적어도 하나의 컬러에서 상기 픽셀 블록 내의 각 픽셀들에 일괄 적용된다.

대표도 - 도3



(52) CPC특허분류

G09G 2300/0452 (2013.01)

G09G 2300/0819 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

M x N(M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리;

상기 제1 메모리로부터 상기 다수의 픽셀 블록별 보상값을 수신하는 제2 메모리;

입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하는 보상부; 및

상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비하고,

상기 픽셀 블록별 보상값은 적어도 하나의 컬러에서 상기 픽셀 블록 내의 각 픽셀들에 일괄 적용되는 보상값을 포함하고,

같은 컬러의 데이터들 간에 상기 픽셀 데이터와 상기 픽셀 블록별 보상값이 더해지는 실시간 보상 회로.

청구항 2

제 1 항에 있어서,

상기 픽셀 블록별 보상값은 표시패널의 화상 촬영을 통해 얻어진 얼룩을 보상하는 실시간 보상 회로.

청구항 3

제 1 항에 있어서,

상기 픽셀 블록은

제1 컬러의 서브 픽셀과 제2 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제1 펜타일 픽셀; 및

제3 컬러의 서브 픽셀과 상기 제2 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제2 펜타일 픽셀을 포함하는 실시간 보상 회로.

청구항 4

제 1 항에 있어서,

상기 픽셀 블록은

제1 컬러의 서브 픽셀, 제2 컬러의 서브 픽셀, 및 제3 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제1 리얼 컬러 픽셀; 및

상기 제1 컬러의 서브 픽셀, 상기 제2 컬러의 서브 픽셀, 및 제4 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제2 리얼 컬러 픽셀을 포함하는 실시간 보상 회로.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 픽셀 블록은

8 x 4 개의 픽셀들을 포함한 실시간 보상 회로.

청구항 6

제 1 항에 있어서,

상기 보상부는 레지스터 설정값에 따라 상기 펜타일 픽셀들을 포함한 표시패널과, 상기 리얼 컬러 픽셀들을 포함한 표시패널에 검용으로 적용되는 실시간 보상 회로.

청구항 7

제 6 항에 있어서,

제1 컬러의 데이터, 제2 컬러의 데이터, 및 제3 컬러의 데이터를 포함한 제1 리얼 픽셀 데이터를 상기 제1 컬러의 데이터와 상기 제2 컬러의 데이터를 포함한 제1 펜타일 픽셀 데이터로 변환하고,

상기 제1 컬러의 데이터, 상기 제2 컬러의 데이터, 및 상기 제3 컬러의 데이터를 포함한 제2 리얼 픽셀 데이터를 상기 제3 컬러의 데이터와 상기 제2 컬러의 데이터를 포함한 제2 펜타일 픽셀 데이터로 변환하는 리얼/펜타일 변환부를 더 구비하고,

상기 보상부는 상기 리얼/펜타일 변환부로부터 수신된 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하는 실시간 보상 회로.

청구항 8

제 3 항 또는 제 4 항에 있어서,

상기 픽셀 블록별 보상값은

상기 제1 컬러의 서브 픽셀들에 일괄 적용되는 제1 보상값;

상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2 보상값; 및

상기 제3 컬러의 서브 픽셀들에 일괄 적용되는 제3 보상값을 포함하는 실시간 보상 회로.

청구항 9

제 3 항에 있어서,

상기 픽셀 블록은

상기 픽셀 블록의 좌반부에 위치하는 상기 제1 및 제2 펜타일 픽셀들을 포함하는 좌반부 서브 블록; 및

상기 픽셀 블록의 우반부에 위치하는 상기 제1 및 제2 펜타일 픽셀들을 포함하는 우반부 서브 블록을 포함하는 실시간 보상 회로.

청구항 10

제 9 항에 있어서,

상기 픽셀 블록별 보상값은

상기 제1 컬러의 서브 픽셀들에 일괄 적용되는 제1 보상값;

상기 좌반부 서브 블록에 존재하는 상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2-1 보상값;

상기 우반부 서브 블록에 존재하는 상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2-2 보상값; 및

상기 제3 컬러의 서브 픽셀들에 일괄 적용되는 제3 보상값을 포함하는 실시간 보상 회로.

청구항 11

제 10 항에 있어서,

상기 제1 보상값, 상기 제2-1 보상값, 상기 제2-2 보상값, 상기 제3 보상값 각각이 8 bit 데이터인 실시간 보상 회로.

청구항 12

제 10 항에 있어서,

상기 픽셀 블록은

8 x 4 개의 픽셀들을 포함하고,

상기 좌반부 픽셀 블록과 상기 우반부 픽셀 블록 각각은 4 x 4 개의 펜타일 픽셀들을 포함하는 실시간 보상 회로.

청구항 13

제 1 항에 있어서,

$X \times Y$ (X 는 M 보다 크고, Y 는 N 보다 큰 양의 정수) 해상도를 갖는 표시패널의 픽셀 어레이에서,

상기 제1 메모리에 저장되는 데이터 크기가 $(X/M) \times (Y/N) \times$ 보상값 데이터 크기 + 체크섬 데이터 크기인 실시간 보상 회로.

청구항 14

제 13 항에 있어서,

상기 $X \times Y$ 해상도를 갖는 표시패널의 픽셀 어레이에서,

상기 제2 메모리에 저장되는 데이터 크기가 $(X/M) \times (Y/N) \times$ 보상값 데이터 크기인 실시간 보상 회로.

청구항 15

제 1 항에 있어서,

표시패널이 과열 모드로 동작할 때, 상기 표시패널의 전체 픽셀들 중에서 온 픽셀에 대해서만 상기 픽셀 블록별 보상값이 픽셀 데이터에 적용되는 실시간 보상 회로.

청구항 16

제 1 항에 있어서,

상기 보상부는

상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더하는 실시간 보상 회로.

청구항 17

제 16 항에 있어서,

상기 보상부는

호스트 시스템으로부터 수신된 휘도값과 상기 입력 영상의 픽셀 데이터에 따라 가중치가 개별 설정되는 하나 이상의 룩업 테이블을 구비하는 실시간 보상 회로.

청구항 18

제 1 항에 있어서,

상기 보상부는,

상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더하고,

상기 표시패널이 HBM(High brightness mode) 모드로 구동될 때 가중치들 중에서 상대적으로 큰 가중치를 상기 보상값에 더하는 실시간 보상 회로.

청구항 19

제 1 항에 있어서,

상기 제1 메모리는 플래시 메모리(Flash memory)를 포함하고,

상기 제2 메모리는 SRAM(Static RAM)을 포함하는 실시간 보상 회로.

청구항 20

$M \times N$ (M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보

상값이 저장된 메모리;

입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하는 보상부; 및
 상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비하고,
 같은 컬러의 데이터들 간에 상기 픽셀 데이터와 상기 픽셀 블록별 보상값이 더해지는 실시간 보상 회로.

청구항 21

데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 픽셀들이 배치된 표시패널;

$M \times N$ (M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리; 및

상기 제1 메모리로부터 읽어 들인 픽셀 블록별 보상값을 입력 영상의 픽셀 데이터에 더하여 보상된 픽셀 데이터를 발생하고, 상기 보상된 픽셀 데이터를 데이터 전압으로 변환하여 상기 데이터 라인들에 인가하는 드라이브 집적회로를 구비하고,

상기 픽셀 블록별 보상값은 적어도 하나의 컬러에서 상기 픽셀 블록 내의 각 픽셀들에 일괄 적용되는 보상값을 포함하고,

같은 컬러의 데이터들 간에 상기 픽셀 데이터와 상기 픽셀 블록별 보상값이 더해지는 전계 발광 표시장치.

청구항 22

제 21 항에 있어서,

상기 드라이브 집적회로는,

상기 제1 메모리로부터 상기 픽셀 블록별 보상값을 로딩한 상기 제2 메모리;

상기 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하여 상기 보상된 픽셀 데이터를 출력하는 보상부; 및

상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비하는 전계 발광 표시장치.

청구항 23

제 21 항에 있어서,

상기 표시패널의 해상도가 $X \times Y$ (X 는 M 보다 크고, Y 는 N 보다 큰 양의 정수)일 때,

상기 제1 메모리에 저장되는 데이터 크기가 $(X/M) \times (Y/N) \times$ 보상값 데이터 크기 + 체크섬 데이터 크기인 전계 발광 표시장치.

청구항 24

제 21 항에 있어서,

상기 표시패널의 해상도가 $X \times Y$ (X 는 M 보다 크고, Y 는 N 보다 큰 양의 정수)일 때,

상기 제2 메모리에 저장되는 데이터 크기가 $(X/M) \times (Y/N) \times$ 보상값 데이터 크기인 전계 발광 표시장치.

청구항 25

제 21 항에 있어서,

상기 표시패널이 과열 모드로 동작할 때, 상기 표시패널의 전체 픽셀들 중에서 온 픽셀에 대해서만 상기 픽셀 블록별 보상값이 픽셀 데이터에 적용되는 전계 발광 표시장치.

청구항 26

제 21 항에 있어서,

상기 보상부는

상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더하는 전계 발광 표시장치.

청구항 27

제 26 항에 있어서,

상기 보상부는

호스트 시스템으로부터 수신된 휘도값과 상기 입력 영상의 픽셀 데이터에 따라 가중치가 개별 설정되는 하나 이상의 룩업 테이블을 구비하는 전계 발광 표시장치.

청구항 28

제 21 항에 있어서,

상기 보상부는,

상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더하고,

상기 표시패널이 HBM(High brightness mode) 모드로 구동될 때 가중치들 중에서 상대적으로 큰 가중치를 상기 보상값에 더하는 전계 발광 표시장치.

청구항 29

제 21 항에 있어서,

상기 제1 메모리는 플래시 메모리(Flash memory)를 포함하고,

상기 제2 메모리는 SRAM(Static RAM)을 포함하는 전계 발광 표시장치.

청구항 30

제 21 항에 있어서,

상기 픽셀들 각각은 발광 소자를 구동하기 위한 구동 소자의 문턱 전압을 샘플링하여 픽셀 데이터의 데이터 전압에 문턱 전압을 더하는 보상 회로를 구비하는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 실시간 보상 회로와 그를 포함한 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치의 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기 발광 표시장치의 픽셀들 각각은 OLED에 흐르는 전류를 제어하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. 구동 소

자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 또한, 입력 영상의 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 따라서, 구동 소자들은 구동 시간이 경과되면 전기적 특성이 달라진다.

[0005] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로가 유기 발광 표시장치에 적용되고 있다.

[0006] 유기 발광 표시장치의 고해상도와 고속 구동 추세에서, 기존의 보상 방법으로는 픽셀의 구동 특성 차이를 충분히 보상할 수 없다. 예컨대, 해상도가 높아질수록 그리고 구동 주파수가 높아질수록 표시패널에서 1 라인의 픽셀들에 데이터를 기입하는 1 수평 기간이 감소되기 때문에 1 수평 기간 내에서 할당된 구동 소자의 문턱 전압 샘플링 기간이 감소될 수 밖에 없다. 구동 소자의 문턱 전압 샘플링에 필요한 시간의 부족하게 되면, 구동 전압의 문턱 전압 샘플링값이 부정확하게 되어 화면 상에서 픽셀들 간의 구동 특성 차이를 초래한다. 픽셀들 간 구동 특성 차이는 동일 계조의 데이터를 모든 픽셀들에 기입하더라도 휘도 차이를 초래하여 화면 상에서 얼룩으로 보이게 된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 고해상도 고속 구동에서 픽셀들 간의 구동 특성 차이를 충분히 보상하고 보상 회로의 메모리 용량을 줄일 수 있는 실시간 보상 회로와 그를 포함한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 실시간 보상 회로는 $M \times N$ (M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리; 상기 제1 메모리로부터 상기 다수의 픽셀 블록별 보상값을 수신하는 제2 메모리; 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하는 보상부; 및 상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비한다. 상기 픽셀 블록별 보상값은 적어도 하나의 컬러에서 상기 픽셀 블록 내의 각 픽셀들에 일괄 적용된다. 같은 컬러의 데이터들 간에 상기 픽셀 데이터와 상기 픽셀 블록별 보상값이 더해진다.

[0009] 상기 픽셀 블록별 보상값은 표시패널의 화상 촬영을 통해 얻어진 얼룩을 보상한다.

[0010] 상기 픽셀 블록은 제1 컬러의 서브 픽셀과 제2 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제1 펜타일 픽셀; 및 제3 컬러의 서브 픽셀과 상기 제2 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제2 펜타일 픽셀을 포함한다.

[0011] 상기 픽셀 블록은 제1 컬러의 서브 픽셀, 제2 컬러의 서브 픽셀, 및 제3 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제1 리얼 컬러 픽셀; 및 상기 제1 컬러의 서브 픽셀, 상기 제2 컬러의 서브 픽셀, 및 제4 컬러의 서브 픽셀을 포함한 적어도 하나 이상의 제2 리얼 컬러 픽셀을 포함한다.

[0012] 상기 보상부는 레지스터 설정값에 따라 상기 펜타일 픽셀들을 포함한 표시패널과, 상기 리얼 컬러 픽셀들을 포함한 표시패널에 겸용으로 적용된다.

[0013] 상기 실시간 보상 회로는 리얼/펜타일 변환부를 더 구비한다. 상기 리얼/펜타일 변환부는 제1 컬러의 데이터, 제2 컬러의 데이터, 및 제3 컬러의 데이터를 포함한 제1 리얼 픽셀 데이터를 상기 제1 컬러의 데이터와 상기 제2 컬러의 데이터를 포함한 제1 펜타일 픽셀 데이터로 변환하고, 상기 제1 컬러의 데이터, 상기 제2 컬러의 데이터, 및 상기 제3 컬러의 데이터를 포함한 제2 리얼 픽셀 데이터를 상기 제3 컬러의 데이터와 상기 제2 컬러의 데이터를 포함한 제2 펜타일 픽셀 데이터로 변환한다.

[0014] 상기 보상부는 상기 리얼/펜타일 변환부로부터 수신된 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더한다.

[0015] 상기 픽셀 블록별 보상값은 상기 제1 컬러의 서브 픽셀들에 일괄 적용되는 제1 보상값, 상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2 보상값, 및 상기 제3 컬러의 서브 픽셀들에 일괄 적용되는 제3 보상값을 포함한다.

[0016] 상기 픽셀 블록은 상기 픽셀 블록의 좌반부에 위치하는 상기 제1 및 제2 펜타일 픽셀들을 포함하는 좌반부 서브 블록, 및 상기 픽셀 블록의 우반부에 위치하는 상기 제1 및 제2 펜타일 픽셀들을 포함한다.

- [0017] 상기 픽셀 블록별 보상값은 상기 제1 컬러의 서브 픽셀들에 일괄 적용되는 제1 보상값, 상기 좌반부 서브 블록에 존재하는 상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2-1 보상값, 상기 우반부 서브 블록에 존재하는 상기 제2 컬러의 서브 픽셀들에 일괄 적용되는 제2-2 보상값, 및 상기 제3 컬러의 서브 픽셀들에 일괄 적용되는 제3 보상값을 포함한다.
- [0018] 상기 픽셀 블록은 8 x 4 개의 픽셀들을 포함한다. 상기 좌반부 픽셀 블록과 상기 우반부 픽셀 블록 각각은 4 x 4 개의 픽셀들을 포함한다.
- [0019] X x Y(X는 M 보다 크고, Y는 N 보다 큰 양의 정수) 해상도를 갖는 표시패널의 픽셀 어레이에서, 상기 제1 메모리에 저장되는 데이터 크기가 (X/M)x(Y/N) x 보상값 데이터 크기 + 체크섬 데이터 크기이다.
- [0020] 상기 X x Y(X는 M 보다 크고, Y는 N 보다 큰 양의 정수) 해상도를 갖는 표시패널의 픽셀 어레이에서, 상기 제2 메모리에 저장되는 데이터 크기가 (X/M)x(Y/N) x 보상값 데이터 크기이다.
- [0021] 상기 제1 보상값, 상기 제2-1 보상값, 상기 제2-2 보상값, 상기 제3 보상값 각각이 8 bit 데이터이다.
- [0022] 표시패널이 과열 모드로 동작할 때, 상기 표시패널의 전체 픽셀들 중에서 온 픽셀에 대해서만 상기 픽셀 블록별 보상값이 픽셀 데이터에 적용된다.
- [0023] 상기 보상부는 상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더한다.
- [0024] 상기 보상부는 호스트 시스템으로부터 수신된 휘도값과 상기 입력 영상의 픽셀 데이터에 따라 가중치가 개별 설정되는 하나 이상의 룩업 테이블을 구비한다.
- [0025] 상기 보상부는 상기 보상값에 가중치를 더한 결과를 상기 입력 영상의 픽셀 데이터에 더한다. 상기 표시패널이 HBM(High brightness mode) 모드로 구동될 때 가중치들 중에서 상대적으로 큰 가중치를 상기 보상값에 더한다.
- [0026] 상기 제1 메모리는 플래시 메모리(Flash memory)를 포함하고, 상기 제2 메모리는 SRAM(Static RAM)을 포함한다.
- [0027] 본 발명의 실시간 보상 회로는 M x N(M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 메모리; 입력 영상의 픽셀 데이터에 상기 픽셀 블록별 보상값을 더하여 상기 픽셀 데이터를 변조하는 보상부; 및 상기 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비한다.
- [0028] 본 발명의 전계 발광 표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 및 픽셀들이 배치된 표시패널; M x N(M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리; 및 상기 제1 메모리로부터 읽어 들인 픽셀 블록별 보상값을 입력 영상의 픽셀 데이터에 더하여 보상된 픽셀 데이터를 발생하고, 상기 보상된 픽셀 데이터를 데이터 전압으로 변환하여 상기 데이터 라인들에 인가하는 드라이브 집적회로를 구비한다. 상기 픽셀 블록별 보상값은 적어도 하나의 컬러에서 상기 픽셀 블록 내의 각 픽셀들에 일괄 적용되는 보상값을 포함한다.

발명의 효과

- [0029] 본 발명은 카메라를 이용한 화면 촬영 결과를 반영하여 화면 상의 얼룩(mura)을 보상한 픽셀 블록별 보상값으로 입력 영상의 픽셀 데이터를 보상함으로써 고해상도 고속 구동에서 픽셀들 간의 구동 특성 차이를 충분히 보상하고 보상 회로의 메모리 용량을 줄일 수 있다.
- [0030] 본 발명은 구동 소자의 문턱 전압(Vth)과 이동도(Mobility)를 계산하지 않고 계조(Gray level)만을 이용하여 픽셀 데이터를 보상하기 때문에 연산을 위한 로직 회로 구성을 줄일 수 있고 택트 타임(Tact time)을 줄일 수 있다.
- [0031] 본 발명은 레지스터 설정에 따라 펜타일 픽셀 배치와 리얼 픽셀 배치 각각에 맞게 픽셀 블록별 보상값을 입력 영상의 픽셀 데이터를 보상함으로써 드라이브 IC의 공용화를 실현할 수 있고, 하나의 드라이브 IC로 표시장치의 다양한 구동 모드를 지원할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치에서 카메라의 무라 측정 방법을 이용한 보상값 결정 방법을 개략적으로 보여 주는 도면이다.

- 도 2는 본 발명의 실시예에 따른 전계 발광 표시장치의 보상 방법을 보여 주는 흐름도이다.
- 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 4는 펜타일 픽셀 배치의 일 예를 보여 주는 도면이다.
- 도 5는 리얼 픽셀 배치의 일 예를 보여 주는 도면이다.
- 도 6은 픽셀 회로의 일 예를 보여 주는 회로도이다.
- 도 7는 도 6에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다.
- 도 8은 다양한 이미지 처리 회로와 보상부가 연결된 예를 보여 주는 도면이다.
- 도 9는 보상부를 상세히 보여 주는 도면이다.
- 도 10은 펜타일 픽셀 배치에서 적용 가능한 8x4 픽셀 블록의 일 예를 보여 주는 도면이다.
- 도 11은 WQXGA(1600x2560)의 펜타일 픽셀 배치에서 픽셀들을 도 10에 도시된 8x4 픽셀 블록으로 나뉘어 픽셀들을 그룹핑한 예를 보여 주는 도면이다.
- 도 12는 도 11과 같은 WQXGA(1600x2560)의 펜타일 픽셀 배치가 8x4 픽셀 블록으로 나뉘어질 때 컬러 별로 서브 픽셀들을 보여 주는 도면이다.
- 도 13은 도 10 내지 도 12와 같은 방법으로 WQXGA의 화면이 8x4 픽셀 블록으로 나뉘어질 때 PID=00, SID=00으로 정의된 스캔 방향 순서대로 보상값이 제1 메모리에 저장된 예를 보여 주는 도면이다.
- 도 14는 도 13과 같은 순서로 제1 메모리에 저장된 보상값들과 체크섬 데이터를 보여 주는 도면이다.
- 도 15는 하나의 8x4 픽셀 블록에 정의된 4 Byte의 보상값을 보여 주는 도면이다.
- 도 16은 리얼 픽셀 배치에서 적용 가능한 8x4 픽셀 블록의 일 예를 보여 주는 도면이다.
- 도 17은 해상도(1072x2560)의 리얼 픽셀 배치에서 픽셀들을 도 16에 도시된 8x4 픽셀 블록으로 나뉘어 픽셀들을 그룹핑한 예를 보여 주는 도면이다.
- 도 18은 도 17과 같은 해상도(1072x2560)의 리얼 픽셀 배치가 8x4 픽셀 블록으로 나뉘어질 때 컬러 별로 서브 픽셀들을 보여 주는 도면이다.
- 도 19는 도 16 내지 도 18과 같은 방법으로 해상도(1072x2560)의 화면이 8x4 픽셀 블록으로 나뉘어질 때 PID=00, SID=00으로 정의된 스캔 방향 순서대로 보상값이 제1 메모리에 저장된 예를 보여 주는 도면이다.
- 도 20은 도 19와 같은 순서로 제1 메모리에 저장된 보상값들과 체크섬 데이터를 보여 주는 도면이다.
- 도 21은 하나의 8x4 픽셀 블록에 정의된 3 Byte의 보상값을 보여 주는 도면이다.
- 도 22는 도 10에 도시된 8x4 픽셀 블록의 보상값을 픽셀 데이터에 적용한 예를 보여 주는 도면이다.
- 도 23은 도 16에 도시된 8x4 픽셀 블록의 보상값을 픽셀 데이터에 적용한 예를 보여 주는 도면이다.
- 도 24는 연산부의 오버 플로우 및 언더 플로우 연산 처리를 보여 주는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0034] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로

표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

- [0035] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0036] 위치 관계에 대한 설명일 경우, 예를 들어, ' ~ 상에', ' ~ 상부에', ' ~ 하부에', ' ~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0037] 실시예 설명에서, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되지만, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0038] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0039] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0040] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기 발광 표시장치를 중심으로 설명한다. 하지만, 본 발명의 기술적 사상은 유기 발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있음에 주의하여야 한다.
- [0041] 본 발명의 실시간 보상 회로는 M x N(M, N 각각은 2 이상의 양의 정수) 개의 픽셀들을 포함한 픽셀 블록 단위로 설정된 다수의 픽셀 블록별 보상값이 저장된 제1 메모리, 제1 메모리로부터 픽셀 블록별 보상값을 수신하는 제2 메모리, 입력 영상의 픽셀 데이터에 픽셀 블록별 보상값을 더하여 픽셀 데이터를 변조하는 보상부, 및 보상부로부터 수신된 보상된 픽셀 데이터를 데이터 전압으로 변환하는 데이터 구동부를 구비한다.
- [0042] 픽셀 블록별 보상값은 적어도 하나의 컬러에서 픽셀 블록 내의 각 픽셀들에 일괄 적용되는 보상값을 포함한다. 같은 컬러의 데이터들 간에 상기 픽셀 데이터와 상기 픽셀 블록별 보상값이 더해진다.
- [0043] 상기 픽셀 블록별 보상값은 표시패널의 화상 촬영을 통해 얻어진 얼룩을 보상하는 값으로 설정된다.
- [0044] 유기 발광 표시장치에서 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로는 내부 보상 회로와 외부 보상 회로로 나뉘어질 수 있다. 내부 보상 회로는 픽셀들 각각에 배치된 내부 보상 회로를 이용하여 구동 소자의 문턱 전압을 샘플링하여 픽셀 데이터의 데이터 전압에 문턱 전압을 더하여 픽셀들을 구동함으로써 구동 소자들 간의 문턱 전압 편차를 픽셀 회로 내부에서 자동으로 보상한다. 외부 보상 회로는 구동 소자들의 전기적 특성을 센싱(sensing)하고, 그 센싱 결과를 바탕으로 입력 영상의 픽셀 데이터를 변조함으로써 픽셀들 각각의 구동 특성 변화를 보상한다.
- [0045] 본 발명의 보상 회로는 이하의 실시예에서 내부 보상 회로를 중심으로 설명되지만 이에 한정되지 않는다는 것에 주의하여야 한다.
- [0046] 본 발명의 전계 발광 표시장치에서 픽셀들과 게이트 구동부는 다수의 트랜지스터들을 포함한다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 MOSFET(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 MOSFET에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 MOSFET(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 MOSFET에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 이하의 실시예 설명에서 트랜지스터의 소스와 드레인은 제1 및 제2 전극으로 칭하기로 한다. 이하의 설명에서 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다.
- [0047] 도 1 및 도 2를 참조하면, 검사 공정에서 전계 발광 표시장치에 대하여 테스트용 화상 데이터를 입력하여 화면

상에 테스트용 화상을 표시한다. 전계 발광 표시장치는 보상 회로를 통해 픽셀들 각각의 구동 특성 편차가 실시간 보상되면서 테스트용 화상 데이터를 표시한다(S1). 이러한 전계 발광 표시장치는 픽셀들 각각에서 구동 소자의 샘플링 시간 부족으로 인하여 보상이 불안정하게 될 수 있다. 그 결과, 픽셀들에 동일 계조의 데이터가 기입되더라도 화면 상에서 픽셀들 간 휘도차로 인하여 얼룩이 보일 수 있다.

[0048] 컴퓨터(200)는 미리 설정된 프로그램에 따라 검사 공장에서 전계 발광 표시장치의 표시패널(100)에 테스트용 화상을 표시하고, 표시패널(100)의 화면을 카메라(210)로 촬영하여 테스트용 화상의 휘도를 측정한다(S2). 전계 발광 표시장치에 표시된 화상에 불안정한 보상이 반영되어 얼룩이 보일 수 있고, 이러한 얼룩은 카메라(210)에 의해 촬영된다. 카메라(210)에 의해 촬영된 테스트용 화상 이미지는 컴퓨터(200)로 전송된다.

[0049] 컴퓨터(200)는 미리 설정된 크기의 픽셀 블록 단위로 설정된 기준 보상값이 저장되어 있다. 픽셀 블록은 M x N 개의 픽셀들을 포함한다. 컴퓨터(200)는 카메라(210)로부터 수신된 이미지에서 픽셀들 간 휘도 차이가 미리 설정된 휘도 균일도 이하로 될때까지 기준 보상값을 조정하고, 보상값을 테스트용 화상의 픽셀 데이터 각각에 더하여 보상 데이터를 생성하여 표시패널 구동회로로 전송한다. 표시패널 구동회로는 입력 영상의 픽셀 데이터를 표시패널(100)의 픽셀들에 기입하여 입력 영상의 픽셀 데이터를 픽셀들에 표시한다. 카메라(210)에 의해 촬영된 이미지에서 얼룩이 보이면, 픽셀들 간 휘도 차이가 미리 설정된 휘도 균일도 보다 크다는 것을 의미한다.

[0050] 표시패널 구동회로는 컴퓨터(200)로부터 수신된 테스트용 화상의 픽셀 데이터를 표시패널(100)의 픽셀들에 기입하여 보상값이 적용된 테스트용 화상의 픽셀 데이터를 화면 상에 표시하고, 카메라(210)는 업데이트된 테스트용 화상을 촬영한다(S2 내지 S4). 컴퓨터(200)는 카메라(210)로부터 수신된 이미지의 픽셀들 간 휘도 편차가 미리 설정된 휘도 균일도 이하로 될 때 적용된 보상값을 최적 보상값으로서 메모리에 저장한다(S5 및 S6). 최적 보상값은 전계 발광 표시장치의 보상 회로에 연결된 제1 메모리(30)에 저장된다. 제1 메모리(30)는 전원이 꺼지더라도 저장된 정보가 유지되고 읽기/쓰기가 자유로운 메모리 예를 들어, 플래시 메모리(Flash memory)일 수 있으나 이에 한정되지 않는다. 픽셀 블록별 보상값은 S1 내지 S6 단계를 반복하여 픽셀 블록마다 컬러별, 계조별로 생성된다.

[0051] 픽셀 블록별 보상값은 리얼(real) 픽셀 픽셀 배치와 펜타일(pentile) 픽셀 배치로 구분된다. 리얼 픽셀 배치는 하나의 픽셀이 적색, 녹색 및 청색 서브 픽셀로 구성된다. 리얼 픽셀 배치를 갖는 표시패널을 구동하면서 S1 내지 S6 단계를 수행한 결과로, 리얼 픽셀 배치의 픽셀 블록별 보상값이 얻어질 수 있다. 펜타일 픽셀 배치를 갖는 표시패널은 미리 설정된 펜타일 픽셀 렌더링 알고리즘을 이용하여 컬러가 다른 두 개의 서브 픽셀을 하나의 픽셀로 구동한다. 이러한 표시패널을 구동하면서 S1 내지 S6 단계를 수행한 결과로, 펜타일 픽셀 배치의 픽셀 블록별 보상값이 얻어질 수 있다. 펜타일 픽셀 렌더링 알고리즘은 픽셀들 각각에서 부족한 컬러 표현을 인접한 픽셀에서 발광된 빛의 컬러로 보상한다.

[0052] S1 내지 S6 과정을 거쳐 최적 보상값이 저장된 전계 발광 표시장치는 출하 후, 전원이 켜질 때마다 제1 메모리(30)에 저장된 보상값을 보상 회로 내의 제2 메모리로 로딩(load)한다. 제2 메모리(31)는 SRAM(Static RAM)과 같은 RAM(Random-access memory)으로 구현될 수 있다.

[0053] 본 발명의 전계 발광 표시장치는 입력 영상이 픽셀 데이터가 입력되면 제2 메모리로부터 읽어 들인 보상값으로 픽셀 블록 내에서 적어도 하나의 컬러에서 픽셀 데이터들에 일괄 적용하여 그 픽셀 데이터들을 실시간으로 보상한다(S7). 따라서, 본 발명은 카메라 촬영 기반 무라(mura) 보상값을 픽셀 블록 단위로 추출하고, 그 보상값을 픽셀 블록 내에서 적어도 하나의 컬러에 일괄 적용함으로써 고해상도, 고속 구동 모델의 전계 발광 표시장치에서 내부/외부 보상 회로의 보상이 충분하지 않더라도 카메라 촬영 기반 무라 보상을 추가 반영하여 화면 전체에서 균일한 화질을 구현할 수 있고, 보상값이 적용되는 메모리 용량을 대폭 줄일 수 있다.

[0054] 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.

[0055] 도 3 내지 도 5를 참조하면, 본 발명의 전계 발광 표시장치는 표시패널(100), 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하기 위한 드라이브 IC(Integrated Circuit)(20), 드라이브 IC(20)에 연결된 제1 메모리(30), 게이트 구동부(40), 호스트 시스템(50) 등을 구비한다.

[0056] 표시패널(100)은 데이터 라인들, 데이터 라인들(DL1~DL6)과 교차되는 게이트 라인들(GL1, GL2), 및 픽셀들(P)이 매트릭스 형태로 배치된 픽셀 어레이를 포함한다. 데이터 라인들(DL1~DL6)은 드라이브 IC(20)로부터의 데이터 전압을 픽셀들(P)에 공급한다. 게이트 라인들(GL1~GL3)은 게이트 구동부(40)로부터의 게이트 신호를 픽셀들(P)에 공급한다. 게이트 신호는 도 6에 도시된 바와 같이 스캔 신호(SCAN), 발광제어신호(이하 "EM 신호"라 함)(EM), 초기화 신호(INI) 등으로 나뉘어질 수 있다. 이 경우, 게이트 라인들(GL1, GL2) 각각은 스캔 신호

(SCAN)를 1 라인의 픽셀들(P)에 공급하기 위한 SCAN 라인(71), EM 신호(EM)를 1 라인의 픽셀들(P)에 공급하기 위한 EM 라인(72), 초기화 신호(INI)를 1 라인의 픽셀들(P)에 공급하기 위한 INI 라인(73) 등으로 나뉘어진다.

- [0057] 픽셀들 각각은 컬러 구현을 위하여 컬러가 다른 서브 픽셀들을 포함한다. 서브 픽셀들은 적색(Red, 이하 “R 서브 픽셀”이라 함), 녹색(Green, 이하 “G 서브 픽셀”이라 함), 및 청색(Blue, 이하 “B 서브 픽셀”이라 함)을 포함한다. 도시하지 않았으나 백색 서브 픽셀(White, 이하 “W 서브 픽셀”이라 함)이 더 포함될 수 있다. 서브 픽셀들 각각은 도 6에 도시된 픽셀 회로를 포함할 수 있으나 이에 한정되지 않는다. 픽셀 회로는 공지된 다양한 구조의 픽셀 회로로 구현될 수 있다는 것에 주의하여야 한다.
- [0058] 도 4는 펜타일 픽셀 배치의 일 예를 보여 주는 도면이다. 도 4의 예에서, 하나의 픽셀은 R 서브 픽셀과 G 서브 픽셀들을 포함하거나 B 및 G 서브 픽셀들을 포함한다. 펜타일 픽셀 배치에서 픽셀들 각각은 도 4의 예에서 두 개의 서브 픽셀들로 구성되지만 이에 한정되지 않는다. 펜타일 픽셀 렌더링 알고리즘은 RGB 데이터를 포함하는 입력 영상의 픽셀 데이터 각각을 픽셀(P)의 컬러 배치에 맞게 렌더링하고, 부족한 컬러 데이터를 이웃한 픽셀의 컬러 데이터에 더하여 컬러 표현을 보상한다. 펜타일 픽셀 렌더링 알고리즘은 공지된 어떠한 것도 이용 가능하다.
- [0059] 도 5는 리얼 픽셀 배치의 일 예를 보여 주는 도면이다. 도 5의 예에서, 하나의 픽셀은 R 서브 픽셀, G 서브 픽셀, 및 B 서브 픽셀을 포함한다. 따라서, 리얼 픽셀 배치에서 픽셀들 각각은 도 5의 예에서 세 개의 서브 픽셀들로 구성되지만 이에 한정되지 않는다.
- [0060] 표시패널(100)은 도 6에 도시된 바와 같이 픽셀 구동 전압(ELVDD)을 픽셀들(P)에 공급하기 위한 ELVDD 라인(74), 기준 전압(Vref)을 픽셀들에 공급하기 위한 Vref 라인(75), 저전위 전원 전압(ELVSS)을 픽셀들에 공급하기 위한 ELVSS 전극(76) 등을 더 포함할 수 있다. 이러한 전원 라인들은 도시하지 않은 전원 회로에 연결된다. 전원 회로는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널의 구동에 필요한 직류 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator), 벡 변환기(Buck Converter), 부스트 변환기(Boost Converter) 등을 포함한다. 전원 회로는 파워 IC(Power Integrated Circuit, PIC)로 구현될 수 있다.
- [0061] 전원 회로는 표시패널의 픽셀들(P)을 구동하기 위하여 필요한 전원 예를 들어, ELVDD, VGH, VGL, Vref, 아날로그 감마 전압 등을 출력한다. VGH는 게이트 하이 전압(Gate High Voltage)이고, VGL는 게이트 로우 전압(Gate Low Voltage)이다.
- [0062] 표시패널(100)의 기관에는 픽셀 어레이와 함께 게이트 구동부(40)가 형성될실장될 수 있다. 픽셀들(P)과 게이트 구동부(40) 각각은 다수의 트랜지스터들로 구현된다. 트랜지스터들은 산화물 반도체를 포함한 박막 트랜지스터(Thin Film Transistor, 이하, “TFT”라 함), 비정질 실리콘(a-Si)을 포함한 TFT, 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 TFT 트랜지스터 중 하나 이상으로 구현될 수 있다. TFT는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조로 구현될 수 있다. TFT는 n 타입 트랜지스터(NMOS) 또는 p 타입 트랜지스터(PMOS) 중 어느 하나 또는 그 조합으로 구현될 수 있다.
- [0063] 게이트 구동부(40)로부터 출력되는 게이트 신호는 TFT가 턴-온될 수 있는 게이트 온 전압(Gate On Voltage)과, TFT가 턴-오프(turn-off)될 수 있는 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. NMOS에서 게이트 온 전압은 VGH이고, 게이트 오프 전압은 VGL이다. PMOS에서 게이트 온 전압은 VGL이고, 게이트 오프 전압은 VGH이다.
- [0064] 게이트 구동부(40)는 시프트 레지스터(shift register)를 포함한다. 시프트 레지스터는 종속적으로 연결된 다수의 스테이지들(stage)을 포함하여 게이트 시프트 클럭 타이밍에 맞추어 출력 전압을 시프트(shift)함으로써 게이트 라인들(GL1, GL2)에 순차적으로 게이트 신호(GATE1, GATE2)를 공급한다.
- [0065] 드라이버 IC(20)는 타이밍 제어부(21), 데이터 구동부(22), 제2 메모리(31), 보상부(32), 레지스터(33) 등을 구비한다.
- [0066] 타이밍 제어부(21)는 호스트 시스템(50)으로부터 수신되는 타이밍 신호들, 예컨대 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등을 이용하여 게이트 구동부(40)와 데이터 구동부(22)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성한다. 호스트 시스템(50)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 시스템, 웨어러블 시스템,

가상 현실 시스템 중 어느 하나일 수 있다.

- [0067] 데이터 구동부(22)는 보상부(32)로부터 수신된 입력 영상의 픽셀 데이터(디지털 신호)를 아날로그 신호로 변환하여 데이터 신호(DATA1~DATA6)를 출력하는 디지털-아날로그 변환기(Digital to Analog converter, 이하 "DAC"라 함)를 포함한다. 데이터 구동부(22)는 데이터 신호(DATA1~DATA6)를 데이터 라인들(DL1~DL6)을 통해 픽셀들(P)에 공급한다.
- [0068] 제2 메모리(31)는 전원이 입력될 때 제1 메모리(30)로부터 수신된 보상값을 저장하고 그 보상값을 보상부(32)에 공급한다. 보상부(32)는 호스트 시스템(50)으로부터 입력 영상의 픽셀 데이터를 수신한다. 보상부(32)는 입력 영상의 픽셀 데이터에 제2 메모리(31)로부터 입력된 픽셀 블록별 보상값을 더하여 데이터 구동부(22)로 전송한다. 따라서, 데이터 구동부(22)에 입력되는 픽셀 데이터는 카메라 촬영을 통해 얻어진 보상값을 포함한다.
- [0069] 레지스터(33)는 보상부(32)의 기능 설정을 정의한 테이블들이 저장되어 있다. 보상부(32)은 기능은 레지스터 설정값에 따라 변경될 수 있다.
- [0070] 도 6은 픽셀 회로의 일 예를 보여 주는 회로도이다. 도 7는 도 6에 도시된 픽셀 회로의 구동 방법을 보여 주는 파형도이다. 본 발명의 픽셀 회로는 도 6에 한정되지 않는다.
- [0071] 도 6 및 도 7을 참조하면, 픽셀 회로는 다수의 TFT들(M1~M6), 커패시터(Cstg), 및 OLED를 구비한다.
- [0072] 1 수평 기간(1H) 동안 스캔 신호(SCAN), 초기화 신호(INI), 및 EM 신호(EM)가 픽셀들(P)에 공급된다. 1 수평 기간(1H)은 픽셀 회로를 초기화하는 t2 및 t3 기간과, 제3 TFT(M3)의 문턱 전압을 샘플링하여 데이터 전압에 더함으로써 제3 TFT(M3)의 문턱 전압 만큼 데이터 신호의 전압(Vdata)을 보상하는 t4 기간을 포함한다.
- [0073] OLED는 애노드와 캐소드를 포함한다. OLED의 애노드는 제5 및 제6 TFT들(M5, M6)에 연결된다. 저전위 전원 전압(ELVSS)은 OLED의 캐소드에 인가된다.
- [0074] 제1 TFT(M1)는 스캔 신호(SCAN)에 따라 턴-온되어 제1 노드(n1)에 데이터 라인(77)으로부터의 데이터 신호를 인가한다. 제1 TFT(M1)는 스캔 라인(71)에 연결된 게이트, 데이터 라인(77)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다.
- [0075] 제2 TFT(M2)는 EM 신호(EM)에 따라 턴-온되어 제1 노드(n1)를 소정의 기준 전압(Vref)으로 초기화한다. 제2 TFT(M2)는 EM 라인(72)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 Vref 라인(75)에 연결되어 기준 전압(Vref)을 공급 받는 제2 전극을 포함한다. 제5 TFT(M5)는 EM 신호(EM)에 따라 턴-온되어 제3 노드(n3)를 기준 전압(Vref)으로 초기화한다. 제5 TFT(M5)는 EM 라인(72)에 연결된 게이트, 제3 노드(n3)에 연결된 제1 전극, 및 OLED의 애노드에 연결된 제2 전극을 포함한다.
- [0076] 제3 TFT(M3)는 게이트 전압에 따라 OLED에 흐르는 전류를 조절하여 OLED를 구동하는 구동 소자이다. 제3 TFT(M3)는 제2 노드(n1)에 연결된 게이트, ELVDD 라인(74)에 연결되어 ELVDD를 공급 받는 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다. 커패시터(Cst)는 제1 및 제2 노드(n1, n2) 사이에 연결되어 제3 TFT(M3)의 문턱 전압이 더해진 데이터 전압을 1 프레임 기간 동안 유지한다.
- [0077] 제4 TFT(M4)는 제3 TFT(M3)의 문턱 전압이 샘플링되는 기간(t3, t4) 동안 턴-온되어 제3 TFT(M3)의 게이트와 제2 전극을 연결한다. 제3 TFT(M3)는 t3 및 t4 기간 동안 제4 TFT(M4)에 의해 다이오드로 동작한다. 제4 TFT(M4)는 SCAN 라인(71)에 연결되어 스캔 신호(SCAN)를 공급 받는 게이트, 제3 TFT(M3)의 게이트에 연결된 제1 전극, 및 제3 TFT(M3)의 제2 전극에 연결된 제2 전극을 포함한다.
- [0078] 제6 TFT(M6)는 초기화 신호(INI)에 따라 턴-온되어 OLED의 애노드를 기준 전압(Vref)으로 초기화한다. 제6 TFT(M6)는 INI 라인(73)에 연결된 게이트, Vref 라인(75)에 연결된 제1 전극, 및 OLED의 애노드에 연결된 제2 전극을 포함한다.
- [0079] 이 픽셀 회로의 동작을 단계적으로 설명하면 다음과 같다.
- [0080] 픽셀들 각각은 t1 기간에 이전 프레임 데이터를 유지한다. t1 기간에 제1 노드(n1)의 전압은 기준 전압(Vref)이 인가된다.
- [0081] 초기화 신호(INI)의 게이트 온 전압이 t2 기간의 시작과 동시에 픽셀 회로에 인가되고 그 직후 t3 기간에 스캔 신호(SCAN)의 게이트 온 전압이 픽셀 회로에 인가된다. t2 및 t3 기간에, 제6 TFT(M6)가 초기화 신호(INI)의 게이트 온 전압에 따라 턴-온된 후, 제1 및 제4 TFT들(M1, M4)은 스캔 신호(INI)의 게이트 온 전압에 따라 턴-

온된다. t2 및 t3 기간 동안 EM 신호(EM)는 게이트 온 전압을 유지하기 때문에 제2 및 제5 TFT들(M2, M5)은 온 상태를 유지한다. 그 결과, t2 기간에 제1 노드(n1), 제2 노드(n2), 제3 노드(n3) 및 OLED의 애노드가 기준 전압(Vref)으로 초기화된다.

[0082] EM 신호(EM)는 t4 기간에 게이트 오프 전압으로 반전된다. 따라서, t4 기간 동안 제2 및 제5 TFT들(M2, M5)은 턴-오프된다. t4 기간에 제1 TFT(M1)를 통해 데이터 전압(DATA)이 제1 노드(n1)에 충전된다. t4 기간, 제3 TFT(M3)의 게이트 및 제2 전극간 전압이 ELVDD+Vth에 도달할 때 제3 TFT(M3)가 턴-오프된다. 그 결과, t4 기간에 제2 및 제3 노드의 전압이 ELVDD+Vth으로 충전된다. 이 때, 커패시터(Cstg)의 전압은 ELVDD+Vth+Vdata이다. Vth는 구동 소자인 제3 TFT(M3)의 문턱 전압이다. t4 기간은 구동 소자인 제3 TFT(M3)의 문턱 전압(Vth)을 샘플링하고 그 문턱 전압(Vth) 만큼 데이터 전압(Vdata)을 보상하는 프로그래밍 기간이다.

[0083] EM 신호(EM)는 t5 기간의 시작과 동시에 게이트 온 전압으로 반전된다. t5 기간은 OLED가 데이터 전압에 따라 발광되어 픽셀 데이터의 계조 만큼 발광하는 발광 기간이다. t5 기간에 스캔 신호(SCAN)와 초기화 신호(INI)는 게이트 오프 전압으로 반전된다. 따라서, t5 기간 동안 제2 및 제5 TFT(M2, M5)는 턴-온되어 OLED의 전류 패스를 형성하는 반면에 다른 스위치 소자들(M1, M4, M6)은 턴-오프된다.

[0084] t5 기간에 OLED에 흐르는 전류(Ioled)는 아래의 식과 같다. 이 식에서 알 수 있는 바와 같이, OLED에 흐르는 전류는 제3 TFT(M3)의 Vth 영향을 받지 않으므로 Vth의 경시 변화나 픽셀들간 Vth 편차에 영향을 받지 않는다. 아래의 식에서 Vgs는 제3 TFT(M3)의 게이트 소스간 전압이고, Vds는 제3 TFT(M3)의 드레인 소스간 전압이다.

$$\begin{aligned}
 I_{OLED} &= \frac{K}{2} (V_{gs} - V_{ds})^2 \\
 &= \frac{K}{2} [(ELVDD + V_{th} - V_{data} + V_{ref} - ELVDD) - (ELVDD + V_{th} - ELVDD)]^2 \\
 &= \frac{K}{2} [(V_{th} - V_{data} + V_{ref}) - V_{th}]^2 = \frac{K}{2} (V_{ref} - V_{data})^2
 \end{aligned}$$

[0087] 여기서, K는 제3 TFT(M3)의 전하 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.

[0088] 보상부(32) 이외의 이미지 처리회로가 보상부(32)와 연결되어 입력 영상의 픽셀 데이터를 복합적으로 처리할 수 있다. 이 경우에, 보상부(32)와 다른 이미지 처리 회로가 효율적으로 연결되어야 한다.

[0089] 도 8은 다양한 이미지 처리 회로와 보상부가 연결된 예를 보여 주는 도면이다.

[0090] 도 8을 참조하면, 드라이브 IC(20)는 보상부(32)의 앞단에 배치된 화질 향상부(81) 및 리얼/펜타일 변환부(82)를 더 구비한다.

[0091] 화질 향상부(81)는 색온도 보상, 샤프니스(sharpness) 개선, HDR(High Dynamic Range) 등 화질 향상을 위하여 입력 영상 데이터를 미리 설정된 알고리즘으로 처리한다.

[0092] 리얼/펜타일 변환부(82)는 펜타일 픽셀 렌더링 알고리즘을 이용하여 리얼 픽셀 데이터(RGB 데이터)를 펜타일 픽셀 데이터(RG 또는 GB 데이터)로 변환한다. 리얼/펜타일 변환부(82)에 의해 리얼 픽셀 데이터 RGB RGB(2pixel, 6 sub-pixel)는 RG BG(2pixel, 4 sub-pixel)로 변환된다.

[0093] 보상부(32)가 화질 향상부(81)나 리얼/펜타일 변환부(82) 앞에 배치되면, 보상부(32)에 의해 픽셀 블록별 보상값이 더해져 변조된 픽셀 데이터가 화질 향상부(81) 및/또는 리얼/펜타일 변환부(82)에 의해 다시 픽셀 데이터가 변조되어 픽셀 블록별 보상값 적용 효과가 달라질 수 있다. 따라서, 보상부(32)는 다른 이미지 처리 회로에 의해 변조된 픽셀 데이터에 대하여 픽셀 블록별 보상값을 적용하는 방법이 효율적이다.

[0094] 도 9는 보상부(32)를 상세히 보여 주는 도면이다.

[0095] 도 9를 참조하면, 보상부(32)는 카메라 촬영을 통해 얻어진 픽셀 블록별 보상값을 입력 영상의 픽셀 블록 내에서 적어도 하나의 컬러에 일괄 적용한다. 본 발명은 픽셀들을 미리 설정된 크기의 픽셀 블록 단위로 그룹핑하고 픽셀 블록 내에서 적어도 하나의 컬러의 픽셀 데이터에 동일한 보상값을 일괄 적용함으로써 메모리(30, 31) 용량을 대폭 줄일 수 있다.

[0096] 보상부(32)는 레지스터(33) 내의 테이블에 정의된 레지스터 설정값에 따라 그 기능이 선택될 수 있다. 보상부

(32)는 연산부(321)와, 하나 이상의 룩업 테이블(Look-up table, LUT)(341~349)을 포함한다.

[0097] 연산부(321)는 입력 영상의 픽셀 데이터(DATA)에 픽셀 블록별 보상값을 더하여 픽셀 데이터를 변조함으로써 카메라 촬영 기반 무라(mura) 보상값이 적용된 데이터(DATA')를 출력한다. 픽셀 블록별 보상값에는 룩업 테이블(341~349)에 미리 설정된 가중치가 더해질 수 있다. 가중치는 호스트 시스템으로부터 수신된 휘도값과 입력 영상의 픽셀 데이터에 따라 달라질 수 있다. 룩업 테이블들(341, 342)은 표시장치의 구동 모드, 호스트 시스템으로부터 수신된 휘도값, 입력 영상의 픽셀 데이터에 따라 선택되어 가중치를 출력할 수 있다. 호스트 시스템(50)은 각종 센서 신호를 분석하여 구동 모드를 자동 전환하거나 유저 인터페이스를 통해 입력되는 사용자 명령에 따라 구동 모드를 전환할 수 있다.

[0098] 룩업 테이블(341~349)은 호스트 시스템(50)으로 입력되는 휘도값(DBV), 또는 입력 계조값(GRAY)에 따라 가중치를 서로 다르게 설정한다. 입력 계조값은 입력 영상 데이터로부터 수신된 픽셀 데이터의 계조 즉, 원 계조값(Original gray value)이다. 룩업 테이블로부터 출력된 가중치는 제2 메모리(31)로부터 로딩된 픽셀 블록별 보상값에 더해지는 추가 보상값으로서 입력 영상의 픽셀 데이터에 반영된다. 휘도값(DBV)은 픽셀 데이터의 최대 계조값 예를 들어, 8bit 데이터의 경우에 계조 255에 해당하는 밝기를 지시한다. 휘도값(DBV)은 유저 인터페이스를 통해 사용자로부터 입력된 사용자 명령 또는, 조도 센서 등 각종 센서에 의해 호스트 시스템에 의해 자동 설정된 휘도값이다.

[0099] 연산부(32)는 아래의 표 1과 같은 방법으로 휘도값(DBV)과 입력 계조값(GRAY)을 룩업 테이블들(341, 349)에 입력하여 그 룩업 테이블(341, 349)로부터 출력된 가중치를 픽셀 블록별 보상값에 가산하고, 그 결과를 픽셀 데이터에 가산할 수 있다. 룩업 테이블들(341, 349) 각각은 표 1과 같은 방법으로 휘도값(DBV)과 입력 계조값(GRAY)에 따라 선택된다. 예를 들어, LUT1(341)은 휘도값(DBV)이 GCBDBV_TH1[9:0]이고 계조값(GRAY)이 GCBGRAY_TH1[7:0]일 때 선택된다. LUT3(343)은 휘도값(DBV)이 GCBDBV_255이고 계조값(GRAY)이 GCBGRAY_TH1[7:0]일 때 선택된다. LUT9(349)는 휘도값(DBV)이 GCBDBV_1023 이고, 계조값(GRAY)이 GCBGRAY_255 일 때 선택된다.

[0100] 룩업 테이블(341~349)에 설정된 가중치를 이용하여 최대 계조의 휘도값이나 픽셀 데이터의 계조값에 따라 무라(mura)가 다른 양상으로 보일 경우에 휘도값(DBV)과 계조값(GRAY)에 따라 다양한 무라를 세밀하게 보상할 수 있다. 만약, 아래의 표 1과 같이 가장치를 룩업 테이블 데이터로 설정한다면 휘도값과 계조값이 다른 9 가지 상황에서 보상값을 구분하여 세밀한 보상을 구현할 수 있다.

표 1

	GCBGRAY_TH1[7:0]	GCBGRAY_TH2[7:0]	GCBGRAY_255
GCBDBV_TH1[9:0]	LUT1	LUT2	LUT3
GCBDBV_TH2[9:0]	LUT4	LUT5	LUT6
GCBDBV_1023	LUT7	LUT8	LUT9

[0102] 아래의 예는 표 1을 정량적인 값으로 예시한 것이다. 아래의 표에서, 휘도값(DBV)이 50 nit 이하이고 계조값(GRAY)이 15 이하일 때 LUT1(341)에 설정된 +2가 출력된다. 휘도값(DBV)이 100 nit 보다 크고 200 nit 이하일 때 그리고, 계조값(GRAY)이 100 보다 크고 200 이하일 때 LUT9(349)에 설정된 -1이 출력된다. 룩업 테이블의 가중치 설정 방법은 이에 한정되지 않는다.

	GRAY : 15	GRAY : 100	GRAY : 200
DBV : 50 nit	+2	+1	-2
DBV : 100 nit	-3	-2	+1
DBV : 200 nit	+5	+2	-1

[0103]

[0104] 레지스터(33)는 연산부(321)를 제어하기 위한 설정값들을 저장한 하나 이상의 테이블들(331 ~ 333)을 포함한다. 레지스터 설정값들은 제1 메모리(30)에 저장되어 제1 메모리(30)로부터 제2 메모리(31)로 로딩될 수 있다.

[0105] 제1 테이블(331)은 아래의 표 2와 같이 설정될 수 있다. 제1 테이블(331)은 보상부(32)의 온/오프(On/Off) 설정과 함께 드라이브 IC(22)에서 지원하는 다양한 동작 모드에서 보상부의 지원 여부와 지원 방법을 정의한 것이다. 표 1에서, "Normal"은 픽셀 데이터가 보상부(32)를 통과하지 않고 데이터 구동부(22)로 바이패스하는 상태이다. "GCB"는 본 발명의 카메라 촬영 기반 무라(mura) 보상 방법이다. 따라서, GCB는 픽셀 데이터가 보상부(32)에 입력되어 픽셀 블록별 보상값에 의해 픽셀 데이터가 변조되는 상태이다.

- [0106] "PPA"는 펜타일 픽셀 배치를 나타낸다. 변조부(32)는 모든 해상도(Resolution)에서 리얼 컬러 배치(RGB)와 펜타일 컬러 배치(RG/GB)를 지원한다. 보상부(32)는 모든 패널 스캔 방향(Panel Scan Direction)을 지원한다. PID(Panel ID)와 SID(Scan ID)는 스캔 방향이 좌상단으로부터 우하단 방향으로 진행되는지, 아니면 스캔 방향이 우상단으로부터 좌하단 방향으로 진행되는지 등 다양한 스캔 방향으로 정의한다. PID(Panel ID)와 SID(Scan ID)는 리얼 컬러 배치(RGB)와 펜타일 컬러 배치(RG/GB)에 따라 또는 드라이브 IC(20)의 위치에 따라 스캔 방향을 변경할 수 있게 한다.
- [0107] 표 2에서 파셜 모드(Partial Mode)는 표시패널(100)의 픽셀 어레이에서 일부분의 픽셀들만 구동되고 다른 픽셀들이 오프되는 구동 모드이다. 올웨이즈 온 모드(Always on mode), 가상 현실 모드(VR) 등에서 화면은 파셜 모드로 구동될 수 있다. 보상부(32)는 파셜 모드에서 온 픽셀들(ON Pixel)에 기입될 픽셀 데이터에 대하여만 픽셀 블록별 보상값을 적용하고, 그 이외의 무효 데이터를 바이패스(bypass)함으로써 데이터 연산 속도, 소비 전력, 발열 등을 효율적으로 관리할 수 있다.
- [0108] 아이들 모드(idle mode)는 저소비 전력 모드(Low power model)의 하나로서 RGB 각 컬러에서 최소 계조(G0)및 최대 계조(G255)만 표현 가능하도록 하여 8 컬러만으로 픽셀 데이터를 재현한다. 이 아이들 모드에서 보상부(32)에 의해 보상값이 적용되거나 그렇지 않은 경우에 화질 차이가 없기 때문에 아이들 모드에서 보상부(32)는 구동되지 않는다.
- [0109] PLC(peak luminance control)는 입력 영상의 휘도가 일정 수준 이상에서 소비 전력을 줄이기 위해, 밝은 영상에서 피크 휘도(peak luminance)를 낮추는 드라이브 IC(20)의 제어 방법이다. 보상부(32)는 PLC에서 동작할 수 있다.
- [0110] BC(Brightness control)는 드라이브 IC(20)의 다양한 밝기 제어 방법이다. HBM(High brightness mode)은 야외 환경에서 픽셀들의 밝기를 높이는 구동 모드이다. ISP(image signal processing)은 도 8의 예에서 설명된 다른 이미지 처리 회로이다. 보상부(32)는 BC, HBM, ISP를 지원할 수 있다. 보상부(32)는 HBM에서 휘도를 높이기 위하여 픽셀 블록별 보상값에 룩업 테이블(Look-up table, LUT)에 설정된 최대 가중치(GCB_LUT7)를 더하여 픽셀들의 휘도를 더 높일 수 있다.

표 2

[0111]

State	Normal	GCB	Remark
Resolution	Support	Support	Real 지원, PPA 지원, 모든 해상도 지원
Panel Scan Direction	Support	Support	모든 PID, SID에 대해 동작 (동작 중 PID, SID 변경은 지원 안함)
Partial Mode	Support	Support	1. Non-display 영역은 연산 불필요 2. Partial area can be set line by line. 3. GCB SRAM read function is supported by a partial area set.
Idle Mode	Support	N/A	G0, G255 don't need GCB. Image data bypasses the GCB block
PLC	Support	Support	
BC	Support	Support	
HBM	Support	Support	GCBDBV_1023으로 동작 (GCB_LUT7~9)
ISP	Support	Support	

[0112] 제2 테이블(332)은 아래의 표 3과 같이 설정될 수 있다. 제2 테이블(332)은 가중치 적용 여부, 데이터 에러 체크 옵션 등을 정의한다.

[0113] 표 3에서 "GCB_LUT_EN"은 가중치의 적용 여부를 정의한다. "GCB_ERRFG"는 GCB error flag이다. 드라이브 IC(20)에 전원이 입력되어 드라이브 IC(20)에 제1 메모리(30)에 저장된 보상값 전부를 제2 메모리(31)로 로딩한다. 이 때, 보상값을 로딩 하면서 드라이브 IC(20)는 수신된 데이터의 에러를 체크하기 위하여 체크섬(checksum)을 계산하고, 이 값을 제1 메모리(30)에 저장되어 있는 체크섬 결과와 비교하여 이상 유무를 체크한다. 체크섬 계산 결과, 수신 데이터에 이상(abnormal)이 있다고 판단되면 "GCB_ERRFG"를 1로 변경해 데이터 로딩 과정에 오류가 있다는 것을 적시한다. "GCB_ERR_CNT[1:0]"는 체크섬 비교 과정에서 에러(erroe)가 있을 경우에 드라이브 IC(20)는 제1 메모리(30)로부터 다시 데이터를 읽어 로딩하도록 되어 있는데, 이 과정에서 허용 가능한 반복 횟수를 정의한다. "GCB_ERR_CNT[1:0]"이 2로 설정되었으면 체크섬 에러(checksum error)가 2회 허

영되어 3 회까지 제1 메모리(30) 데이터의 재 로딩 이 가능하다. "GCB_ERR_CNT[1:0]"에 정의된 로딩 횟수를 초과하여 에러가 여전히 발생되면 GCB_ERRFG를 1로 변경하고 :GCB_CON"의 정의대로 동작한다. "GCB_SUM[15:0]"은 드라이브 IC(20)에서 계산된 체크섬 결과를 외부에서 확인할 수 있도록 저장된 값이다. "FLASH_RD_ST", "FRASH_RD_STB" 및 "FLASH_FRM[2:0]"은 제2 메모리 데이터의 read out 옵션이다. 제1 메모리의 사양에 따라 이 옵션은 변경될 수 있다.

표 3

[0114]

Register Name	Description	Default
GCB_EN	0: Bypass 1: Enable	0h
GCBDBV_TH1~2[9:0]	휘도 LUT Range 설정. TH1, TH12 모두 0~1023 설정 가능. $0 \leq TH1 \leq TH2 \leq 1023$	
GCBGRAY_TH1~2[7:0]	Gray LUT Range 설정. TH1,2 모두 0~255설정 가능. $0 \leq TH1 \leq TH2 \leq 255$	
GCB_LUT1~9[3:0]	가중치. 최종 Output = 픽셀 블록별 보상값 + LUT 출력 HBM의 경우, GCB_LUT7~9가 동작 0: Bypass (Original image) 1: -7 2: -6 3:-5 4:-4 5:-3 6:-2 7:-1 8:+0 9:+1 10:+2 11:+3 12:+4 13:+5 14:+6 15:+7	8h
GCB_LUT_EN	0: Disable (가중치를 적용하지 않음) 1: Enable (가중치 적용) (HBM은 GCB_LUT_EN=0이어도 GCB_LUT7~9 출력으로 가중치 적용함)	0h
GCB_SUM[15:0]	Checksum parameter.	Read only
GCB_ERRFG	GCB_ERR_CNT에 설정된 Fail 횟수를 초과할 경우 GCB_ERRFG가 1로 변경됨. Sleep-in 시에만 0으로 recovery.	Read only
GCB_ERR_CNT[1:0]	Checksum 비교 중 Fail 허용 횟수 0: 0 1: 1 2: 2 3: 3	1h
GCB_CON	GCB_ERRFG가 1일 경우 (제1 메모리의 read error 시) GCB 동작 설정. 0: Error 무시 및 GCB 작동, 1: GCB 기능 Bypass	1h
FLASH_RD_ST	Sleep-out시 제1 메모리의 read start 시점 0: Sleep-out과 동시 1: (FLASH_RD_STB + FLASH_FRM) 시간 후	0h
FLASH_RD_STB[7:0]	Sleep-out시 Flash read start delay. 0H~255H	0h
FLASH_FRM[2:0]	FLASH_RD_ST에 적용할 프레임 딜레이(frame delay). 0: 0 frame 1: 0.5 2: 1 3: 1.5 4: 2 5: 2.5 6: 3 7: 3.5	0h

[0115]

제3 테이블(333)은 아래의 표 4와 같이 설정될 수 있다. 제3 테이블(333)은 제1 및 제2 메모리(30, 31)의 읽기/쓰기(read/write) 옵션을 정의한 것이다.

표 4

[0116]

Register Name	Description
SRAM Read/Write	User가 제2 메모리에 data를 read / write 할 수 있는 방법 정의
Flash Read/Write	제2 메모리 -> 제1 메모리, 제1 메모리 -> 제2 메모리 각각의 경우에 data read / write 방법 정의

Flash Low Power Mode	제1 메모리의 data read 완료 후 제1 메모리를 low power mode 전환 (sleep-out시 normal mode로 전환)
Flash Power Down Mode	제1 메모리의 data read 완료 후 제1 메모리를 power down mode 전환 (sleep-out시 normal mode로 전환)
SRAM Power Down Mode	GCB 기능 disable 선택시 제2 메모리의 power down mode 전환

- [0117] 도 10은 펜타일 픽셀 배치에서 적용 가능한 8x4 픽셀 블록의 일 예를 보여 주는 도면이다. 도 11은 WQXGA(1600x2560)의 펜타일 픽셀 배치에서 픽셀들을 도 10에 도시된 8x4 픽셀 블록으로 나누어 픽셀들을 그룹핑한 예를 보여 주는 도면이다. 도 12는 WQXGA(1600x2560)의 펜타일 픽셀 배치가 8x4 픽셀 블록으로 나누어질 때 컬러 별로 서브 픽셀들의 개수를 보여 주는 도면이다.
- [0118] 도 10을 참조하면, 8x4 픽셀 블록은 행(row) 방향으로 8 개의 픽셀들과 열(column) 방향으로 4 개의 픽셀들을 포함한다. 픽셀들(P) 각각은 도 4와 같이 R 서브 픽셀과 B 서브 픽셀을 포함하거나, B 서브 픽셀과 G 서브 픽셀을 포함하여 두 개의 서브 픽셀들을 포함한다. 따라서, 8x4 픽셀 블록은 16x4 서브픽셀들을 포함한다.
- [0119] 픽셀 데이터 각각은 RGB 데이터를 포함한 리얼 픽셀 데이터로 입력되고, 리얼/펜타일 변환부(82)에 의해 그 리얼 픽셀 데이터는 RG 또는 GB 데이터를 포함한 픽셀 데이터로 변환된다. 리얼/펜타일 변환부(82)에 의해 리얼 픽셀 데이터 RGB RGB(2pixel, 6 sub-pixel)는 RG BG(2pixel, 4 sub-pixel)로 변환된다.
- [0120] 8x4 픽셀 블록에 기입될 R 데이터와 B 데이터 각각은 리얼 픽셀 데이터로 볼 때 8x4 개이다. 8x4 픽셀 블록들에 기입될 G 데이터는 8x4 개이다.
- [0121] 도 10과 같은 8x4 픽셀 블록의 경우에, 픽셀 그룹별 보상값은 8x4 개의 R 데이터에 일괄 적용될 하나의 R 보상값, 8x4 개의 B 데이터에 일괄 적용될 하나의 B 보상값, 및 8x4 개의 G 데이터에 분할 적용될 두 개의 G 보상값(GL, GR)을 포함하여 총 네 개의 보상값들을 포함한다. 따라서, 픽셀 그룹별 보상값은 실제 픽셀 개수보다 훨씬 적은 보상값들을 포함하여 보상부(32)에 필요한 메모리 용량을 대폭 줄일 수 있다. 보상값 각각은 8 bit 즉, R: 8bit, GL: 8bit, B: 8bit, GR: 8bit 일 수 있다. 보상값 각각이 8 bit 데이터이면, -127 ~ +128을 표현할 수 있으므로 입력 영상의 픽셀 데이터에 -127 ~ +128이 더해질 수 있다.
- [0122] 본 발명은 4x4 픽셀 블록의 휘도를 세밀하게 표현하기 위하여 휘도 기여도가 큰 G 보상값(GL, GR)을 두 개로 분리한다. 픽셀 블록을 좌반부 서브 블록(BLOCK1)와 우반부(BLOCK2)로 분할할 때, G 보상값(GL, GR)은 좌반부 서브 블록(BLOCK1)의 G 서브 픽셀들에 일괄 적용되는 제1 G 보상값(GL)과, 우반부 서브 블록(BLOCK2)의 G 서브 픽셀들에 일괄 적용되는 제2 G 보상값(GR)으로 나뉘어진다. 한편, 2.2 감마 커브에서 RGB 컬러별 휘도 기여도는 R:G:B = 0.25:0.65:0.10이다.
- [0123] 8x4 픽셀 블록 내에서 G 보상값이 두 개로 분리되는 것에 한정되지 않는다. 예컨대, 8x4 픽셀 블록 내에서 G 보상값을 분리할 필요가 없는 모델의 경우에, G 보상값은 하나로 설정될 수 있다.
- [0124] 도 10 내지 도 12에 도시된 픽셀 그룹핑 방법을 적용하면 WQXGA(1600x2560)의 펜타일 픽셀 배치에서 1600x2560이 8x4 픽셀 블록으로 나누어지기 때문에 제2 메모리(31) 즉, SRAM의 메모리 크기는 픽셀 각각에 보상값이 적용되는 경우에 비하여 훨씬 적은 $1600/8 \times 2560/4 \times 32\text{bits} = 4,096,000 \text{ bit}$ 에 불과하다. 여기서, 32bits는 R: 8bit, GL: 8bit, B: 8bit, GR: 8bit를 더한 데이터 크기이다. X x Y (X는 M 보다 크고, Y는 N 보다 큰 양의 정수) 해상도를 갖는 표시패널(100)의 경우, 제2 메모리(31) 즉, SRAM에 저장되는 데이터 크기 = (X/M)x(Y/N) x 픽셀 블록별 보상값 데이터 크기이다. 전술한 예에서, 픽셀 블록별 보상값 데이터 크기 = 8 bits x 4 =32 bits 이다.
- [0125] 도 13 내지 도 15는 도 10 내지 도 12와 같은 방법으로 WQXGA의 화면이 8x4 픽셀 블록으로 나뉠 때 제1 메모리(30)에 저장된 보상값을 보여 주는 도면이다. 도 13은 도 10 내지 도 12와 같은 방법으로 WQXGA의 화면이 8x4 픽셀 블록으로 나뉠 때 PID=00, SID=00으로 정의된 스캔 방향 순서대로 보상값이 제1 메모리에 저장된 예를 보여 주는 도면이다. 도 14는 도 13과 같은 순서로 제1 메모리에 저장된 보상값들과 체크섬 데이터를 보여 주는 도면이다. 도 15는 하나의 8x4 픽셀 블록에 정의된 4 Byte의 보상값을 보여 주는 도면이다.
- [0126] 도 13 내지 도 15를 참조하면, 픽셀 블록별 보상값이 PID와 SID에 의해 정해진 스캔 방향을 따르는 순서로 제1 메모리(30)에 저장될 수 있다. 예컨대, PID=00, SID=00일 때, 화면의 좌상단 (1,1)에 위치한 픽셀 블록의 보상

값(R1_1, GL1_1, B1_1, GR1_1)으로부터 우상단 (200, 1)에 위치한 픽셀 블록의 보상값 (R200_1, GL200_1, B200_1, GR200_1)의 순서로 제1 메모리(30)에 픽셀 블록별 보상값들이 저장된다. 이어서, 그 아래의 좌측 픽셀 블록으로부터 우측 픽셀 블록의 순서로 픽셀 블록별 보상값들이 저장된다. 이러한 순서를 따라 화면의 하단에서 좌하단 (1,640)에 위치한 픽셀 블록의 보상값(R1_640, GL1_640, B1_640, GR1_640)으로부터 우하단 (200, 640)에 위치한 픽셀 블록의 보상값 (R200_640, GL200_640, B200_640, GR200_640)의 순서로 제1 메모리(30)에 픽셀 블록별 보상값들이 저장된다.

- [0127] 하나의 8x4 픽셀 블록에 할당되는 보상값들은 4 Byte 데이터로 제1 메모리에 저장된다. 예를 들어, 좌상단 8x4 픽셀 블록 (1,1)의 픽셀 데이터에 적용될 보상값들은 도 15에 도시된 바와 같이 1 Byte의 R 보상값(R1_1), 1 Byte의 GL 보상값(GL1_1), 1 Byte의 B 보상값(B1_1), 그리고 1 Byte의 GR 보상값(GR1_1)을 포함한다. 카메라에 의해 촬영된 얼룩의 휘도는 타겟(target) 휘도 보다 높은 휘도의 얼룩(+), 타겟 휘도 보다 낮은 휘도의 얼룩(-)이 존재한다. 따라서, 보상값도 + 보상값과 - 보상값을 포함할 수 있다. 보상값이 8 bit일 때 보상값은 2의 보수(complement)를 사용하여 실제 사용 계조에서 -127 ~ + 128 를 표현할 수 있다.
- [0128] 컴퓨터(200)로부터 제1 메모리(30)에 픽셀 블록별 보상값 데이터를 전송할 때 데이터 에러 체크를 위한 2 Byte의 체크섬 데이터(Checksum1, Checksum2)가 제1 메모리(30)에 저장된다. 픽셀 블록별 데이터는 입력 영상의 픽셀 데이터에 대하여 실시간 적용되고, 체크섬 데이터(Checksum1, Checksum2)는 픽셀 데이터에 반영되지 않는다.
- [0129] 따라서, 도 10 내지 도 12와 같은 방법으로 WQXGA의 화면이 8x4 픽셀 블록으로 나뉠 때 제1 메모리 즉, 플래시 메모리 크기는 픽셀 각각에 보상값이 적용되는 경우에 비하여 훨씬 적은 (200x640x4)byte + 2byte checksum 에 불과하다. X x Y 해상도를 갖는 표시패널(100)의 경우, 제1 메모리(30)에 저장된 데이터 크기 = (X/M)x(Y/N) x 픽셀 블록별 보상값 데이터 크기 + 체크섬 데이터 크기 이다.
- [0130] 본 발명의 드라이브 IC(20)는 펜타일 픽셀 배치를 갖는 표시패널과 리얼 픽셀 배치를 갖는 표시패널에 모두 적용될 수 있다. 픽셀 배치에 따라 레지스터 설정값을 선택하면 하나의 드라이브 IC(20)를 펜타일 픽셀 배치 또는 리얼 픽셀 배치에 적용할 수 있다.
- [0131] 도 16은 리얼 픽셀 배치에서 적용 가능한 8x4 픽셀 블록의 일 예를 보여 주는 도면이다. 도 17은 해상도 (1072x2560)의 리얼 픽셀 배치에서 픽셀들을 도 16에 도시된 8x4 픽셀 블록으로 나누어 픽셀들을 그룹핑한 예를 보여 주는 도면이다. 도 18은 도 17과 같은 해상도(1072x2560)의 리얼 픽셀 배치가 8x4 픽셀 블록으로 나뉘어 질 때 컬러 별로 서브 픽셀들을 보여 주는 도면이다.
- [0132] 도 16을 참조하면, 8x4 픽셀 블록은 행(row) 방향으로 8 개의 픽셀들과 열(column) 방향으로 4 개의 픽셀들을 포함한다. 픽셀들(P) 각각은 도 5에 도시된 바와 같이 R 서브 픽셀, G 서브 픽셀, 및 B 서브 픽셀을 포함한다. 따라서, 8x4 픽셀 블록은 24x4 서브픽셀들을 포함한다. 8x4 픽셀 블록에 기입될 R 데이터, G 데이터 및 B 데이터 각각은 8x4 개이다.
- [0133] 도 16과 같은 8x4 픽셀 블록의 경우에, 픽셀 그룹별 보상값은 8x4 개의 R 데이터에 일괄 적용될 하나의 R 보상값, 8x4 개의 G 데이터에 일괄 적용될 하나의 G 보상값, 및 8x4 개의 B 데이터에 분할 적용될 하나의 B 보상값을 포함하여 총 세 개의 보상값들을 포함한다. 따라서, 픽셀 그룹별 보상값은 실제 픽셀 개수보다 훨씬 적은 보상값들을 포함하여 보상부(32)에 필요한 메모리 용량을 대폭 줄일 수 있다. 보상값 각각은 8 bit 즉, R: 8bit, G: 8bit, B: 8bit 일 수 있다. 보상값 각각이 8 bit 데이터이면, -127 ~ +128을 표현할 수 있으므로 입력 영상의 픽셀 데이터에 -127 ~ +128이 더해질 수 있다.
- [0134] G 보상값은 8x4 픽셀 블록 마다 하나씩 설정될 수 있고 도 10에 도시된 실시예와 같은 방법으로 각 픽셀 블록에서 두 개로 분리될 수도 있다.
- [0135] 도 16 내지 도 18에 도시된 픽셀 그룹핑 방법을 적용하면 해상도(1072x2560)의 리얼 픽셀 배치에서 1072x2560이 8x4 픽셀 블록으로 나뉘어지기 때문에 제2 메모리(31) 즉, SRAM의 메모리 크기는 픽셀 각각에 보상값이 적용되는 경우에 비하여 훨씬 적은 $1072/8 \times 2560/4 \times 24\text{bits} = 2,058,240 \text{ bit}$ 에 불과하다. 여기서, 24bits는 R: 8bit, G: 8bit, B: 8bit를 더한 데이터 크기이다. X x Y 해상도를 갖는 표시패널(100)의 경우, 제2 메모리 (31) 즉, SRAM에 저장된 데이터 크기 = (X/M)x(Y/N) x 픽셀 블록별 보상값 데이터 크기이다. 전술한 예에서, 픽셀 블록별 보상값 데이터 크기 = 8 bits x 3 = 24 bits이다.
- [0136] 도 19 내지 도 21은 도 16 내지 도 8과 같은 방법으로 해상도(1072x2560)의 화면이 8x4 픽셀 블록으로 나뉠 때 제1 메모리(30)에 저장된 보상값을 보여 주는 도면이다. 도 19는 도 16 내지 도 18과 같은 방법으로 해상도 (1072x2560)의 화면이 8x4 픽셀 블록으로 나뉠 때 PID=00, SID=00으로 정의된 스캔 방향 순서대로 보상값이 제1

메모리에 저장된 예를 보여 주는 도면이다. 도 20은 도 19와 같은 순서로 제1 메모리에 저장된 보상값들과 체크섬 데이터를 보여 주는 도면이다. 도 21은 하나의 8x4 픽셀 블록에 정의된 3 Byte의 보상값을 보여 주는 도면이다.

- [0137] 도 19 내지 도 21을 참조하면, 픽셀 블록별 보상값이 PID와 SID에 의해 정해진 스캔 방향을 따르는 순서로 제1 메모리(30)에 저장될 수 있다. 예컨대, PID=00, SID=00일 때, 화면의 좌상단 (1,1)에 위치한 픽셀 블록의 보상값(R1_1, G1_1, B1_1)으로부터 우상단 (134, 1)에 위치한 픽셀 블록의 보상값 (R134_1, G134, B134_1)의 순서로 제1 메모리(30)에 픽셀 블록별 보상값들이 저장된다. 이어서, 그 아래의 좌측 픽셀 블록으로부터 우측 픽셀 블록의 순서로 픽셀 블록별 보상값들이 저장된다. 이러한 순서를 따라, 화면의 하단에서 좌하단 (1,640)에 위치한 픽셀 블록의 보상값(R1_640 G1_640, B1_640)으로부터 우하단 (134, 640)에 위치한 픽셀 블록의 보상값 (R134_640, G134_640, B134_640)의 순서로 제1 메모리(30)에 픽셀 블록별 보상값들이 저장된다.
- [0138] 하나의 8x4 픽셀 블록에 할당되는 보상값들은 3 Byte 데이터로 제1 메모리(30)에 저장된다. 예를 들어, 좌상단 8x4 픽셀 블록 (1,1)의 픽셀 데이터에 적용될 보상값들은 도 21에 도시된 바와 같이 1 Byte의 R 보상값(R1_1), 1 Byte의 G 보상값(G1_1), 및 1 Byte의 B 보상값(B1_1)을 포함한다.
- [0139] 컴퓨터(200)로부터 제1 메모리(30)에 픽셀 블록별 보상값 데이터를 전송할 때 데이터 에러 체크를 위한 2 Byte의 체크섬 데이터(Checksum1, Checksum2)가 제1 메모리(30)에 저장된다. 픽셀 블록별 데이터는 입력 영상의 픽셀 데이터에 대하여 실시간 적용되고, 체크섬 데이터(Checksum1, Checksum2)는 픽셀 데이터에 반영되지 않는다.
- [0140] 도 16 내지 도 18과 같은 방법으로 해상도(1072x2560)의 화면이 8x4 픽셀 블록으로 나뉠 때 제1 메모리 즉, 플래시 메모리 크기는 픽셀 각각에 보상값이 적용되는 경우에 비하여 훨씬 적은 (134x640x4)byte + 2byte checksum 에 불과하다. X x Y 해상도를 갖는 표시패널(100)의 경우, 제1 메모리(30)에 저장된 데이터 크기 = (X/M)x(Y/N) x 픽셀 블록별 보상값 데이터 크기 + 체크섬 데이터 크기이다.
- [0141] 도 22는 도 10에 도시된 8x4 픽셀 블록의 보상값을 픽셀 데이터에 적용한 예를 보여 주는 도면이다.
- [0142] 도 22에서 "R4x4"는 좌반부(BLOLK1)와 우반부(BLOLK2) 각각에 존재하는 4x4 개의 R 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(R 데이터)이고, G4x4L"은 좌반부(BLOLK1)에 존재하는 4x4 개의 G 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(G 데이터)이다. G4x4R"은 우반부(BLOLK2)에 존재하는 4x4 개의 G 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(G 데이터)이다. 그리고 "B4x4"는 좌반부(BLOLK1)와 우반부(BLOLK2) 각각에 존재하는 4x4 개의 B 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(B 데이터)이다. "R1_1-OFFSET"은 R 서브 픽셀들에 일괄 적용될 하나의 R 보상값이다. "GL1_1-OFFSET"은 좌반부(BLOLK1)의 G 서브 픽셀들에 일괄 적용될 하나의 G 보상값(GL)이다. "GR1_1-OFFSET"은 우반부(BLOLK2)의 G 서브 픽셀들에 일괄 적용될 하나의 G 보상값(GR)이다. "B1_1-OFFSET"은 B 서브 픽셀들에 일괄 적용될 하나의 B 보상값이다. 보상값들 각각에 룩업 테이블에 설정된 가중치가 더해질 수 있으나 이에 한정되지 않는다.
- [0143] 도 23은 도 16에 도시된 8x4 픽셀 블록의 보상값을 픽셀 데이터에 적용한 예를 보여 주는 도면이다.
- [0144] 도 23에서 "R8x4"는 8x4 개의 R 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(R 데이터)이고, G8x4"는 8x4 개의 G 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(G 데이터)이다. "B8x4"는 8x4 개의 B 서브 픽셀들에 기입될 입력 영상의 픽셀 데이터(B 데이터)이다. "R1_1-OFFSET"은 R 서브 픽셀들에 일괄 적용될 하나의 R 보상값이다. "G1_1-OFFSET"은 G 서브 픽셀들에 일괄 적용될 하나의 G 보상값이다. "B1_1-OFFSET"은 B 서브 픽셀들에 일괄 적용될 하나의 B 보상값이다. 보상값들 각각에 룩업 테이블에 설정된 가중치가 더해질 수 있으나 이에 한정되지 않는다.
- [0145] 도 22 및 도 23에서"Red Gray Output"은 R 보상값(R1_1-OFFSET)이 더해져 픽셀 블록 내의 R 서브 픽셀들에 기입되는 보상 적용 R 데이터이다. "Green Gray Output"은 G 보상값(GL1_1-OFFSET, GR1_1-OFFSET)이 더해져 픽셀 블록 내의 G 서브 픽셀들에 기입되는 보상 적용 G 데이터이다. "Blue Gray Output"은 B 보상값 (B1_1-OFFSET)이 더해져 픽셀 블록 내의 B 서브 픽셀들에 기입되는 보상 적용 B 데이터이다.
- [0146] 연산부(321)는 데이터 연산시에 오버 플로우(overflow)와 언더 플로우(underflow)가 되는 픽셀 데이터의 연산 결과를 도 24에 도시된 바와 같이 조정한다.
- [0147] 도 24를 참조하면, 픽셀 데이터에 보상값을 더했을 때 그 연산 결과에서 최대값이 255 이상인 데이터가 있으면 (S241, S242), 그 데이터를 "255"로 조정하고, 픽셀 데이터들간 계조 차이(gray gap)를 입력 영상과 동일하게 유지하기 위하여 오버 플로우 계산 과정에서 최대값 이외의 다른 픽셀 데이터들 각각에 255-최대값 만큼 더하여

다른 픽셀 데이터들을 조정한다(S243). 도 24에서, "flash data"는 픽셀 블록별 보상값이다. "LUT data"는 가중치이다.

[0148] 일 예로, 픽셀 블록 내에서 4x1 개의 입력 R 데이터 (246, 252, 249, 250)에 보상값 OFFSET= 10을 가산한 결과, (246, 252, 249, 250)는 (255, 255, 255, 255)으로 되기 때문에 픽셀 데이터간 계조 차이가 없어져 입력 영상의 계조 차이(Original gray gap)를 표현할 수 없다. 이 경우, 연산부(32)는 오버 플로우 계산 과정(S243)에서 입력 R 데이터 (246, 252, 249, 250) 중에서 최대값 252에 +3을 더하여 255로 조정하고, 나머지 데이터에도 10이 아닌 +3을 더하여 (249, 255, 252, 253)으로 조정함으로써 입력 영상의 계조 차이를 표현한다. 오버 플로우 계산 과정에서, 0 이하의 계산 값은 0으로 처리된다(S244, S245).

[0149] 픽셀 데이터에 보상값을 더했을 때 그 연산 결과에서 최소값이 0 이하인 데이터가 있으면(S246, S247), 그 데이터를 "0"으로 조정하고, 픽셀 데이터들간 계조 차이(gray gap)를 입력 영상과 동일하게 유지하기 위하여 언더 플로우 계산 과정에서 최소값 이외의 다른 픽셀 데이터들 각각에 - 최소값을 더한 결과로 다른 픽셀 데이터들을 조정한다(S248).

[0150] 일 예로, 픽셀 블록 내에서 4x1 개의 입력 R 데이터 (9, 5, 7, 4)에 -10을 더한 결과, (9, 5, 7, 4)는 (0, 0, 0, 0)으로 되기 때문에 픽셀 데이터간 계조 차이가 없어져 입력 영상의 계조 차이를 표현할 수 없다. 이 경우, 연산부(32)는 언더 플로우 계산 과정(S248)에서 입력 R 데이터 (9, 5, 7, 4) 중에서 최소값 4에 -3을 더하여 0으로 조정하고, 나머지 데이터에도 -10이 아닌 -4를 더하여 (5, 1, 3, 0)으로 조정함으로써 입력 영상의 계조 차이를 표현한다.

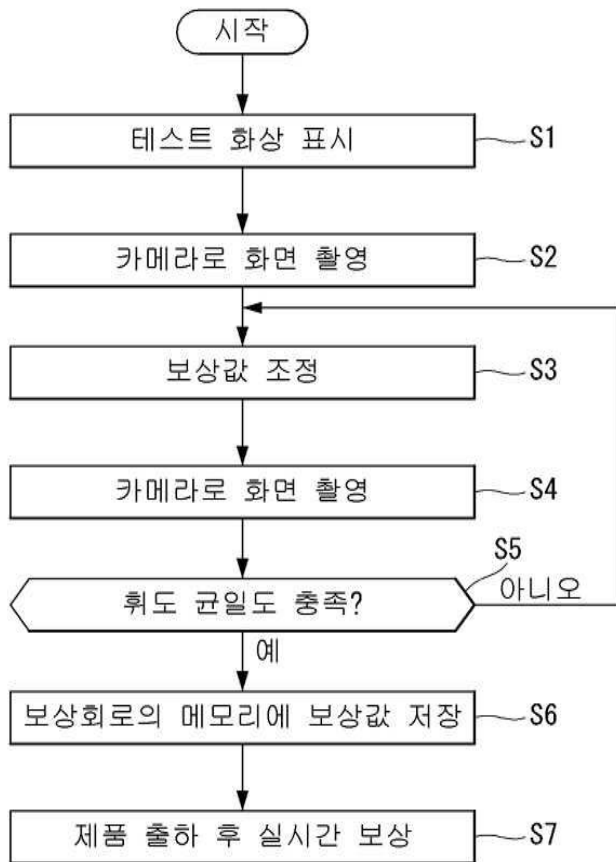
[0151] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

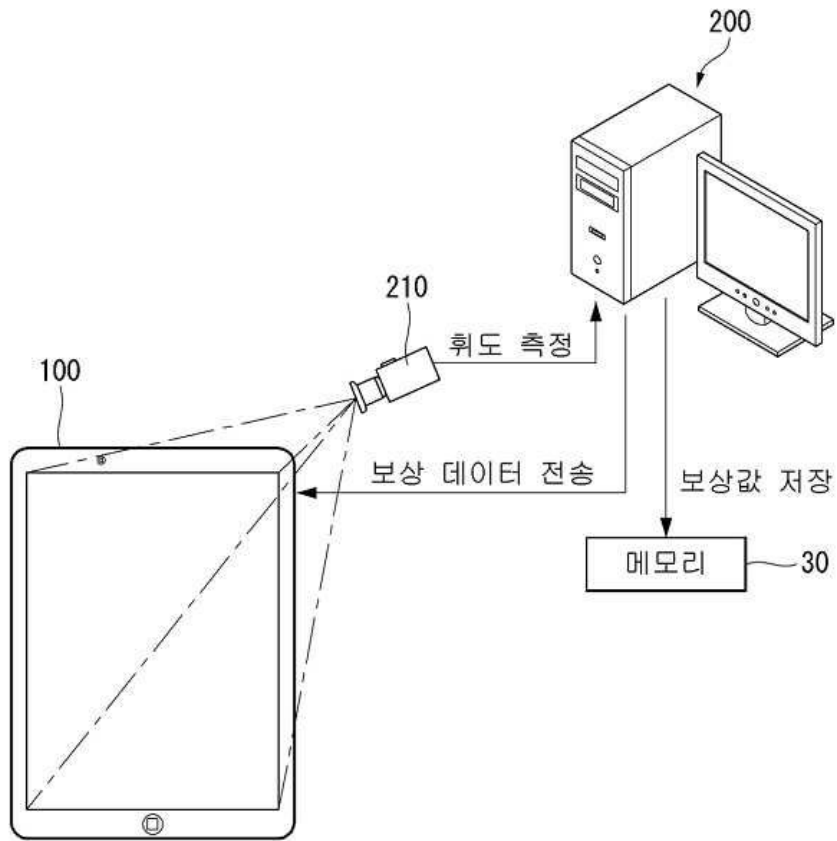
- [0152] 10 : 표시패널 20 : 드라이버 IC
- 21 : 타이밍 제어부 22 : 데이터 구동부
- 30 : 제1 메모리(플래시 메모리) 31 : 제2 메모리(SRAM)
- 32 : 보상부 33 : 레지스터
- 81 : 화질 향상부 82 : 리얼/펜타일 변환부

도면

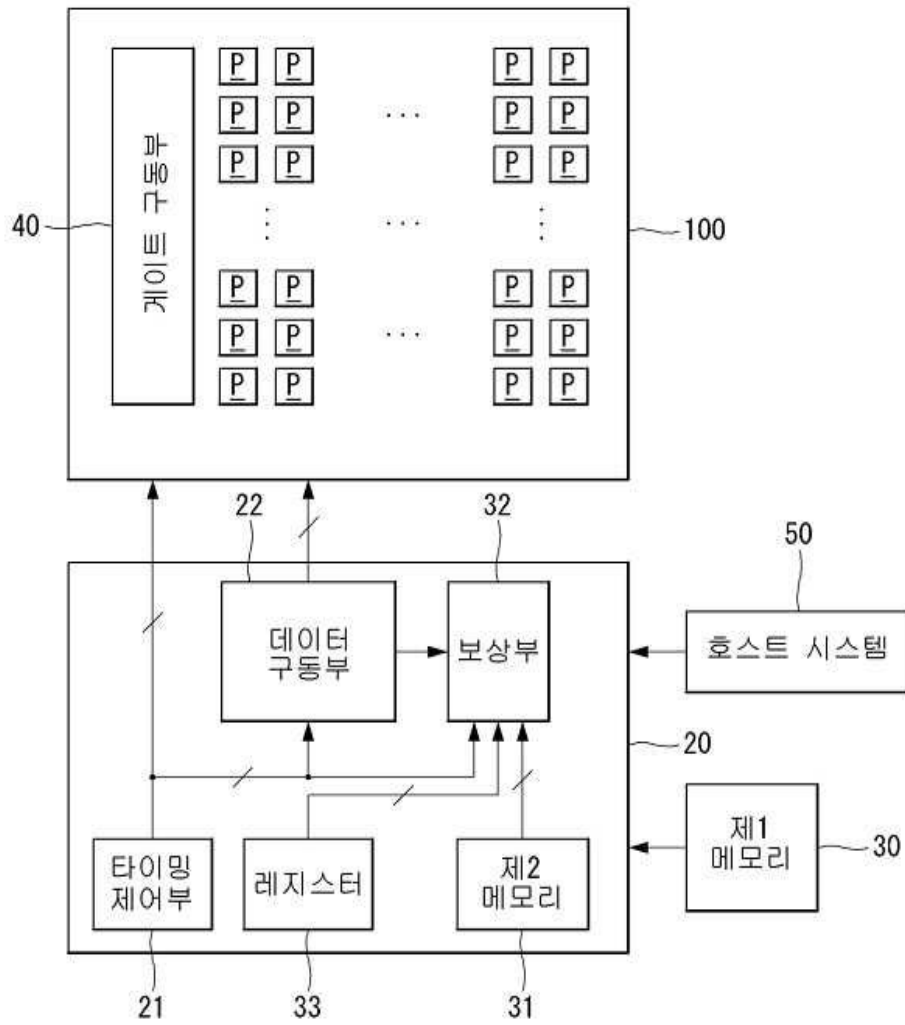
도면1



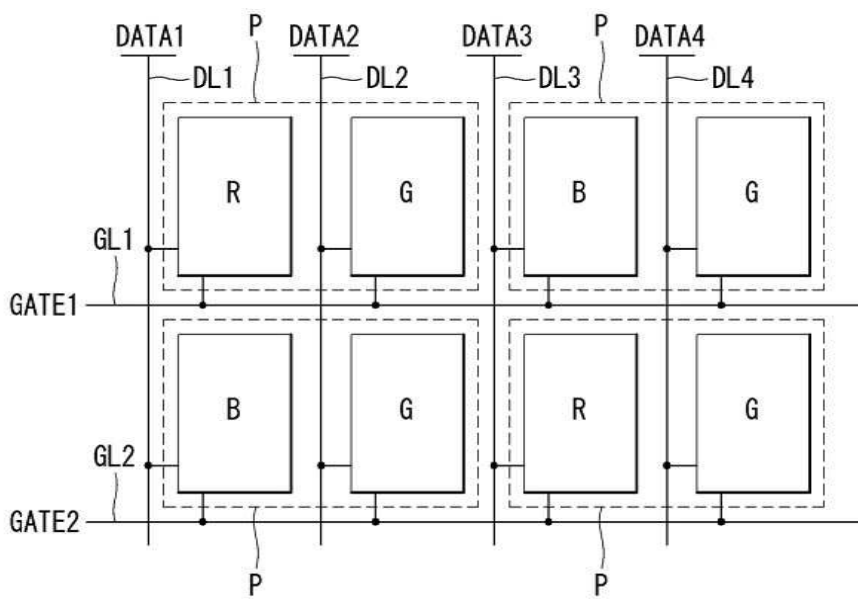
도면2



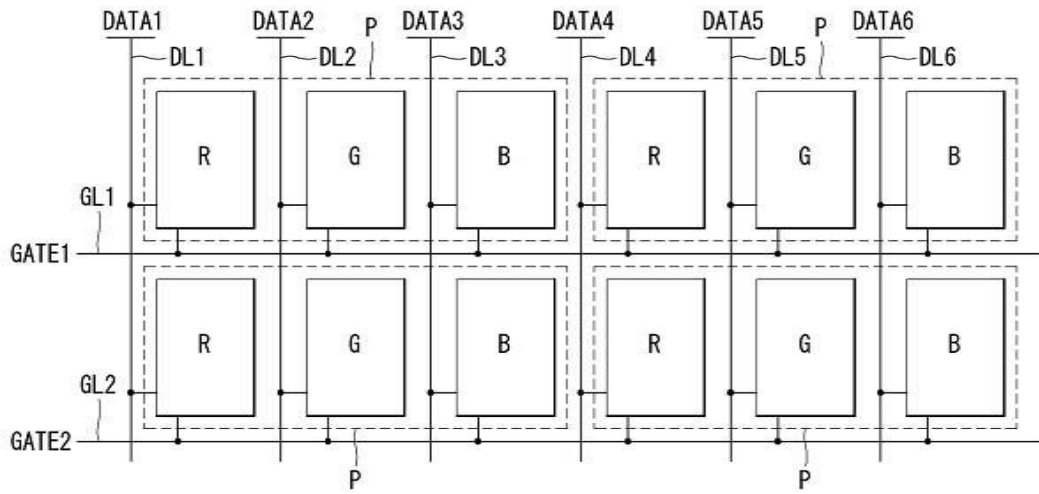
도면3



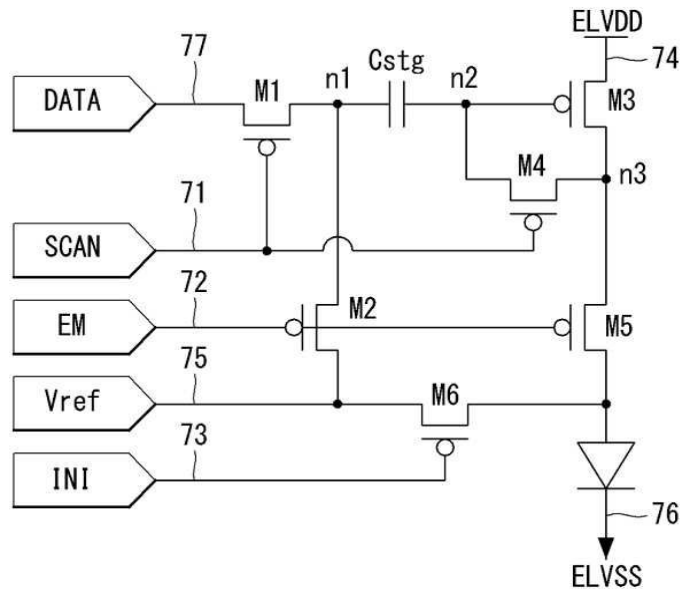
도면4



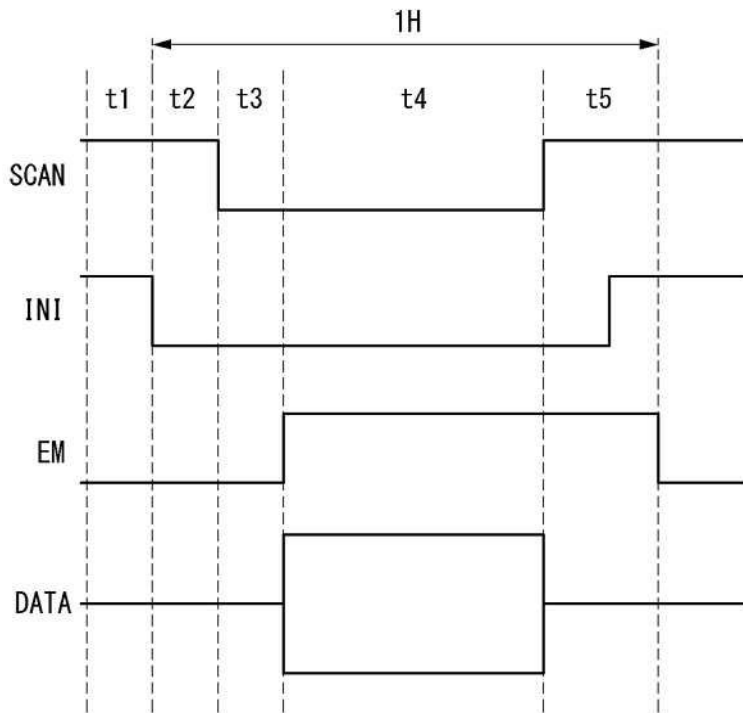
도면5



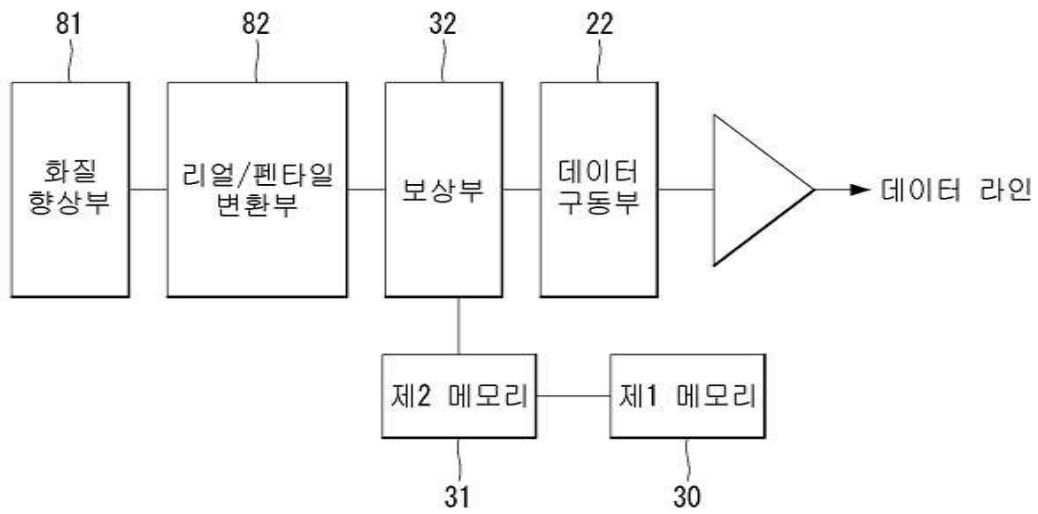
도면6



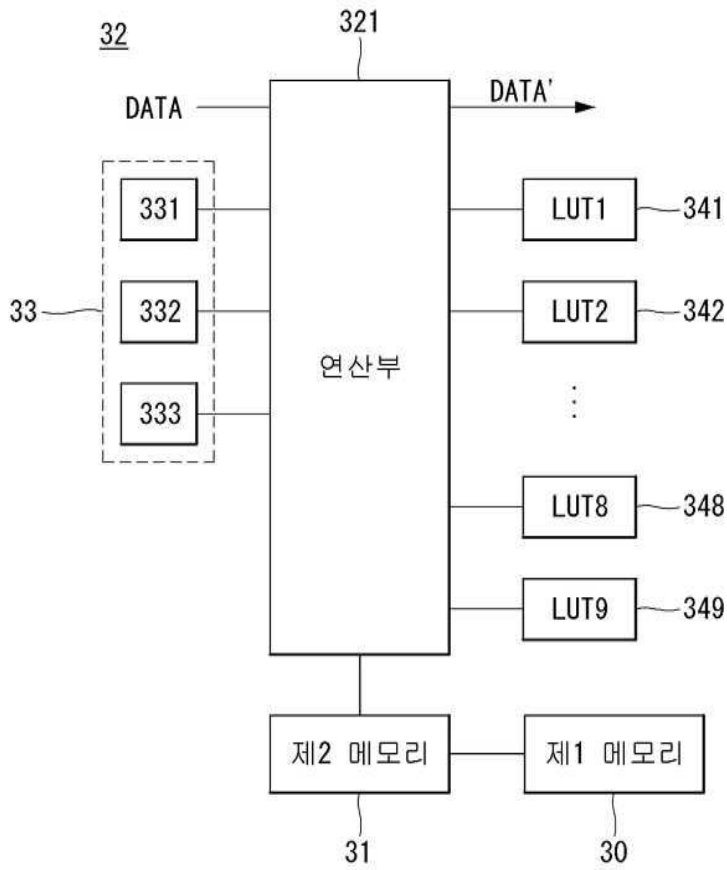
도면7



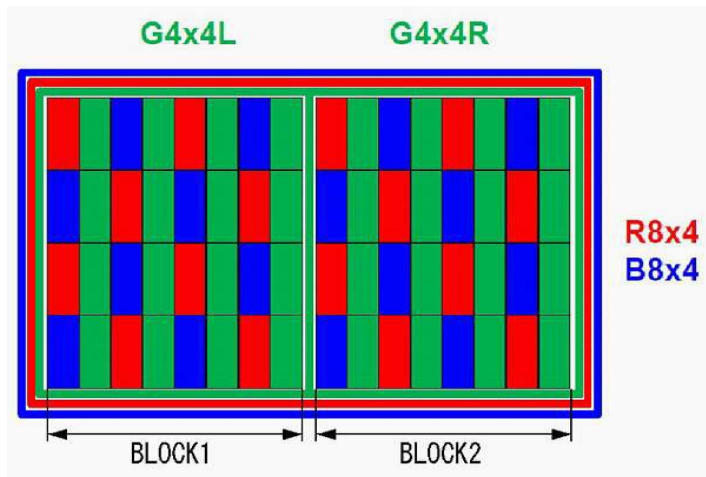
도면8



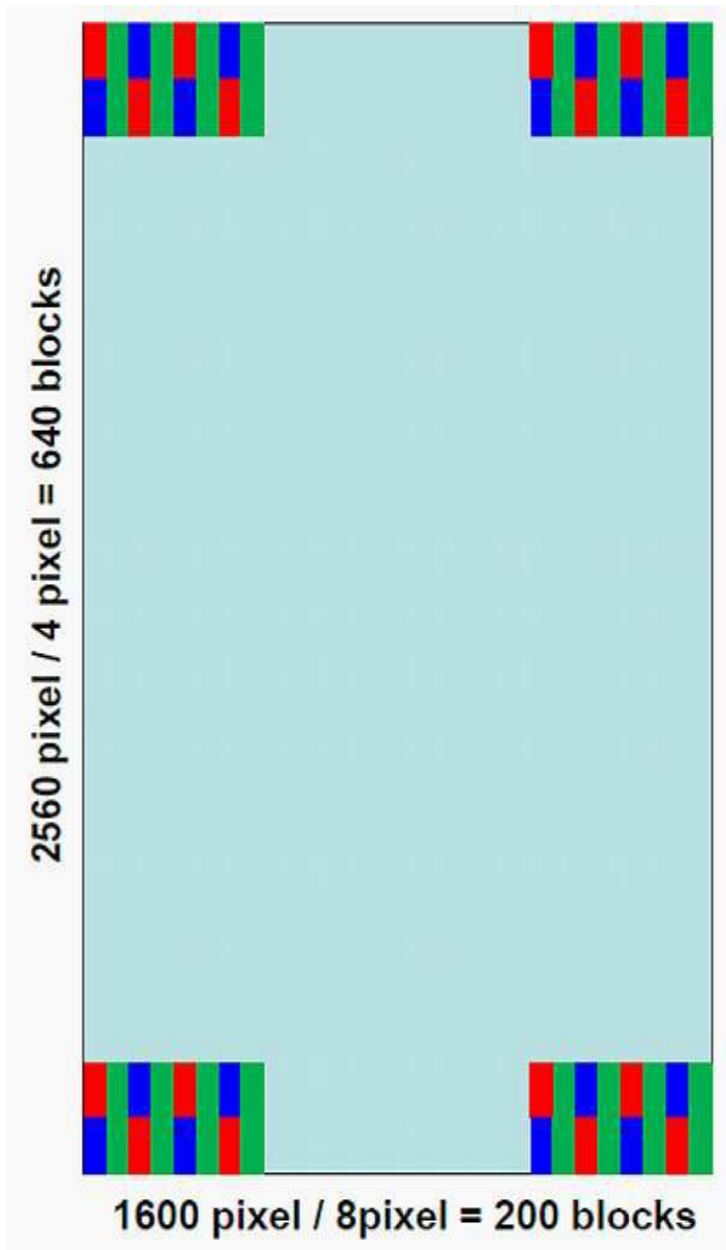
도면9



도면10



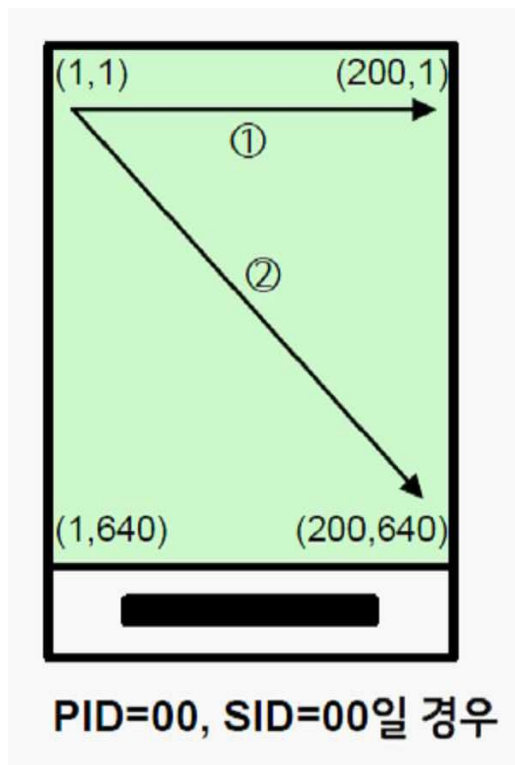
도면11



도면12



도면13



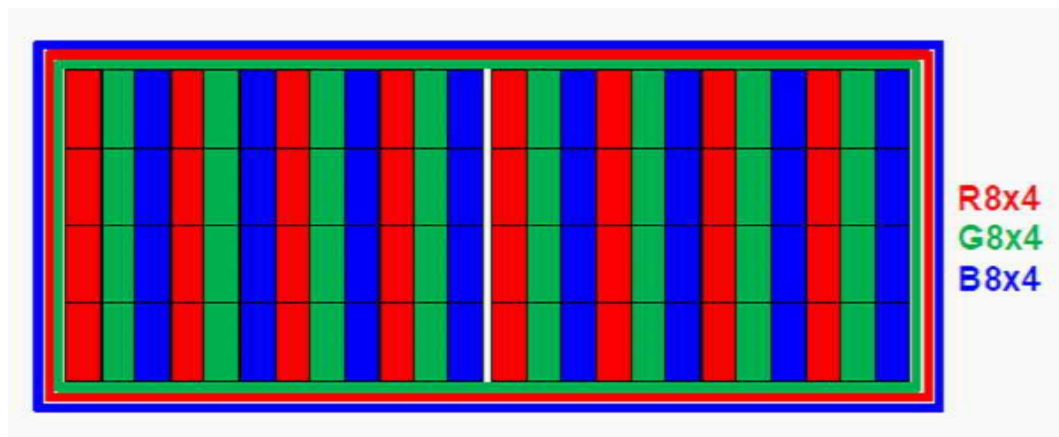
도면14

Byte	Data
Byte 1	R1_1
Byte 2	GL1_1
Byte 3	B1_1
Byte 4	GR1_1
Byte 5	R2_1
Byte 6	GL2_1
Byte 7	B2_1
Byte 8	GR2_1
⋮	⋮
Byte (200*640*4+2-9)	R199_640
Byte (200*640*4+2-8)	GL199_640
Byte (200*640*4+2-7)	B199_640
Byte (200*640*4+2-6)	GR199_640
Byte (200*640*4+2-5)	R200_640
Byte (200*640*4+2-4)	GL200_640
Byte (200*640*4+2-3)	B200_640
Byte (200*640*4+2-2)	GR200_640
Byte (200*640*4+2-1)	Checksum1
Byte (200*640*4+2-0)	Checksum2

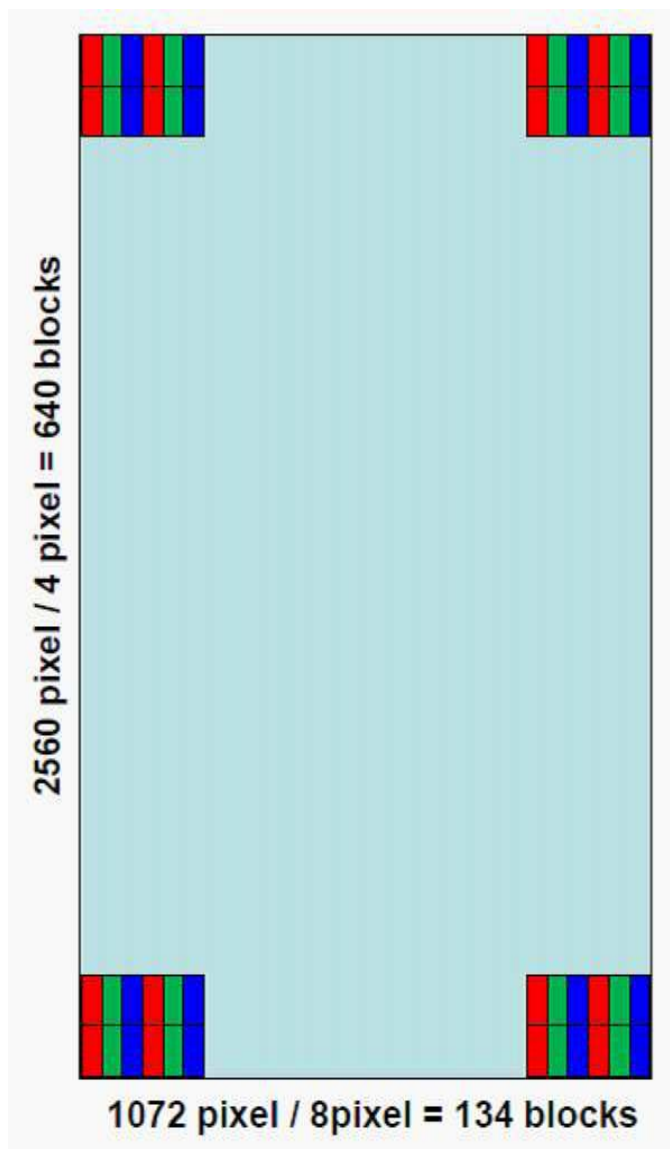
도면15

	D7	D6	D5	D4	D3	D2	D1	D0
Byte 1	R1_1							
Byte 2	GL1_1							
Byte 3	B1_1							
Byte 4	GR1_1							
⋮	⋮							

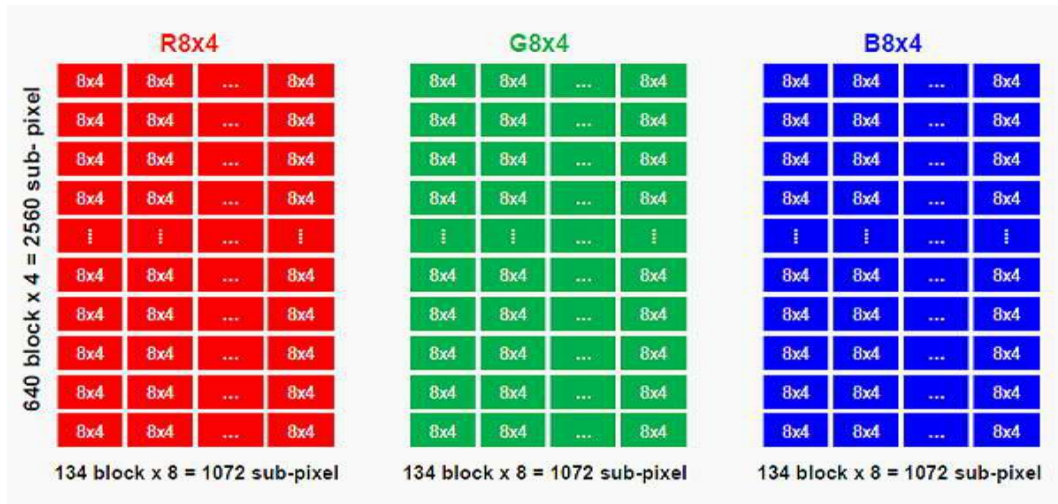
도면16



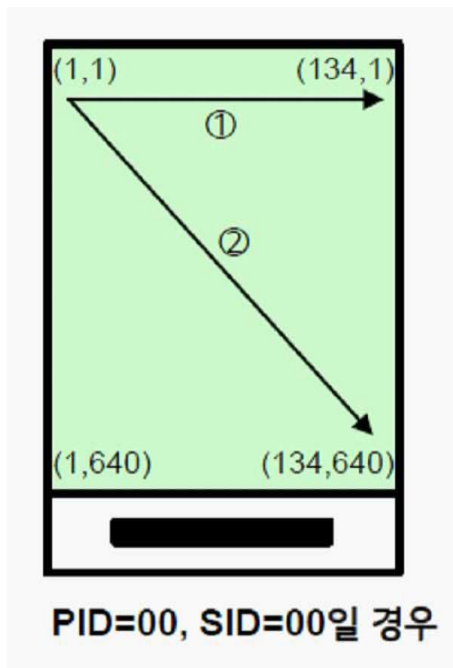
도면17



도면18



도면19



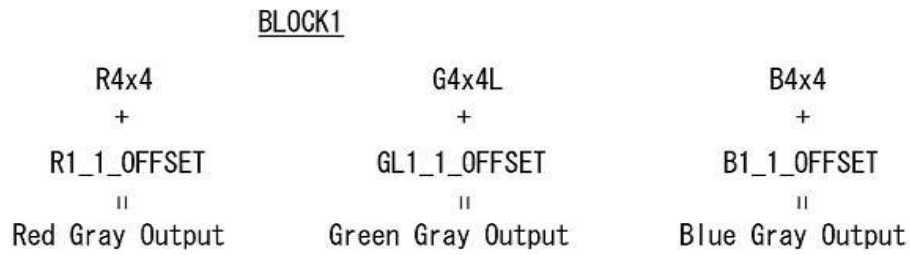
도면20

Byte	Data
Byte 1	R1_1
Byte 2	G1_1
Byte 3	B1_1
Byte 4	R2_1
Byte 5	G2_1
Byte 6	B2_1
⋮	⋮
Byte (134*640*3+2-7)	R133_640
Byte (134*640*3+2-6)	G133_640
Byte (134*640*3+2-5)	B133_640
Byte (134*640*3+2-4)	R134_640
Byte (134*640*3+2-3)	G134_640
Byte (134*640*3+2-2)	B134_640
Byte (134*640*3+2-1)	Checksum1
Byte (134*640*3+2-0)	Checksum2

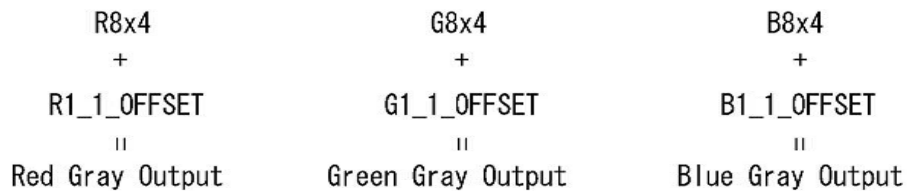
도면21

	D7	D6	D5	D4	D3	D2	D1	D0
Byte 1	R1_1							
Byte 2	G1_1							
Byte 3	B1_1							
⋮	⋮							

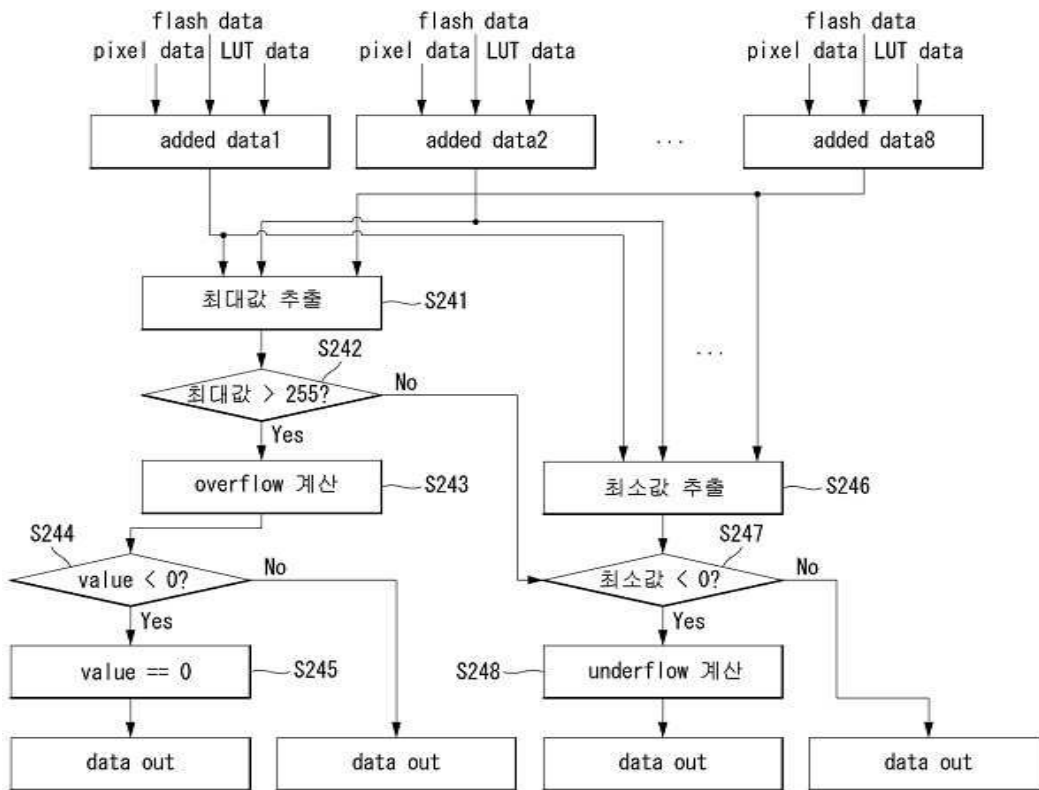
도면22



도면23



도면24



专利名称(译)	实时补偿电路和包括其的电致发光显示装置		
公开(公告)号	KR1020180062585A	公开(公告)日	2018-06-11
申请号	KR1020160162367	申请日	2016-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG JANG HOON 송장훈 JEONG SEOK HEE 정석희		
发明人	송장훈 정석희		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2300/0452 G09G2300/0819 G09G2300/043		
外部链接	Espacenet		

摘要(译)

本发明涉及一种实时补偿电路和包括该实时补偿电路的电致发光显示装置，其中实时补偿电路包括多个像素块，每个像素块包括M×N像素第一存储器，用于存储星形补偿值；第二存储器，用于从第一存储器接收每个像素块的多个补偿值；补偿单元，用于将每个像素块的补偿值与输入图像的像素数据相加以调制像素数据；以及用于将从补偿器接收的补偿像素数据转换为数据电压的数据驱动器。每个像素块的补偿值以至少一种颜色共同应用于像素块中的每个像素。

