



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0013226
(43) 공개일자 2018년02월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/52* (2006.01)

H01L 51/56 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3258 (2013.01)

(21) 출원번호 10-2016-0096624

(22) 출원일자 2016년07월29일

심사청구일자 2016년07월29일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
백정선
경기도 파주시 쇠재로 30, 708동 905호(금촌동,
서원마을아파트)
김정오
경기도 고양시 일산서구 고양대로 624, 106동
1503호 (일산동, 일산태영테시앙1단지아파트)
이승주
경기도 고양시 덕양구 충장로152번길 39, 2013동
1203호(행신동, 햇빛마을20단지아파트)
(74) 대리인
박영복

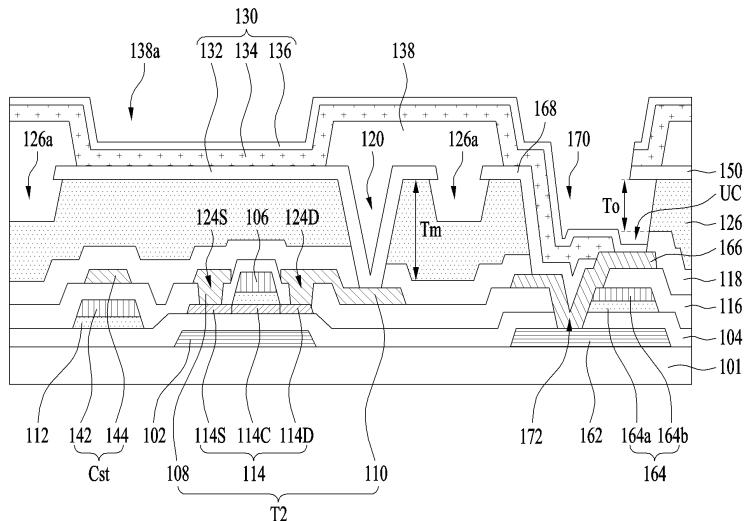
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요 약

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 본 발명에 따른 유기 발광 표시 장치는 보조 컨택홀에 의해 노출된 상기 평탄화층의 측면보다 돌출되어 보조 컨택홀 내부에 배치되는 측면을 가지는 돌출 패턴을 구비하며, 그 돌출 패턴에 의해, 그 돌출 패턴 하부에 유기 발광층이 형성되지 않고 캐소드 전극이 형성된다. 이에 따라, 본 발명은 별도의 격벽 구조물 없이 캐소드 전극 및 보조 전극이 전기적으로 접속될 수 있어 구조 및 제조 공정을 단순화할 수 있다.

대 표 도 - 도3



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3272 (2013.01)

H01L 51/5228 (2013.01)

H01L 51/56 (2013.01)

H01L 2251/105 (2013.01)

명세서

청구범위

청구항 1

기판 상에 배치되는 보조 전극과;

상기 보조 전극을 노출시키는 보조 컨택홀을 가지는 평탄화층과;

상기 평탄화층 상에 배치되는 애노드 전극과;

상기 보조 컨택홀에 의해 노출된 상기 평탄화층의 측면보다 돌출되어 보조 컨택홀 내부에 배치되는 측면을 가지는 돌출 패턴과;

상기 애노드 전극 상에 배치되며, 상기 돌출 패턴 하부에 배치된 상기 보조 전극을 노출시키도록 배치되는 유기 발광층과;

상기 유기 발광층 상에 배치되며, 상기 유기 발광층에 의해 노출된 상기 보조 전극과 접속되는 캐소드 전극을 구비하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 보조 전극과 접속되는 전원 라인과;

상기 보조 전극 및 캐소드 전극이 중첩되는 영역에서, 상기 전원 라인 하부 또는 전원 라인 및 보조 전극 사이에 배치되는 보조 중간 패턴을 더 구비하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 애노드 전극과 접속되는 박막트랜지스터와;

상기 박막트랜지스터의 액티브층과 중첩되도록 상기 기판 상에 배치되는 차광층을 더 구비하며,

상기 전원 라인은 상기 차광층과 동일 재질로 동일 평면 상에 배치되며,

상기 보조 전극은 상기 박막트랜지스터의 소스 전극과 동일 재질로 동일 평면 상에 배치되며,

상기 보조 중간 패턴은 상기 액티브층, 상기 박막트랜지스터의 게이트 전극 및 상기 액티브층 및 상기 게이트 전극 사이에 배치되는 게이트 절연 패턴 중 적어도 어느 하나와 동일 재질로 동일층 상에 배치되는 적어도 1층 구조로 이루어지는 유기 발광 표시 장치.

청구항 4

제 1 항 내지 제3 항 중 어느 한 항에 있어서,

상기 돌출 패턴은 상기 애노드 전극과 동일 재질로 상기 평탄화층 상에 배치되는 유기 발광 표시 장치.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 돌출 패턴 하부에서 상기 보조 컨택홀에 의해 노출된 상기 평탄화층의 일측면과 마주보는 상기 평탄화층의 타측면을 덮도록 배치되는 보조 커버층을 더 구비하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 보조 커버층은 상기 돌출 패턴 및 상기 애노드 전극과 동일 재질로 동일 평면 상에 배치되는 유기 발광 표시 장치.

청구항 7

기판 상에 배치되는 보조 전극을 형성하는 단계와;

상기 보조 전극을 노출시키는 보조 컨택홀을 가지는 평탄화층을 형성하는 단계와;

상기 평탄화층 상에 애노드 전극을 형성하고, 상기 보조 컨택홀에 의해 노출된 상기 평탄화층의 측면보다 돌출되어 보조 컨택홀 내부에 배치되는 측면을 가지는 돌출 패턴을 형성하는 단계와;

상기 애노드 전극 상에 배치되며, 상기 돌출 패턴 하부에 배치된 상기 보조 전극을 노출시키도록 배치되는 유기 발광층을 형성하는 단계와;

상기 유기 발광층 상에 상기 유기 발광층에 의해 노출된 상기 보조 전극과 접속되는 캐소드 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 기판 상에 배치되는 차광층 및 상기 보조 전극과 접속되는 전원 라인을 형성하는 단계와;

상기 애노드 전극과 접속되며 상기 차광층과 중첩되는 액티브층을 가지는 박막트랜지스터를 형성하는 단계와;

상기 보조 전극 및 캐소드 전극이 중첩되는 영역에서, 상기 전원 라인 하부 또는 전원 라인 및 보조 전극 사이에 배치되는 보조 중간 패턴을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 9

제 8 항에 있어서,

상기 전원 라인은 상기 차광층과 동일 재질로 동일 평면 상에 배치되며,

상기 보조 전극은 상기 박막트랜지스터의 소스 전극과 동일 재질로 동일 평면 상에 배치되며,

상기 보조 중간 패턴은 상기 액티브층, 상기 박막트랜지스터의 게이트 전극 및 상기 액티브층 및 상기 게이트 전극 사이에 배치되는 게이트 절연 패턴 중 적어도 어느 하나와 동일 재질로 동일층 상에 배치되는 적어도 1층 구조로 이루어지는 유기 발광 표시 장치의 제조 방법.

청구항 10

제 7 항 내지 제9 항 중 어느 한 항에 있어서,

상기 돌출 패턴을 형성하는 단계는

상기 보조 컨택홀을 가지는 평탄화층이 형성된 기판 상에 도전막을 형성하는 단계와;

상기 도전막 상에 상기 보조 컨택홀에 의해 노출된 상기 평탄화층의 일측면을 노출시키는 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 마스크로 이용하여 상기 도전막을 패터닝함으로써 상기 애노드 전극 및 돌출 패턴을 형성하는 단계와;

상기 돌출 패턴을 마스크로 상기 평탄화층을 과식각하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제 7 항 내지 제 9 항 중 어느 한 항에 있어서,

상기 돌출 패턴 하부에서 상기 보조 컨택홀에 의해 노출된 상기 평탄화층의 일측면과 마주보는 상기 평탄화층의 타측면을 덮도록 배치되는 보조 커버층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 보조 커버층을 형성하는 단계는 상기 돌출 패턴 및 상기 애노드 전극과 동일 재질로 동시에 형성하는 단계인 유기 발광 표시 장치의 제조 방법.

청구항 13

제 11 항에 있어서,

상기 보조 커버층 형성시, 상기 보조 커버층과 상기 애노드 전극 사이로 노출된 평탄화층 및 인접한 상기 애노드 전극들 사이로 노출된 평탄화층을 식각하여 트렌치를 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 특히 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이러한 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 표시 장치 등이 대표적이다.

[0003]

이러한 표시장치를 제조하기 위해서는 포토 마스크를 이용한 마스크 공정이 다수번 수행된다. 각 마스크 공정은 세정, 노광, 현상 및 식각 등의 부속 공정들을 수반한다. 이에 따라, 한 번의 마스크 공정이 추가될 때마다, 유기 발광 표시장치를 제조하기 위한 제조 시간 및 제조 비용이 상승하고, 불량 발생률이 증가하여 제조 수율이 낮아지는 문제점이 있다. 따라서, 생산비를 절감하고, 생산수율 및 생산효율을 개선하기 위해서 구조 및 제조 공정을 단순화할 수 있는 방안이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004]

본 발명은 상기 문제점을 해결하기 위한 것으로서, 본 발명은 구조 및 제조 공정을 단순화할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0005]

상기 목적을 달성하기 위하여, 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법은 보조 컨택홀에 의해 노출된 상기 평탄화층의 측면보다 돌출되어 보조 컨택홀 내부에 배치되는 측면을 가지는 돌출 패턴을 구비하며, 그 돌출 패턴에 의해, 그 돌출 패턴 하부에 유기 발광층이 형성되지 않고 캐소드 전극이 형성된다.

발명의 효과

[0006]

본 발명의 실시예들에 따르면, 별도의 격벽 구조물 없이 캐소드 전극 및 보조 전극이 전기적으로 접속될 수 있어 구조 및 제조 공정을 단순화할 수 있다. 써 별도의 접착 공정이 불필요해져 공정이 단순화되며 비용을 절감할 수 있다.

도면의 간단한 설명

[0007]

도 1은 본 발명의 제1 실시 예에 따른 유기 발광 표시 장치를 나타내는 평면도이다.

도 2는 도 1에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.

도 3은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 4a 및 도 4b는 도 3에 도시된 보조 중간 패턴의 다른 실시 예들을 나타내는 단면도들이다.

도 5a 내지 도 5h는 도 3에 도시된 유기 발광 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.

도 6a 내지 도 6d는 도 5g에 도시된 애노드 전극 및 돌출 패턴의 의 제조 방법을 구체적으로 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008]

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

[0009]

도 1은 본 발명에 따른 유기 발광 표시 장치를 나타내는 평면도이며, 도 2는 도 1에 도시된 유기 발광 표시 장치를 나타내는 단면도이다.

[0010]

도 1 및 도 2에 도시된 유기 발광 표시 장치는 매트릭스 형태로 배치된 다수의 서브 화소들을 이용하여 영상을 구현한다. 이러한 각 서브 화소는 회로 영역(CA)에 배치되는 화소 구동 회로와, 화소 구동 회로와 접속되는 발광 소자(130)를 구비한다.

[0011]

화소 구동 회로는 스위칭 트랜지스터(T1), 구동 트랜지스터(T2) 및 스토리지 캐패시터(Cst)를 구비한다.

[0012]

스위칭 트랜지스터(T1)는 스캔 라인(SL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐패시터(Cst) 및 구동 트랜지스터(T2)의 게이트 전극으로 공급한다.

[0013]

구동 트랜지스터(T2)는 그 구동 트랜지스터(T2)의 게이트 전극에 공급되는 데이터 신호에 응답하여 고전위 전원(VDD)을 공급하는 고전위 전원 라인(161)으로부터 발광 소자(130)로 공급되는 전류(I)을 제어함으로써 발광 소자(130)의 발광량을 조절하게 된다. 그리고, 스위칭 트랜지스터(T1)가 턴-오프되더라도 스토리지 캐패시터(Cst)에 충전된 전압에 의해 구동 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 발광 소자(130)가 발광을 유지하게 한다.

[0014]

이를 위해, 구동 트랜지스터(T2)는 도 2에 도시된 바와 같이 게이트 전극(106), 소스 전극(108), 드레인 전극(110) 및 액티브층(114)을 구비한다.

[0015]

게이트 전극(106)은 그 게이트 전극(106)과 동일 패턴의 게이트 절연 패턴(112) 상에 형성된다. 이 게이트 전극(106)은 게이트 절연 패턴(112)을 사이에 두고, 액티브층(114)의 채널 영역(114C)과 중첩된다. 이러한 게이트 전극(106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

[0016]

소스 전극(108)은 충간 절연막(116)을 관통하는 소스 컨택홀(124S)을 통해 액티브층의 소스 영역(114S)과 접속된다. 드레인 전극(110)은 충간 절연막(116)을 관통하는 드레인 컨택홀(124D)을 통해 액티브층의 드레인 영역(114D)과 접속된다. 또한, 드레인 전극(110)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성된 화소 컨택홀(120)을 통해 노출되어 애노드 전극(132)과 접속된다.

[0017]

이러한 소스 전극(108) 및 드레인 전극(110)은 예를 들어, 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다.

[0018]

액티브층(114)은 채널 영역(114C)을 사이에 두고 마주보는 소스 영역(114S) 및 드레인 영역(114D)을 구비한다. 채널 영역(114C)은 게이트 절연 패턴(112)을 사이에 두고 게이트 전극(106)과 중첩된다. 소스 영역(114S)은 소스 컨택홀(124S)을 통해 소스 전극(108)과 접속되며, 드레인 영역(114D)은 드레인 컨택홀(124D)을 통해 드레인 전극(110)과 접속된다. 이 소스 영역(114S) 및 드레인 영역(114D) 각각은 n형 또는 p형 불순물이 주입된 반도체 물질로 형성되며, 채널 영역(114C)은 n형 또는 p형 불순물이 주입되지 않은 반도체 물질로 형성된다.

[0019]

액티브층(114)과 기판(101) 사이에는 베퍼막(104)과 차광층(102)이 형성된다. 차광층(102)은 액티브층의 채널 영역(114C)과 중첩되도록 기판(101) 상에 형성된다. 이 차광층(102)은 외부로부터 입사되는 광을 흡수하거나 반사하므로, 채널 영역(114C)으로 입사되는 광을 최소화할 수 있다. 여기서, 차광층(102)은 베퍼막(104)을 관통하는 베퍼 컨택홀(도시하지 않음)을 통해 노출되어 액티브층(114)과 전기적으로 접속될 수도 있다. 이러한 차광층(102)은 Mo, Ti, Al, Cu, Cr, Co, W, Ta, Ni과 같은 불투명 금속으로 형성된다.

[0020]

베퍼막(104)은 유리 또는 폴리이미드(PI) 등과 같은 플라스틱 수지로 형성된 기판(101) 상에 산화 실리콘 또는 질화 실리콘으로 단층 또는 복층 구조로 형성된다. 이 베퍼막(104)은 기판(101)에서 발생하는 수분 또는 불순

물의 화산을 방지하거나 결정화시 열의 전달 속도를 조절함으로써, 액티브층(114)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.

[0021] 스토리지 커페시터(Cst)는 층간 절연막(116)을 사이에 두고 스토리지 하부 전극(142) 및 스토리지 상부 전극(144)이 중첩됨으로써 형성된다. 이 때, 스토리지 하부 전극(142)은 게이트 전극(106)과 동일층에 동일 재질로 형성되며, 스토리지 상부 전극(144)은 소스 전극(108)과 동일층에 동일 재질로 형성된다.

[0022] 발광 소자(130)는 구동 트랜지스터(T2)의 드레인 전극(110)과 접속된 애노드 전극(132)과, 애노드 전극(132) 상에 형성되는 유기 발광층(134)과, 저전위 전원 라인(162)에 접속되도록 유기 발광층(134) 위에 형성된 캐소드 전극(136)을 구비한다. 여기서, 저전위 전원 라인(162)은 고전위 전원 라인(161)을 통해 공급되는 고전위 전원(VDD)보다 낮은 저전위 전원(VSS)을 공급한다.

[0023] 애노드 전극(132)은 뱅크(138)을 관통하도록 형성된 뱅크홀(138a)에 의해 노출되도록 평탄화층(126) 상에 배치된다. 이 애노드 전극(132)은 보호막(118) 및 평탄화층(126)을 관통하는 화소 컨택홀(120)을 통해 드레인 전극(110)과 접촉된다. 이러한 애노드 전극(132)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 투명 도전막 및 반사효율이 높은 불투명 도전막을 포함하는 다층 구조로 이루어진다. 투명 도전막으로는 인듐-탄-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 일함수값이 비교적 큰 재질로 이루어지고, 불투명 도전막으로는 Al, Ag, Cu, Pb, Mo, Ti, APC(Ag;Pb;Cu) 또는 이들의 합금을 포함하는 단층 또는 다층 구조로 이루어진다. 예를 들어, 애노드 전극(132)은 투명 도전막, 불투명 도전막 및 투명 도전막이 순차적으로 적층된 구조로 형성된다. 이러한 불투명 도전막을 포함하는 애노드 전극(132)은 화소 구동 회로와 중첩됨으로써, 화소 구동 회로와 중첩되는 영역까지도 발광영역(EA)으로 이용할 수 있어 개구율을 향상시킬 수 있다.

[0024] 유기 발광층(134)은 애노드 전극(132) 상에 정공 관련층, 발광층, 전자 관련층 순으로 또는 역순으로 적층되어 형성된다. 이러한 유기 발광층(134)은 뱅크(138)을 관통하도록 형성된 뱅크홀(138a)에 의해 마련된 발광 영역(EA)에 배치된다.

[0025] 캐소드 전극(136)은 유기 발광층(134)을 사이에 두고 애노드 전극(132)과 대향하도록 유기 발광층(134) 및 뱅크(138)의 상부면 및 측면 상에 형성된다. 이러한 캐소드 전극(136)은 전면 발광형 유기 발광 표시 장치에 적용되는 경우, 인듐-탄-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 투명 도전막으로 이루어진다.

[0026] 이러한 캐소드 전극(136)은 보조 전극(166)을 통해 저전위 전원(VSS) 라인(162)과 접속된다. 이 보조 전극(166)은 전원 컨택홀(172)을 통해 노출된 저전위 전원 라인(162)과 전기적으로 접속된다. 이 때, 저전위 전원 라인(162)은 캐소드 전극(136)보다 도전성이 좋은 금속으로 형성되므로 투명 도전막인 ITO 또는 IZO로 형성되는 캐소드 전극(136)의 높은 저항 성분을 보상할 수도 있다.

[0027] 한편, 본원 발명에서는 인접한 서브 화소들에 배치되는 유기 발광층들(134), 특히 서로 다른 색을 구현하는 인접한 서브 화소들에 배치되는 유기 발광층들(134)이 별도의 격벽 구조물없이 돌출 패턴(150)을 통해 분리된다.

[0028] 돌출 패턴(150)은 평탄화층(126) 상에 애노드 전극(132)과 동일 재질로 형성된다. 이러한 돌출 패턴(150)은 평탄화층(126) 상에서 평탄화층(126)보다 선폭이 넓은 역테이퍼형상으로 형성된다. 이 경우, 돌출 패턴(150)의 측면은 보조 컨택홀(170)에 의해 노출된 평탄화층(126) 및 보호막(118) 중 적어도 어느 하나의 측면보다 돌출되어 보조 컨택홀(170)의 내부에 위치하므로, 돌출 패턴(150) 하부에 위치하는 평탄화층(126) 및 보호막(118)은 언더컷(UC)을 포함한다. 이 언더컷(UC)에는 스텝 커버리지가 좋은 캐소드 전극(136)이 형성되는 반면에 스텝 커버리지가 좋지 않은 유기 발광층(134)이 형성되지 못한다.

[0029] 이에 따라, 평탄화층(126) 및 보호막(118)의 언더컷에 의해, 인접한 서브 화소의 유기 발광층(134)들은 분리되고 보조 전극(166)과 캐소드 전극(136)이 서로 연결되기 위한 공간이 확보된다. 이 때, 캐소드 전극(136)은 유기 발광층(134)에 의해 스텝커버리지가 좋아 평탄화층(126) 및 보호막(118)의 언더컷(UC)에도 형성된다. 이에 따라, 캐소드 전극(136)은 언더컷 영역에서 보조 전극(166)과 접촉하게 된다.

[0030] 보조 커버층(168)은 돌출 패턴(150) 및 애노드 전극(132)과 동일 재질로 이들과 동일 평면인 평탄화층(126) 상에 배치된다. 이 보조 커버층(168)은 돌출 패턴(150) 하부에서 보조 컨택홀(170)에 의해 노출된 평탄화층(126)의 일측면과 마주보는 평탄화층(126)의 티측면 및 상부면의 일부를 덮도록 형성된다. 이 때, 보조 컨택홀(170)에 의해 노출된 평탄화층(126) 및 보호막(118) 각각의 측면과 보조 전극(166)의 상부면 사이의 사이각은 예각을 이루므로 평탄화층(126) 및 보호막(118)은 정테이퍼 형상을 가진다. 이러한 정테이퍼 형상의 평탄화층(126) 및 보호막(118)의 측면을 덮도록 형성되는 보조 커버층(168) 역시 정테이퍼 형상을 갖게 된다. 이러한 보조 커버층(168)은 돌출 패턴(150)의 하부에 언더컷(UC) 형성시 돌출 패턴(150)과 비중첩되는 평탄화층(126)을

덮도록 형성된다. 이에 따라, 보조 커버층(136)은 돌출 패턴(150)과 비중첩되는 영역의 평탄화층(126)에 언더컷(UC)이 발생되는 것을 방지할 수 있다.

[0031] 이와 같이, 본 발명의 제1 실시 예에서는 보조 컨택홀(170)에 의해 노출된 평탄화층(126)의 측면보다 돌출되도록 평탄화층(126) 상에 돌출 패턴(150)을 형성하므로, 그 돌출 패턴(150) 하부에 위치하는 평탄화층(126) 및 보호막(118)은 언더컷(UC)을 포함하게 된다. 이러한 언더컷(UC)에 의해 보조 전극(166) 상에는 별도의 격벽 구조물 없이도 유기 발광층(134)이 형성되지 않으므로 보조 전극(166)과 캐소드 전극(136)이 전기적으로 접속된다.

[0032] 도 3은 본 발명의 제2 실시 예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

[0033] 도 3에 도시된 유기 발광 표시 장치는 도 2에 도시된 유기 발광 표시 장치와 대비하여 보조 전극(166)과 저전위 전원 라인(162) 사이에 배치되는 보조 중간 패턴(164)을 추가로 구비하는 것을 제외하고는 동일한 구성요소를 구비한다.

[0034] 보조 중간 패턴(164)은 캐소드 전극(136)과 보조 전극(166)이 접속되는 영역과 중첩되도록 형성된다. 이러한 보조 중간 패턴(164)은 도 3 내지 도 4b에 도시된 바와 같이 액티브층(114), 게이트 절연 패턴(112) 및 게이트 전극(106) 중 적어도 어느 하나와 동일 재질로 동일층 상에 배치되는 단층 또는 다층 구조로 이루어진다.

[0035] 구체적으로, 도 3에 도시된 보조 중간 패턴(164)은 게이트 절연 패턴(112)과 동일 재질로 베피층(104) 상에 형성되는 제1 보조 중간 패턴(164a)과, 게이트 전극(106)과 동일 재질로 제1 보조 중간 패턴(164a) 상에 형성되는 제2 보조 중간 패턴(164b)으로 이루어진다.

[0036] 도 4a에 도시된 보조 중간 패턴(164)은 액티브층(114)과 동일 재질로 베피층(104) 상에 형성되는 제1 보조 중간 패턴(164a)과, 게이트 절연 패턴(112)과 동일 재질로 제1 보조 중간 패턴(164a) 상에 형성되는 제2 보조 중간 패턴(164b)과, 게이트 전극(106)과 동일 재질로 제2 보조 중간 패턴(164b) 상에 형성되는 제3 보조 중간 패턴(164c)으로 이루어진다.

[0037] 도 4b에 도시된 보조 중간 패턴(164)은 액티브층(114)과 동일 재질로 베피층(104) 상에 형성된다.

[0038] 이러한 보조 중간 패턴(164)에 의해, 그 보조 중간 패턴(164)과 중첩되는 영역에 배치되는 평탄화층(126)의 하부면은 보조 중간 패턴(164)과 비중첩되는 영역에 배치되는 평탄화층(126)의 하부면보다 높은 평면에 위치하게 된다. 그리고, 보조 중간 패턴(164)과 중첩되는 영역에 배치되는 평탄화층(126)의 상부면은 보조 중간 패턴(164)과 비중첩되는 영역에 배치되는 평탄화층(126)의 상부면은 동일 평면에 위치하게 된다. 즉, 보조 중간 패턴(164)에 의해, 보조 전극(166) 상부에 배치되는 평탄화층(126)의 두께(To)는 도 3에 도시된 바와 같이 평탄화층(126) 하부에 절연층(예를 들어, 베피막(104), 충간 절연막(116) 및 보호막(118))만이 위치하는 영역에서의 평탄화층의 최대두께(Tm)보다 작다. 이에 따라, 보조 전극(166) 상부에 위치하는 평탄화층(126)에 언더컷(UC) 형성시 평탄화층(126)의 식각시간을 줄일 수 있어 공정 시간을 단축할 수 있다. 또한, 애노드 전극(132)과 보조 커버층(168) 사이와, 인접한 애노드 전극들(132) 사이로 노출된 평탄화층(126)의 식각 시간을 줄여 트렌치(126a)의 깊이를 최소화할 수 있다.

[0039] 한편, 본 발명의 제2 실시 예에서는 보조 중간 패턴이 도 3 내지 도 4b에 도시된 바와 같이 보조 전극(166)과 저전위 전원 라인(162) 사이에 배치되는 구조를 예로 들어 설명하였지만, 이외에도 보조 전극(166)과 캐소드 전극(136)이 중첩되는 영역의 저전위 전원 라인(162)의 하부에 보조 중간 패턴(164)이 형성될 수도 있다.

[0040] 도 5a 내지 도 5h는 도 3에 도시된 유기 발광 표시 장치의 제조방법을 설명하기 위한 단면도들이다.

[0041] 도 5a에 도시된 바와 같이 기판(101) 상에 차광층(102) 및 저전위 전원 라인(162)이 형성된다.

[0042] 구체적으로, 기판(101) 상에 증착 공정을 통해 불투명 금속층이 형성된다. 그런 다음, 제1 마스크를 이용한 포토리소그래피공정과 식각 공정을 통해 불투명 금속층이 패터닝됨으로써 차광층(102) 및 저전위 전원 라인(162)이 형성된다. 여기서, 불투명 금속층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같은 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다.

[0043] 도 5b를 참조하면, 차광층(102) 및 저전위 전원 라인(162)이 형성된 기판(101) 상에 베피막(104)이 형성되고, 그 베피막(104) 상에 액티브층(114)이 형성된다.

[0044] 구체적으로, 차광층(102) 및 저전위 전원 라인(162)이 형성된 기판(101)이 형성된 기판(101) 상에 SiO_x 또는 SiNx 등과 같은 무기 절연 물질이 전면 증착됨으로서 베피막(104)이 형성된다. 그런 다음, 베피막(104)이 형성된 기판(101) 상에 LPCVD(Low Pressure Chemical Vapor Deposition), PECVD(Plasma Enhanced Chemical Vapor

Deposition) 등의 방법을 통해 아몰퍼스 실리콘 박막이 형성된다. 그런 다음, 아몰퍼스 실리콘 박막을 결정화 함으로써 폴리 실리콘 박막으로 형성된다. 그리고, 폴리 실리콘 박막을 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝함으로써 액티브층(114)이 형성된다.

[0045] 도 5c를 참조하면, 액티브층(114)이 형성된 베퍼막(104) 상에 게이트 절연 패턴(112) 및 제1 보조 중간 패턴(164a)이 형성되고, 그 게이트 절연 패턴(112) 상에 게이트 전극(106) 및 스토리지 하부 전극(142)이 형성되고, 그 제1 보조 중간 패턴(164a) 상에 제2 보조 중간 패턴(164b)이 형성된다.

[0046] 구체적으로, 액티브층(114)이 형성된 베퍼막(104) 상에 게이트 절연막이 형성되고, 그 위에 스퍼터링 등의 증착 방법으로 게이트 금속층이 형성된다. 게이트 절연막으로는 SiO_x 또는 SiNx 등과 같은 무기 절연 물질이 이용된다. 게이트 금속층으로는 Mo, Ti, Cu, AlNd, Al 또는 Cr 또는 이들의 합금과 같은 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 게이트 금속층 및 게이트 절연막을 동시에 패터닝한다. 이에 따라, 스토리지 하부 전극(142) 및 게이트 전극(106) 각각과, 그들 각각의 하부에 게이트 절연 패턴(112)이 동일 패턴으로 형성된다. 이와 동시에, 제2 보조 중간 패턴(164b)과, 그 제2 보조 중간 패턴(164b) 하부에 제1 보조 중간 패턴(164a)이 동일 패턴으로 형성된다.

[0047] 그리고, 게이트 전극(106)을 마스크로 이용하여 액티브층(114)에 n+형 또는 p+형 불순물을 주입함으로써 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D)이 형성된다.

[0048] 도 5d를 참조하면, 게이트 전극(106), 스토리지 하부 전극(142), 및 제2 보조 중간 패턴(164b)이 형성된 기판(101) 상에 소스 및 드레인 컨택홀(124S, 124D)과 전원 컨택홀(172)을 가지는 중간 절연막(116)이 형성된다.

[0049] 구체적으로, 게이트 전극(106), 스토리지 중간 전극(144) 및 제1 패드 전극(152)이 형성된 기판(101) 상에 PECVD 등의 증착 방법으로 중간 절연막(116)이 형성된다. 그런 다음, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 중간 절연막(116) 및 베퍼막(104)이 선택적으로 패터닝됨으로써 소스 및 드레인 컨택홀(124S, 124D) 및 전원 컨택홀(172)이 형성된다. 소스 및 드레인 컨택홀(124S, 124D) 각각은 중간 절연막(116)을 관통하도록 형성됨으로써 소스 전극(108) 및 드레인 전극(110)을 노출시키며, 전원 컨택홀(172)은 중간 절연막(116) 및 베퍼막(104)을 관통하도록 형성됨으로써 저전위 전원 라인(162)을 노출시킨다.

[0050] 도 5e를 참조하면, 소스 및 드레인 컨택홀(124S, 124D)과 전원 컨택홀(172)을 가지는 중간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 보조 전극(166)이 형성된다.

[0051] 구체적으로, 소스 및 드레인 컨택홀(124S, 124D) 및 전원 컨택홀(172)을 가지는 중간 절연막(116) 상에 스퍼터링 등의 증착 방법으로 데이터 금속층이 형성된다. 데이터 금속층으로는 Mo, Ti, Cu, AlNd, Al, Cr 또는 이들의 합금과 같은 금속 물질이 단일층으로 이용되거나, 또는 이들을 이용하여 다층 구조로 이용된다. 그런 다음, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 데이터 금속층 패터닝함으로써 중간 절연막(116) 상에 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 보조 전극(166)이 형성된다.

[0052] 도 5f를 참조하면, 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 보조 전극(166)이 형성된 중간 절연막(116) 상에 화소 컨택홀(120) 및 보조 컨택홀(170)을 가지는 보호막(118) 및 평탄화층(126)이 형성된다.

[0053] 구체적으로, 소스 전극(108), 드레인 전극(110), 스토리지 상부 전극(144) 및 보조 전극(166)이 형성된 중간 절연막(116) 상에 보호막(118) 및 평탄화층(126)이 순차적으로 형성된다. 보호막(118)으로는 SiO_x, SiNx 등과 같은 무기 절연 물질이 이용되며, 평탄화층(126)으로는 포토아크릴 등과 같은 유기 절연 물질이 이용된다. 그런 다음, 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 보호막(118) 및 평탄화층(126)을 선택적으로 식각함으로써 화소 컨택홀(120) 및 보조 컨택홀(170)이 형성된다. 화소 컨택홀(120)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성되어 드레인 전극(110)을 노출시키며, 보조 컨택홀(170)은 보호막(118) 및 평탄화층(126)을 관통하도록 형성되어 보조 전극(166)을 노출시킨다.

[0054] 도 5g를 참조하면, 화소 컨택홀(120) 및 보조 컨택홀(170)을 가지는 보호막(118) 및 평탄화층(126)이 형성된 기판(101) 상에 애노드 전극(132), 보조 커버층(168) 및 돌출 패턴(150)이 형성된다. 이에 대해, 도 6a 내지 도 6d를 결부하여 구체적으로 설명하기로 한다.

[0055] 도 6a에 도시된 바와 같이, 화소 컨택홀(120) 및 보조 컨택홀(170)을 가지는 평탄화층(126) 상에 애노드용 도전층이 전면 증착된 다음, 애노드용 도전층 상에 제7 마스크를 이용한 포토리소그래피 공정을 통해 포토레지스트

패턴(180)이 형성된다. 이 포토레지스트 패턴(180)은 보조 컨택홀(170)에 의해 노출된 평탄화층(126)의 일측면을 노출시킨다. 이러한 포토레지스트 패턴(180)을 마스크로 이용한 식각 공정을 통해 애노드용 도전층이 식각됨으로써 애노드 전극(132), 보조 커버층(168) 및 돌출 패턴(150)이 형성된다. 이 때, 돌출 패턴(150) 하부에 배치되는 평탄화층(126) 및 보호막(118)의 측면은 보조 컨택홀(170)에 의해 노출되며, 돌출 패턴(150)과 비중첩되는 평탄화층(126) 및 보호막(118)의 측면은 보조 커버층(168) 및 애노드 전극(132)이 덮도록 형성됨으로써 이들에 의해 보호된다.

[0056] 그런 다음, 보조 컨택홀(170) 및 포토레지스트 패턴(180)에 의해 노출된 보호막(118)의 측면은 습식 식각을 통해 과식각됨으로써 도 6b에 도시된 바와 같이 돌출 패턴(150) 하부에 배치되는 보호막(118)은 언더컷(UC)을 가지도록 형성된다.

[0057] 그런 다음, 돌출 패턴(150) 하부에 배치되는 평탄화층(126)은 건식 식각을 통해 과식각됨으로써 도 6c에 도시된 바와 같이 돌출 패턴(150) 하부에 배치되는 평탄화층(126) 역시 언더컷(UC)을 가지도록 형성된다. 이 때, 인접한 애노드 전극들(132) 사이로 노출되는 평탄화층(126)과; 애노드 전극(132) 및 보조 커버층(168) 사이로 노출되는 평탄화층(126) 역시 식각됨으로써 평탄화층(126)에는 트렌치(126a)가 형성된다.

[0058] 그런 다음, 애노드 전극(132), 보조 커버층(168) 및 돌출 패턴(150) 상에 배치된 포토레지스트 패턴(180)은 도 6d에 도시된 바와 같이 스트립 공정을 통해 제거된다.

[0059] 도 5h를 참조하면, 애노드 전극(132), 보조 커버층(168) 및 돌출 패턴(150)이 형성된 기판(101) 상에 뱅크홀(138a)을 가지는 뱅크(138)가 형성된다.

[0060] 구체적으로, 애노드 전극(132), 보조 커버층(168) 및 돌출 패턴(150)이 형성된 기판(101) 상에 뱅크용 감광막을 전면 도포한 다음, 그 뱅크용 감광막을 제8 마스크를 이용한 포토리소그래피 공정을 통해 패터닝함으로써 뱅크홀(138a)을 가지는 뱅크(138)가 형성된다.

[0061] 그런 다음, 새도우마스크를 이용한 증착 공정을 통해 뱅크(138)가 형성된 기판(101) 상에 유기 발광층(134) 및 캐소드 전극(136)이 순차적으로 형성된다. 이 때, 수직 방향으로의 직진성을 가지고 성막되는 유기 발광층(134)은 돌출 패턴(150) 하부의 언더컷(UC) 영역을 제외한 액티브 영역에 형성되고, 수직, 수평 및 경사 방향으로의 회절성을 가지고 성막되는 캐소드 전극(136)은 돌출 패턴(150) 하부의 언더컷 영역(UC)을 포함하는 액티브 영역에 형성된다.

[0062] 이와 같이, 본 발명에서는 보조 컨택홀(170)에 의해 노출된 평탄화층(126)의 측면보다 돌출되어 보조 컨택홀(170) 내부에 배치되는 측면을 가지는 돌출 패턴(150)을 구비한다. 이 돌출 패턴(150) 하부에 위치하는 평탄화층(126) 및 보호막(118)은 언더컷(UC)을 포함하게 된다. 이러한 언더컷(UC)에 의해 보조 전극(166) 상에는 별도의 격벽 구조물 없이도 유기 발광층(134)이 형성되지 않으므로 보조 전극(166)과 캐소드 전극(136)이 전기적으로 접속된다. 이에 따라, 본 발명에서는 격벽 구조물을 형성하기 위한 마스크 공정을 생략할 수 있어 구조 및 제조 공정을 단순화할 수 있으므로 생산성을 향상시킬 수 있다. 또한, 종래 격벽 구조물을 통해 보조 전극과 캐소드 전극이 접속되는 경우, 보조 전극과 캐소드 전극의 접속 영역뿐만 아니라, 뱅크와 격벽 간의 이격 영역, 뱅크와 보조 전극 간의 중첩 영역도 고려하여, 보조 전극을 노출시키는 보조 컨택홀의 크기를 설계하여야 하므로 개구율이 저하된다. 반면에, 별도의 격벽 구조물을 구비하지 않는 본 발명에서는 격벽 영역과, 뱅크와 격벽 간의 이격 영역을 별도로 설계하지 않아도 되므로 보조 전극(166)을 노출시키는 보조 컨택홀(170)의 크기가 최소화되어 종래보다 개구율이 향상된다.

[0063] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

[0064] 101 : 기판 126 : 평탄화층

132 : 애노드 전극

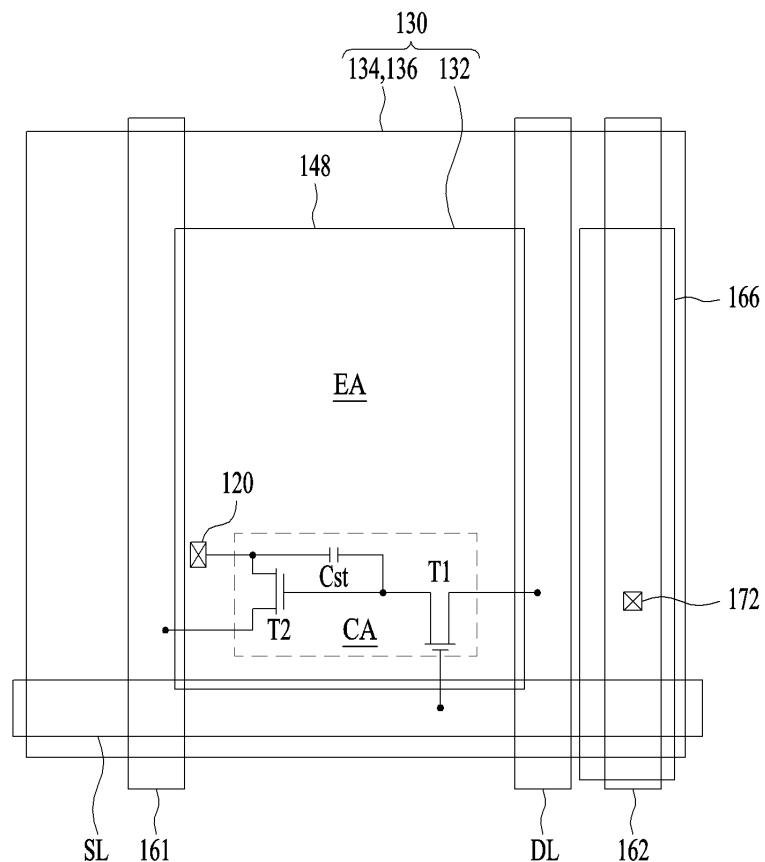
134 : 발광층

136 : 캐소드 전극

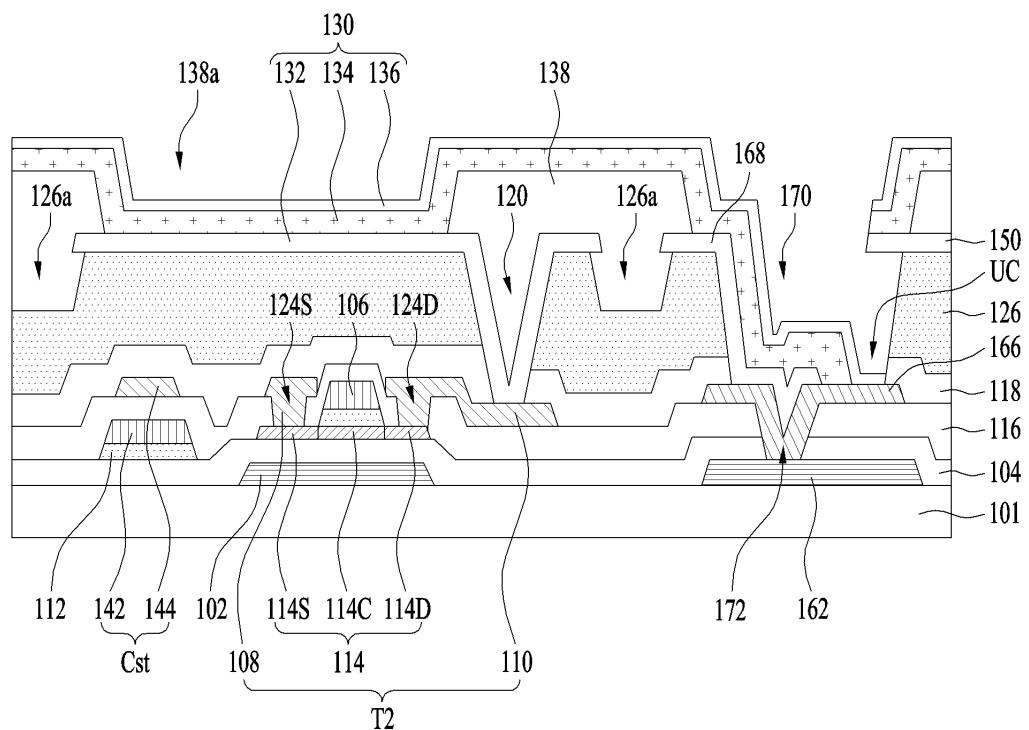
138 : 뱅크

164 : 보조 중간 패턴

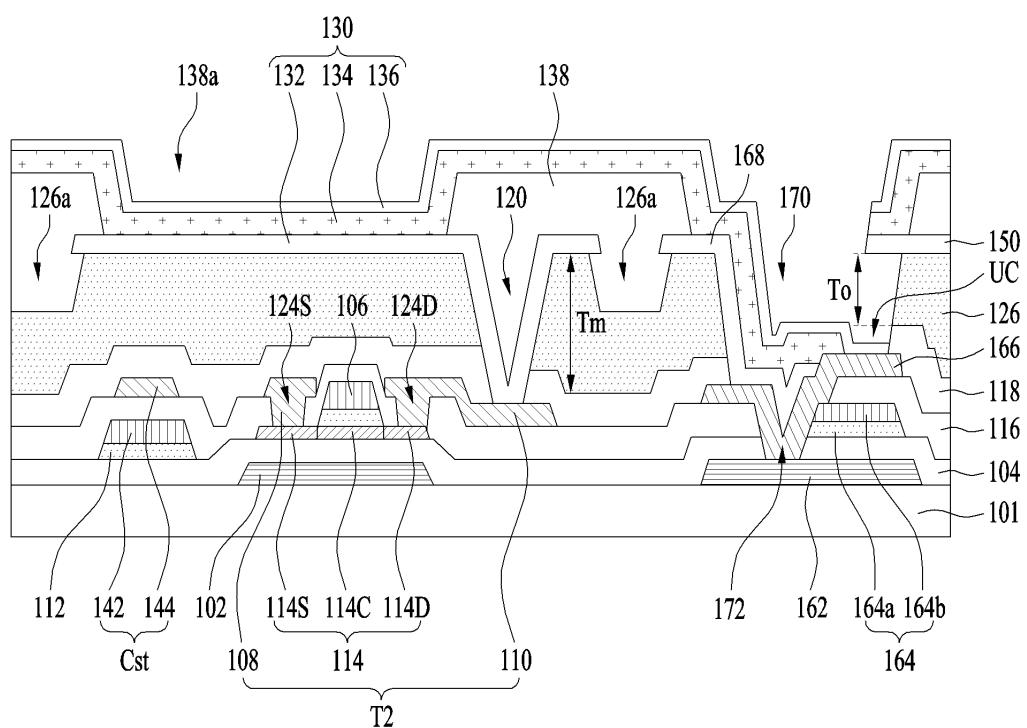
166 : 보조 전극

도면**도면1**

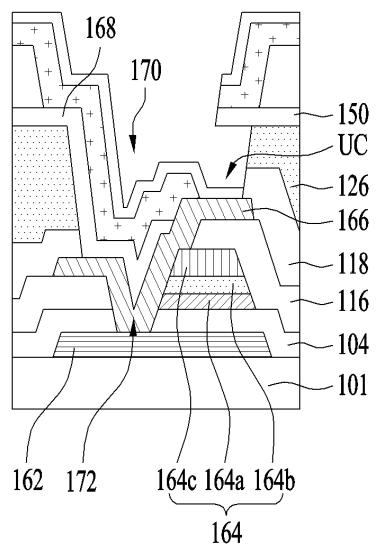
도면2



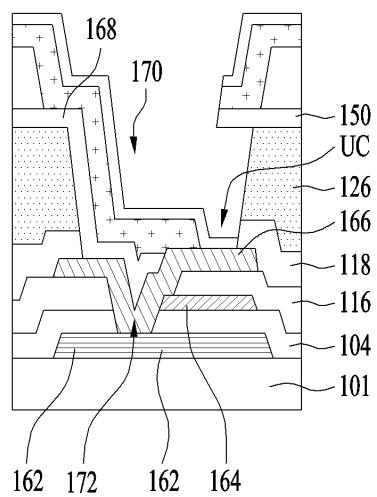
도면3



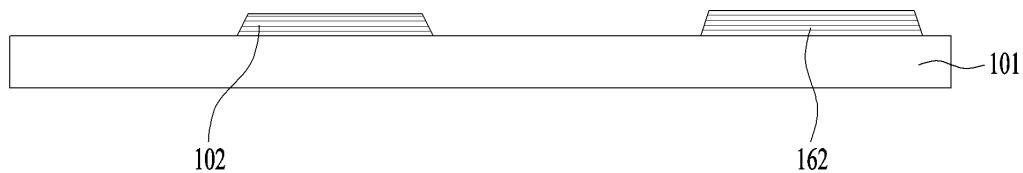
도면4a



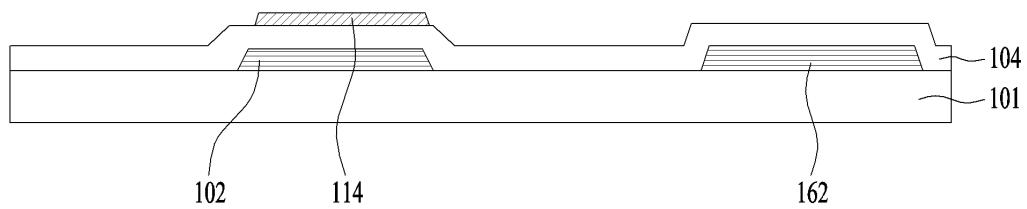
도면4b



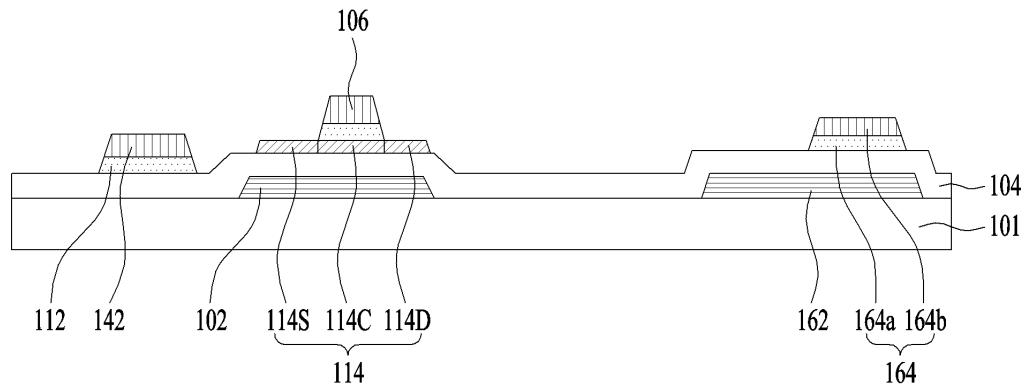
도면5a



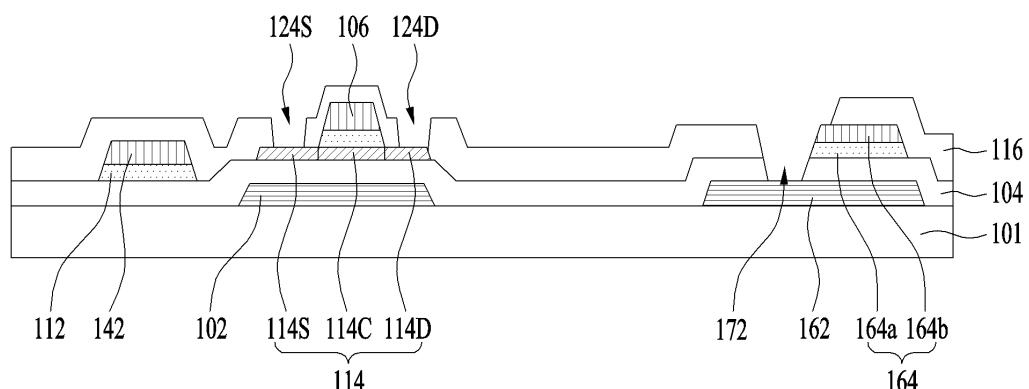
도면5b



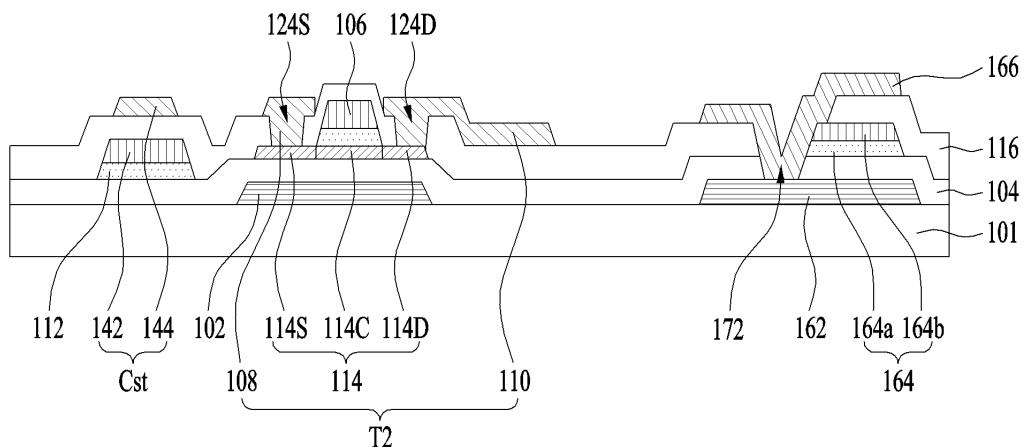
도면5c



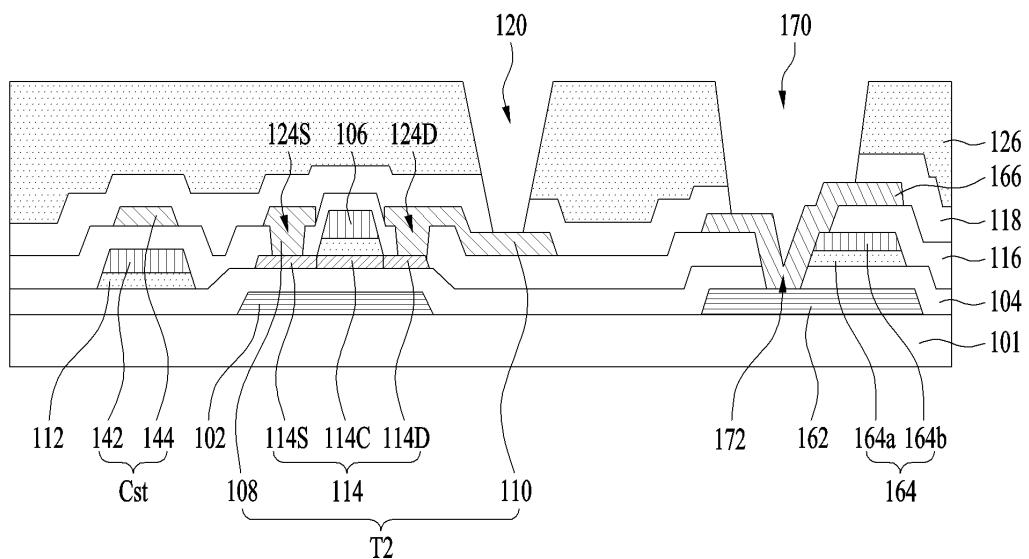
도면5d



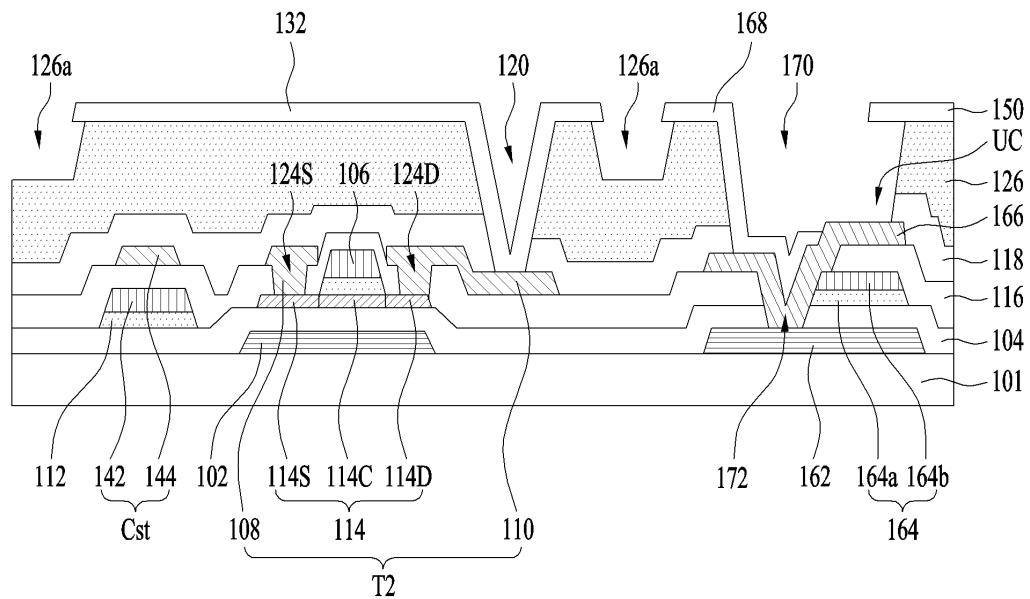
도면5e



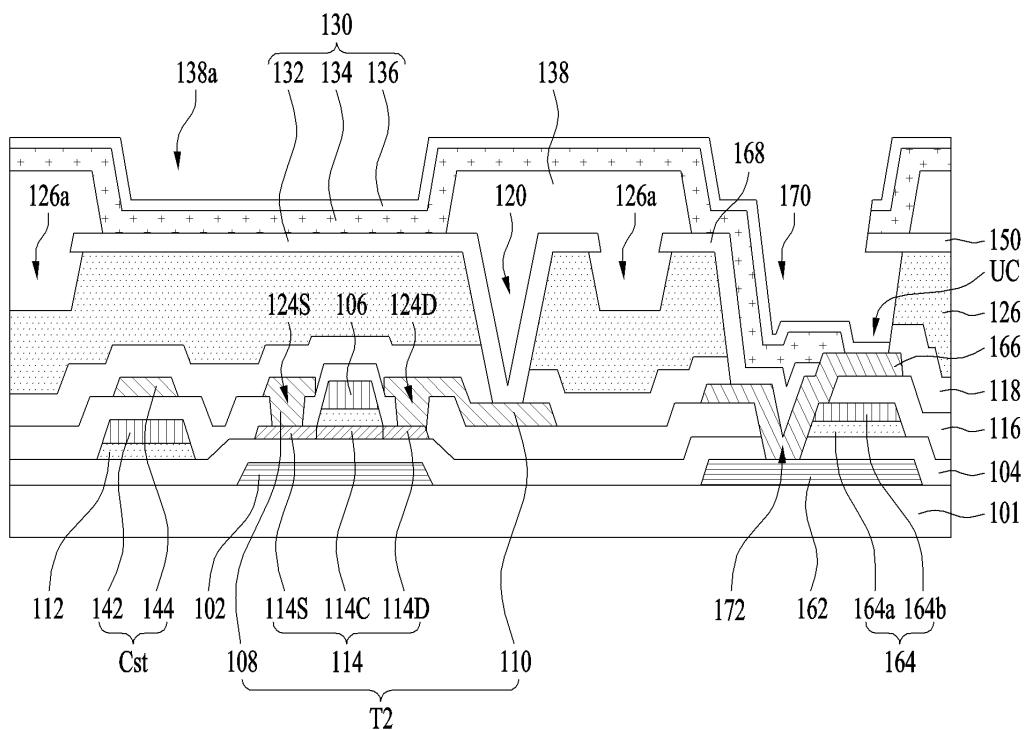
도면5f



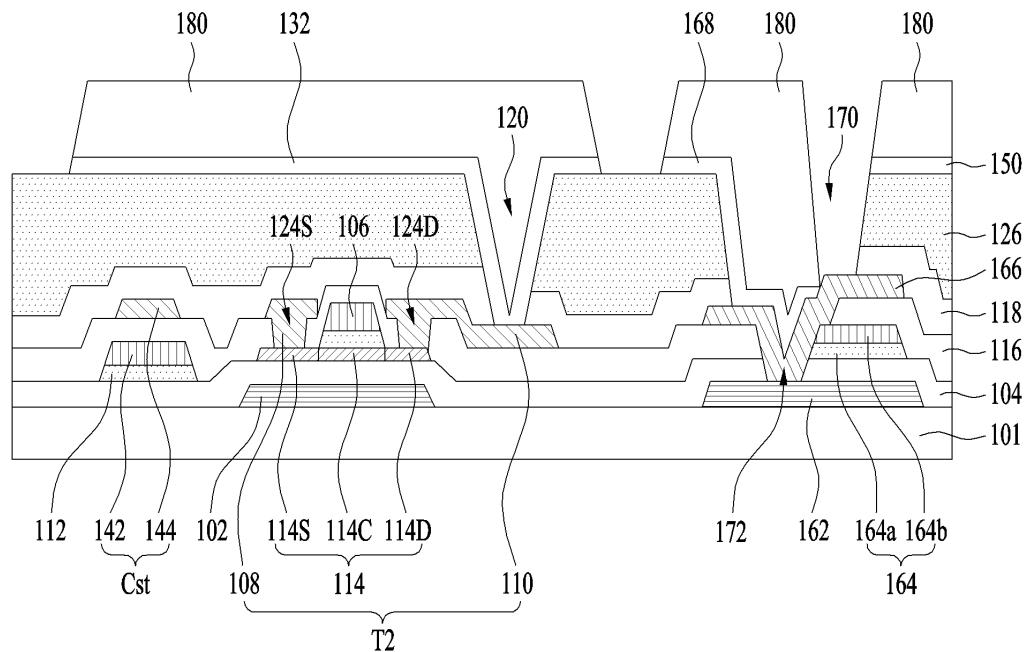
도면5g



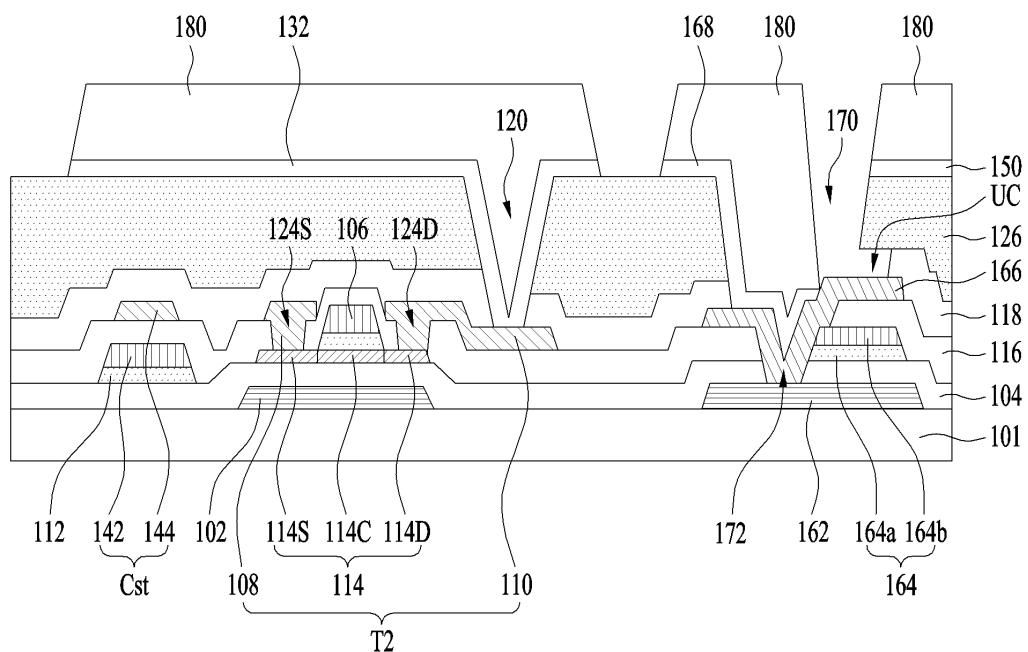
도면5h



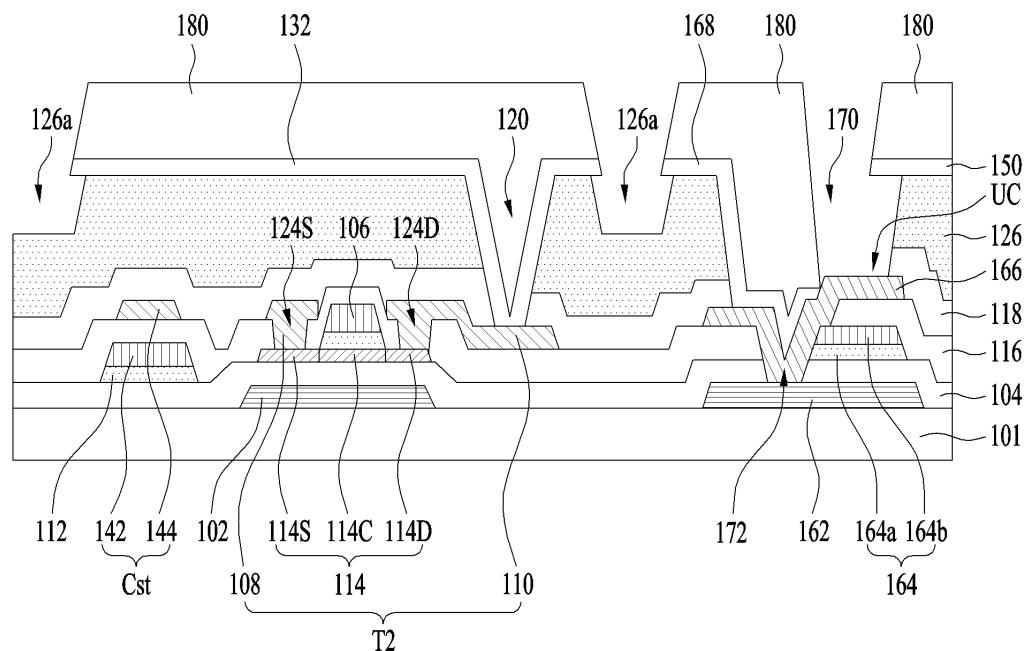
도면6a



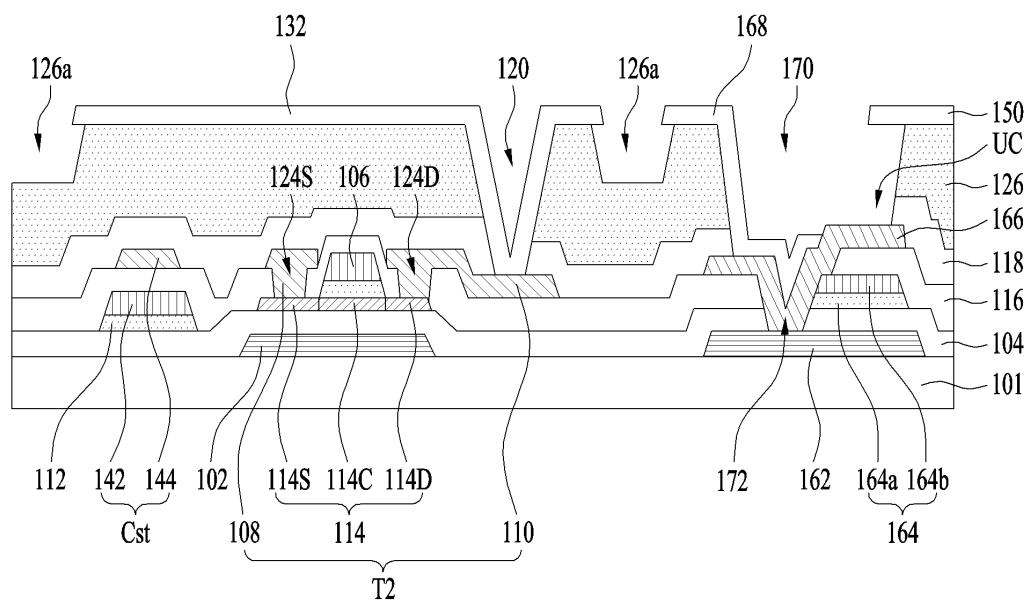
도면6b



도면6c



도면6d



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020180013226A	公开(公告)日	2018-02-07
申请号	KR1020160096624	申请日	2016-07-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BEAK JUNG SUN 백정선 KIM JEONG OH 김정오 LEE SEONG JOO 이승주		
发明人	백정선 김정오 이승주		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3276 H01L51/5228 H01L27/3262 H01L27/3272 H01L51/56 H01L27/3258 H01L2251/105		
代理人(译)	Bakyoungbok		
其他公开文献	KR101878187B1		
外部链接	Espacenet		

摘要(译)

有机发光显示装置及其制造方法本发明涉及有机发光显示装置及其制造方法。根据本发明，有机发光显示装置包括：突起图案，其具有比通过辅助接触孔暴露的平坦化层的侧表面突出更多的侧表面，并且布置在辅助接触孔内；由突起图案形成的阴极电极，而在突起图案的下部不形成有机发光层。因此，本发明的有机发光显示装置可以电连接阴极和辅助电极而无需额外的分隔结构，从而简化了结构和制造工艺。

