



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0124062
(43) 공개일자 2017년11월09일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2016-0117579(분할)

(22) 출원일자 2016년09월12일

심사청구일자 2016년09월12일

(62) 원출원 특허 10-2016-0053639

원출원일자 2016년04월30일

심사청구일자 2016년07월07일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김대규

서울특별시 구로구 경인로67길 31 (신도림동) 아
이파크 아파트 103-1602

김중철

경기도 파주시 가온로 256 (와동동, 가람마을11단
지 동문굿모닝힐아파트) 동문굿모닝힐 1101동
1904호

(뒷면에 계속)

(74) 대리인

특허법인로얄

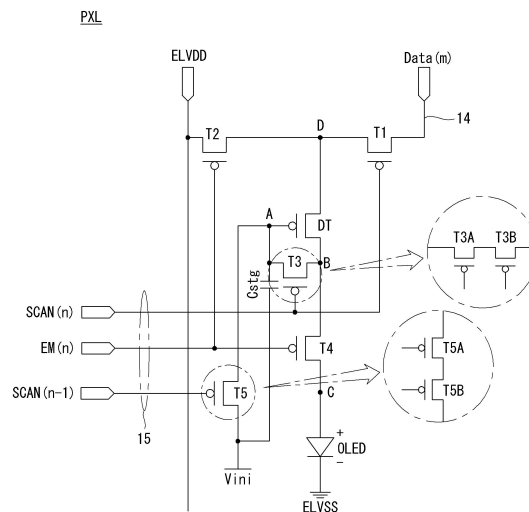
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요약

본 발명의 유기발광 표시장치는 행으로 배치된 n-1번째 화소 및 n번째 화소, 트랜지스터 어레이 및 커패시터를 포함한다. 트랜지스터 어레이는 구동트랜지스터, 샘플링 트랜지스터, 및 제1 이니셜 트랜지스터를 포함한다. 커패시터는 초기전압의 입력단 및 샘플링 트랜지스터 사이에 연결된다. n번째 화소의 구동트랜지스터를 초기화하기 위한 제1 이니셜 트랜지스터의 게이트전극은 n-1번째 화소의 스캔라인과 연결됨으로써 충분한 샘플링 시간을 확보하여 구동 트랜지스터의 보상의 정확성을 향상시킬 수 있다.

대 표 도 - 도3



(52) CPC특허분류

G09G 2320/0214 (2013.01)

(72) 발명자

강희광

경기도 고양시 일산동구 위시티4로 46 214동 2404
호 (식사동, 위시티일산자이2단지아파트)

권준영

부산광역시 부산진구 백양관문로 10 303동 1206호
(당감동, 신개금주공3단지아파트)

명세서

청구범위

청구항 1

행으로 배치된 $n-1$ 번째 화소 및 n 번째 화소;

구동트랜지스터, 샘플링 트랜지스터, 및 제1 이니셜 트랜지스터를 포함하는 트랜지스터 어레이;

초기전압의 입력단 및 상기 샘플링 트랜지스터 사이에 연결되도록 구현된 커패시터;

상기 n 번째 화소의 구동트랜지스터를 초기화 하기 위한 상기 제1 이니셜 트랜지스터의 게이트전극은 $n-1$ 번째 화소의 게이트전극과 연결된 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 커패시터는 고전위 구동전압이 아닌 초기전압을 제공받기 위해 연결됨으로써 컨택홀의 개수가 최소화 되는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 커패시터는 상기 초기전압의 입력단과 연결된 전극; 및

상기 초기전압의 입력단과 상기 전극을 연결시켜주는 하나의 컨택홀을 포함하고, 상기 하나의 컨택홀을 통해 유기발광소자의 일전극에 마이너스전압을 제공하기 위한 제2 이니셜 트랜지스터의 드레인 전극 또는 소스 전극과 연결된 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 커패시터는 초기전압을 제공받는 제1 전극 및 상기 트랜지스터와 연결된 제2 전극을 포함하고, 상기 제1 전극은 상기 제2 전극보다 넓게 형성된 유기발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 구동트랜지스터의 반도체층 하부에 배치된 금속층을 포함하는 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 커패시터의 제1 전극은 상기 샘플링 트랜지스터의 반도체층에 대응하는 영역에 배치된 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 이니셜 트랜지스터는 서로 직렬 접속된 적어도 2 개 이상의 트랜지스터를 포함하고, 상기 적어도 2 개 이상의 트랜지스터들은 동일한 제어신호에 의해 스위칭되는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 샘플링 트랜지스터는 서로 직렬 접속된 적어도 2 개 이상의 트랜지스터를 포함하고, 상기 두 개의 트랜지스터들은 동일한 제어신호에 의해 스위칭되는 유기발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 구동트랜지스터에 의해 발광하는 유기발광소자; 및

상기 유기발광소자가 발광기간 이외의 기간에 발광하지 않도록 발광을 차단하는 에미션 트랜지스터를 포함하는 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 에미션 트랜지스터는 상기 유기발광소자의 애노드 전극과 연결되는 유기발광 표시장치

청구항 11

행으로 배치된 n-1번째 화소 및 n번째 화소;

상기 화소에 각각 배치된 유기발광소자;

상기 n-1번째 화소의 제n-1 스캔신호에 연결된 n번째 화소의 이니셜 트랜지스터;

상기 n번째 화소에 포함되고, 제n 스캔신호에 연결된 샘플링 트랜지스터;

상기 n번째 화소에 포함되고, 제n 에미션신호에 연결된 에미션 트랜지스터; 및

상기 유기발광소자를 구동하기 위한 한 프레임은 이니셜 기간, 샘플링 기간, 에미션 기간을 포함하고,

상기 이니셜 기간에서, 상기 제n-1 스캔신호는 온 레벨로 인가되고, 상기 제n 스캔신호와 상기 제n 에미션신호는 오프 레벨로 인가되며,

상기 샘플링 기간에서, 상기 제n 스캔신호는 온 레벨로 인가되고, 상기 제n-1 스캔신호와 상기 제n 에미션신호는 오프 레벨로 인가되며;

상기 에미션 기간에서, 상기 제n 에미션신호는 온 레벨로 인가되고, 상기 제n-1 스캔신호와 상기 제n 스캔신호는 오프 레벨로 인가되는 유기발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광소자(Organic Light Emitting Diode; OLED)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 유기발광소자(OLED)는 도 1과 같은 구조를 갖는다. 유기발광소자(OLED)는 애노드전극 및 캐소드 전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 및 전자수송층(Electron transport layer, ETL)으로 이루어진다. 애노드 전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공(도면에서 +로 표시)과 전자수송층(ETL)을 통과한 전자(도면에서 -로 표시)가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EM L)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 높은 명암비와 색재현율 등의 장점을 가지고 있지만, 보상회로 동작 중 유기발광소자의 예 기치 않은 발광 등으로 인하여 누설전류가 발생하여 유기발광소자의 효율이 감소할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 언급한 유기발광 표시장치의 화소 구조는 구동트랜지스터, 커패시터 및 복수의 트랜지스터를 포함할 수 있다. 유기발광소자를 구동하기 위해서는 초기화, 샘플링 및 에미션 단계를 거친다.
- [0006] 초기화는 구동트랜지스터의 게이트 단자 및 유기발광소자의 애노드 단자에 초기전압을 인가함으로써 초기화할 수 있다. 구동트랜지스터의 게이트 단자를 초기화할 때 초기전압(Vini)으로 초기화하고, 이 순간에 유기발광소자 쪽으로 원하지 않는 전류가 흘러 유기발광소자의 효율이 감소할 수 있다. 또한 순간적으로 초기전압(Vini)의 입력단 쪽으로 전류가 과도하게 흘러 초기전압(Vini)의 순간적 떨어짐(drop)으로 인한 화질 불량 및 회로 부품에 손상을 입힐 수 있다.
- [0007] 또한, 구동트랜지스터는 유기발광소자에 일정한 전류를 흘려주기 위해서는 신뢰성이 확보되어야 한다. 하지만 구동트랜지스터의 반도체층은 시간이 지날수록 반도체층의 특성이 변하게 된다. 즉, 구동트랜지스터의 문턱전압이 마이너스 또는 플러스 전압으로 이동하게 된다. 따라서, 실시간으로 구동트랜지스터의 문턱전압을 보상하고, 유기발광소자를 발광시키기 위해 화소 내에 다수의 트랜지스터 및 커패시터의 배치를 필요로 한다. 즉, 한정된 화소 영역 내에서 트랜지스터가 많아지고 복잡해질 수록 불필요한 공간을 줄여 각각의 요소가 최적으로 배치될 수 있도록 설계마진을 확보하려는 노력이 요구되고 있다.
- [0008] 또한, 고해상도 표시장치를 구현하기 위해서는 발광시켜야 하는 화소의 수가 증가하기 때문에 1 수평기간(H)이 짧아지고, 이에 따라서 샘플링 기간도 줄어들게 된다. 줄어든 샘플링 기간은 구동트랜지스터의 문턱전압 보상의 정확성을 떨어뜨리는 요인이 될 수 있다.
- [0009] 따라서, 본 명세서의 일실시예에 따른 해결과제는 에미션 기간 이외의 기간에 유기발광소자로 흐르는 전류를 차단하고, 구동트랜지스터의 문턱전압 보상의 정확성을 확보할 수 있는 유기발광 표시장치를 제공하는 것이다.
- [0010] 또한, 본 명세서의 일실시예에 따른 해결과제는 다수의 트랜지스터 및 커패시터를 연결하기 위한 선택홀의 개수를 줄임으로써 화소 영역 내에서 설계마진을 확보할 수 있는 유기발광 표시장치를 제공하는 것이다.
- [0011] 또한, 본 명세서의 일실시예에 따른 해결과제는 충분한 샘플링 기간을 확보함으로써 구동트랜지스터 보상의 정확성을 향상시키기 위한 유기발광 표시장치를 제공하는 것이다.
- [0012] 또한, 본 명세서의 일실시예에 따른 해결과제는 구동트랜지스터의 반도체층에 영향을 줄 수 있는 이동전하(mobile charge)의 영향을 차단하기 위한 유기발광 표시장치를 제공하는 것이다.
- [0013] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 명세서의 일 실시예에 의한 유기발광 표시장치는 행으로 배치된 $n-1$ 번째 화소 및 n 번째 화소, 구동트랜지스터, 샘플링 트랜지스터, 및 제1 이니셜 트랜지스터를 포함하는 트랜지스터 어레이, 초기전압의 입력단 및 샘플링 트랜지스터 사이에 연결되도록 구현된 커패시터, n 번째 화소의 구동트랜지스터를 초기화 하기 위한 제1 이니셜 트랜지스터의 게이트전극은 $n-1$ 번째 화소의 게이트전극과 연결된다.
- [0015] 본 명세서의 일 실시예에 의한 유기발광 표시장치는 행으로 배치된 $n-1$ 번째 화소 및 n 번째 화소, 화소에 각각 배치된 유기발광소자, $n-1$ 번째 화소의 제 $n-1$ 스캔신호에 연결된 n 번째 화소의 이니셜 트랜지스터, n 번째 화소에 포함되고, 제 n 스캔신호에 연결된 샘플링 트랜지스터, n 번째 화소에 포함되고, 제 n 에미션신호에 연결된 에미션 트랜지스터 및 유기발광소자를 구동하기 위한 한 프레임은 이니셜 기간, 샘플링 기간, 에미션 기간을 포함한다. 이니셜 기간에서, 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 제 n 에미션신호는 오프 레벨로 인가된다. 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 에미션신호는 오프 레벨로 인가된다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가된다.

발명의 효과

- [0016] 본 명세서의 실시예들은, 에미션 트랜지스터를 유기발광소자의 애노드 전극에 연결함으로써, 에미션 기간 이외의 기간에 유기발광소자로 흐르는 누설전류를 차단할 수 있다.

- [0017] 또한, 본 명세서의 실시예들은, 이니셜(Initial) 기간에 초기전압(Vini)이 저전위 구동전압(ELVSS)보다 낮은 전압이 인가됨으로써 유기발광소자의 수명을 향상시킬 수 있다.
- [0018] 또한, 본 명세서의 실시예들은, 이니셜 기간에서 데이터전압(Vdata)과 초기전압(Vini) 간에 쇼트(short)가 발생하는 것을 미연에 방지할 수 있으며, 화소의 보상을 위한 샘플링 기간이 증가되어 보상 능력이 개선될 수 있다.
- [0019] 또한, 본 명세서의 실시예들은, n번째 화소의 구동트랜지스터를 초기화하기 위한 제1 이니셜 트랜지스터의 게이트전극을 n-1번째 행에 배치된 화소의 게이트전극과 연결함으로써, 구동트랜지스터의 문턱전압 샘플링 기간을 충분히 확보하여 문턱전압 보상의 정확성을 향상시킬 수 있다.
- [0020] 또한, 본 명세서의 실시예들은, 커패시터의 일전극을 고전위 구동전압의 입력단이 아닌 초기전압의 입력단에 연결함으로써, 컨택홀의 개수를 줄여주고 화소설계 마진을 확보할 수 있는 효과가 있다.
- [0021] 또한, 본 명세서의 실시예들은, 구동트랜지스터의 반도체층 하부에 금속층을 배치함으로써, 구동트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다.
- [0022] 또한, 본 명세서의 실시예들은, 커패시터의 전극을 구동트랜지스터의 게이트전극보다 면적이 넓도록 구현함으로써, 구동트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다.
- [0023] 또한, 본 명세서의 실시예들은, 커패시터의 일전극을 샘플링기간에 동작하는 트랜지스터의 반도체에 대응하는 영역에 배치함으로써, 트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다.
- [0024] 또한, 본 명세서의 실시예들은, 커패시터에 연결된 트랜지스터 중 적어도 하나의 트랜지스터는 직렬로 연결된 적어도 2 개 이상의 트랜지스터로 구성함으로써, 누설전류로 인해서 발광 휘도가 왜곡되는 것을 방지할 수 있다.
- [0025] 또한, 본 명세서의 실시예들은, 구동트랜지스터 또는 유기발광소자를 초기화하기 위한 이니셜 기간을 이전 행에 배치된 화소의 샘플링 기간에 실시하게 함으로써, 스캔 구동부 및 에미션 구동부만 포함하는 게이트 구동회로를 통해 화소를 구동할 수 있다. 따라서, 기존의 2/3의 공간으로도 화소를 구동할 수 있으므로 네로우 베젤(Narrow-bezel)을 용이하게 구현할 수 있다.

도면의 간단한 설명

- [0026] 도 1은 유기발광소자와 유기발광소자의 발광원리를 설명하기 위한 도면.
- 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.
- 도 3은 본 발명의 일 화소 구조를 보여주는 등가 회로도.
- 도 4는 도 3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도.
- 도 5a, 도 5b 및 도 5c는 각각 도 4의 이니셜 기간, 샘플링기간, 및 에미션 기간에 대응되는 화소의 등가 회로도.
- 도 6은 이니셜 기간, 샘플링기간, 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면.
- 도 7은 도 3에 도시된 화소 구조의 일 변형 예들을 보여주는 등가 회로도.
- 도 8은 도 7의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도.
- 도 9a, 도 9b 및 도 9c는 각각 도 7의 이니셜 기간, 샘플링기간, 및 에미션 기간에 대응되는 화소의 등가 회로도.
- 도 10은 이니셜 기간, 샘플링기간, 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면.
- 도 11은 도 7에 도시된 화소 구조의 일 변형 예를 보여주는 등가 회로도.
- 도 12는 도 3에 도시된 화소 구조의 일 변형 예들을 보여주는 등가 회로도.
- 도 13은 도 12의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도.

도 14a, 도 14b 및 도 14c는 각각 도 12의 이니셜 기간, 샘플링기간, 및 에미션 기간에 대응되는 화소의 증가 회로도.

도 15는 도 12의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도.

도 16 내지 도 18은 스캔 구동부의 시프트 레지스터와 에미션 구동부의 인버터가 게이트 구동회로로 구현되는 다양한 예를 보여 주는 도면들.

도 19는 커패시터가 형성되는 영역의 어레이를 나타내는 도면.

도 20은 도 19에서 I-I' 을 따라 절단한 단면을 나타내는 단면도.

도 21은 비교 예에 의한 커패시터가 형성되는 영역의 어레이를 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0028] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0029] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0030] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0031] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0032] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0033] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께
- [0034] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0035] 본 발명의 실시예에서는 화소를 구성하는 트랜지스터들이 모두 P 타입으로 구현되는 것만을 개시하고 있으나, 본 발명의 기술적 사상은 이에 한정되지 않고 N 타입으로 구현되는 경우에도 적용될 수 있다.
- [0036] 이하, 도 2 내지 도 11을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0037] 도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 보여준다.
- [0038] 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 화소들(PXL)이 형성된 표시패널(10)과, 데이터 라인들(14)을 구동시키기 위한 데이터 구동회로(12)와, 게이트라인들(15)을 구동시키기 위한 게이트 구동회로(13)와, 데이터 구동회로(12) 및 게이트 구동회로(13)의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(11)를

구비한다.

- [0039] 표시패널(10)에는 다수의 데이터라인들(14)과 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 화소(PXL)들이 매트릭스 형태로 배치된다. 동일 수평라인 상에 배치된 화소(PXL)들은 하나의 화소행을 이룬다. 일 화소행에 배치된 화소(PXL)들은 일 게이트라인(15)에 접속되며, 일 게이트라인(15)은 적어도 하나 이상의 스캔라인과 적어도 하나 이상의 에미션라인을 포함할 수 있다. 즉, 각 화소(PXL)는 1개의 데이터라인(14)과, 적어도 하나 이상의 스캔라인 및 에미션라인에 접속될 수 있다. 화소(PXL)들은 전원발생부로부터 고전위 및 저전위 구동전압(ELVDD, ELVSS)과 초기전압(Vini)을 공통으로 공급받을 수 있다. 이니셜 기간 및 샘플링 기간에서 유기발광소자(OLED)의 불필요한 발광이 방지되도록 초기전압(Vini)은 유기발광소자(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택될 수 있다. 즉, 저전위 구동전압(ELVSS)과 같거나 저전위 구동전압(ELVSS)보다 낮게 설정될 수 있다. 따라서, 이니셜(Initial) 기간에 초기전압(Vini)은 저전위 구동전압(ELVSS)보다 낮은 전압으로 인가되어 유기발광소자(OLED)의 불필요한 발광이 억제되고, 그 결과 유기발광소자(OLED)의 수명을 향상시킬 수 있다.
- [0040] 화소(PXL)를 구성하는 트랜지스터(TFT)들은 산화물 반도체층을 포함한 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(10)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 유기물(organic) 반도체 등으로 형성될 수 있다. 각 화소(PXL)는 구동트랜지스터의 문턱전압 변화를 보상하기 위해 다수의 트랜지스터들과 커패시터를 포함하는데, 본 발명은 다수의 트랜지스터들 중 구동트랜지스터의 문턱전압을 보상하고, 문턱전압을 보상하기 위한 샘플링 기간을 확보할 수 있는 화소 구조를 제안한다. 이에 대해서는 도 3 내지 도 11을 통해 상세히 후술한다.
- [0041] 한편, 각 화소(PXL)에서 커패시터의 일측 전극에 소스전극 또는 드레인전극이 연결된 트랜지스터는 누설 전류(off current)의 영향이 최대한 억제되도록 서로 직렬 연결된 적어도 2개 이상의 트랜지스터를 포함하도록 구성할 수 있다. 이때, 2개 이상의 트랜지스터들은 동일한 제어신호에 의해 스위칭된다. 예를 들어, 도 3에서와 같이, T3는 동일한 제어신호에 의해 스위칭되며 서로 직렬 연결된 T3A와 T3B를 포함하는 더블 게이트형 트랜지스터로 설계될 수 있다. 그리고 T5는 동일한 제어신호에 의해 스위칭되며 서로 직렬 연결된 T5A와 T5B를 포함하는 더블 게이트형 트랜지스터로 설계될 수 있다. 이하에서 언급되는 더블 게이트형 트랜지스터는 두 개의 트랜지스터가 서로 직렬 연결된 구조를 의미한다.
- [0042] 또한, 도 7에서와 같이, T3 및 T5이외에, T6도 T6A와 T6B를 포함하는 더블 게이트형 트랜지스터로 설계될 수 있다. 또한, 도 11에서와 같이, T3 및 T5이외에, T2도 T2A와 T2B를 포함하는 더블 게이트형 트랜지스터로 설계될 수 있다. 또한, 도 12에서와 같이, T2도 T2A와 T2B를 포함하는 더블 게이트형 트랜지스터로 설계될 수 있다.
- [0043] 즉, 커패시터에 연결된 트랜지스터 중 적어도 하나의 트랜지스터는 직렬로 연결된 적어도 두 개의 트랜지스터로 구성함으로써, 누설전류로 인해서 발광 휘도가 왜곡되는 것을 방지할 수 있다.
- [0044] 다시 도 2를 참조하면, 타이밍 컨트롤러(11)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 해상도에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 또한, 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.
- [0045] 데이터 구동회로(12)는 데이터 제어신호(DDC)를 기반으로 타이밍 컨트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.
- [0046] 게이트 구동회로(13)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 에미션신호를 생성할 수 있다. 게이트 구동회로(13)는 스캔 구동부와 에미션 구동부를 포함할 수 있다. 스캔 구동부는 각 화소행마다 연결된 적어도 하나 이상의 스캔라인을 구동하기 위해 행 순차 방식으로 스캔신호를 생성하여 스캔라인들에 공급할 수 있다. 에미션 구동부는 각 화소행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다.
- [0047] 이러한 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10)의 비 표시영역 상에 직접 형성될 수 있다.

- [0048] 도 3은 본 발명의 일 화소 구조를 보여주는 등가 회로도이다. 그리고, 도 4는 도 3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다.
- [0049] 도 3을 참조하면, n (n 은 자연수)번째 화소 행에 배치된 각 화소(PXL)는 유기발광소자(OLED), 구동트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 및 커패시터(Cstg)를 포함한다.
- [0050] 유기발광소자(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광소자(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있다. 유기발광소자(OLED)의 애노드전극은 노드 C에 접속되고, 유기발광소자의 캐소드전극은 저전위 구동전압(ELVSS)의 입력단에 접속된다.
- [0051] 구동 트랜지스터(DT)는 자신의 소스-게이트 간 전압(V_{sg})에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 게이트전극은 노드 A에 접속되고, 소스전극은 노드 D에 접속되며, 드레인전극은 노드 B에 접속된다.
- [0052] 제1 트랜지스터(T1)는 데이터라인(14)과 노드 D 사이에 접속되고, 제 n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제1 트랜지스터(T1)의 게이트전극은 제 n 스캔신호(SCAN(n))가 인가되는 n 번째 제1 스캔라인에 접속되고, 제1 트랜지스터(T1)의 소스전극은 데이터라인(14)에 접속되며, 제1 트랜지스터(T1)의 드레인전극은 노드 D에 접속된다.
- [0053] 제2 트랜지스터(T2)는 노드 D와 고전위 구동전압(ELVDD)의 입력단 사이에 접속되고, 제 n 에미션신호(EM(n))에 따라 온/오프 된다. 제2 트랜지스터(T2)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제2 트랜지스터(T2)의 소스전극은 고전위 구동전압(ELVDD)의 입력단에 접속되며, 제2 트랜지스터(T2)의 드레인전극은 노드 D에 접속된다.
- [0054] 제3 트랜지스터(T3)는 노드 A와 노드 B 사이에 접속되고, 제 n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제3 트랜지스터(T3)의 게이트전극은 제 n 스캔신호(SCAN(n))가 인가되는 n 번째 제1 스캔라인에 접속되고, 제3 트랜지스터(T3)의 소스전극은 노드 A에 접속되며, 제3 트랜지스터(T3)의 드레인전극은 노드 B에 접속된다. 여기서, 제3 트랜지스터(T3)는 샘플링 트랜지스터라고 지칭할 수도 있다.
- [0055] 제4 트랜지스터(T4)는 노드 B와 노드 C 사이에 접속되고, 제 n 에미션신호(EM(n))에 따라 온/오프 된다. 제4 트랜지스터(T4)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제4 트랜지스터(T4)의 소스전극은 노드 B에 접속되며, 제4 트랜지스터(T4)의 드레인전극은 노드 C에 접속된다. 여기서 제4 트랜지스터(T4)는 에미션 트랜지스터라고 지칭할 수도 있다.
- [0056] 제5 트랜지스터(T5)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속되고, 제 $n-1$ 스캔신호(SCAN($n-1$))에 따라 온/오프 된다. 제5 트랜지스터(T5)의 게이트전극은 제 $n-1$ 스캔신호(SCAN($n-1$))가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제5 트랜지스터(T5)의 소스전극은 노드 A에 접속되며, 제5 트랜지스터(T5)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다. 여기서, 제5 트랜지스터(T5)는 제1 이니셜 트랜지스터라고 지칭할 수도 있다.
- [0057] 그리고, 커패시터(Cstg)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속된다.
- [0058] 도 4 내지 도 6을 참조하여, 도 3의 화소 동작을 설명한다. 도4는 도3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 그리고, 도 4는 도 3의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 그리고, 도 5a, 도 5b 및 도 5c는 각각 도 4의 이니셜 기간, 샘플링기간, 및 에미션 기간에 동작하는 화소의 등가 회로도이다. 그리고, 도 6은 이니셜 기간, 샘플링기간, 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면이다.
- [0059] 한 프레임기간은, 도 4와 같이 노드 A를 초기화하는 이니셜 기간(P_i), 구동트랜지스터(DT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(P_s), 및 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자(OLED)

를 발광시키는 에미션 기간(Pe)으로 나뉘어질 수 있다. 도 4에서는 초기화 동작을 n-1번째 수평 기간(Hn-1)에서 행함으로써 n번째 수평 기간(Hn)을 모두 샘플링 동작에 할애할 수 있게 된다. 따라서, 샘플링 기간(Ps)을 충분히 확보할 수 있으므로, 구동트랜지스터(DT)의 문턱전압을 보다 정확히 샘플링할 수 있는 효과가 있다.

[0060] 도 5a에서 이니셜 기간(Pi)에 동작하는 트랜지스터는 실선으로 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 4 및 도 5a를 참조하면, 이니셜 기간(Pi)은 n-1번째 화소행의 데이터 기입에 할당된 n-1번째 수평 기간(Hn-1)에 포함된다. 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))는 로우 레벨로 인가되고, 제n 스캔신호(SCAN(n))와 제n 에미션신호(EM(n))는 하이 레벨로 인가된다. 여기서 로우 레벨은 온 레벨이고, 하이 레벨은 오프 레벨이다. 이하에서는, 설명을 용이하게 하기 위해 로우 레벨을 온 레벨로, 하이 레벨을 오프 레벨로 설명하기로 한다.

[0061] 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))에 응답하여 제5 트랜지스터(T5)가 턴 온 됨으로써, 노드 A는 초기전압(Vini)으로 초기화된다. 이때, 제5 트랜지스터(T5)는 제1 이니셜 트랜지스터로 지칭할 수 있으며, 제1 이니셜 트랜지스터의 게이트전극은 n-1번째 행에 배치된 화소의 게이트 전극과 연결됨으로써, 구동트랜지스터(DT)의 문턱전압(Vth)의 샘플링 기간을 충분히 확보하여 문턱전압(Vth) 보상의 정확성을 향상시킬 수 있다. 이렇게 샘플링 동작에 앞서 노드 A를 초기화함으로써 샘플링의 신뢰성을 높이고, 유기발광소자(OLED)의 불필요한 발광을 방지할 수 있다. 이를 위해, 초기전압(Vini)은 유기발광소자(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택할 수 있으며, 저전위 구동전압(ELVSS)과 같거나 저전위 구동전압(ELVSS)보다 낮게 설정될 수 있다. 그리고, 이니셜 기간(Pi)에서, 노드 D에는 이전 프레임의 데이터전압(Vdata(n))이 유지되어 있다.

[0062] 도 5b에서, 샘플링 기간(Ps)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 4 및 도 5b를 참조하면, 샘플링 기간(Ps)은 n번째 화소행의 데이터 기입에 할당된 n번째 수평 기간(Hn)에 포함된다. 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))에 응답하여 제1 및 제3 트랜지스터(T1, T3)가 턴 온 됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터(TFT)가 다이오드처럼 동작함)되고, 노드 D에는 데이터전압(Vdata(n))이 인가된다.

[0063] 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이 전류(Ids)에 의해 노드 A의 전위는 초기화 상태인 초기전압(Vini)에서 데이터전압(Vdata(n))과 구동트랜지스터(DT)의 문턱전압을 뺀 값(Vdata(n)-Vth)까지 높아진다. 초기전압(Vini)은 저전위 구동전압(ELVSS)과 같거나 낮은 전압이다. 구동트랜지스터(DT)의 게이트전극인 노드 A의 전압값이 구동트랜지스터(DT)의 문턱전압(Vth)을 포함하게 됨으로써, 이어지게 될 에미션 기간(Pe)에서 구동트랜지스터(DT)의 문턱전압(Vth)이 소거된 상태의 구동전류를 발생시킬 수 있다.

[0064] 도 5c에서 에미션 기간(Pe)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 4 및 도 5c를 참조하면, 에미션 기간(Pe)은 한 프레임기간 중에서 이니셜 기간(Pi)과 샘플링 기간(Ps)을 제외한 나머지 기간에 해당된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 스캔신호(SCAN(n))는 오프 레벨로 인가된다.

[0065] 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))에 응답하여 제2 트랜지스터(T2)가 턴 온 됨으로써 구동트랜지스터(DT)의 소스전극에 고전위 구동전압(ELVDD)을 연결한다. 또한, 제n 에미션신호(EM(n))에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 노드 B 및 노드 C의 전위를 유기발광소자(OLED)의 동작전압(Voled)으로 동일하게 한다.

[0066] 이때, 제4 트랜지스터(T4)는 유기발광소자(OLED)의 애노드 전극에 연결되어 에미션 기간(Pe) 이외의 이니셜 기간(Pi) 및 샘플링 기간(Ps)에는 턴 오프 됨으로써, 에미션 기간(Pe) 이외의 기간에 유기발광소자(OLED)로 흐르는 누설전류를 차단할 수 있다. 여기서 제4 트랜지스터(T4)는 에미션 트랜지스터라고 지칭될 수 있다.

[0067] 에미션 기간(Pe)에서 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학적 식 1과 같이 된다. 유기발광소자(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.

[0068] [수학적 식 1]

$$I_{OLED} = k/2(V_{sg} - V_{th})^2 = k/2(V_s - V_g - V_{th})^2 = k/2(V_{DD} - V_{data} + V_{th} - V_{th})^2 = k/2(V_{DD} - V_{data})^2$$

[0070] 수학적 식 1에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비

레 상수를 나타낸다.

- [0071] 구동전류(Ioled) 수식은 $k(V_{sg}-V_{th})^2$ 인데, 에미션 기간(Pe)을 통해 프로그래밍 된 V_{sg} 에는 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분이 이미 포함되어 있으므로, 수식 1과 같이 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분은 소거되게 된다. 이를 통해, 문턱전압(V_{th})의 변화가 구동전류(Ioled)에 미치는 영향을 최소화할 수 있다.
- [0072] 도 6은 상기 도 5a 내지 5c에서 설명한 이니셜 기간(Pi), 샘플링 기간(Ps), 에미션 기간(Pe)에 노드 A, 노드 B, 노드 C에 입력되는 전압값을 표로써 나타내고 있다. 샘플링 기간(Ps)을 거친 노드 A는 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분을 포함하게 됨으로써, 에미션 기간(Pe)에서 유기발광소자가 발광할 때, 구동트랜지스터(DT)의 구동전류(Ioled)는 문턱전압(V_{th}) 성분을 소거하여 원하는 표시 계조를 나타낼 수 있다.
- [0073] 도 7은 도 3에 도시된 화소 구조의 일 변형 예를 보여주는 등가 회로도이다. 그리고, 도 8은 도 7의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 도 9a, 도 9b 및 도 9c는 각각 도 7의 이니셜 기간, 샘플링 기간, 및 에미션 기간에 대응되는 화소의 등가 회로도이다. 그리고, 도 10은 이니셜 기간, 샘플링 기간, 및 에미션 기간에 있어 화소의 노드 A, 노드 B, 노드 C에 대한 전압값을 나타내는 도면이다.
- [0074] 도 7의 화소(PXL)는 도 3의 화소(PXL)에 제6 트랜지스터(T6)를 더 구성한다. 도 7의 화소(PXL)에서는, 초기전압(Vini)의 입력단과 노드 C 사이에 제6 트랜지스터(T6)가 접속된다. 제6 트랜지스터(T6)의 게이트전극은 제n-1 스캔신호(SCAN(n-1))가 인가되는 n-1번째 제1 스캔라인에 접속되고, 제6 트랜지스터(T6)의 소스전극은 노드 C에 접속되며, 제6 트랜지스터(T6)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다. 도 7의 화소(PXL)는 제6 트랜지스터(T6)를 더 포함함으로써 노드 C 전위를 고정시켜 샘플링의 정확성을 높일 수 있다. 따라서, 회로의 동작 안정성을 높일 수 있다. 여기서, 제6 트랜지스터(T6)는 제2 이니셜 트랜지스터라고 지칭할 수도 있다.
- [0075] 도 7에서 제6 트랜지스터(T6)를 제외한 나머지 구성 요소들은 도 3을 참조하여 설명한 구성들과 실질적으로 동일하다.
- [0076] 도 7 내지 도 10을 참조하여, 도 7의 화소 동작을 설명한다. 도 8은 도 7의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 그리고, 도 9a, 도 9b 및 도 9c는 각각 도 7의 이니셜 기간, 샘플링기간, 및 에미션 기간에 대응되는 화소의 등가 회로도이다. 그리고, 도 10은 이니셜 기간, 샘플링기간, 및 에미션 기간에 있어 화소의 노드 A, B, C에 대한 전압값을 나타내는 도면이다.
- [0077] 도 8에 도시한 바와 같이, 한 프레임기간은, 노드 A와 노드 C를 초기화하는 이니셜 기간(Pi), 구동트랜지스터(DT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(Ps), 및 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자(OLED)를 발광시키는 에미션 기간(Pe)으로 나뉘어질 수 있다. 도 7에서는 초기화 동작을 n-1번째 수평 기간(Hn-1)에서 행함으로써 n번째 수평 기간(Hn)을 모두 샘플링 동작에 할애할 수 있게 된다. 따라서, 샘플링 기간(Ps)을 충분히 확보할 수 있으므로, 구동트랜지스터(DT)의 문턱전압을 보다 정확히 샘플링할 수 있는 효과가 있다.
- [0078] 도 9a에서 이니셜 기간(Pi)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 8 및 도 9a를 참조하면, 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))는 온 레벨로 인가되고, 제n 스캔신호(SCAN(n))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))에 응답하여 제5 및 제6 트랜지스터(T5, T6)가 턴 온됨으로써, 노드 A와 노드 C는 초기전압(Vini)으로 초기화된다. 이때, 제5 및 제6 트랜지스터(T5, T6)의 게이트전극은 n-1번째 행에 배치된 화소의 게이트전극과 연결되어, 구동트랜지스터(DT)의 문턱전압(V_{th})의 샘플링 기간을 충분히 확보하여 문턱전압 보상의 정확성을 향상시킬 수 있다. 즉, 샘플링 동작에 앞서 노드 A와 노드 C가 초기화되므로 샘플링의 신뢰성을 높일 수 있고, 유기발광소자(OLED)의 불필요한 발광을 방지할 수 있다.
- [0079] 도 9b에서 샘플링 기간(Ps)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 8 및 도 9b를 참조하면, 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))에 응답하여 제1 및 제3 트랜지스터(T1, T3)가 턴 온 됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)되고, 노드 D에는 데이터전압($V_{data}(n)$)이 인가된다.

- [0080] 따라서, 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이 전류(Ids)에 의해 노드 A의 전위는 초기화 상태인 초기전압(Vini)에서 데이터전압(Vdata(n))과 구동트랜지스터(DT)의 문턱전압을 뺀 값(Vdata(n)-Vth)까지 높아진다. 초기전압(Vini)은 저전위 구동전압(ELVSS)과 같거나 낮은 전압이다. 구동트랜지스터(DT)의 게이트전극인 노드 A의 전압값이 구동트랜지스터(DT)의 문턱전압(Vth)을 포함하게 됨으로써, 이어지게 될 에미션 기간(Pe)에서 구동트랜지스터(DT)의 문턱전압(Vth)이 소거된 상태의 구동전류를 발생시킬 수 있다.
- [0081] 도 9c에서 에미션 기간(Pe)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 8 및 도 9c를 참조하면, 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 스캔신호(SCAN(n))는 오프 레벨로 인가된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))에 응답하여 제2 트랜지스터(T2)가 턴 온 됨으로써 구동트랜지스터(DT)의 소스전극에 고전위 구동전압(ELVDD)을 연결한다. 또한, 제n 에미션신호(EM(n))에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 노드 B 및 노드 C의 전위를 유기발광소자(OLED)의 동작전압(Voled)으로 동일하게 한다.
- [0082] 이때, 제4 트랜지스터(T4)는 유기발광소자의 애노드 전극에 연결되어 에미션 기간(Pe) 이외의 이니셜 기간(Pi) 및 샘플링 기간(Ps)에는 턴 오프 됨으로써, 에미션 기간(Pe) 이외의 기간에 유기발광소자로 흐르는 누설전류를 차단할 수 있다. 에미션 기간(Pe)에서 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학적 식 2와 같이 된다. 유기발광소자(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.
- [0083] [수학적 식 2]
- [0084]
$$I_{OLED} = k/2(V_{sg} - V_{th})^2 = k/2((V_s - V_g) - V_{th})^2 = k/2((V_{DD} - V_{data} + V_{th}) - V_{th})^2 = k/2(V_{DD} - V_{data})^2$$
- [0085] 수학적 식 2에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 지시한다.
- [0086] 구동전류(Ioled) 수식은 $k(V_{sg} - V_{th})^2$ 인데, 에미션 기간(Pe)을 통해 프로그래밍된 Vsg에는 구동트랜지스터(DT)의 문턱전압(Vth) 성분이 이미 포함되어 있으므로, 수학적 식 2과 같이 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(Vth) 성분은 소거된다. 따라서, 문턱전압(Vth) 변화가 구동전류(Ioled)에 미치는 영향이 최소화될 수 있다.
- [0087] 도 10은 상기 도 9a 내지 9c에서 설명한 이니셜 기간(Pi), 샘플링 기간(Ps), 에미션 기간(Pe)에 노드 A, 노드 B, 노드 C에 입력되는 전압값을 표로써 나타내고 있다. 샘플링 기간(Ps)을 거친 노드 A는 구동트랜지스터(DT)의 문턱전압(Vth) 성분을 포함하게 됨으로써, 에미션 기간(Pe)에서 유기발광소자가 발광할 때, 구동트랜지스터(DT)의 구동전류(Ioled)는 문턱전압(Vth) 성분을 소거하여 원하는 표시 계조를 나타낼 수 있다.
- [0088] 도 11은 도 7에 도시된 화소 구조의 일 변형 예를 보여주는 등가 회로도이다. 도 11은 도 7에 대비하여 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)의 연결관계의 변형예를 나타낸다.
- [0089] 구동트랜지스터(DT)는 자신의 소스-게이트 간 전압(Vsg)에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 게이트전극은 노드 A에 접속되고, 구동트랜지스터(DT)의 소스전극은 노드 D에 접속되며, 구동트랜지스터(DT)의 드레인전극은 노드 B에 접속된다.
- [0090] 제1 트랜지스터(T1)는 데이터라인(14)과 노드 D 사이에 접속되고, 제n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제1 트랜지스터(T1)의 게이트전극은 제n 스캔신호(SCAN(n))가 인가되는 n번째 제1 스캔라인에 접속되고, 제1 트랜지스터(T1)의 소스전극은 데이터라인(14)에 접속되며, 제1 트랜지스터(T1)의 드레인전극은 노드 D에 접속된다.
- [0091] 제2 트랜지스터(T2)는 노드 D와 고전위 구동전압(ELVDD)의 입력단 사이에 접속되고, 제n 에미션신호(EM(n))에 따라 온/오프 된다. 제2 트랜지스터(T2)의 게이트전극은 제n 에미션신호(EM(n))가 인가되는 n번째 제1 에미션라인에 접속되고, 제2 트랜지스터(T2)의 소스전극은 고전위 구동전압(ELVDD)의 입력단에 접속되며, 제2 트랜지스터(T2)의 드레인전극은 노드 D에 접속된다.
- [0092] 제3 트랜지스터(T3)는 노드 A와 노드 B 사이에 접속되고, 제n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제3 트랜지스터(T3)의 게이트전극은 제n 스캔신호(SCAN(n))가 인가되는 n번째 제1 스캔라인에 접속되고, 제3 트랜지스터(T3)의 소스전극은 노드 B에 접속되며, 제3 트랜지스터(T3)의 드레인전극은 노드 A에 접속된다.

- [0093] 제4 트랜지스터(T4)는 노드 B와 노드 C 사이에 접속되고, 제n 에미션신호(EM(n))에 따라 온/오프 된다. 제4 트랜지스터(T4)의 게이트전극은 제n 에미션신호(EM(n))가 인가되는 n번째 제1 에미션라인에 접속되고, 제4 트랜지스터(T4)의 소스전극은 노드 B에 접속되며, 제4 트랜지스터(T4)의 드레인전극은 노드 C에 접속된다.
- [0094] 제5 트랜지스터(T5)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속되고, 제n-1 스캔신호(SCAN(n-1))에 따라 온/오프 된다. 제5 트랜지스터(T5)의 게이트전극은 제n-1 스캔신호(SCAN(n-1))가 인가되는 n-1번째 제1 스캔라인에 접속되고, 제5 트랜지스터(T5)의 소스전극은 노드 A에 접속되며, 제5 트랜지스터(T5)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다.
- [0095] 제6 트랜지스터(T6)는 초기전압(Vini)의 입력단과 노드 C 사이에 접속되고, 제n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제6 트랜지스터(T6)의 게이트전극은 제n 스캔신호(SCAN(n))가 인가되는 n번째 제1 스캔라인에 접속되고, 제6 트랜지스터(T6)의 소스전극은 노드 C에 접속되며, 제6 트랜지스터(T6)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다.
- [0096] 그리고, 커패시터(Cstg)는 노드 A와 고전위 구동전압(ELVDD)의 입력단 사이에 접속된다.
- [0097] 한 프레임기간은, 도 11과 같이 노드 A와 노드 C를 초기화하는 이니셜 기간(Pi), 구동트랜지스터(DT)의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간(Ps), 및 샘플링된 문턱전압을 포함하여 구동트랜지스터(DT)의 소스-게이트 간 전압을 프로그래밍하고, 상기 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자(OLED)를 발광시키는 에미션 기간(Pe)으로 나뉘어질 수 있다. 도 11에서는 n-1번째 수평 기간(Hn-1) 동안 구동트랜지스터의 게이트전압 초기화 동작을 수행하고, n번째 수평 기간(Hn) 동안 유기발광소자(OLED)의 초기화 동작과 함께 샘플링 동작까지 행한다. 즉, 이니셜 기간(Pi)과 샘플링 기간(Ps)은 n번째 수평 기간(Hn) 내에 포함된다.
- [0098] 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))는 온 레벨로 인가되고, 제n 스캔신호(SCAN(n))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))에 응답하여 제5 트랜지스터(T5)가 턴 온 됨으로써, 노드 A는 초기전압(Vini)으로 초기화된다. 따라서, 샘플링 동작에 앞서 노드 A가 초기화되므로 구동트랜지스터(DT)의 문턱전압(Vth) 샘플링의 신뢰성을 높일 수 있다.
- [0099] 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))에 응답하여 제1, 제3, 및 제6 트랜지스터(T1, T3, T6)가 턴 온 됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)되고, 노드 D에는 데이터전압(Vdata(n))이 인가된다. 따라서, 샘플링 기간(Ps)에서, 구동트랜지스터(DT)의 소스-드레인 사이에는 전류(Ids)가 흐르며, 이 전류(Ids)에 의해 노드 A의 전위는 초기화 상태인 초기전압(Vini)에서 데이터전압(Vdata(n))과 구동트랜지스터(DT)의 문턱전압을 뺀 값(Vdata(n)-Vth)까지 높아진다. 초기전압(Vini)은 저전위 구동전압(ELVSS)과 같거나 낮은 전압이다. 구동트랜지스터(DT)의 게이트전극인 노드 A의 전압값이 구동트랜지스터(DT)의 문턱전압(Vth)을 포함하게 됨으로써, 이어지게 될 에미션 기간(Pe)에서 구동트랜지스터(DT)의 문턱전압(Vth)이 소거된 상태의 구동전류를 발생시킬 수 있다. 또한, 샘플링 동작에 앞서 노드 C가 초기화되므로 유기발광소자(OLED)의 불필요한 발광을 방지할 수 있다.
- [0100] 에미션 기간(Pe)은 한 프레임기간 중에서 이니셜 기간(Pi)과 샘플링 기간(Ps)을 제외한 나머지 기간에 해당된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 스캔신호(SCAN(n))는 오프 레벨로 인가된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))에 응답하여 제2 트랜지스터(T2)가 턴 온 됨으로써 구동트랜지스터(DT)의 소스전극에 고전위 구동전압(ELVDD)을 연결하고, 제n 에미션신호(EM(n))에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 노드 B 및 노드 C의 전위를 유기발광소자(OLED)의 동작전압(Voled)으로 동일하게 한다.
- [0101] 이때, 제4 트랜지스터(T4)는 유기발광소자(OLED)의 애노드 전극에 연결되어 에미션 기간(Pe) 이외의 이니셜 기간(Pi) 및 샘플링 기간(Ps)에는 턴 오프 됨으로써, 에미션 기간(Pe) 이외의 기간에 유기발광소자로 흐르는 누설전류를 차단할 수 있다.
- [0102] 에미션 기간(Pe)에서 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 도 9c에서 설명한 수학적식 2와 동일하게 적용된다. 따라서, 유기발광소자(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현할 수 있다. 수학적식 2를 참고하면, 구동전류(Ioled) 수식은 $k(V_{sg}-V_{th})^2$ 이므로, 에미션 기간(Pe)을 통해 프로그래밍된 소스-게이트 간 전압(Vsg)에는 구동트랜지스터(DT)의 문턱전압(Vth) 성분이 이미 포함되어 있으므로,

수학적식 2과 같이 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분은 소거된다. 따라서, 문턱전압(V_{th}) 변화가 구동전류(Ioled)에 미치는 영향이 최소화될 수 있다.

- [0103] 도 12는 도 3에 도시된 화소 구조의 일 변형 예를 보여주는 등가 회로도이다. 그리고, 도 13은 도 12의 화소에 인가되는 데이터신호와 게이트신호를 보여주는 파형도이다. 도 14a, 도 14b 및 도 14c는 각각 도 12의 이니셜 기간, 샘플링 기간, 및 에미션 기간에 대응되는 화소의 등가 회로도이다.
- [0104] 도 12를 참조하면, n (n 은 자연수)번째 화소 행에 배치된 각 화소(PXL)는 유기발광소자(OLED), 구동트랜지스터(DT), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 및 커패시터(Cstg)를 포함한다.
- [0105] 유기발광소자(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광소자(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기발광소자(OLED)의 애노드전극은 노드 C에 접속되고, 유기발광소자(OLED)의 캐소드전극은 저전위 구동전압(ELVSS)의 입력단에 접속된다.
- [0106] 구동트랜지스터(DT)는 자신의 소스-게이트 간 전압(V_{sg})에 따라 유기발광소자(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 게이트전극은 노드 A에 접속되고, 소스전극은 고전위 구동전압(ELVDD)의 입력단에 접속되며, 드레인전극은 노드 B에 접속된다.
- [0107] 제1 트랜지스터(T1)는 데이터라인(14)과 노드 D 사이에 접속되고, 제 n 스캔신호(SCAN(n))에 따라 온/오프된다. 제1 트랜지스터(T1)의 게이트전극은 제 n 스캔신호(SCAN(n))가 인가되는 n 번째 제1 스캔라인에 접속되고, 제1 트랜지스터(T1)의 소스전극은 데이터라인(14)에 접속되며, 제1 트랜지스터(T1)의 드레인전극은 노드 D에 접속된다.
- [0108] 제2 트랜지스터(T2)는 노드 A와 노드 B 사이에 접속되고, 제 n 스캔신호(SCAN(n))에 따라 온/오프 된다. 제2 트랜지스터(T2)의 게이트전극은 제 n 스캔신호(SCAN(n))가 인가되는 n 번째 제1 스캔라인에 접속되고, 제2 트랜지스터(T2)의 소스전극은 노드 D에 접속되며, 제2 트랜지스터(T2)의 드레인전극은 노드 A에 접속된다.
- [0109] 제3 트랜지스터(T3)는 노드 D와 초기전압(Vini)의 입력단 사이에 접속되고, 제 n 에미션신호(EM(n))에 따라 온/오프 된다. 제3 트랜지스터(T3)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제3 트랜지스터(T3)의 소스전극은 노드 D에 접속되며, 제3 트랜지스터(T3)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다.
- [0110] 제4 트랜지스터(T4)는 노드 B와 노드 C 사이에 접속되고, 제 n 에미션신호(EM(n))에 따라 온/오프 된다. 제4 트랜지스터(T4)의 게이트전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제1 에미션라인에 접속되고, 제4 트랜지스터(T4)의 소스전극은 노드 B에 접속되며, 제4 트랜지스터(T4)의 드레인전극은 노드 C에 접속된다.
- [0111] 제5 트랜지스터(T5)는 노드 A와 초기전압(Vini)의 입력단 사이에 접속되고, 제 $n-1$ 스캔신호(SCAN($n-1$))에 따라 온/오프 된다. 제5 트랜지스터(T5)의 게이트전극은 제 $n-1$ 스캔신호(SCAN($n-1$))가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제5 트랜지스터(T5)의 소스전극은 노드 A에 접속되며, 제5 트랜지스터(T5)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다.
- [0112] 제6 트랜지스터(T6)는 노드 C와 초기전압(Vini)의 입력단 사이에 접속되고, 제 $n-1$ 스캔신호(SCAN($n-1$))에 따라 온/오프 된다. 제6 트랜지스터(T6)의 게이트전극은 제 $n-1$ 스캔신호(SCAN($n-1$))가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제6 트랜지스터(T6)의 소스전극은 노드 C에 접속되며, 제6 트랜지스터(T6)의 드레인전극은 초기전압(Vini)의 입력단에 접속된다.
- [0113] 그리고, 커패시터(Cstg)는 노드 A와 노드 D 사이에 접속된다.
- [0114] 상술한 바와 같이, 도 12의 화소(PXL)는 노드 A와 노드 D 사이에 커패시터(Cstg)를 포함함으로써, 노드 D에 걸리는 전압의 변화에 따라 노드 A에 걸리는 전압이 변화된다. 구동트랜지스터(DT)는 노드 A에서 변화되는 전압에 응답하여 유기발광소자(OLED)에 공급되는 전류량을 결정한다. 이에 따라, 회로의 동작 안정성을 높이는 동시에 유기발광소자(OLED)의 휘도를 용이하게 제어할 수 있다.
- [0115] 또한, 도 12의 화소(PXL)를 통해 이니셜 기간에서 데이터전압(Vdata)과 초기전압(Vini) 간에 쇼트(short)가 발생하는 것을 미연에 방지할 수 있으며, 화소의 보상을 위한 샘플링 기간이 증가되어 보상 능력이 개선될 수 있다.
- [0116] 도 13 내지 도 14c를 참조하여, 도 12의 화소 동작을 설명한다.

- [0117] 한 프레임기간은, 노드 A와 노드 C를 초기화하는 이니셜 기간(Pi), 노드 D에 데이터전압(Vdata(n))을 저장하고 구동트랜지스터(DT)의 소스-게이트 간 전압이 문턱전압과 동일해질 때까지 구동트랜지스터(DT)를 동작하는 샘플링 기간(Ps), 노드 A에서 변화되는 전압에 응답하여 구동되는 구동트랜지스터(DT)의 구동전류로 유기발광소자(OLED)를 발광시키는 에미션 기간(Pe)으로 나뉘어질 수 있다. 도 13에서는 초기화 동작을 n-1번째 수평 기간(Hn-1)에서 행함으로써 n번째 수평 기간(Hn)을 모두 샘플링 동작에 할애할 수 있게 된다. 따라서, 샘플링 기간(Ps)을 충분히 확보할 수 있으므로, 구동트랜지스터(DT)의 문턱전압을 보다 정확히 샘플링할 수 있는 효과가 있다.
- [0118] 도 14a에서 이니셜 기간(Pi)에 동작하는 트랜지스터 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 13 및 도 14a를 참조하면, 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))는 온 레벨로 인가되고, 제n 스캔신호(SCAN(n))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))에 응답하여 제5 및 제6 트랜지스터(T5, T6)가 턴 온됨으로써, 노드 A와 노드C는 초기전압(Vini)으로 초기화된다.
- [0119] 이니셜 기간(Pi)에서, 제n-1 스캔신호(SCAN(n-1))에 응답하여 제5 및 제6 트랜지스터(T5, T6)가 턴 온됨으로써, 노드 A와 노드 C는 초기전압(Vini)으로 초기화된다. 이렇게 샘플링 동작에 앞서 노드 A와 노드 C를 초기화함으로써, 샘플링의 신뢰성을 높이고, 유기발광소자(OLED)의 불필요한 발광을 방지할 수 있다. 이를 위해, 초기전압(Vini)은 유기발광소자(OLED)의 동작전압보다 충분히 낮은 전압 범위 내에서 선택할 수 있으며, 저전위 구동전압(ELVSS)과 같거나 저전위 구동전압(ELVSS)보다 낮게 설정될 수 있다.
- [0120] 도 14b에서, 샘플링 기간(Ps)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 13 및 도 14b를 참조하면, 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다. 샘플링 기간(Ps)에서, 제n 스캔신호(SCAN(n))에 응답하여 제1 및 제2 트랜지스터(T1, T2)가 턴 온 됨으로써, 구동트랜지스터(DT)는 다이오드 커넥션(diode connection, 게이트전극과 드레인전극이 쇼트되어 트랜지스터가 다이오드처럼 동작함)되고, 노드 D에는 데이터전압(Vdata(n))이 인가되고, 노드 A에는 고전위 구동전압(ELVDD)이 유입된다. 여기서 노드 D와 노드 A 사이에 커패시터(Cstg)가 배치됨으로써, 노드 D와 노드 A 각각에는 독립적으로 서로 다른 전압이 걸릴 수 있다.
- [0121] 따라서, 샘플링 기간(Ps)에서, 구동트랜지스터(DT)는 소스-게이트 간 전압이 문턱전압과 동일해질 때까지 동작하며, 구동트랜지스터(DT)가 동작하는 동안 노드 A에는 고전위 구동전압(ELVDD)이 유입된다.
- [0122] 도 14c에서 에미션 기간(Pe)에 동작하는 트랜지스터는 실선으로, 동작하지 않는 트랜지스터는 점선으로 도시하였다. 도 13 및 도 14c를 참조하면, 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))는 온 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 스캔신호(SCAN(n))는 오프 레벨로 인가된다. 에미션 기간(Pe)에서, 제n 에미션신호(EM(n))에 응답하여 제3 트랜지스터(T3)가 턴 온 됨으로써 초기화 전압이 노드 D에 인가된다. 노드 D의 전위 변화분(Vdata-Vinit)에 대한 커패시터(Cstgg)의 전압이 노드 A에 반영된다. 즉, 노드 D의 전위 변화분이 노드 A에도 반영됨으로써, 구동트랜지스터(DT)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다. 이에 따라, 구동트랜지스터(DT)는 노드 A에서 변화되는 전압에 응답하여 유기발광소자(OLED)에 공급되는 전류량을 결정한다.
- [0123] 또한, 제n 에미션신호(EM(n))에 응답하여 제4 트랜지스터(T4)가 턴 온 됨으로써 노드 C의 전위를 유기발광소자(OLED)의 동작전압(Voled)으로 동일하게 한다.
- [0124] 에미션 기간(Pe)에서 유기발광소자(OLED)에 흐르는 구동전류(Ioled)에 대한 관계식은 하기 수학식 3과 같이 된다. 유기발광소자(OLED)는 구동전류에 의해 발광함으로써 원하는 표시 계조를 구현하게 된다.
- [0125] 이때, 제4 트랜지스터(T4)는 유기발광소자의 애노드 전극에 연결되어 에미션 기간(Pe) 이외의 이니셜 기간(Pi) 및 샘플링 기간(Ps)에는 턴 오프 됨으로써, 에미션 기간(Pe) 이외의 기간에 유기발광소자로 흐르는 누설전류를 차단할 수 있다.
- [0126] [수학식 3]
- [0127]
$$I_{OLED} = k/2(V_{sg} - V_{th})^2 = k/2((V_s - V_g) - V_{th})^2 = k/2((V_{DD} - ((V_{DD} - (V_{data} - V_{init}) - V_{th}) - V_{th}))^2 = k/2(V_{data} - V_{init})^2$$
- [0128] 수학식 3에서, k/2는 구동트랜지스터(DT)의 전자 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수를 나타낸다.

- [0129] 구동전류(Ioled) 수식은 $k(V_{sg}-V_{th})^2$ 인데, 에미션 기간(Pe)을 통해 프로그래밍 된 Vsg에는 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분이 이미 포함되어 있으므로, 수식식 3과 같이 구동전류(Ioled) 관계식에서 구동트랜지스터(DT)의 문턱전압(V_{th}) 성분은 소거된다. 이를 통해, 문턱전압(V_{th}) 변화가 구동전류(Ioled)에 미치는 영향이 제거된다.
- [0130] 이상 설명한 바와 같이, 한 프레임이 이니셜 기간(Pi), 샘플링 기간(Ps), 에미션 기간(Pe)으로 나누어지는 것을 중심으로 설명하였으나, 이에 한정되는 것은 아니며, 도 15에 도시된 바와 같이, 이니셜 기간(Pi), 에미션 기간(Pe) 사이에 홀드 기간(Ph)이 더 포함될 수 있다.
- [0131] 홀드 기간(Ph)에서, 제n 스캔신호(SCAN(n))는 오프 레벨로 인가되고, 제n-1 스캔신호(SCAN(n-1))와 제n 에미션신호(EM(n))는 오프 레벨로 인가된다.
- [0132] 이와 같이, 홀드 기간(Ph)에서, 제n 스캔신호(SCAN(n))가 오프 레벨로 인가되는 동안 제n 에미션신호(EM(n))를 온 레벨로 인가하지 않고, 일정시간 동안 오프 레벨로 유지한다. 이에 따라, 제n 스캔신호(SCAN(n))와 제n 에미션신호(EM(n))가 동시에 동기될 때 발생할 수 있는 전류 변화 또는 전압 변화에 따른 노이즈를 미연에 방지할 수 있다. 도 15의 나머지 구성 요소들은 도 8에서 설명한 것과 실질적으로 동일하다.
- [0133] 기존에는 제n 스캔신호1(SCAN1(n)), 제n 스캔신호2(SCAN(2(n))), 및 제n 에미션신호(EM(n))로 형성됨으로써, 화소별로 3개의 GIP 블록을 사용하였다. 하지만, 도 2 내지 도 15를 통해, 설명한 본 명세서의 화소의 구조는 제n-1 스캔신호(SCAN(n-1)), 제n 스캔신호(SCAN(n)) 및 제n 에미션신호(EM(n))로 동작이 가능하다. 이에 따라 본 명세서의 화소 구조는 2개 블록으로 이루어진 GIP로 화소 구동이 가능하다. 따라서, GIP 형성 영역의 폭을 좁힐 수 있기 때문에 네로우 베젤(Narrow bezel)의 구현이 가능할 수 있다.
- [0134] 도 16 내지 도 18은 스캔 구동부의 시프트 레지스터와 에미션 구동부의 인버터가 게이트 구동회로로 구현되는 다양한 예를 보여 주는 도면들이다.
- [0135] 도 16은 도 2의 게이트 구동회로(13)을 자세히 표현한 도면이다. 도 16을 참조하면, 게이트 구동회로는 스캔 구동부(S1(n))와 에미션 구동부(EM Inv.(n))를 포함할 수 있다.
- [0136] 스캔 구동부는 각 화소행마다 연결된 적어도 하나 이상의 스캔라인을 구동하기 위해 행 순차 방식으로 스캔신호를 생성하여 스캔라인들에 공급할 수 있다. 스캔 구동부는 시프트 레지스터(Shift Register)를 포함한다. 시프트 레지스터(Shift Register)는 종속적으로 접속된 A스테이지들(A stages, S1(1) 내지 S1(n+1))을 포함한다. 에미션 구동부는 각 화소행마다 연결된 적어도 하나 이상의 에미션라인을 구동하기 위해 행 순차 방식으로 에미션신호를 생성하여 에미션라인들에 공급할 수 있다. 에미션 구동부는 인버터(Inverter)를 포함한다. 인버터(Inverter)는 종속적으로 접속된 B스테이지들(Bstages, EM Inv(1) 내지 EM Inv(N+1))을 포함한다.
- [0137] A스테이지들(S1(1) 내지 S1(n+1))과 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))은 화상이 표시되는 액티브 영역을 중심으로 대칭되어 액티브 영역의 양측에 배치될 수 있다.
- [0138] A스테이지(S1(n-1))들은 스타트 펄스(S1VST)에 응답하여 제n-1 스캔신호(SCAN(n-1))를 동시에 출력한다. A스테이지(S1(n-1))는 제n-1 스캔신호(SCAN(n-1))와 별도의 캐리 신호(Carry signal)를 출력하여 스타트 펄스(S1VST)로서 다음 스테이지인 A스테이지(S1(n))에 동시에 공급할 수 있다. 캐리 신호는 다음 단 스테이지의 스타트 펄스로서 입력될 수 있다.
- [0139] 제n-1 스캔신호(SCAN(n-1))는 N-1번째 화소의 n-1번째 스캔라인과 n번째 화소의 n-1번째 스캔라인 각각에 동시에 공급되면서 B스테이지(EM Inv.(n)) 및 A스테이지(S1(n))에 공급된다.
- [0140] B스테이지(EM Inv.(n))들은 제n-1 스캔신호(SCAN(n-1))가 공급되면, 제n-1 스캔신호(SCAN(n-1))에 동기되면서 제n-1 스캔신호(SCAN(n-1))에 반전되는 제n 에미션신호(EM(n))를 n번째 화소의 에미션라인에 동시에 공급한다.
- [0141] A스테이지(S1(n))들은 제n-1 스캔신호(SCAN(n-1))가 공급되거나, 제n-1 스캔신호(SCAN(n-1))와 캐리 신호가 공급되면, 스타트 신호(Vst), 클럭(GCLK) 등의 스캔 타이밍 제어신호들에 응답하여 제n 스캔신호(SCAN(n))를 n번째 화소의 n번째 스캔라인에 동시에 공급한다.
- [0142] 제n 스캔신호(SCAN(n))는 n번째 화소의 n번째 스캔라인과 n+1번째 픽셀의 n번째 스캔라인 각각에 동시에 공급되면서 B스테이지(EM Inv.(n+1)) 및 A스테이지(S1(n+1))에 공급된다.
- [0143] B스테이지(EM INV.(n+1))들은 제n 스캔신호(SCAN(n))가 공급되면, 제n 스캔신호(SCAN(n))에 동기되면서 제n 스

캔신호(SCAN(n))에 반전되는 제n+1 에미션신호(EM(n+1))를 N+1번째 픽셀의 에미션라인에 동시에 공급한다.

- [0144] A스테이지(S1(n+1))들은 제n 스캔신호(SCAN(n))가 공급되거나, 제1 스캔신호(SCAN(n))와 캐리 신호가 공급되면, 스타트 신호(Vst), 클럭(GCLK) 등의 스캔 타이밍 제어신호들에 대응되는 제n+1 스캔신호(SCAN(n+1))를 n+1번째 픽셀의 n+1번째 스캔라인에 동시에 공급한다.
- [0145] 기존에는 화소를 구동하기 위해서 게이트 구동회로가 제1 스캔 구동부, 제2 스캔 구동부 및 에미션 구동부로 구성되었다. 그리고, 게이트 구동회로는 적어도 3 개의 블록인 A스테이지 내지 C스테이지가 배치되어야만 화소를 구동할 수 있었다. 그러나, 본 실시예는 스캔 구동부 및 에미션 구동부만으로도 화소를 구동할 수 있다. 이에 따라, 본 실시예는 A스테이지와 B스테이지만으로도 화소를 구동할 수 있다. 따라서, 본 실시예는 기존의 2/3의 공간으로도 화소를 구동할 수 있으므로 네로우 베젤(Narrow-bezel)을 용이하게 구현할 수 있다.
- [0146] 도 17을 참조하면, A스테이지들(S1(1) 내지 S1(2n)) 중 홀수 번째의 A스테이지들(S1(1) 내지 S1(2n-1))과, B스테이지들(EM Inv.(1) 내지 EM Inv.(2n)) 은 액티브 영역의 일측에 배치될 수 있고, A스테이지들(S1(1) 내지 S1(2n)) 중 짝수 번째의 A스테이지들(S1(1) 내지 S1(2n))과, B스테이지들(EM Inv.(2) 내지 EM Inv.(2n)) 은 액티브 영역의 타측에 배치될 수 있다.
- [0147] 이에 따라, 액티브 영역의 일측에 배치되는 첫 번째의 A스테이지들(S1(1) 내지 S1(2n))과 B스테이지들(EM Inv.(1) 내지 EM Inv.(2n))이 동작하고 난 후 액티브 영역의 타측에 배치되는 두 번째의 A스테이지들(S1(2) 내지 S1(2n))과 B스테이지들(EM Inv.(2) 내지 EM Inv.(2n))가 동작할 수 있다. 즉, A스테이지들(S1(1) 내지 S1(2n))과 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))이 지그재그 방향이면서 순차적으로 동작할 수 있다.
- [0148] 액티브 영역의 일측에 배치된 A스테이지(S1(2n-1))는 스타트펄스(S1VST)에 응답하여 제2n-1 스캔신호(SCAN(2n-1))를 출력하고, B스테이지(EM Inv.(2n-1))도 스타트펄스(S1VST)에 응답하여 제2n-1 에미션신호(EM(2n-1))를 출력한다. A스테이지(S1(2n-1))로부터 출력된 스캔신호(SCAN(2n-1))는 액티브 영역의 타측에 배치된 A스테이지(S1(2n))와 B스테이지(EM Inv.(2n))로 입력되고, A스테이지(S1(2n))와 B스테이지(EM Inv.(2n))로 입력된 스캔신호(SCAN(2n-1))에 응답하여 각각 스캔신호(SCAN(2n)) 및 에미션신호(EM(2n))를 출력하게 되며, 출력된 스캔신호(SCAN(2n))는 다시 일측에 배치된 A스테이지(S1(2n+1)) 및 B스테이지(EM Inv.(2n+1))에 입력된다.
- [0149] 상술한 바와 같이, 본 실시 예는 홀수 번째 배치되는 A스테이지들 및 B스테이지들과, 짝수 번째 배치되는 A스테이지들 및 B스테이지들을 분리하여 배치함으로써, 공간활용의 자유도를 개선하는 동시에 네로우 베젤(Narrow-bezel)을 용이하게 구현할 수 있다.
- [0150] 도 18을 참조하면, A스테이지들(S1(1) 내지 S1(n+1))은 액티브 영역의 일측에 배치될 수 있고, B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))은 액티브 영역의 타측에 배치될 수 있다.
- [0151] 이에 따라, 액티브 영역의 타측에 배치되는 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))은 액티브 영역의 일측에 배치되는 A스테이지들(S1(1) 내지 S1(n+1))에 대응되어 배치된다. 액티브 영역의 일측에 배치되는 A스테이지들(S1(1) 내지 S1(n+1))과 액티브 영역의 타측에 배치되는 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))은 순차적으로 동작할 수 있다.
- [0152] 액티브 영역의 양측에 배치된 A스테이지(S1(n)) 및 B스테이지(EM Inv.(n))는 각각 다른 스타트 신호(VST, EVST)에 응답하여 신호를 화소에 입력할 수 있다.
- [0153] A스테이지(S1(n))는 스타트 신호(SVST)에 응답하여 A스테이지(S1(n))에서 출력된 스캔신호(SCAN(n))는 n번째 화소에 신호를 전달함과 동시에 n+1번째 화소에 신호를 인가하고, A스테이지(S1(n+1))의 스타트 신호를 입력할 수 있다. 이때, B스테이지(EM Inv.(n))는 스타트 신호(EVST)에 응답하여 에미션신호(EM(n))를 N번째 화소에 인가하고, B스테이지(EM Inv.(n+1))에 신호를 입력시킴으로써, A스테이지와 B스테이지는 동시에 순차적으로 동작할 수 있다.
- [0154] 상술한 바와 같이, 본 실시예는 A스테이지들(S1(1) 내지 S1(n+1))과 B스테이지들(EM Inv.(1) 내지 EM Inv.(n+1))을 분리하여 배치함으로써, 공간활용의 자유도 또는 설계의 자유도를 개선할 수 있으며, 네로우 베젤(Narrow-bezel)을 용이하게 구현할 수 있다.
- [0155] 도 19는 도 7에 도시된 화소에서 커패시터(Cstg)의 양 전극과 접속하는 노드의 어레이 배치를 나타내는 도면이다.
- [0156] 도 19를 참조하면, 제5 트랜지스터(T5)는 반도체층(210), 게이트전극, 드레인전극(221), 및 소스전극을 포함하

고, 제6 트랜지스터(T6)는 반도체층(210), 게이트전극(220), 드레인전극(221), 및 소스전극을 포함하며, 커패시터(Cstg)는 제1 전극(225) 및 제2 전극을 포함한다. 커패시터(Cstg)의 제1 전극(225)은 초기전압(Vini) 입력단으로부터 신호를 인가받는 초기전압라인(Vini)과 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)의 드레인전극(221)에 연결되며, 제2 전극은 구동트랜지스터(DT)의 게이트전극(235)에 해당한다. 따라서, 제1 전극(225)과 제2 전극(235)의 오버랩 부분에 정전용량을 형성할 수 있다. 이때, 제5 트랜지스터(T5)의 소스전극은 컨택홀(271)을 통해서 구동트랜지스터(DT)의 게이트전극(235)에 연결되고, 제6 트랜지스터(T6)의 소스전극은 유기발광소자의 애노드에 연결될 수 있다. 또한, 구동트랜지스터(DT)의 반도체층(250)은 게이트전극(235) 아래에 형성되고, 소스 컨택홀(261), 드레인 컨택홀(263)은 각각 다른 트랜지스터의 소스 또는 드레인 전극과 연결할 수 있다.

[0157] 이때, 커패시터(Cstg)의 제1 전극(225)은 구동트랜지스터(DT)의 게이트전극(235) 보다 면적이 넓도록 구현함으로써, 제1 전극(225)에 초기전압(Vini)이 인가됨으로써, 기관(110)에 형성된 이동전하(mobile charge)의 영향을 억제할 수 있다. 따라서, 이동전하(mobile charge)의 영향으로 구동트랜지스터(DT)의 구동전류가 감소되는 것을 개선할 수 있다. 여기서, 초기전압(Vini)은 마이너스 전압일 수 있다.

[0158] 또한, 커패시터(Cstg)의 제1 전극(225)은 구동트랜지스터(DT)의 게이트전극(235)에 연결되어 샘플링 기간에 동작하는 제3 트랜지스터(T3)의 반도체층에 대응하는 영역에 배치함으로써, 제3 트랜지스터(T3)의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다. 커패시터(Cstg)의 제1 전극(225)의 배치는 도 7에 한정되지 않으며, 다른 실시예에도 적용할 수 있다.

[0159] 또는, 구동트랜지스터(DT)의 반도체층(250) 하부에 금속층(114)을 배치함으로써, 기관(110)에 형성된 이동전하(mobile charge)가 구동트랜지스터(DT)의 반도체층(250)에 미치는 영향을 억제할 수 있으며, 금속층(114)은 구동트랜지스터(DT)의 반도체층(250)의 크기와 같거나 크게 형성할 수 있다.

[0160] 이때, 금속층(114)은 실리콘(Si) 등의 반도체 또는 도전성의 금속, 예를 들어 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중에서 적어도 하나이거나, 둘 이상의 합금으로 형성될 수 있다.

[0161] 또한, 커패시터(Cstg)의 제1 전극은 고전위 구동전압의 입력단(ELVDD)으로부터 신호를 인가받는 고전위라인(VDD)에 연결하지 않고 초기전압라인(Vini)에 연결함으로써 컨택홀의 개수를 줄일 수 있는 설계를 할 수 있다.

[0162] 도 21은 도 7의 커패시터(Cstg)의 일전극이 초기전압라인(Vini)에 연결되지 않고 고전위라인(VDD)에 연결되어 있는 비교예이다.

[0163] 도 21을 참조하며, 제2 트랜지스터(T2)는 컨택홀(282)을 통해 고전위라인(VDD)에 연결되어 있고, 커패시터(Cstg)의 제1 전극(225) 또한 고전위라인(VDD)에 다른 컨택홀(281)을 통하여 연결되어 있다. 따라서, 커패시터(Cstg)와 고전위라인(VDD)를 연결하기 위한 컨택홀(281)이 추가되었다. 하지만 도 7 및 도 19처럼, 커패시터(Cstg)의 일전극이 초기전압라인(Vini)에 연결되는 경우, 커패시터(Cstg)의 제1 전극(225)은 제5 트랜지스터(T5)와 제6 트랜지스터(T6)의 드레인전극 및 초기전압라인(Vini)은 하나의 컨택홀을 통해 연결됨으로써 도 21의 비교 예와 비교하여 컨택홀의 개수를 감소시킬 수 있다. 따라서, 커패시터의 일전극을 고전위라인(VDD)이 아닌 초기전압라인(Vini)에 연결함으로써, 컨택홀의 개수를 줄일 수 있어 화소설계 마진을 확보할 수 있는 효과가 있다.

[0164] 이하, 도 19에서 I-I' 을 따라 절단한 단면을 도 20을 참조하여 살펴보면 다음과 같다.

[0165] 도 20을 참조하면, 기관(110) 상에 제1 버퍼층(120)이 위치한다. 제1 버퍼층(120)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0166] 기관(110)은 유리, 금속, 플라스틱 또는 폴리이미드계열의 절연층일 수 있으며, 두 개층 이상으로 형성될 수 있다. 유기발광 표시장치가 플렉서블(flexible) 유기발광 표시장치인 경우에는 플라스틱 등과 같은 유연한 재료로 이루어질 수도 있다. 또한, 플렉서블(flexible) 구현에 용이한 유기발광소자를 차량용 조명장치나 차량용 표시장치에 적용할 경우, 차량의 구조나 외관의 형상에 맞춰 차량용 조명장치나 차량용 표시장치의 다양한 설계 및 디자인의 자유도가 확보될 수 있다.

[0167] 제1 버퍼층(120) 상에는 금속층(114)이 배치될 수 있으며, 금속층(114) 상에는 제2 버퍼층(130)이 위치한다. 제2 버퍼층(130)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0168] 제2 버퍼층(130) 상에는 반도체층(210)이 위치한다. 반도체층(210)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 제6 트랜지스터(T6)의 반도체층(210)은 드레인 영역(215), 소스 영역, 저농도 도핑영역(LDD) 및

이들 사이에 위치하는 채널 영역(211)을 포함한다. 반도체층(210)의 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나의 p형 불순물을 이용할 수 있다. 그리고, 구동트랜지스터(DT) 및 제5 트랜지스터(T5)의 반도체층 역시 제6 트랜지스터(T6)의 반도체층(210)과 동일한 공정으로 형성될 수 있다.

- [0169] 반도체층(210) 상에는 제1 절연막(140)이 위치한다. 제1 절연막(140)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0170] 제6 트랜지스터(T6)의 게이트 전극(220)은 반도체층(210)의 채널 영역(211)상에 위치한다. 게이트전극(220)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다. 구동트랜지스터(DT) 및 제5 트랜지스터(T5)의 게이트전극(235)은 제6 트랜지스터(T6)의 게이트전극(220)과 동일한 공정으로 형성될 수 있다.
- [0171] 게이트 전극들(220, 235) 상에는 제2 절연막(150)이 위치한다. 제2 절연막(150)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0172] 제2 절연막(150) 상에는 초기전압라인(Vini)과 연결되는 커패시터(Cstg)의 제1 전극(225)이 위치한다.
- [0173] 즉, 초기전압라인(Vini)과 연결되는 제1 전극(225) 및 구동트랜지스터(DT)의 게이트전극(235)과 연결되는 제2 전극(235)은 오버랩하여 배치되어 커패시터(Cstg)를 형성한다. 또한, 제1 전극(225)이 제2 전극(235)보다 면적이 넓도록 구현함으로써, 구동트랜지스터의 반도체층에 미칠 수 있는 이동전하(mobile charge)에 의한 영향을 줄여줄 수 있는 효과가 있다.
- [0174] 커패시터(Cstg)의 제1 전극(225) 상에는 제3 절연막(160)이 배치된다. 제3 절연막(160)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.
- [0175] 제3 절연막(160)이 형성된 이후에는, 제1 내지 제3 절연막(140, 150, 160)과 커패시터(Cstg)의 제1 전극(225)이 선택적으로 식각되어서 컨택홀(223)이 형성된다. 컨택홀(223)에 의해서 제6 트랜지스터(T6)의 반도체층(210) 일부분이 노출된다.
- [0176] 제3 절연막(160) 상에는 컨택홀(223)에 형성되는 제6 트랜지스터(T6)의 드레인전극(221)이 위치한다. 제6 트랜지스터(T6)의 드레인전극(221)은 제5 트랜지스터(T5)의 드레인전극과 동일 컨택홀(223)을 공유하며, 초기전압라인(Vini, 225)과 연결되어 있다. 드레인전극(221)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 드레인전극(221)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0177] 드레인전극(221) 상에는 제4 절연막(170)이 위치한다. 제4 절연막(170)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다.
- [0178] 위에서 언급한 트랜지스터들의 소스전극 및 드레인전극은 바꾸어 적용할 수도 있다. 특히 구동트랜지스터(DT) 이외의 온/오프 역할을 하는 제1 트랜지스터 내지 제6 트랜지스터에 적용할 수 있다.
- [0179] 그리고, 본 명세서의 유기발광 표시장치는 TV, 모바일(Mobile), 태블릿 PC(Tablet PC), 모니터(Monitor), 스마트워치, 노트북 컴퓨터(Laptop Computer), 및 차량용 표시장치 등을 포함한 표시장치 등에 적용될 수 있다. 그리고, 플랫(flat) 디스플레이, 밴더블(bandable) 디스플레이, 폴더블(foldable) 디스플레이, 롤러블(rollable) 디스플레이 등 다양한 형태로 구현한 표시장치 등에 적용할 수 있다.
- [0180] 본 명세서의 실시예에 따른 유기발광 표시장치는 다음과 같이 설명될 수 있다.
- [0181] 본 명세서의 일 실시예에 따른 유기발광 표시장치는 다수의 화소들이 구비된 표시패널, 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고, 화소들 중에서 n (n 은 자연수)번째 화소행에 배치된 각 화소는 노드 C에 접속된 애노드전극과 저전위 구동전압의 입력단에 접속된 캐소드전극을 갖는 유기발광소자와 노드 A에 접속된 게이트전극, 노드 D에 접속된 소스전극, 및 노드 B에 접속된 드레인전극을 포함하여 유기발광소자에 인가되는 구동전류를 제어하는 구동트랜지스터와, 데이터라인과 노드 D 사이에 접속된 제1 트랜지스터와, 노드 D와 고전위 구동전압의 입력단 사이에 접속된 제2 트랜지스터와, 노드 A와 노드 B 사이에 접속된 제3 트랜지스터와, 노드 B와 노드 C 사이에 접속된 제4 트랜지스터와, 노드 A와 초기전압의 입력단 사이에 접속된 제5 트랜지스터와, 노드 A와 초기전압의 입력단 사이

에 접속된 커패시터를 포함한다. 따라서, 구동트랜지스터의 문턱전압 샘플링 기간을 충분히 확보하여 문턱전압 보상의 정확성을 향상시킬 수 있다.

[0182] 한 프레임기간은, 노드 A를 초기화하는 이니셜 기간과, 구동트랜지스터의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동트랜지스터의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자를 발광시키는 에미션 기간을 포함할 수 있다. 제5 트랜지스터의 게이트전극은 제 $n-1$ 스캔신호가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제1 트랜지스터 및 제3 트랜지스터 각각의 게이트전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되고, 제2 트랜지스터 및 제4 트랜지스터의 게이트전극은 제 n 에미션신호가 인가되는 n 번째 제1 에미션라인에 접속될 수 있다. 이니셜 기간에서, 상기 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 상기 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가될 수 있다.

[0183] 초기전압의 입력단과 노드 C 사이에 접속되는 제6 트랜지스터를 더 포함할 수 있다.

[0184] 한 프레임기간은, 노드 A와 노드 C를 초기화하는 이니셜 기간과, 구동트랜지스터의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동트랜지스터의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자를 발광시키는 에미션 기간을 포함할 수 있다. 제5 트랜지스터 및 제6 트랜지스터 각각의 게이트전극은 제 $n-1$ 스캔신호가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제1 트랜지스터 및 제3 트랜지스터 각각의 게이트전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되며, 제2 트랜지스터 및 제4 트랜지스터 각각의 게이트전극은 제 n 에미션신호가 인가되는 n 번째 에미션라인에 접속될 수 있다. 이니셜 기간에서, 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 상기 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되며, 제 $n-1$ 스캔신호와 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가될 수 있다.

[0185] 한 프레임기간은, 노드 A와 노드 C를 초기화하는 이니셜 기간과, 구동트랜지스터의 문턱전압을 샘플링하여 노드 A에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동트랜지스터의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 상기 유기발광소자를 발광시키는 에미션 기간을 포함할 수 있다. 제5 트랜지스터 각각의 게이트전극은 제 $n-1$ 스캔신호가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제1 트랜지스터, 제3 트랜지스터 및 제6 트랜지스터 각각의 게이트전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되며, 제2 트랜지스터 및 제4 트랜지스터 각각의 게이트전극은 제 n 에미션신호가 인가되는 n 번째 에미션라인에 접속될 수 있다. 이니셜 기간에서, 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 제 n 에미션신호는 오프 레벨로 인가되며, 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 상기 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가될 수 있다.

[0186] 이니셜 기간은 $n-1$ 번째 수평 기간 내에 포함되고, 샘플링 기간은 n 번째 수평 기간 내에 포함될 수 있다.

[0187] 각 화소에서 커패시터의 일측 전극에 소스전극 또는 드레인전극이 접속된 트랜지스터는 서로 직렬 접속된 적어도 2개 이상의 트랜지스터들을 포함하고, 2개 이상의 트랜지스터들은 동일한 제어신호에 의해 스위칭될 수 있다.

[0188] 커패시터의 제1 전극은 제5 트랜지스터의 반도체층과 소스전극 사이에서 위치한 절연막들 사이에 위치하고, 커패시터의 제1 전극과 제5 트랜지스터의 드레인전극 및 제6 트랜지스터의 드레인전극과 콘택홀을 통해서 동시에 접속될 수 있다.

[0189] 구동트랜지스터의 반도체층 하부에는 금속층을 더 포함할 수 있다.

[0190] 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 구동트랜지스터의 게이트전극에 대응하여 배치될 수 있다.

[0191] 초기전압의 입력단에서 초기전압을 제공받는 커패시터의 제1 전극은 샘플링기간에 동작하는 제3 트랜지스터의 반도체층에 대응하는 영역에 배치될 수 있다.

[0192] 커패시터의 제1 전극은 노드 A에 접속된 구동트랜지스터의 게이트전극이고, 제2 전극은 초기전압의 입력단에 접

속된 전극에 대응되며, 제1 전극이 고전위 구동전압의 입력단에 연결되지 않고 초기전압의 입력단에 연결될 수 있다.

[0193] 본 명세서의 일 실시예에 따른 유기발광 표시장치는 다수의 화소들이 구비된 표시패널, 표시패널의 스캔라인들과 에미션라인들을 구동하는 게이트 구동회로 및 표시패널의 데이터라인들을 구동하는 데이터 구동회로를 구비하고, 화소들 중에서 n (n 은 자연수)번째 화소행에 배치된 각 화소는 노드 C에 접속된 애노드전극과 저전위 구동전압의 입력단에 접속된 캐소드전극을 갖는 유기발광소자와 노드 A에 접속된 게이트전극, 고전위 구동전압의 입력단에 접속된 소스전극, 및 노드 B에 접속된 드레인전극을 포함하여 유기발광소자에 인가되는 구동전류를 제어하는 구동트랜지스터와 데이터라인과 노드 D 사이에 접속된 제1 트랜지스터와 노드 A와 노드 B 사이에 접속된 제2 트랜지스터와 노드 D와 초기전압의 입력단 사이에 접속된 제3 트랜지스터와 노드 B와 노드 C 사이에 접속된 제4 트랜지스터와 노드 A와 초기전압의 입력단 사이에 접속된 제5 트랜지스터와 초기전압의 입력단과 노드 C 사이에 접속된 제6 트랜지스터와 노드 A와 노드 D 사이에 접속된 커패시터를 포함한다. 따라서, 구동트랜지스터는 노드 A에서 변화되는 전압에 응답하여 유기발광소자(OLED)에 공급되는 전류량을 결정한다. 이에 의해 회로의 동작 안정성을 높이는 동시에 유기발광소자(OLED)의 휘도를 용이하게 제어할 수 있다. 그리고, 이니셜 기간에서 데이터전압(Vdata)과 초기전압(Vini) 간에 쇼트(short)가 발생하는 것을 미연에 방지할 수 있으며, 화소의 보상을 위한 샘플링 기간이 증가되어 보상 능력이 개선될 수 있다.

[0194] 한 프레임기간은 노드 A와 노드 C를 초기화하는 이니셜 기간과, 구동트랜지스터의 문턱전압을 샘플링하여 노드 A(노드 D)에 저장하는 샘플링 기간과, 샘플링된 문턱전압을 포함하여 구동트랜지스터의 소스-게이트 간 전압을 프로그래밍하고, 프로그래밍된 소스-게이트 간 전압에 따른 구동전류로 유기발광소자를 발광시키는 에미션 기간을 포함할 수 있다. 제5 및 제6 트랜지스터의 게이트전극은 제 $n-1$ 스캔신호가 인가되는 $n-1$ 번째 제1 스캔라인에 접속되고, 제1 및 제2 트랜지스터 각각의 게이트전극은 제 n 스캔신호가 인가되는 n 번째 제1 스캔라인에 접속되고, 제3 및 제4 트랜지스터의 게이트전극은 제 n 에미션신호가 인가되는 n 번째 제1 에미션라인에 접속될 수 있다. 이니셜 기간에서, 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 상기 제 n 에미션신호는 오프 레벨로 인가될 수 있다. 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 에미션신호는 오프 레벨로 인가된다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가될 수 있다.

[0195] 이니셜 기간은 $n-1$ 번째 수평 기간 내에 포함되고, 샘플링 기간은 n 번째 수평 기간 내에 포함될 수 있다.

[0196] 제2 트랜지스터는 서로 직렬 접속된 적어도 2개 이상의 트랜지스터들을 포함하고, 2개 이상의 트랜지스터들은 동일한 제어신호에 의해 스위칭될 수 있다.

[0197] 본 명세서의 일 실시예에 의한 유기발광 표시장치에 있어서, 행으로 배치된 $n-1$ 번째 화소 및 n 번째 화소, 구동트랜지스터, 샘플링 트랜지스터, 및 제1 이니셜 트랜지스터를 포함하는 트랜지스터 어레이, 초기전압의 입력단 및 샘플링 트랜지스터 사이에 연결되도록 구현된 커패시터, n 번째 화소의 구동트랜지스터를 초기화하기 위한 제1 이니셜 트랜지스터의 게이트전극은 $n-1$ 번째 화소의 게이트전극과 연결함으로써, 구동트랜지스터의 문턱전압 샘플링 기간을 충분히 확보하여 문턱전압 보상의 정확성을 향상시킬 수 있다.

[0198] 커패시터는 고전위 구동전압이 아닌 초기전압을 제공받기 위해 연결됨으로써 컨택홀의 개수가 최소화될 수 있다.

[0199] 커패시터는 초기전압의 입력단과 연결된 전극 및 초기전압의 입력단과 전극을 연결시켜주는 하나의 컨택홀을 포함하고, 하나의 컨택홀을 통해 유기발광소자의 일전극에 마이너스전압을 제공하기 위한 제2 이니셜 트랜지스터의 드레인 전극 또는 소스 전극과 연결될 수 있다.

[0200] 커패시터는 초기전압을 제공받는 제1 전극 및 트랜지스터와 연결된 제2 전극을 포함하고, 제1 전극은 제2 전극보다 넓게 형성될 수 있다.

[0201] 구동트랜지스터의 반도체층 하부에 배치된 금속층을 포함할 수 있다.

[0202] 커패시터의 제1 전극은 샘플링 트랜지스터의 반도체층에 대응하는 영역에 배치될 수 있다.

[0203] 제1 이니셜 트랜지스터는 서로 직렬 접속된 적어도 2개 이상의 트랜지스터를 포함하고, 적어도 2개 이상의 트랜지스터들은 동일한 제어신호에 의해 스위칭될 수 있다.

[0204] 샘플링 트랜지스터는 서로 직렬 접속된 적어도 2개 이상의 트랜지스터를 포함하고, 적어도 2개 이상의 트랜지

스터들은 동일한 제어신호에 의해 스위칭될 수 있다.

[0205] 구동트랜지스터에 의해 발광하는 유기발광소자 및 유기발광소자가 발광기간 이외의 기간에 발광하지 않도록 발광을 차단하는 에미션 트랜지스터를 포함할 수 있다.

[0206] 본 명세서의 일 실시예에 의한 유기발광 표시장치에 있어서, 행으로 배치된 $n-1$ 번째 화소 및 n 번째 화소, 화소에 각각 배치된 유기발광소자, $n-1$ 번째 화소의 제 $n-1$ 스캔신호에 연결된 n 번째 화소의 이니셜 트랜지스터, n 번째 화소에 포함되고, 제 n 스캔신호에 연결된 샘플링 트랜지스터, n 번째 화소에 포함되고, 제 n 에미션신호에 연결된 에미션 트랜지스터 및 유기발광소자를 구동하기 위한 한 프레임은 이니셜 기간, 샘플링 기간, 에미션 기간을 포함한다. 이니셜 기간에서, 제 $n-1$ 스캔신호는 온 레벨로 인가되고, 제 n 스캔신호와 제 n 에미션신호는 오프 레벨로 인가된다. 샘플링 기간에서, 제 n 스캔신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 에미션신호는 오프 레벨로 인가된다. 에미션 기간에서, 제 n 에미션신호는 온 레벨로 인가되고, 제 $n-1$ 스캔신호와 제 n 스캔신호는 오프 레벨로 인가된다.

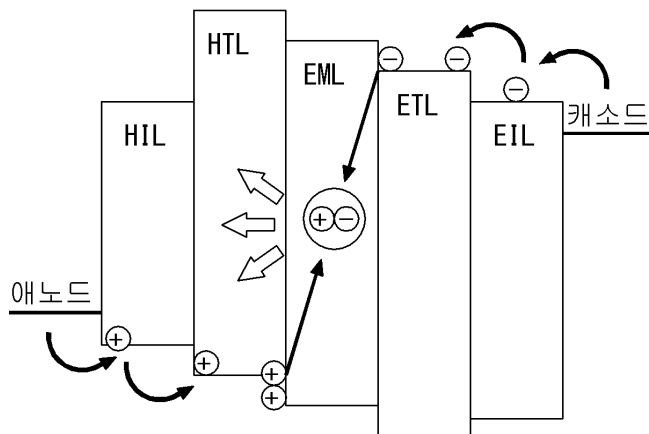
[0207] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

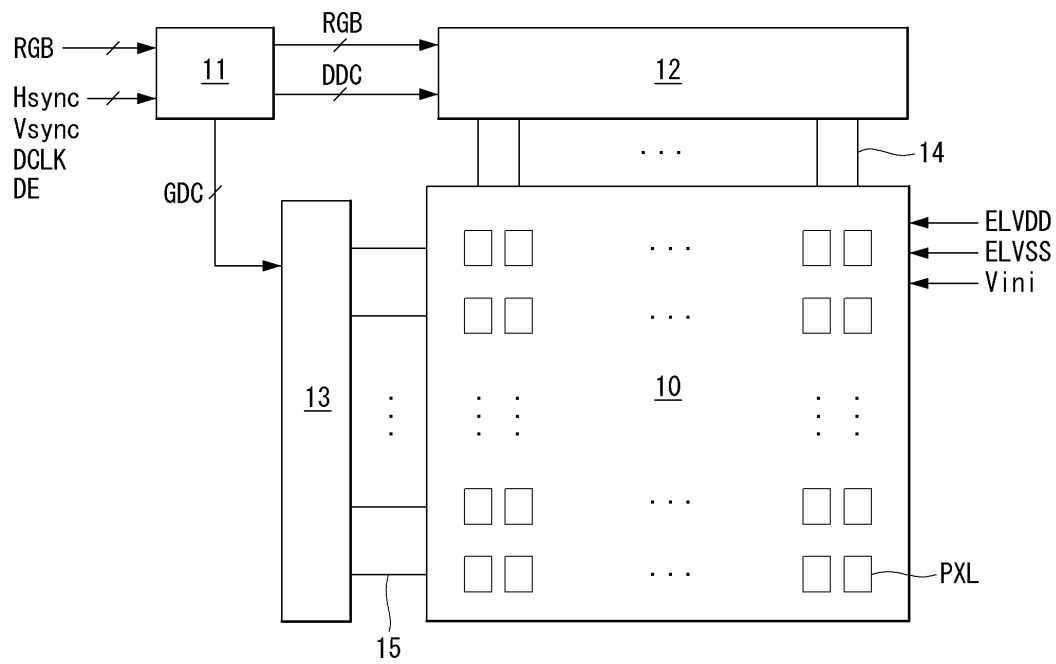
[0208] 10 : 표시패널 11 : 타이밍 컨트롤러
12 : 데이터 구동회로 13 : 게이트 구동회로
14 : 데이터라인 15 : 게이트라인

도면

도면1

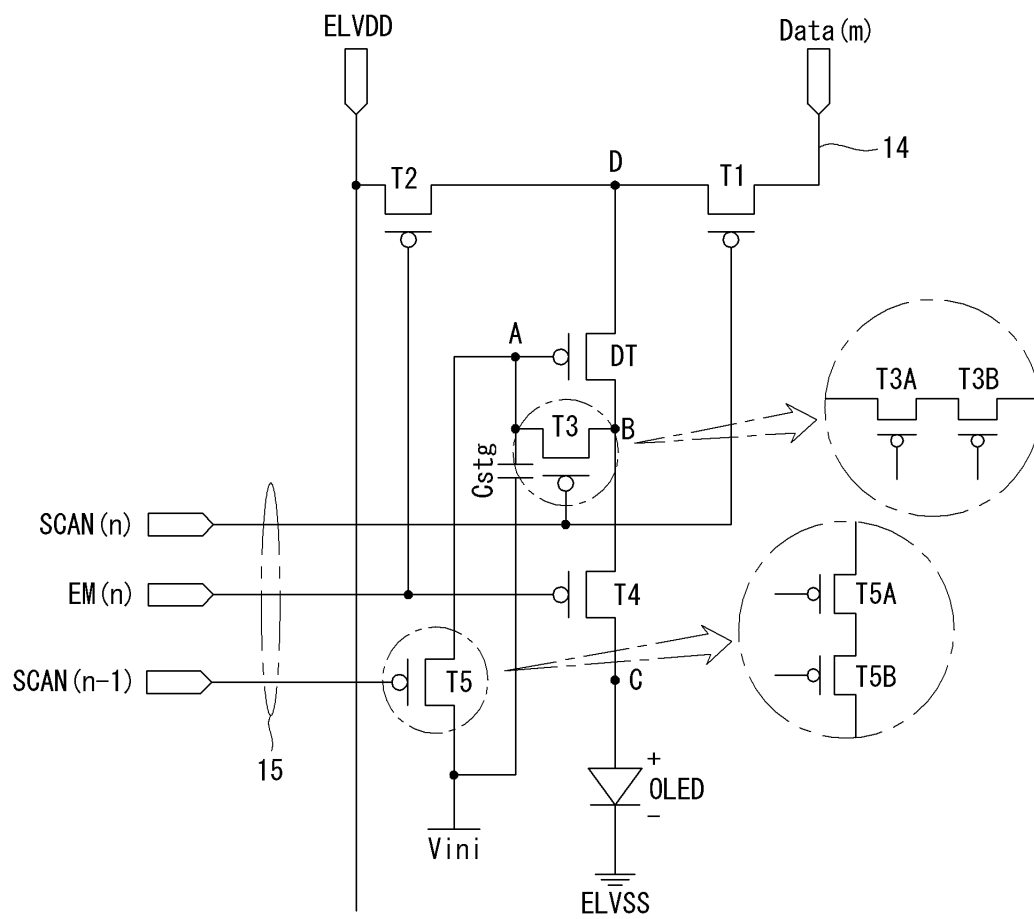


도면2

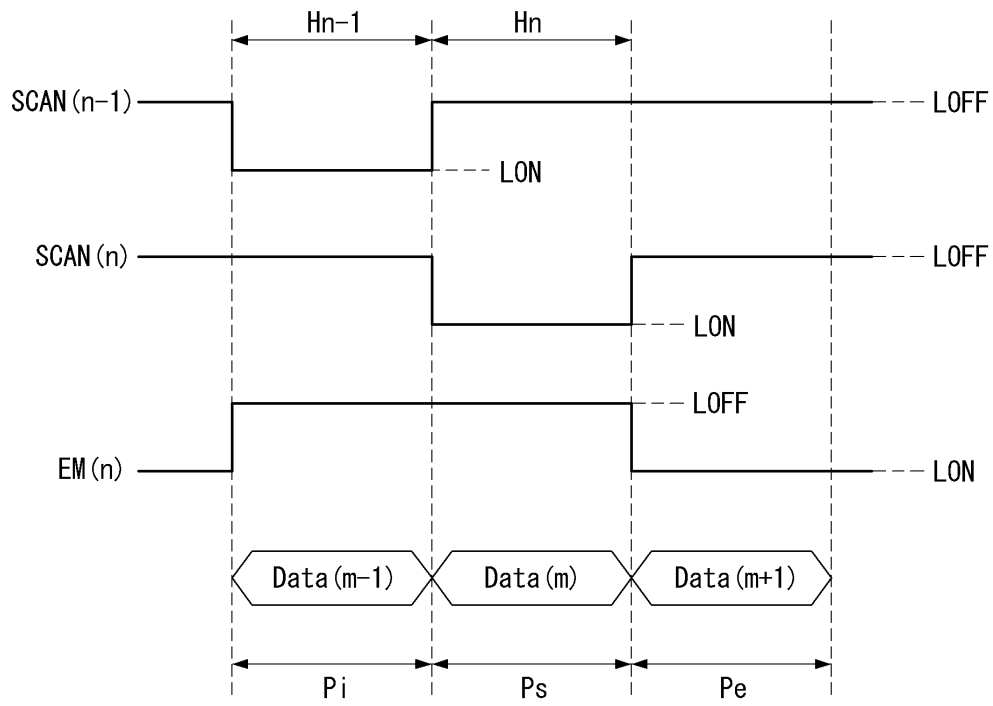


도면3

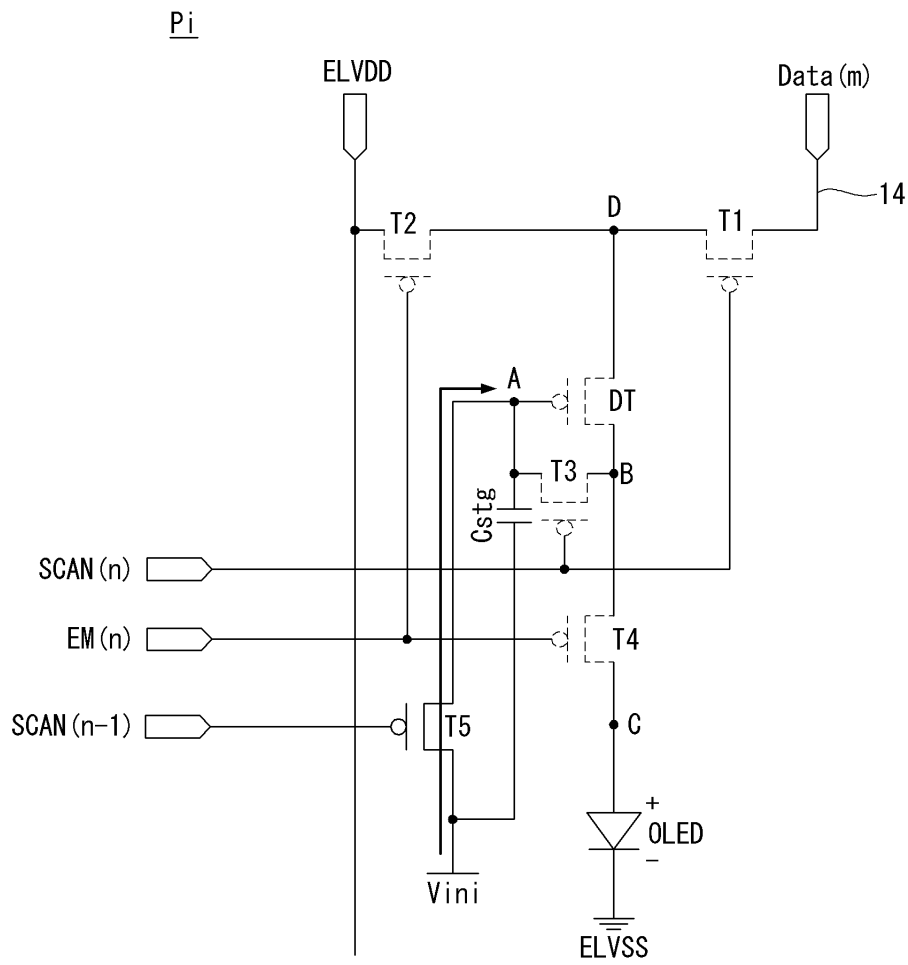
PXL



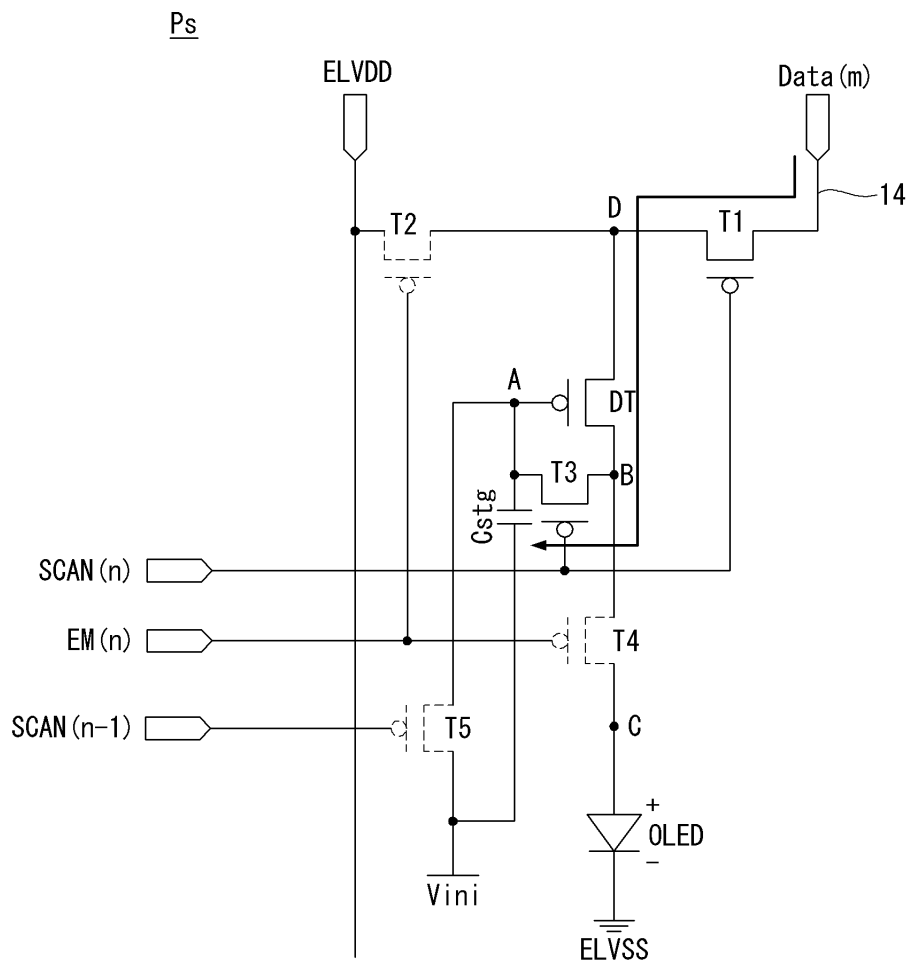
도면4



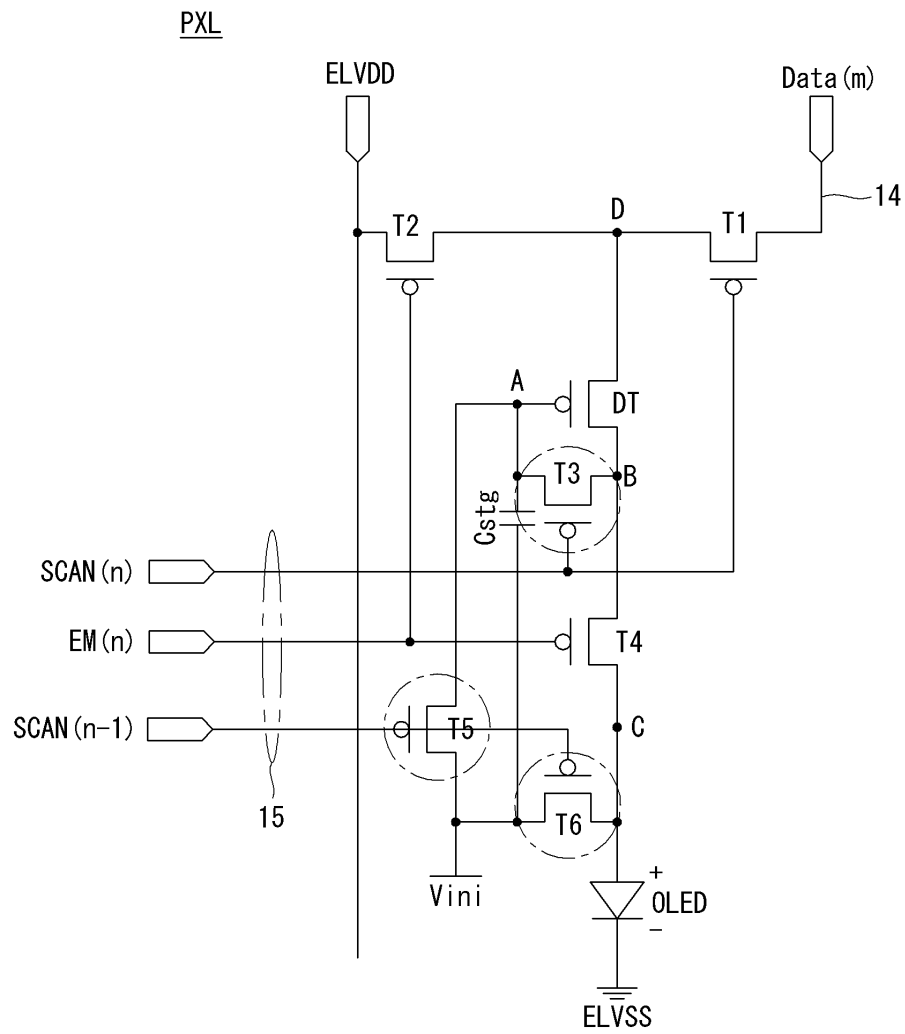
도면5a



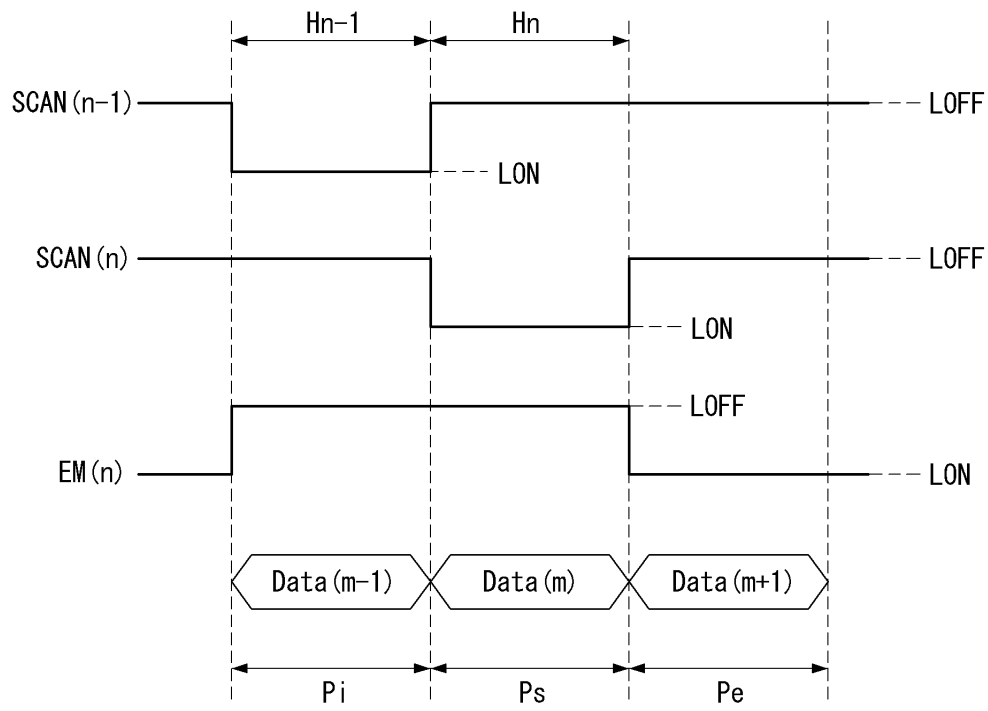
도면5b



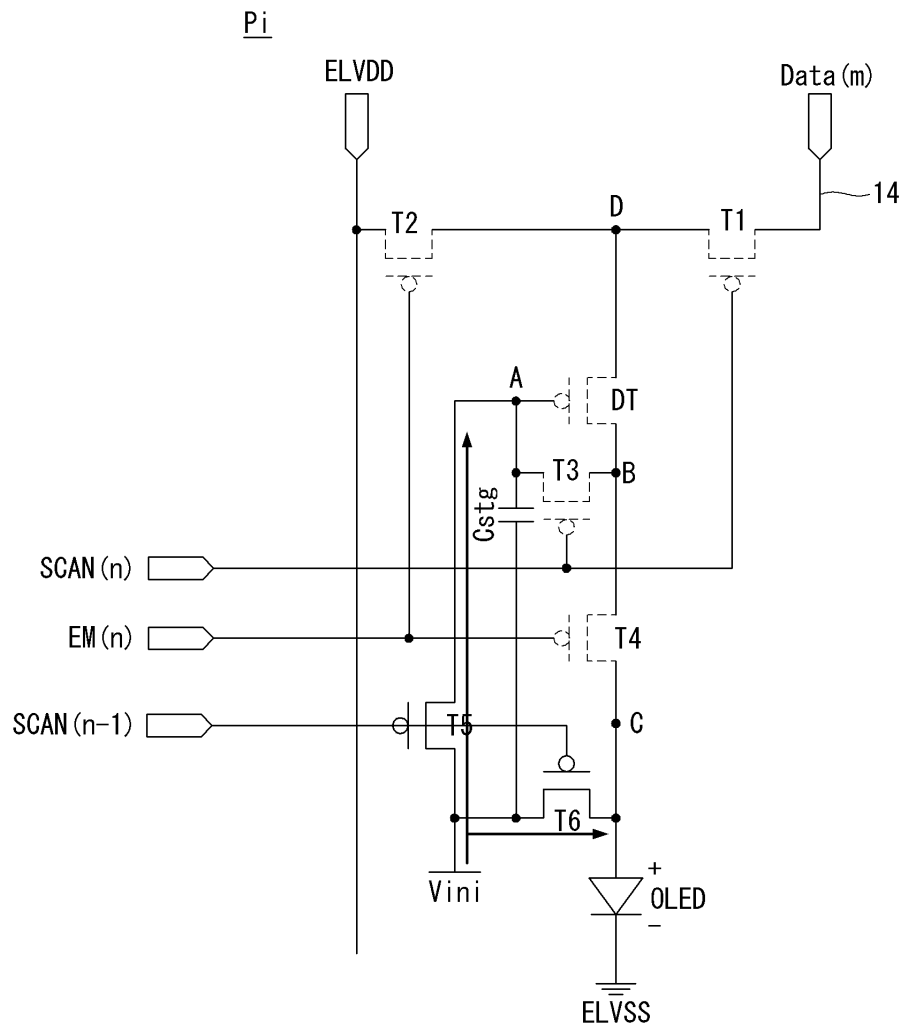
도면7



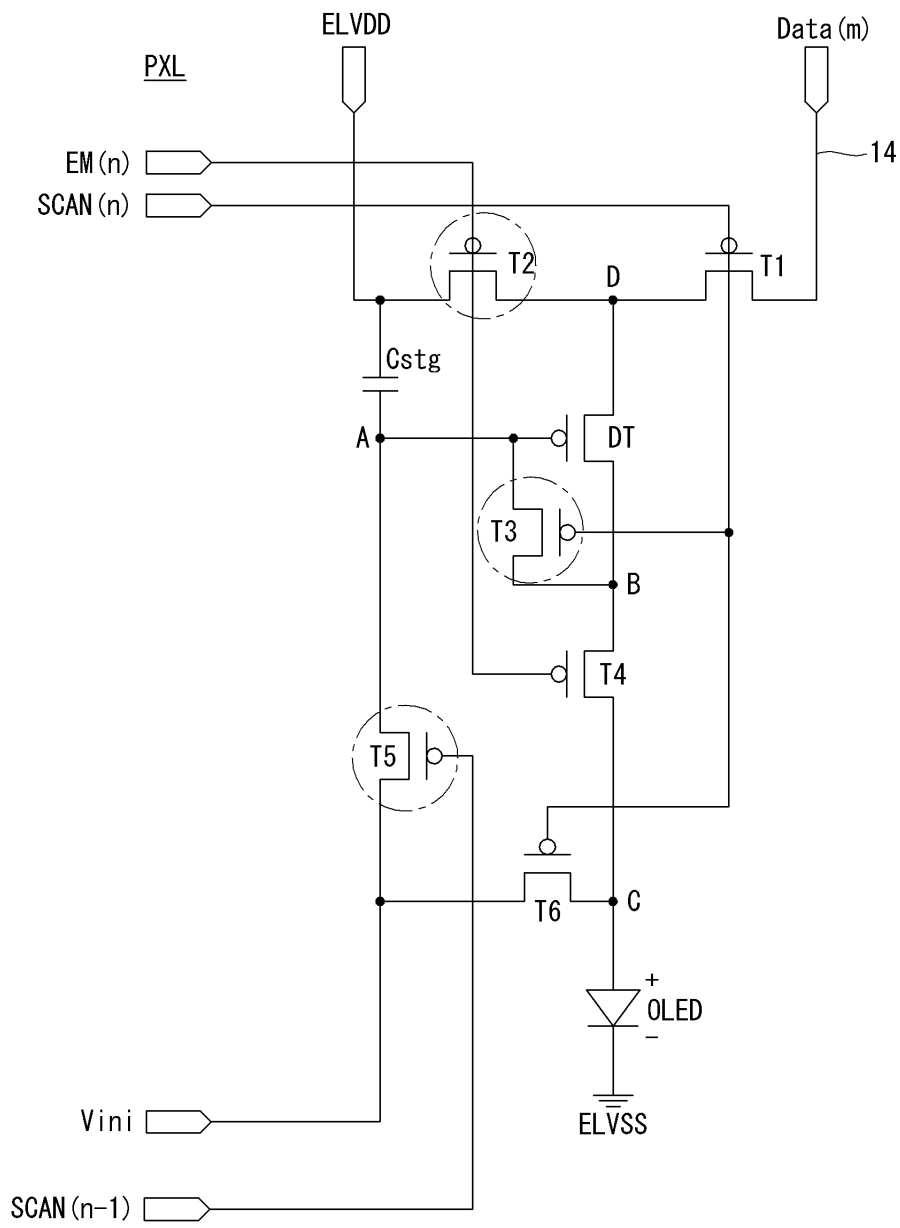
도면8



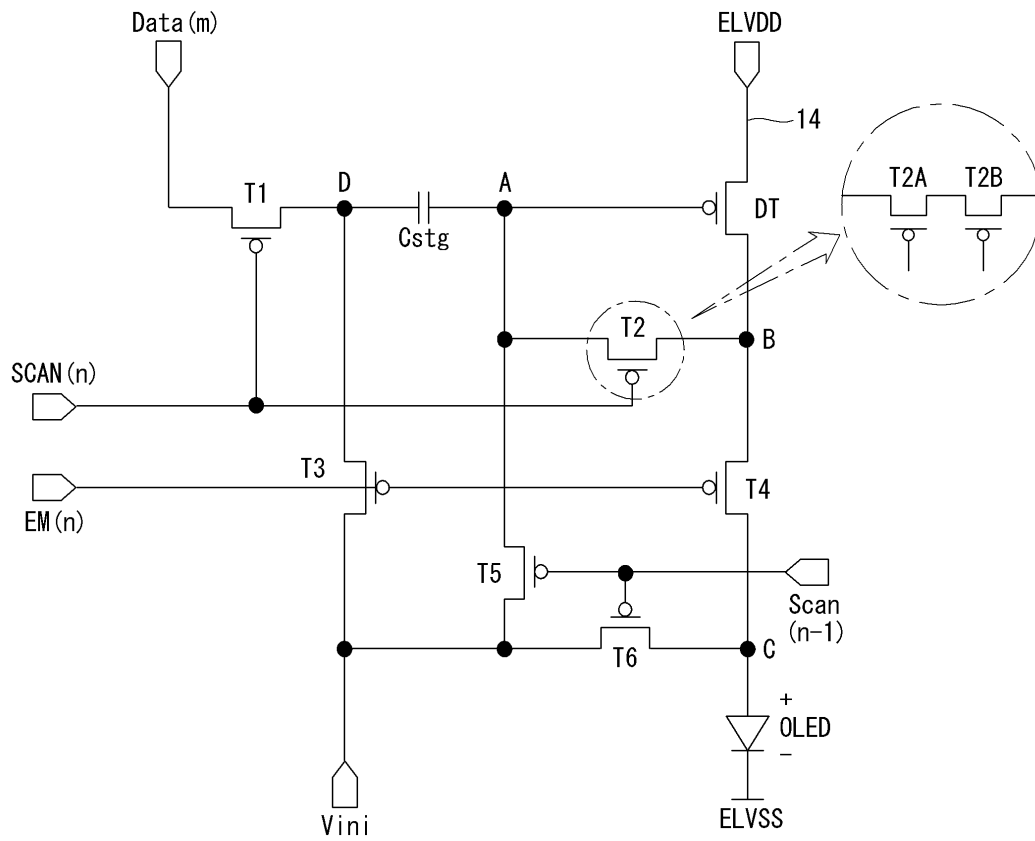
도면9a



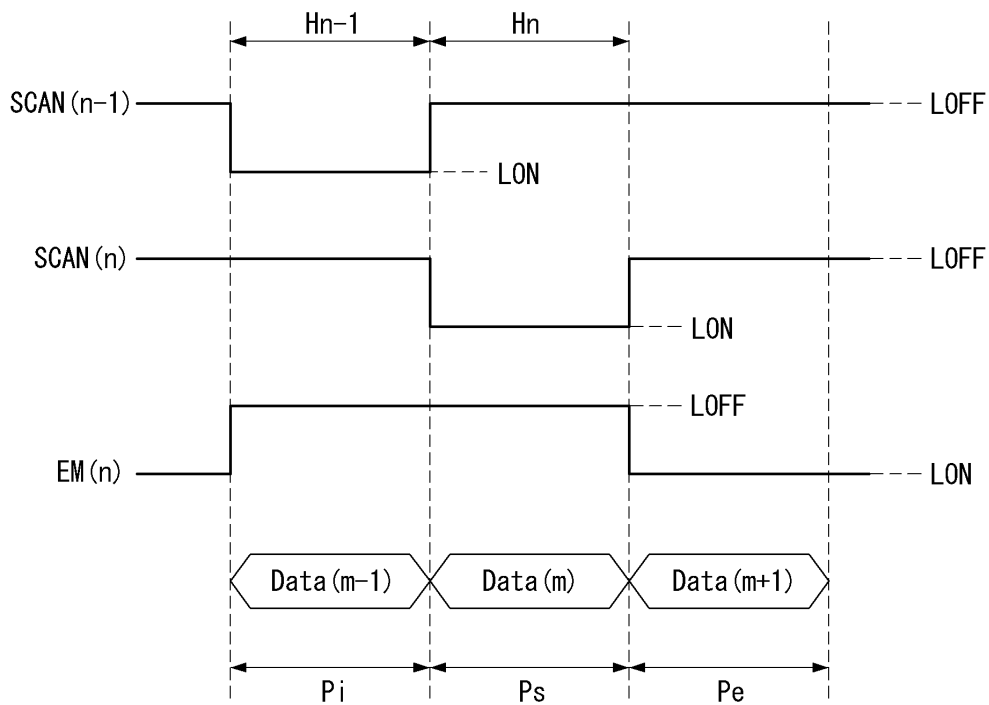
도면11



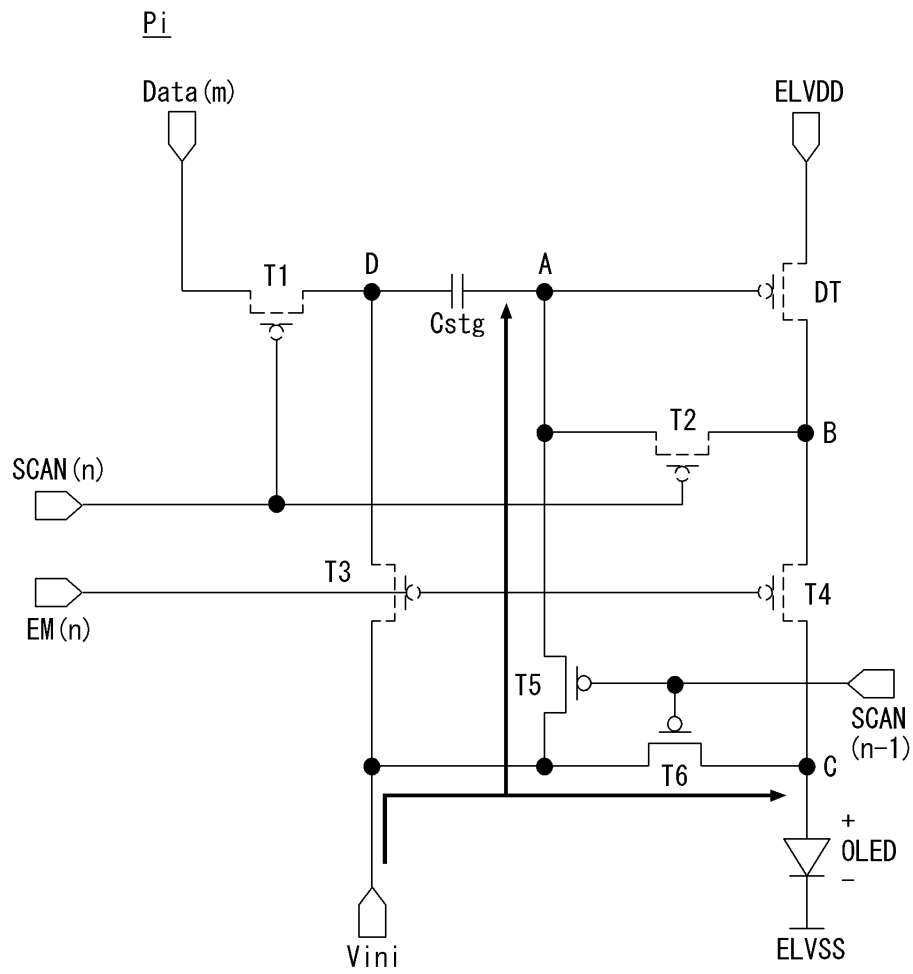
도면12



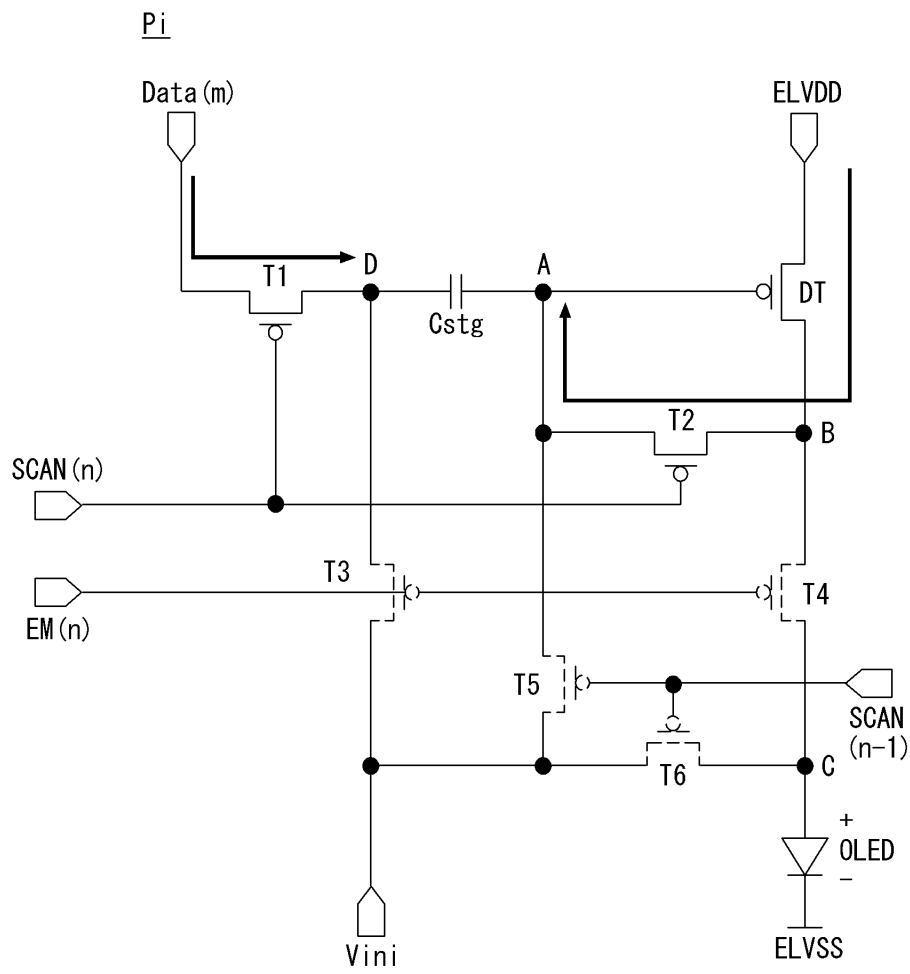
도면13



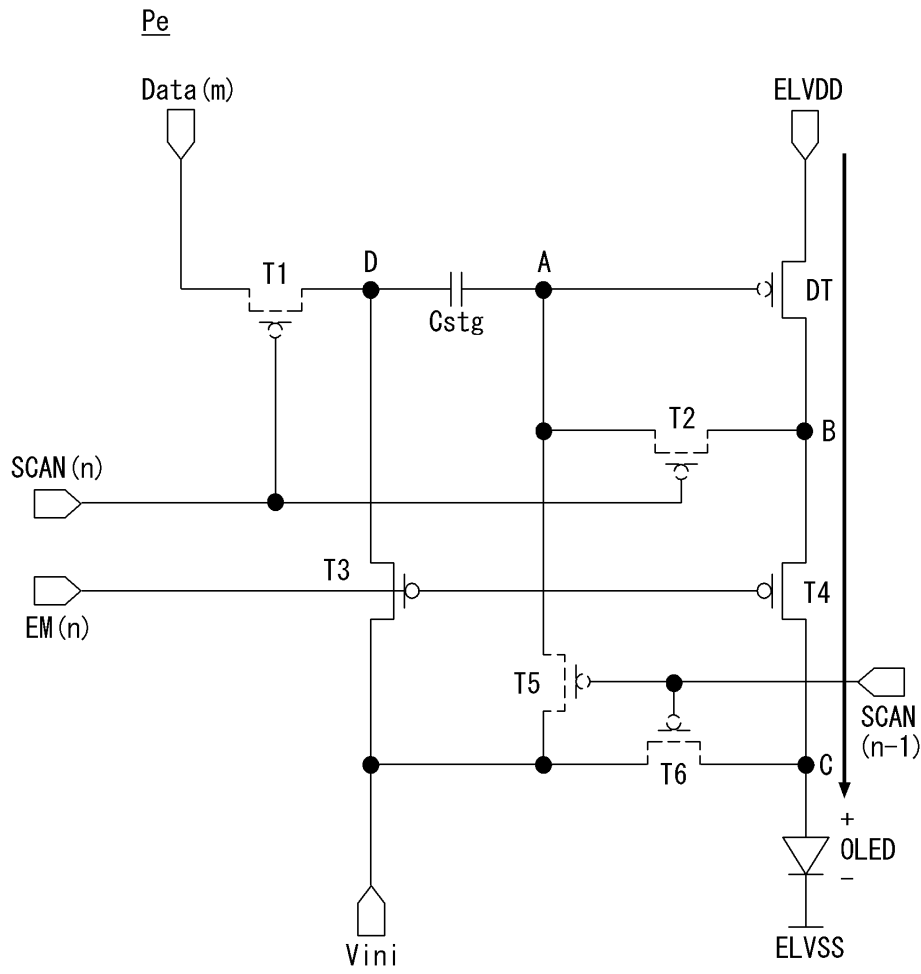
도면14a



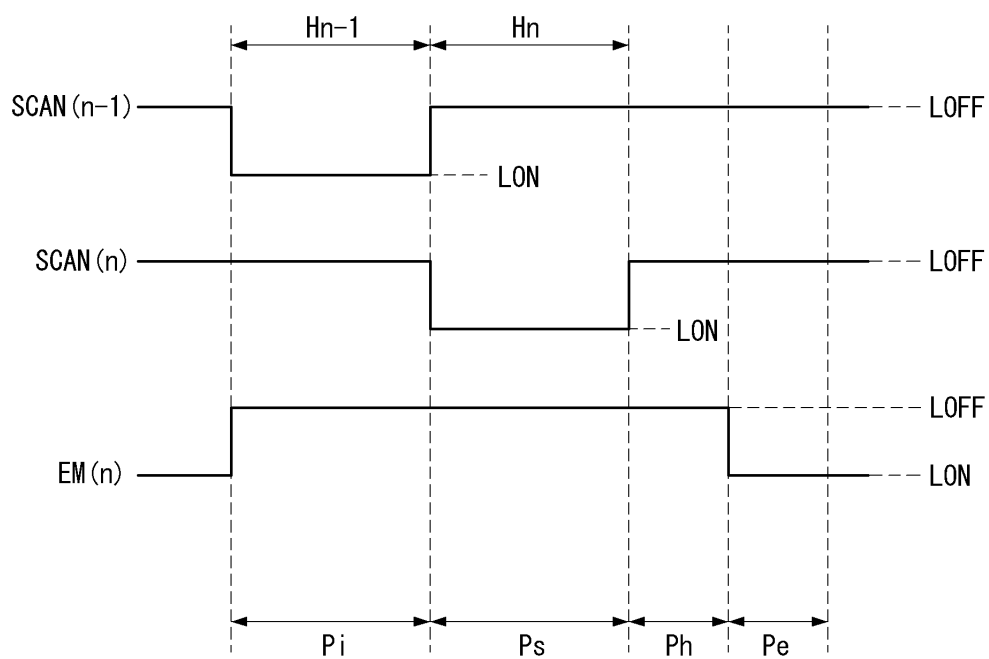
도면14b



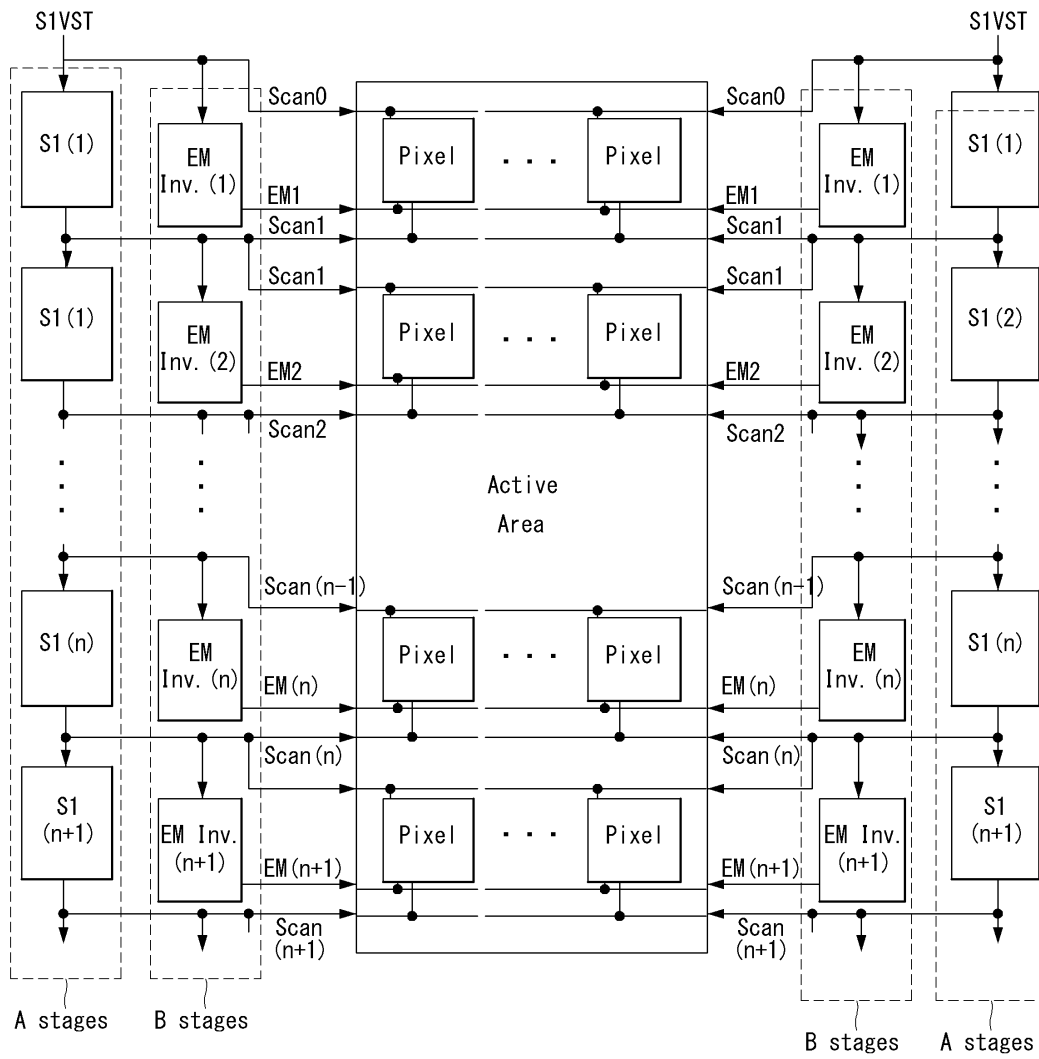
도면14c



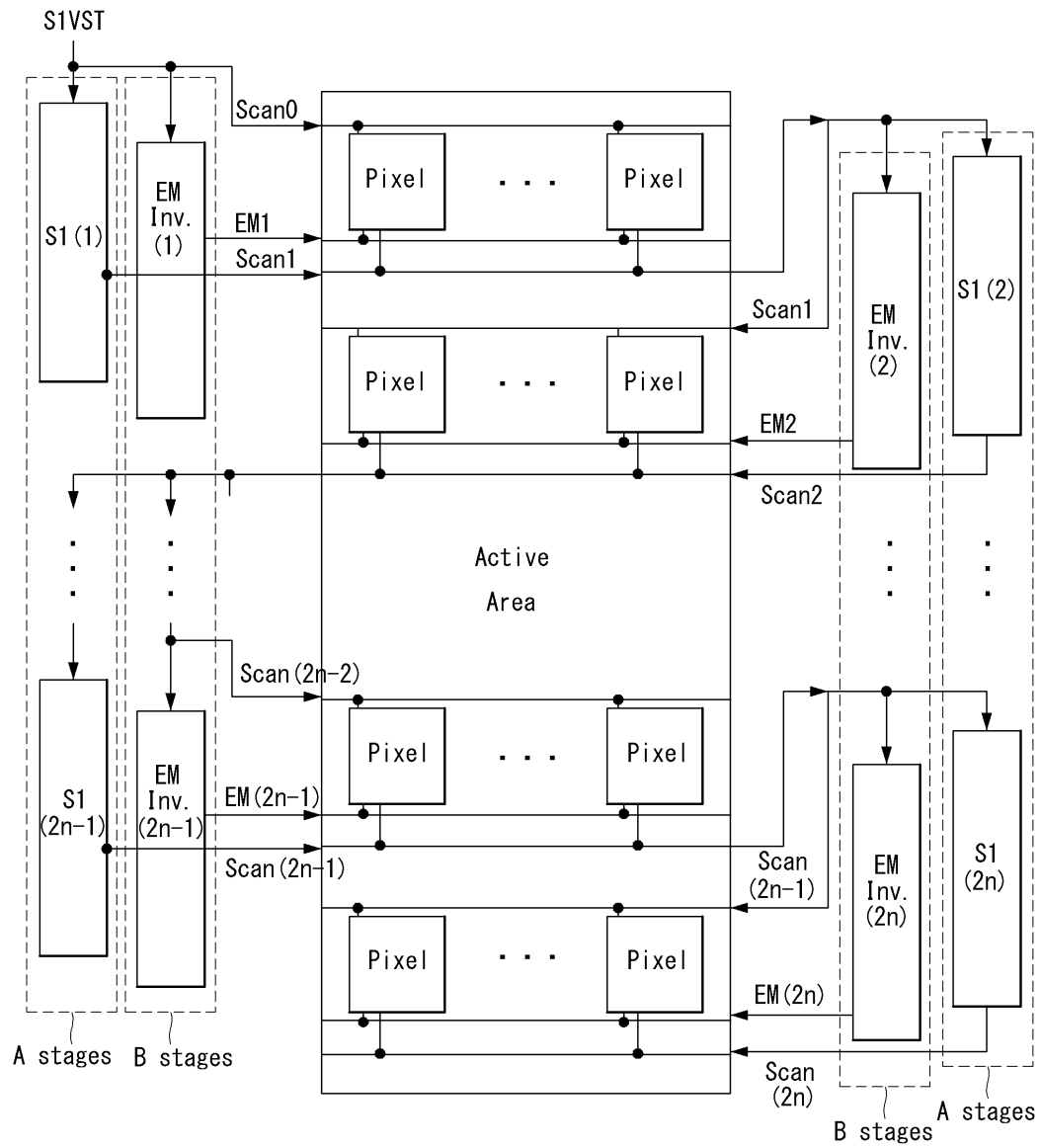
도면15



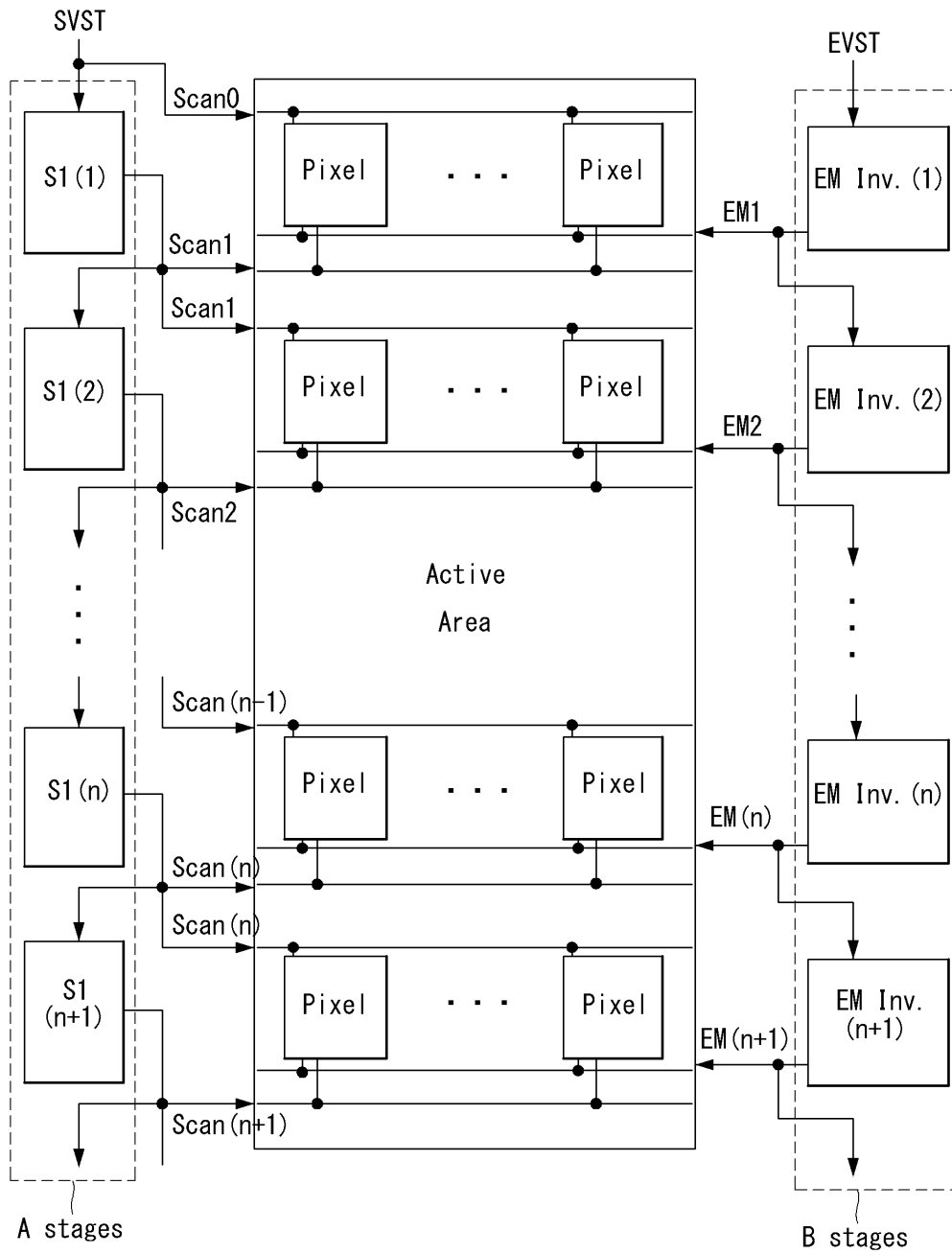
도면16



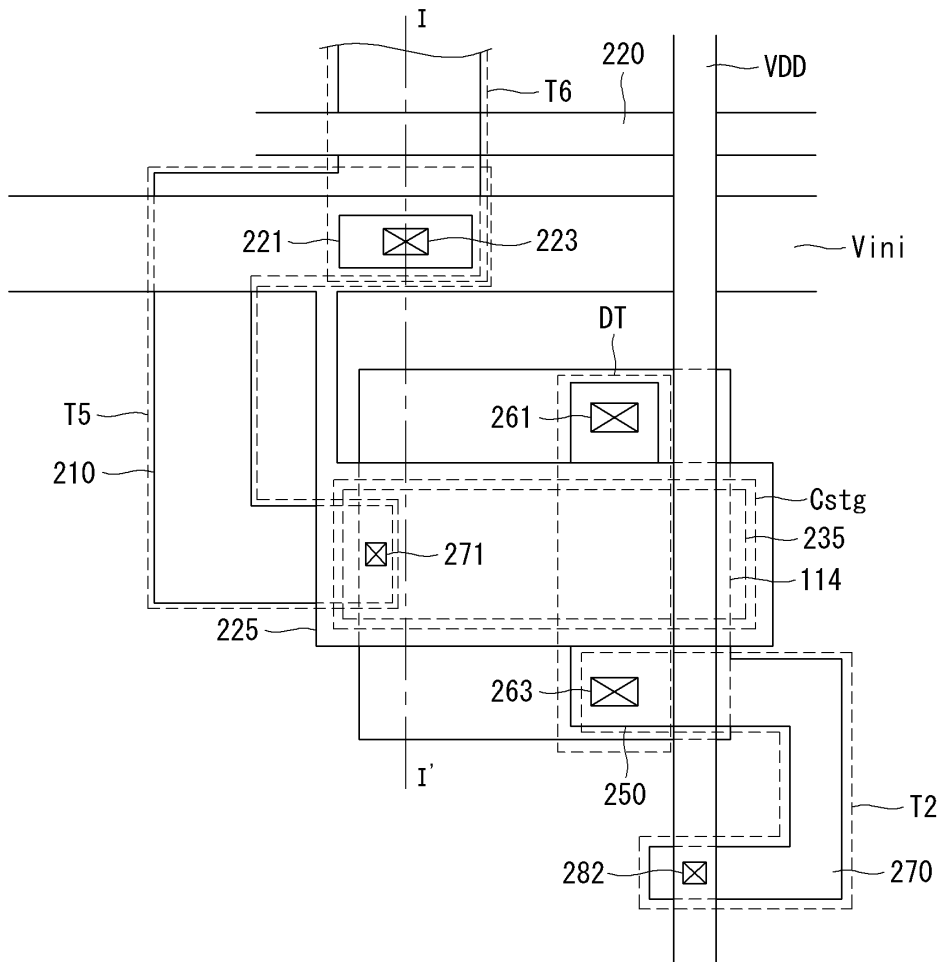
도면17



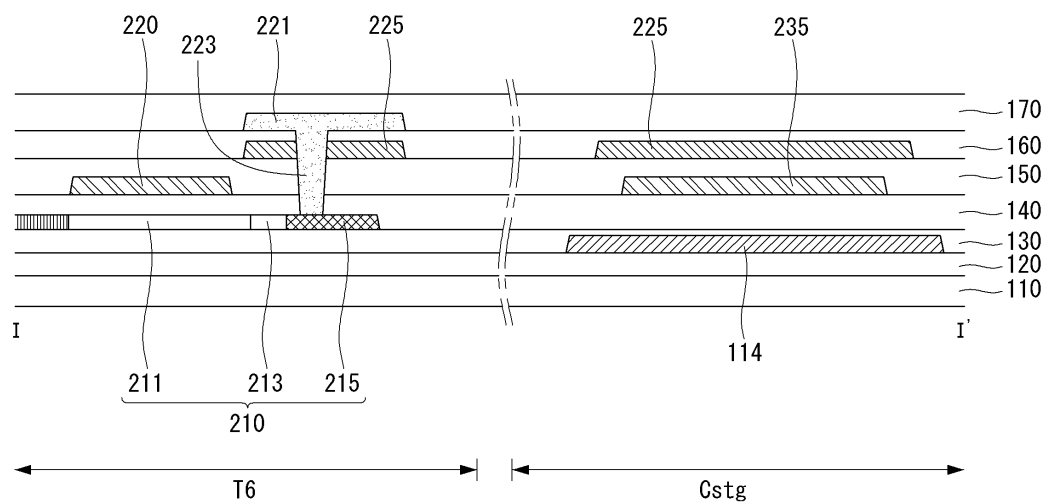
도면18



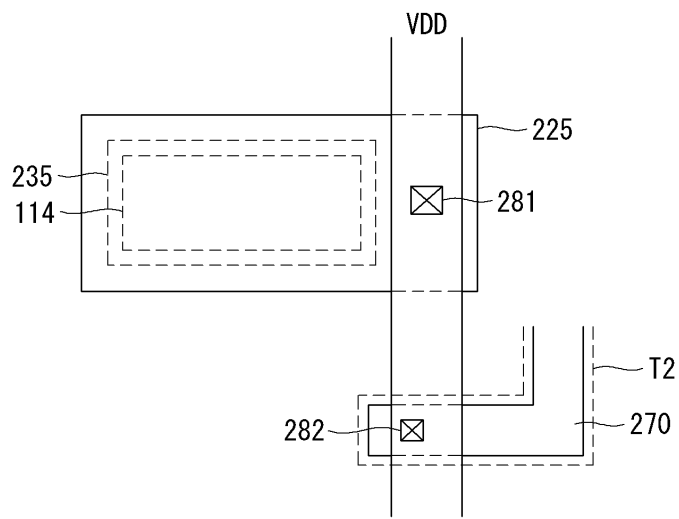
도면19



도면20



도면21



PXL