



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0083689
(43) 공개일자 2017년07월19일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0002745
(22) 출원일자 2016년01월08일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
김수경
광주광역시 북구 매곡로 37(매곡동, 매곡동 삼익아파트), 101동 807호

이효진
경기도 용인시 기흥구 흥덕1로79번길 37
흥덕마을5단지호반베르디움아파트, 505동 803호
채동훈
대구광역시 달서구 용산큰못길 30 용산2차서한화성타운, 203동 1407호

(74) 대리인
박영우

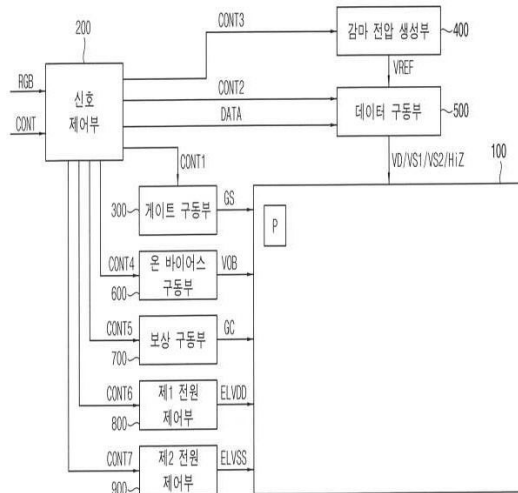
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 표시 패널의 구동 방법 및 이를 수행하기 위한 표시 장치

(57) 요약

표시 패널의 구동 방법은 온 바이어스 구간 동안 데이터 라인들을 통하여 픽셀들에 온 바이어스 전압을 인가하여 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계, 초기화 구간 동안 상기 픽셀들의 유기 발광 소자의 애노드 전극의 전압을 초기화하는 단계, 주사 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 순차적으로 데이터 전압을 인가하는 단계 및 발광 구간 동안 상기 픽셀들의 상기 유기 발광 소자를 턴 온하는 단계를 포함한다. 상기 온 바이어스 구간에 앞서 온 바이어스 보상 구간 동안 상기 데이터 라인들에 인가되는 데이터 유지 전압 또는 상기 온 바이어스 전압의 레벨을 조절한다.

대표도



(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2330/04 (2013.01)

명세서

청구범위

청구항 1

온 바이어스 구간 동안 데이터 라인들을 통하여 픽셀들에 온 바이어스 전압을 인가하여 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계;

초기화 구간 동안 상기 픽셀들의 유기 발광 소자의 애노드 전극의 전압을 초기화하는 단계;

주사 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 데이터 전압을 인가하는 단계; 및

발광 구간 동안 상기 픽셀들의 상기 유기 발광 소자가 턴 온하는 단계를 포함하고,

상기 온 바이어스 구간에 앞서서 온 바이어스 보상 구간 동안 상기 데이터 라인들에 인가되는 데이터 유지 전압 또는 상기 온 바이어스 전압의 레벨을 조절하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 2

제1항에 있어서, 상기 데이터 유지 전압은 적어도 2개 이상의 서로 다른 레벨을 갖는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 3

제2항에 있어서, 상기 온 바이어스 보상 구간 동안 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨로부터 상기 제1 데이터 유지 전압 레벨보다 작은 제2 데이터 유지 전압 레벨로 감소하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 4

제2항에 있어서, 상기 데이터 유지 전압은 적어도 3개 이상의 서로 다른 레벨을 가지며, 상기 온 바이어스 보상 구간 동안 상기 데이터 유지 전압은 계단형으로 감소하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 5

제2항에 있어서, 상기 데이터 유지 전압의 레벨은 유지 전압 컨트롤 신호의 듀티비에 따라 결정되는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 6

제1항에 있어서, 상기 온 바이어스 전압은 적어도 2개 이상의 서로 다른 레벨을 갖는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 7

제6항에 있어서, 상기 온 바이어스 보상 구간 동안 상기 온 바이어스 전압은 제1 온 바이어스 전압 레벨로부터 상기 제1 온 바이어스 전압 레벨보다 큰 제2 온 바이어스 전압 레벨로 증가하는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 8

제7항에 있어서, 상기 제1 온 바이어스 전압 레벨은 제1 온 바이어스 스위칭 소자를 통해 상기 데이터 라인에 전달되고, 상기 제2 온 바이어스 전압 레벨은 제2 온 바이어스 스위칭 소자를 통해 상기 데이터 라인에 전달되는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 9

제1항에 있어서, 상기 온 바이어스 구간 동안, 데이터 구동부의 출력은 하이 임피던스 상태를 갖고 상기 픽셀들의 스위칭 트랜지스터들은 턴 온 되며 제1 전원 전압은 하이 레벨을 갖고 제2 전원 전압은 하이 레벨을 가지는

것을 특징으로 하는 표시 패널의 구동 방법.

청구항 10

제9항에 있어서, 상기 초기화 구간 동안, 상기 데이터 구동부의 출력은 상기 하이 임피던스 상태를 갖고 상기 픽셀들의 상기 스위칭 트랜지스터들은 턴 온 되며 상기 제1 전원 전압은 로우 레벨을 갖고 상기 제2 전원 전압은 상기 하이 레벨을 가지는 것을 특징으로 하는 표시 패널의 구동 방법.

청구항 11

복수의 픽셀들을 포함하는 표시 패널;

게이트 라인들을 통하여 상기 픽셀들에 게이트 신호를 제공하는 게이트 구동부;

데이터 라인들을 통하여 상기 픽셀들에 데이터 전압을 제공하는 데이터 구동부;

온 바이어스 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 온 바이어스 전압을 인가하여 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 온 바이어스 구동부;

상기 픽셀들에 제1 전원 전압을 제공하는 제1 전원 제어부; 및

상기 픽셀들에 제2 전원 전압을 제공하는 제2 전원 제어부를 포함하고,

상기 온 바이어스 구간에 앞서 온 바이어스 보상 구간 동안 상기 데이터 구동부의 데이터 유지 전압 또는 상기 온 바이어스 구동부의 상기 온 바이어스 전압의 레벨이 조절되는 것을 특징으로 하는 표시 장치.

청구항 12

제11항에 있어서, 상기 데이터 구동부는 적어도 2개 이상의 서로 다른 레벨을 갖는 상기 데이터 유지 전압을 출력하는 것을 특징으로 하는 표시 장치.

청구항 13

제12항에 있어서, 상기 온 바이어스 구동부는 온 바이어스 제어 신호에 응답하여 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 온 바이어스 스위칭 소자를 포함하는 것을 특징으로 하는 표시 장치.

청구항 14

제11항에 있어서, 상기 온 바이어스 구동부는 적어도 2개 이상의 서로 다른 레벨을 갖는 상기 온 바이어스 전압을 출력하는 것을 특징으로 하는 표시 장치.

청구항 15

제14항에 있어서, 상기 온 바이어스 구동부는

온 바이어스 제어 신호에 응답하여 제1 온 바이어스 레벨의 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 제1 온 바이어스 스위칭 소자; 및

보상 온 바이어스 제어 신호에 응답하여 상기 제1 온 바이어스 레벨보다 큰 제2 온 바이어스 레벨의 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 제2 온 바이어스 스위칭 소자를 포함하는 것을 특징으로 하는 표시 장치.

청구항 16

제11항에 있어서, 상기 픽셀은

상기 게이트 신호에 응답하여 턴 온 되는 스위칭 트랜지스터;

보상 제어 신호에 응답하여 턴 온 되는 보상 트랜지스터;

상기 보상 트랜지스터의 제1 전극의 신호에 응답하여 턴 온되는 구동 트랜지스터; 및

상기 구동 트랜지스터에 연결되는 유기 발광 소자를 포함하는 것을 특징으로 하는 표시 장치.

청구항 17

온 바이어스 구간 중 제1 타이밍에 제1 그룹의 데이터 라인들을 통하여 제1 그룹의 픽셀들에 온 바이어스 전압을 인가하여 상기 제1 그룹의 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계;

상기 온 바이어스 구간 중 제2 타이밍에 제2 그룹의 데이터 라인들을 통하여 제2 그룹의 픽셀들에 상기 온 바이어스 전압을 인가하여 상기 제2 그룹의 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계;

초기화 구간 동안 상기 픽셀들의 유기 발광 소자의 애노드 전극의 전압을 초기화하는 단계;

주사 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 순차적으로 데이터 전압을 인가하는 단계; 및

발광 구간 동안 상기 픽셀들의 상기 유기 발광 소자를 턴 온하는 단계를 포함하는 표시 패널의 구동 방법.

청구항 18

제17항에 있어서, 상기 데이터 전압을 생성하는 복수의 데이터 구동 칩은 각각 서로 다른 온 바이어스 전압 인가 타이밍을 갖는 것을 특징으로 하는 표시 패널의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 표시 패널의 구동 방법 및 이를 수행하기 위한 표시 장치에 관한 것으로, 보다 상세하게는 동시 발광이 가능한 표시 패널의 구동 방법 및 이를 수행하기 위한 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치의 표시 패널이 대형화됨에 따라 패널 인입부의 신호 전달 라인의 폭은 점차 감소 설계되고 있다.

[0003] 이로 인해 상기 신호 전달 라인의 배선 저항이 증가하고 상기 신호 전달 라인을 흐르는 피크 전류가 증가할 수 있다. 상기 신호 전달 라인에 큰 피크 전류가 흐르게 되면 상기 신호 전달 라인이 파괴될 수 있다.

발명의 내용

해결하려는 과제

[0004] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 동시 발광 구동의 온 바이어스 구간에서 신호 전달 라인이 파괴되는 것을 방지하는 표시 패널의 구동 방법을 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 표시 패널의 구동 방법을 수행하는 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 표시 패널의 구동 방법은 온 바이어스 구간 동안 데이터 라인들을 통하여 픽셀들에 온 바이어스 전압을 인가하여 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계, 초기화 구간 동안 상기 픽셀들의 유기 발광 소자의 애노드 전극의 전압을 초기화하는 단계, 주사 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 데이터 전압을 인가하는 단계 및 발광 구간 동안 상기 픽셀들의 상기 유기 발광 소자를 턴 온하는 단계를 포함한다. 상기 온 바이어스 구간에 앞서 온 바이어스 보상 구간 동안 상기 데이터 라인들에 인가되는 데이터 유지 전압 또는 상기 온 바이어스 전압의 레벨을 조절한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 데이터 유지 전압은 적어도 2개 이상의 서로 다른 레벨을 가질 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 보상 구간 동안 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨로부터 상기 제1 데이터 유지 전압 레벨보다 작은 제2 데이터 유지 전압 레벨로 감소할 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 데이터 유지 전압은 적어도 3개 이상의 서로 다른 레벨을 가지며, 상기 온

바이어스 보상 구간 동안 상기 데이터 유지 전압은 계단형으로 감소할 수 있다.

- [0010] 본 발명의 일 실시예에 있어서, 상기 데이터 유지 전압의 레벨은 유지 전압 컨트롤 신호의 듀티비에 따라 결정될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 전압은 적어도 2개 이상의 서로 다른 레벨을 가질 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 보상 구간 동안 상기 온 바이어스 전압은 제1 온 바이어스 전압 레벨로부터 상기 제1 온 바이어스 전압 레벨보다 큰 제2 온 바이어스 전압 레벨로 증가할 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 제1 온 바이어스 전압 레벨은 제1 온 바이어스 스위칭 소자를 통해 상기 데이터 라인에 전달되고, 상기 제2 온 바이어스 전압 레벨은 제2 온 바이어스 스위칭 소자를 통해 상기 데이터 라인에 전달될 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 구간 동안, 데이터 구동부의 출력은 하이 임피던스 상태를 갖고 상기 픽셀들의 스위칭 트랜지스터들은 턴 온 되며 제1 전원 전압은 하이 레벨을 갖고 제2 전원 전압은 하이 레벨을 가질 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 초기화 구간 동안, 상기 데이터 구동부의 출력은 상기 하이 임피던스 상태를 갖고 상기 픽셀들의 상기 스위칭 트랜지스터들은 턴 온 되며 상기 제1 전원 전압은 로우 레벨을 갖고 상기 제2 전원 전압은 상기 하이 레벨을 가질 수 있다.
- [0016] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 장치는 표시 패널, 게이트 구동부, 데이터 구동부, 온 바이어스 구동부, 제1 전원 제어부 및 제2 전원 제어부를 포함한다. 상기 표시 패널은 복수의 픽셀들을 포함한다. 상기 게이트 구동부는 게이트 라인들을 통하여 상기 픽셀들에 게이트 신호를 제공한다. 상기 데이터 구동부는 데이터 라인들을 통하여 상기 픽셀들에 데이터 전압을 제공한다. 상기 온 바이어스 구동부는 온 바이어스 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 온 바이어스 전압을 인가하여 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경한다. 상기 제1 전원 제어부는 상기 픽셀들에 제1 전원 전압을 제공한다. 상기 제2 전원 제어부는 상기 픽셀들에 제2 전원 전압을 제공한다. 상기 온 바이어스 구간에 앞서 온 바이어스 보상 구간 동안 상기 데이터 구동부의 데이터 유지 전압 또는 상기 온 바이어스 구동부의 상기 온 바이어스 전압의 레벨이 조절된다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 데이터 구동부는 적어도 2개 이상의 서로 다른 레벨을 갖는 상기 데이터 유지 전압을 출력할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 구동부는 온 바이어스 제어 신호에 응답하여 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 온 바이어스 스위칭 소자를 포함할 수 있다.
- [0019] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 구동부는 적어도 2개 이상의 서로 다른 레벨을 갖는 상기 온 바이어스 전압을 출력할 수 있다.
- [0020] 본 발명의 일 실시예에 있어서, 상기 온 바이어스 구동부는 온 바이어스 제어 신호에 응답하여 제1 온 바이어스 레벨의 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 제1 온 바이어스 스위칭 소자 및 보상 온 바이어스 제어 신호에 응답하여 상기 제1 온 바이어스 레벨보다 큰 제2 온 바이어스 레벨의 상기 온 바이어스 전압을 상기 데이터 라인으로 출력하는 제2 온 바이어스 스위칭 소자를 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 있어서, 상기 픽셀은 상기 게이트 신호에 응답하여 턴 온 되는 스위칭 트랜지스터, 보상 제어 신호에 응답하여 턴 온 되는 보상 트랜지스터, 상기 보상 트랜지스터의 제1 전극의 신호에 응답하여 턴 온 되는 구동 트랜지스터 및 상기 구동 트랜지스터에 연결되는 유기 발광 소자를 포함할 수 있다.
- [0022] 상기한 본 발명의 다른 목적을 실현하기 위한 일 실시예에 따른 표시 패널의 구동 방법은 온 바이어스 구간 중 제1 타이밍에 제1 그룹의 데이터 라인들을 통하여 제1 그룹의 픽셀들에 온 바이어스 전압을 인가하여 상기 제1 그룹의 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계, 상기 온 바이어스 구간 중 제2 타이밍에 제2 그룹의 데이터 라인들을 통하여 제2 그룹의 픽셀들에 상기 온 바이어스 전압을 인가하여 상기 제2 그룹의 상기 픽셀들의 구동 트랜지스터의 제어 전극의 전압 레벨을 변경하는 단계, 초기화 구간 동안 상기 픽셀들의 유기 발광 소자의 애노드 전극의 전압을 초기화하는 단계, 주사 구간 동안 상기 데이터 라인들을 통하여 상기 픽셀들에 데이터 전압을 인가하는 단계 및 발광 구간 동안 상기 픽셀들의 상기 유기 발광 소자를 턴 온 하는 단계를 포함한다.

[0023] 본 발명의 일 실시예에 있어서, 상기 데이터 전압을 생성하는 복수의 데이터 구동 칩은 각각 서로 다른 온 바이어스 전압 인가 타이밍을 가질 수 있다.

발명의 효과

[0024] 이와 같은 표시 패널의 구동 방법 및 이를 수행하는 표시 장치에 따르면, 동시 발광 구동의 온 바이어스 구간에 신호 전달 라인에 흐르는 피크 전류를 감소시켜 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
 도 2는 도 1의 표시 장치를 나타내는 평면도이다.
 도 3은 도 1의 온 바이어스 구동부 및 도 1의 표시 패널의 픽셀을 나타내는 회로도이다.
 도 4는 도 1의 온 바이어스 구동부 및 도 1의 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다.
 도 5a는 도 1의 데이터 구동부의 유지 전압을 조정하지 않을 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
 도 5b는 도 1의 데이터 구동부의 유지 전압을 조정할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
 도 6은 본 발명의 일 실시예에 따른 온 바이어스 구동부 및 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다.
 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 온 바이어스 구동부 및 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다.
 도 8은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
 도 9는 도 8의 온 바이어스 구동부 및 도 8의 표시 패널의 픽셀을 나타내는 회로도이다.
 도 10은 도 8의 온 바이어스 구동부 및 도 8의 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다.
 도 11a는 도 8의 온 바이어스 구동부의 온 바이어스 전압을 조정하지 않을 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
 도 11b는 도 8의 온 바이어스 구동부의 온 바이어스 전압을 조정할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
 도 12는 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.
 도 13a는 도 12의 제1 온 바이어스 구동부 및 상기 제1 온 바이어스 구동부에 연결되는 픽셀을 나타내는 회로도이다.
 도 13b는 도 12의 제2 온 바이어스 구동부 및 상기 제2 온 바이어스 구동부에 연결되는 픽셀을 나타내는 회로도이다.
 도 14는 도 12의 제1 및 제2 온 바이어스 구동부 및 도 12의 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다.
 도 15a는 표시 장치가 하나의 온 바이어스 구동부만을 포함할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
 도 15b는 도 12의 표시 장치가 제1 및 제2 온 바이어스 구동부를 포함할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다.

- [0028] 도 1을 참조하면, 상기 표시 장치는 표시 패널(100) 및 표시 패널 구동부를 포함한다. 상기 표시 패널 구동부는 타이밍 컨트롤러(200), 게이트 구동부(300), 감마 기준 전압 생성부(400), 데이터 구동부(500), 온 바이어스 구동부(600), 보상 구동부(700), 제1 전원 제어부(800) 및 제2 전원 제어부(900)를 포함한다.
- [0029] 상기 표시 패널(100)은 영상을 표시하는 표시부 및 상기 표시부에 이웃하여 배치되는 주변부를 포함한다.
- [0030] 상기 표시 패널(100)은 복수의 게이트 라인들, 복수의 데이터 라인들 및 상기 게이트 라인들과 상기 데이터 라인들 각각에 전기적으로 연결된 복수의 픽셀들(P)을 포함한다. 상기 게이트 라인들은 제1 방향으로 연장될 수 있고, 상기 데이터 라인들은 상기 제1 방향과 교차하는 제2 방향으로 연장될 수 있다.
- [0031] 각 픽셀은 스위칭 트랜지스터, 보상 트랜지스터, 구동 트랜지스터 및 유기 발광 소자를 포함할 수 있다. 상기 픽셀들은 매트릭스 형태로 배치될 수 있다. 상기 픽셀의 구조에 대해서는 도 3을 참조하여 상세히 설명한다.
- [0032] 상기 타이밍 컨트롤러(200)는 외부의 장치(미도시)로부터 입력 영상 데이터(RGB) 및 입력 제어 신호(CONT)를 수신한다. 상기 입력 영상 데이터는 적색 영상 데이터(R), 녹색 영상 데이터(G) 및 청색 영상 데이터(B)를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 마스터 클럭 신호, 데이터 인에이블 신호를 포함할 수 있다. 상기 입력 제어 신호(CONT)는 수직 동기 신호 및 수평 동기 신호를 더 포함할 수 있다.
- [0033] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB) 및 상기 입력 제어 신호(CONT)를 근거로 제1 제어 신호(CONT1), 제2 제어 신호(CONT2), 제3 제어 신호(CONT3), 제4 제어 신호(CONT4), 제5 제어 신호(CONT5), 제6 제어 신호(CONT6), 제7 제어 신호(CONT7) 및 데이터 신호(DATA3)를 생성할 수 있다.
- [0034] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 게이트 구동부(300)의 동작을 제어하기 위한 상기 제1 제어 신호(CONT1)를 생성하여 상기 게이트 구동부(300)에 출력한다. 상기 제1 제어 신호(CONT1)는 수직 개시 신호 및 게이트 클럭 신호를 포함할 수 있다.
- [0035] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 데이터 구동부(500)의 동작을 제어하기 위한 상기 제2 제어 신호(CONT2)를 생성하여 상기 데이터 구동부(500)에 출력한다. 상기 제2 제어 신호(CONT2)는 수평 개시 신호 및 로드 신호를 포함할 수 있다.
- [0036] 상기 타이밍 컨트롤러(200)는 상기 입력 영상 데이터(RGB)를 근거로 데이터 신호(DATA)를 생성한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 신호(DATA)를 상기 데이터 구동부(500)에 출력한다.
- [0037] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 감마 기준 전압 생성부(400)의 동작을 제어하기 위한 상기 제3 제어 신호(CONT3)를 생성하여 상기 감마 기준 전압 생성부(400)에 출력한다.
- [0038] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 온 바이어스 구동부(600)의 동작을 제어하기 위한 상기 제4 제어 신호(CONT4)를 생성하여 상기 온 바이어스 구동부(600)에 출력한다. 상기 제4 제어 신호(CONT4)는 온 바이어스 구동의 타이밍을 조절하기 위한 온 바이어스 제어 신호를 포함할 수 있다.
- [0039] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 보상 구동부(700)의 동작을 제어하기 위한 상기 제5 제어 신호(CONT5)를 생성하여 상기 보상 구동부(700)에 출력한다.
- [0040] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 제1 전원 제어부(800)의 동작을 제어하기 위한 상기 제6 제어 신호(CONT6)를 생성하여 상기 제1 전원 제어부(800)에 출력한다.
- [0041] 상기 타이밍 컨트롤러(200)는 상기 입력 제어 신호(CONT)를 근거로 상기 제2 전원 제어부(900)의 동작을 제어하기 위한 상기 제7 제어 신호(CONT7)를 생성하여 상기 제2 전원 제어부(900)에 출력한다.
- [0042] 상기 게이트 구동부(300)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제1 제어 신호(CONT1)에 응답하여 상기 게이트 라인들을 구동하기 위한 게이트 신호들(GS)을 생성한다. 상기 게이트 구동부(300)는 상기 게이트 신호들(GS)을 상기 게이트 라인들에 순차적으로 출력한다.
- [0043] 상기 게이트 구동부(300)는 상기 표시 패널(100)에 직접 실장(mounted)되거나, 테이프 캐리어 패키지(tape carrier package: TCP) 형태로 상기 표시 패널(100)에 연결될 수 있다. 한편, 상기 게이트 구동부(300)는 상기 표시 패널(100)의 상기 주변부에 집적(integrated)될 수 있다.
- [0044] 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200)로부터 입력 받은 상기 제3 제어 신호(CONT3)에 응답하여 감마 기준 전압(VGREF)을 생성한다. 상기 감마 기준 전압 생성부(400)는 상기 감마 기준 전압(VGREF)을 상기 데이터 구동부(500)에 제공한다. 상기 감마 기준 전압(VGREF)은 각각의 데이터 신호(DATA3)에 대응하는

값을 갖는다.

- [0045] 본 발명의 일 실시예에서, 상기 감마 기준 전압 생성부(400)는 상기 타이밍 컨트롤러(200) 내에 배치되거나 상기 데이터 구동부(500) 내에 배치될 수 있다.
- [0046] 상기 데이터 구동부(500)는 상기 타이밍 컨트롤러(200)로부터 상기 제2 제어 신호(CONT2) 및 상기 데이터 신호(DATA)를 입력 받고, 상기 감마 기준 전압 생성부(400)로부터 상기 감마 기준 전압(VGREF)을 입력 받는다. 상기 데이터 구동부(500)는 상기 데이터 신호(DATA)를 상기 감마 기준 전압(VGREF)을 이용하여 아날로그 형태의 데이터 전압(VD)으로 변환한다. 상기 데이터 구동부(500)는 상기 데이터 전압(VD)을 상기 데이터 라인에 출력한다.
- [0047] 또한, 상기 데이터 구동부(500)는 데이터 유지 전압을 생성하여 상기 데이터 라인에 출력할 수 있다. 본 실시예에서, 상기 데이터 유지 전압은 적어도 2개 이상의 서로 다른 레벨을 가질 수 있다. 본 실시예에서, 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨(VS1) 및 상기 제1 데이터 유지 전압 레벨(VS1)과 다른 제2 데이터 유지 전압 레벨(VS2)을 가질 수 있다.
- [0048] 상기 데이터 구동부(500)는 상기 표시 패널(100)에 직접 실장되거나, 테이프 캐리어 패키지(tape carrier package: TCP) 형태로 상기 표시 패널(100)에 연결될 수 있다. 한편, 상기 데이터 구동부(500)는 상기 표시 패널(100)의 상기 주변부에 집적될 수도 있다.
- [0049] 상기 온 바이어스 구동부(600)는 상기 온 바이어스 제어 신호에 응답하여 상기 데이터 라인들을 통하여 픽셀들에 온 바이어스 전압(VOB)을 인가한다. 상기 온 바이어스 구동부(600)의 구성 및 동작에 대해서는 도 3 및 도 4를 참조하여 상세히 설명한다.
- [0050] 상기 보상 구동부(700)는 상기 제5 제어 신호(CONT5)에 응답하여 상기 픽셀들의 상기 보상 트랜지스터를 턴 온하기 위한 보상 제어 신호(GC)를 상기 픽셀들에 출력한다.
- [0051] 상기 제1 전원 제어부(800)는 상기 제6 제어 신호(CONT6)에 응답하여 상기 제1 전원 전압(ELVDD)을 하이 레벨 또는 로우 레벨로 조절한다. 상기 제1 전원 제어부(800)는 상기 제1 전원 전압(ELVDD)을 상기 픽셀들에 출력한다.
- [0052] 상기 제2 전원 제어부(900)는 상기 제7 제어 신호(CONT7)에 응답하여 상기 제2 전원 전압(ELVSS)을 하이 레벨 또는 로우 레벨로 조절한다. 상기 제2 전원 제어부(900)는 상기 제2 전원 전압(ELVSS)을 상기 픽셀들에 출력한다.
- [0053] 도 2는 도 1의 표시 장치를 나타내는 평면도이다.
- [0054] 도 1 및 도 2를 참조하면, 상기 표시 장치는 상기 표시 패널(100) 및 상기 표시 패널 구동부를 포함한다. 상기 표시 패널 구동부는 인쇄 회로 기판(PCB), 상기 인쇄 회로 기판(PCB) 및 상기 표시 패널(100)을 연결하는 연성 회로 기판(FM) 및 상기 연성 회로 기판(FM) 상에 배치되는 구동 칩(CP)을 포함할 수 있다.
- [0055] 예를 들어, 상기 표시 패널 구동부는 복수의 상기 연성 회로 기판(FM)을 포함할 수 있다. 상기 표시 패널 구동부는 복수의 구동 칩(CP)을 포함할 수 있다. 각 연성 회로 기판(FM) 상에는 하나의 구동 칩(CP)이 배치될 수 있다. 상기 구동 칩(CP)은 상기 게이트 구동부(300)의 구동 칩 또는 상기 데이터 구동부(500)의 구동 칩일 수 있다.
- [0056] 도 3은 도 1의 온 바이어스 구동부(600) 및 도 1의 표시 패널(100)의 픽셀(P)을 나타내는 회로도이다. 도 4는 도 1의 온 바이어스 구동부(600) 및 도 1의 표시 패널의 픽셀(100)의 입 출력 신호를 나타내는 타이밍도이다. 도 5a는 도 1의 데이터 구동부(500)의 유지 전압을 조정하지 않을 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다. 도 5b는 도 1의 데이터 구동부(500)의 유지 전압을 조정할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
- [0057] 도 1 내지 도 5b를 참조하면, 상기 표시 패널(100)의 상기 픽셀(P)은 상기 게이트 신호(GS)에 응답하여 턴 온되는 스위칭 트랜지스터(TRS), 상기 보상 제어 신호(GC)에 응답하여 턴 온되는 보상 트랜지스터(TRC) 및 상기 보상 트랜지스터(TRC)의 제1 전극의 신호에 응답하여 턴 온되는 구동 트랜지스터(TRD) 및 상기 구동 트랜지스터(TRD)에 연결되는 유기 발광 소자(OLED)를 포함한다.
- [0058] 상기 픽셀(P)은 상기 데이터 전압(VD)을 저장하기 위한 스토리지 캐패시터(CST) 및 상기 문턱 전압 보상 전압을 저장하기 위한 보상 캐패시터(CVTH)를 더 포함할 수 있다.

- [0059] 상기 스위칭 트랜지스터(TRS)는 상기 게이트 신호(GS)가 인가되는 제어 전극, 상기 데이터 라인(DL)에 연결되는 제1 전극 및 제1 노드(NA)에 연결되는 제2 전극을 포함한다.
- [0060] 상기 스토리지 캐패시터(CST)는 상기 제1 전원 전압(ELVDD)이 인가되는 제1 단 및 상기 제1 노드(NA)에 연결되는 제2 단을 포함한다.
- [0061] 상기 보상 캐패시터(CVTH)는 상기 제1 노드(NA)에 연결되는 제1 단 및 제2 노드(NB)에 연결되는 제2 단을 포함한다.
- [0062] 상기 보상 트랜지스터(TRC)는 상기 보상 제어 신호(GC)가 인가되는 제어 전극, 상기 제2 노드(NB)에 연결되는 제1 전극 및 제3 노드(NC)에 연결되는 제2 전극을 포함한다.
- [0063] 상기 구동 트랜지스터(TRD)는 상기 제2 노드(NB)에 연결되는 제어 전극, 상기 제1 전원 전압(ELVDD)이 인가되는 제1 전극 및 상기 제3 노드(NC)에 연결되는 제2 전극을 포함한다.
- [0064] 상기 유기 발광 소자(OLED)는 상기 제3 노드(N3)에 연결되는 애노드 전극 및 제2 전원 전압(ELVSS)이 인가되는 캐소드 전극을 포함한다.
- [0065] 상기 데이터 라인(DL)은 상기 데이터 구동부(500)에 연결되며, 상기 데이터 구동부(500)의 출력은 데이터 전압(VD), 데이터 유지 전압(VS1, VS2) 및 하이 임피던스 상태(HiZ)를 가질 수 있다.
- [0066] 상기 데이터 전압(VD)은 상기 표시 패널(100)의 각 픽셀(P)의 휘도를 결정하기 위한 계조 데이터일 수 있다. 상기 데이터 유지 전압(VS1, VS2)은 상기 데이터 전압(VD)이 인가되지 않는 구간에서 상기 데이터 라인(DL)의 전압 레벨을 일정 수준으로 유지하기 위한 전압일 수 있다. 상기 데이터 유지 전압(VS1, VS2)은 블랙에 가까운 저계조의 데이터 전압으로 설정될 수 있다. 본 실시예에서, 상기 데이터 유지 전압은 적어도 2개 이상의 서로 다른 레벨을 가질 수 있다. 예를 들어, 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨(VS1) 및 상기 제1 데이터 유지 전압 레벨(VS1)보다 작은 제2 데이터 유지 전압 레벨(VS2)을 가질 수 있다.
- [0067] 상기 하이 임피던스 상태(HiZ)는 상기 데이터 구동부(500)의 출력이 플로팅되어 있는 상태를 의미한다. 온 바이어스 구간(T2) 및 초기화 구간(T3)에 대응하여 상기 데이터 구동부(500)의 출력은 하이 임피던스 상태(HiZ)를 가질 수 있다.
- [0068] 상기 온 바이어스 구동부(600)는 온 바이어스 제어 신호(SUS_ENB)에 응답하여 상기 온 바이어스 전압(VOB)을 상기 데이터 라인(DL)으로 출력하는 온 바이어스 스위칭 소자(TRO)를 포함할 수 있다.
- [0069] 상기 온 바이어스 스위칭 소자(TRO)는 상기 온 바이어스 제어 신호(SUS_ENB)가 인가되는 제어 전극, 상기 온 바이어스 전압(VOB)이 인가되는 제1 전극 및 상기 데이터 라인(DL)에 연결되는 제2 전극을 포함할 수 있다.
- [0070] 본 실시예에서, 하나의 상기 온 바이어스 구동부(600)는 상기 표시 패널(100)의 모든 데이터 라인(DL)에 공통적으로 연결될 수 있다.
- [0071] 도 4를 보면, 온 바이어스 구간(T2) 동안 상기 데이터 라인(DL)을 통하여 상기 픽셀(P)에 온 바이어스 전압(VOB)을 인가한다.
- [0072] 구체적으로, 상기 온 바이어스 구간(T2) 동안 상기 게이트 신호들(GS[1] 내지 GS[N])은 로우 상태를 가지므로, 상기 픽셀들(P)의 상기 스위칭 트랜지스터들(TRS)은 턴 온 된다. 이 때, 상기 데이터 구동부(500)의 출력은 하이 임피던스 상태(HiZ)를 갖는다.
- [0073] 또한, 상기 온 바이어스 구간(T2) 동안 상기 제1 전원 전압(ELVDD)은 하이 레벨을 갖고 상기 제2 전원 전압(ELVSS)은 하이 레벨을 가질 수 있다.
- [0074] 상기 온 바이어스 제어 신호(SUS_ENB)가 하이 레벨에서 로우 레벨로 떨어지면, 상기 온 바이어스 스위칭 소자(TRO)가 턴 온되면서 상기 데이터 라인(DL)에 상기 온 바이어스 전압(VOB)이 전달된다.
- [0075] 상기 스위칭 트랜지스터(TRS)는 턴 온 되어 있으므로, 상기 온 바이어스 전압(VOB)은 상기 스위칭 트랜지스터(TRS)를 통해 상기 제1 노드(NA)에 전달된다. 상기 온 바이어스 구간(T2) 이전의 상기 제1 노드(NA)의 전압 레벨은 상기 데이터 라인(DL)에 잔존하던 데이터 유지 전압 레벨일 수 있고, 상기 온 바이어스 구간(T2) 직후의 상기 제1 노드(NA)의 전압 레벨은 상기 온 바이어스 전압(VOB)일 수 있다. 상기 데이터 유지 전압 레벨은 블랙에 가까운 하이 계조 전압일 수 있다. 상기 온 바이어스 전압(VOB)은 상대적으로 낮은 전압일 수 있다.

- [0076] 상기 구동 트랜지스터(TRD)의 제어 전극(NB)의 전압은 상기 제1 노드(NA)의 전압에 커플링되어, 전압 레벨이 변경된다. 예를 들어, 상기 구동 트랜지스터(TRD)의 제어 전극(NB)의 전압은 상기 제1 노드(NA)의 전압 감소에 커플링되어, 전압 레벨이 감소할 수 있다.
- [0077] 상기 온 바이어스 구간(T2) 동안 상기 스위칭 트랜지스터(TRS)는 턴 온되고, 상기 보상 트랜지스터(TRC)는 턴 오프된다. 상기 구동 트랜지스터(TRD)의 제어 전극에는 로우 레벨의 전압이 인가되지만 상기 제1 전원 전압(ELVDD) 및 상기 제2 전원 전압(ELVSS)은 모두 하이 레벨을 가지므로, 상기 구동 트랜지스터(TRD)는 턴 온되지 않는다.
- [0078] 도 5a에서 보듯이, 상기 데이터 유지 전압 레벨이 하나의 레벨을 갖던 종래의 표시 장치에서는 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압이 상기 데이터 유지 전압 레벨(예컨대, 도 4의 VS1)로부터 상기 온 바이어스 전압(VOB)으로 급속도로 떨어지면서, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 모든 데이터 라인들(DL)을 연결하는 신호 전달 라인에 큰 피크 전류(IOB의 PK1)가 흘러 상기 신호 전달 라인이 파괴되는 문제점이 있었다.
- [0079] 본 실시예에서, 상기 온 바이어스 구간(T2)에 앞서서 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인에 인가되는 데이터 유지 전압의 레벨을 조절한다. 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제1 데이터 유지 전압 레벨(VS1)보다 작은 제2 데이터 유지 전압 레벨(VS2)로 감소할 수 있다.
- [0080] 예를 들어, 상기 데이터 구동부(500)는 유지 전압 컨트롤 신호(VSCTR)에 응답하여 상기 데이터 유지 전압을 상기 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제2 데이터 유지 전압 레벨(VS2)로 감소시킬 수 있다.
- [0081] 예를 들어, 상기 유지 전압 컨트롤 신호(VSCTR)가 기 데이터 구동부(500)에 인가된 후 상기 데이터 유지 전압의 레벨이 감소하는 타이밍은 타이머에 의해 조절될 수 있다.
- [0082] 상기 온 바이어스 보상 구간(T1) 동안 상기 제1 전원 전압(ELVDD)은 하이 레벨을 갖고 상기 제2 전원 전압(ELVSS)은 로우 레벨을 가질 수 있다.
- [0083] 상기 데이터 유지 전압이 상기 제2 데이터 유지 전압 레벨(VS2)로 감소하면, 상기 온 바이어스 구간(T2) 동안 상기 제1 노드(NA)의 전압 레벨은 상기 제2 데이터 유지 전압 레벨(VS2)로부터 상기 온 바이어스 전압(VOB)으로 감소하므로 상기 제1 노드(NA)의 전압의 변화량이 감소한다.
- [0084] 따라서, 도 5b와 같이, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압이 상기 제2 데이터 유지 전압 레벨(VS2)로부터 상기 온 바이어스 전압(VOB)으로 떨어지므로, 상기 신호 전달 라인에 흐르는 피크 전류(IOB의 PK2)가 도 5a에 비해 감소하게 된다.
- [0085] 초기화 구간(T3) 동안 상기 픽셀(P)의 유기 발광 소자(OLED)의 애노드 전극(NC)의 전압을 초기화한다. 상기 초기화 구간(T3) 동안 상기 게이트 신호들(GS[1] 내지 GS[N])은 로우 상태를 유지하므로, 상기 픽셀들(P)의 상기 스위칭 트랜지스터들(TRS)은 턴 온 상태를 유지한다. 상기 초기화 구간(T3) 동안, 상기 데이터 구동부(500)의 출력은 여전히 상기 하이 임피던스 상태(HiZ)를 갖고 상기 제1 전원 전압(ELVDD)은 로우 레벨을 가지며 상기 제2 전원 전압(ELVSS)은 상기 하이 레벨을 가질 수 있다.
- [0086] 상기 초기화 구간(T3) 동안 상기 스위칭 트랜지스터(TRS)는 턴 온되고, 상기 보상 트랜지스터(TRC)는 턴 오프된다. 상기 구동 트랜지스터(TRD)의 제어 전극에는 로우 레벨의 전압이 인가되며, 상기 제1 전원 전압(ELVDD)은 로우 레벨, 상기 제2 전원 전압(ELVSS)은 하이 레벨을 가지므로, 상기 구동 트랜지스터(TRD)는 턴 온된다.
- [0087] 상기 초기화 구간(T3) 동안 상기 스위칭 트랜지스터(TRS) 및 상기 구동 트랜지스터(TRD)가 턴 온되면서 상기 유기 발광 소자(OLED)의 상기 애노드 전극(NC)의 전압이 초기화된다. 예를 들어, 상기 유기 발광 소자(OLED)의 상기 애노드 전극(NC)의 전압은 상기 제1 전원 전압(ELVDD)의 상기 로우 레벨로 초기화될 수 있다.
- [0088] 상기 보상 구간(T4) 동안 상기 픽셀들(P)의 구동 트랜지스터들(TRD)의 문턱 전압 차이를 보상할 수 있다. 상기 보상 구간(T4) 동안 상기 게이트 신호들(GS[1] 내지 GS[N])은 로우 상태를 유지하므로, 상기 픽셀들(P)의 상기 스위칭 트랜지스터들(TRS)은 턴 온 상태를 유지한다. 상기 보상 구간(T4) 동안, 상기 데이터 구동부(500)의 출력은 제1 데이터 유지 전압 레벨(VS1)을 갖고 상기 제1 전원 전압(ELVDD)은 하이 레벨을 가지며 상기 제2 전원 전압(ELVSS)은 하이 레벨을 유지한다.
- [0089] 상기 보상 구간(T4) 동안 상기 보상 제어 신호(GC)는 로우 레벨을 가지므로 상기 보상 트랜지스터(TRC)가 턴 온

된다. 상기 보상 트랜지스터(TRC)가 턴 온 됨에 따라, 상기 구동 트랜지스터(TRD)는 다이오드 연결되고, 상기 제1 노드(NA)에 상기 구동 트랜지스터(TRD)의 문턱 전압이 반영된 전압이 저장된다. 상기 구동 트랜지스터(TRD)의 문턱 전압은 상기 데이터 전압(VD)에 따른 구동 전류량을 결정함에 있어 반영되지 않으므로, 상기 모든 픽셀들(P)에서 상기 구동 트랜지스터(TRD)의 문턱 전압에 따른 특성 편차가 제거될 수 있다.

- [0090] 상기 주사 구간(T5) 동안 상기 게이트 구동부(300)는 복수의 게이트 신호들(GS[1] 내지 GS[N])을 생성하여 상기 게이트 라인들에 출력한다. 예를 들어, 상기 게이트 신호들(GS[1] 내지 GS[N])은 상기 게이트 라인들에 순차적으로 출력될 수 있다.
- [0091] 상기 주사 구간(T5) 동안 상기 데이터 구동부(500)는 상기 입력 영상 데이터(RGB)의 계조에 대응하는 데이터 전압(VD)을 생성한다. 상기 주사 구간(T5) 동안 상기 각 픽셀의 상기 데이터 전압(VD)은 상기 게이트 신호들(GS[1] 내지 GS[N])의 펄스에 응답하여 상기 픽셀들(P)에 인가된다. 상기 데이터 전압들(VD)은 상기 픽셀들(P)의 상기 스토리지 캐패시터(CST)에 저장될 수 있다.
- [0092] 상기 주사 구간(T5) 동안 상기 제1 전원 전압(ELVDD) 및 상기 제2 전원 전압(ELVSS)은 하이 레벨을 가지므로, 상기 구동 트랜지스터(TRD)는 턴 온되지 않는다.
- [0093] 발광 구간(T6) 동안 상기 픽셀들(P)의 상기 유기 발광 소자를 턴 온하여, 상기 표시 패널(100)의 픽셀들은 동시 발광한다. 상기 발광 구간(T6) 동안 상기 제1 전원 전압(ELVDD)은 하이 레벨을 갖고, 상기 제2 전원 전압(ELVSS)은 로우 레벨을 갖는다.
- [0094] 본 실시예에 따르면, 상기 온 바이어스 구간(T2)에 앞서는 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인들(DL)에 인가되는 데이터 유지 전압의 레벨을 제1 데이터 유지 전압 레벨(VS1)에서 제2 데이터 유지 전압 레벨(VS2)로 감소시켜, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 구동부(600)와 상기 데이터 라인들(DL)을 연결하는 신호 전달 라인에 흐르는 피크 전류를 감소시킬 수 있다. 따라서, 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.
- [0095] 도 6은 본 발명의 일 실시예에 따른 온 바이어스 구동부(600) 및 표시 패널(100)의 픽셀(P)의 입 출력 신호를 나타내는 타이밍도이다.
- [0096] 본 실시예에 따른 표시 패널의 구동 방법 및 표시 장치는 데이터 유지 전압의 레벨을 제외하면, 도 1 내지 도 5b를 참조하여 설명한 표시 패널의 구동 방법 및 표시 장치와 실질적으로 동일하다. 따라서, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조번호를 이용하고, 중복되는 설명은 생략한다.
- [0097] 도 1 내지 도 3, 도 5a 내지 도 6을 참조하면, 온 바이어스 구간(T2) 동안 상기 데이터 라인(DL)을 통하여 상기 픽셀(P)의 상기 구동 트랜지스터(TRD)에 온 바이어스 전압(VOB)을 인가한다.
- [0098] 상기 온 바이어스 제어 신호(SUS_ENB)가 하이 레벨에서 로우 레벨로 떨어지면, 상기 온 바이어스 스위칭 소자(TRO)가 턴 온되면서 상기 데이터 라인(DL)에 상기 온 바이어스 전압(VOB)이 전달된다.
- [0099] 도 5a에서 보듯이, 상기 데이터 유지 전압 레벨이 하나의 레벨을 갖던 종래의 표시 장치에서는 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압이 상기 데이터 유지 전압 레벨(예컨대, 도 4의 VS1)로부터 상기 온 바이어스 전압(VOB)으로 급속도로 떨어지면서, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 모든 데이터 라인들(DL)을 연결하는 신호 전달 라인에 큰 피크 전류가 흘러 상기 신호 전달 라인이 파괴되는 문제점이 있었다.
- [0100] 본 실시예에서, 상기 온 바이어스 구간(T2)에 앞서는 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인에 인가되는 데이터 유지 전압의 레벨을 조절한다.
- [0101] 본 실시예에서, 상기 데이터 유지 전압은 적어도 3개 이상의 서로 다른 레벨을 가질 수 있고, 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 유지 전압은 계단형으로 감소할 수 있다.
- [0102] 예를 들어, 상기 데이터 구동부(500)는 유지 전압 컨트롤 신호(VSCTR)에 응답하여, 상기 데이터 유지 전압을 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제1 데이터 유지 전압 레벨(VS1)보다 작은 제2 데이터 유지 전압 레벨(VS2)로 감소시키고, 상기 제2 데이터 유지 전압 레벨(VS2)보다 작은 제3 데이터 유지 전압 레벨(VS3)로 감소시키며, 상기 제3 데이터 유지 전압 레벨(VS3)보다 작은 제4 데이터 유지 전압 레벨(VS4)로 감소시킬 수 있다.
- [0103] 예를 들어, 상기 유지 전압 컨트롤 신호(VSCTR)가 데이터 구동부(500)에 인가된 후 상기 데이터 유지 전압의 레벨이 감소하는 타이밍은 타이머에 의해 조절될 수 있다.

- [0104] 본 실시예에 따르면, 상기 온 바이어스 구간(T2)에 앞서서는 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인들(DL)에 인가되는 데이터 유지 전압의 레벨을 제1 데이터 유지 전압 레벨(VS1)로부터 제4 데이터 유지 전압 레벨(VS2)까지 계단형으로 감소시켜, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 구동부(600)와 상기 데이터 라인들(DL)을 연결하는 신호 전달 라인에 흐르는 피크 전류를 감소시킬 수 있다. 따라서, 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.
- [0105] 도 7a 및 도 7b는 본 발명의 일 실시예에 따른 온 바이어스 구동부(600) 및 표시 패널(100)의 픽셀(P)의 입 출력 신호를 나타내는 타이밍도이다.
- [0106] 본 실시예에 따른 표시 패널의 구동 방법 및 표시 장치는 데이터 유지 전압의 레벨을 제외하면, 도 1 내지 도 5b를 참조하여 설명한 표시 패널의 구동 방법 및 표시 장치와 실질적으로 동일하다. 따라서, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조번호를 이용하고, 중복되는 설명은 생략한다.
- [0107] 도 1 내지 도 3, 도 5a, 도 5b, 도 7a 및 도 7b를 참조하면, 온 바이어스 구간(T2) 동안 상기 데이터 라인(DL)을 통하여 상기 픽셀(P)에 온 바이어스 전압(VOB)을 인가한다.
- [0108] 상기 온 바이어스 제어 신호(SUS_ENB)가 하이 레벨에서 로우 레벨로 떨어지면, 상기 온 바이어스 스위칭 소자(TRO)가 턴 온되면서 상기 데이터 라인(DL)에 상기 온 바이어스 전압(VOB)이 전달된다.
- [0109] 도 5a에서 보듯이, 상기 데이터 유지 전압 레벨이 하나의 레벨을 갖던 종래의 표시 장치에서는 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압이 상기 데이터 유지 전압 레벨(예컨대, 도 4의 VS1)로부터 상기 온 바이어스 전압(VOB)으로 급속도로 떨어지면서, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 모든 데이터 라인들(DL)을 연결하는 신호 전달 라인에 큰 피크 전류가 흘러 상기 신호 전달 라인이 파괴되는 문제점이 있었다.
- [0110] 본 실시예에서, 상기 온 바이어스 구간(T2)에 앞서서는 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인에 인가되는 데이터 유지 전압의 레벨을 조절한다.
- [0111] 도 7a를 참조하면, 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제1 데이터 유지 전압 레벨(VS1)보다 작은 제2 데이터 유지 전압 레벨(VS2)로 감소할 수 있다.
- [0112] 예를 들어, 상기 데이터 구동부(500)는 유지 전압 컨트롤 신호(VSCTR)에 응답하여 상기 데이터 유지 전압을 상기 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제2 데이터 유지 전압 레벨(VS2)로 감소시킬 수 있다.
- [0113] 본 실시예에서, 상기 데이터 유지 전압의 레벨은 상기 유지 전압 컨트롤 신호(VSCTR)의 듀티비에 의해 결정될 수 있다. 예를 들어, 상기 유지 전압 컨트롤 신호(VSCTR)는 제1 듀티비(DT1)를 갖는다. 이에 따라, 상기 데이터 유지 전압의 레벨은 상기 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제2 데이터 유지 전압 레벨(VS2)로 감소된다.
- [0114] 도 7b를 참조하면, 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 유지 전압은 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제1 데이터 유지 전압 레벨(VS1)보다 작은 제3 데이터 유지 전압 레벨(VS3)로 감소할 수 있다.
- [0115] 예를 들어, 상기 데이터 구동부(500)는 유지 전압 컨트롤 신호(VSCTR)에 응답하여 상기 데이터 유지 전압을 상기 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제3 데이터 유지 전압 레벨(VS3)로 감소시킬 수 있다. 예를 들어, 도 7b의 상기 제3 데이터 유지 전압 레벨(VS3)은 도 7a의 상기 제2 데이터 유지 전압 레벨(VS2)보다 작을 수 있다.
- [0116] 본 실시예에서, 상기 데이터 유지 전압의 레벨은 상기 유지 전압 컨트롤 신호(VSCTR)의 듀티비에 의해 결정될 수 있다. 예를 들어, 상기 유지 전압 컨트롤 신호(VSCTR)는 제2 듀티비(DT2)를 갖는다. 이에 따라, 상기 데이터 유지 전압의 레벨은 상기 제1 데이터 유지 전압 레벨(VS1)로부터 상기 제3 데이터 유지 전압 레벨(VS3)로 감소된다. 예를 들어, 도 7b의 상기 제2 듀티비(DT2)는 도 7a의 상기 제1 듀티비(DT1)보다 클 수 있다.
- [0117] 본 실시예에 따르면, 상기 온 바이어스 구간(T2)에 앞서서는 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인들(DL)에 인가되는 데이터 유지 전압의 레벨을 제1 데이터 유지 전압 레벨(VS1)로부터 제2 데이터 유지 전압 레벨(VS2) 또는 제3 데이터 유지 전압 레벨(VS3)까지 감소시켜, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 구동부(600)와 상기 데이터 라인들(DL)을 연결하는 신호 전달 라인에 흐르는 피크 전류를 감소시킬 수

있다. 따라서, 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.

- [0118] 도 8은 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다. 도 9는 도 8의 온 바이어스 구동부 및 도 8의 표시 패널의 픽셀을 나타내는 회로도이다. 도 10은 도 8의 온 바이어스 구동부 및 도 8의 표시 패널의 픽셀의 입 출력 신호를 나타내는 타이밍도이다. 도 11a는 도 8의 온 바이어스 구동부의 온 바이어스 전압을 조정하지 않을 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다. 도 11b는 도 8의 온 바이어스 구동부의 온 바이어스 전압을 조정할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
- [0119] 본 실시예에 따른 표시 패널의 구동 방법 및 표시 장치는 데이터 유지 전압의 레벨, 온 바이어스 전압의 레벨, 온 바이어스 구동부의 구성을 제외하면, 도 1 내지 도 5b를 참조하여 설명한 표시 패널의 구동 방법 및 표시 장치와 실질적으로 동일하다. 따라서, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조번호를 이용하고, 중복되는 설명은 생략한다.
- [0120] 도 8 내지 도 11b를 참조하면, 상기 표시 장치는 표시 패널(100) 및 표시 패널 구동부를 포함한다. 상기 표시 패널 구동부는 타이밍 컨트롤러(200), 게이트 구동부(300), 감마 기준 전압 생성부(400), 데이터 구동부(500), 온 바이어스 구동부(600A), 보상 구동부(700), 제1 전원 제어부(800) 및 제2 전원 제어부(900)를 포함한다.
- [0121] 상기 온 바이어스 구동부(600A)는 온 바이어스 제어 신호(SUS_ENB) 및 보상 온 바이어스 제어 신호(VOBCTR)에 응답하여 온 바이어스 전압을 상기 데이터 라인(DL)으로 출력한다.
- [0122] 본 실시예에서, 상기 온 바이어스 전압은 적어도 2개 이상의 서로 다른 레벨을 가질 수 있다. 반면, 상기 데이터 유지 전압은 하나의 레벨을 가질 수 있다.
- [0123] 상기 온 바이어스 보상 구간(T1) 동안 상기 온 바이어스 전압은 제1 온 바이어스 전압 레벨(VOB1)로부터 상기 제1 온 바이어스 전압 레벨(VOB1)보다 큰 제2 온 바이어스 전압 레벨(VOB2)로 증가할 수 있다.
- [0124] 상기 온 바이어스 구동부(600A)는 상기 온 바이어스 제어 신호(SUS_ENB)에 응답하여 제1 온 바이어스 레벨(VOB1)의 상기 온 바이어스 전압을 상기 데이터 라인(DL)으로 출력하는 제1 온 바이어스 스위칭 소자(TR01) 및 상기 보상 온 바이어스 제어 신호(VOBCTR)에 응답하여 상기 제1 온 바이어스 레벨(VOB1)보다 큰 제2 온 바이어스 레벨(VOB2)의 상기 온 바이어스 전압을 상기 데이터 라인(DL)으로 출력하는 제2 온 바이어스 스위칭 소자(TR02)를 포함할 수 있다.
- [0125] 본 실시예에서, 하나의 상기 온 바이어스 구동부(600A)는 상기 표시 패널(100)의 모든 데이터 라인들(DL)에 공통적으로 연결될 수 있다.
- [0126] 온 바이어스 구간(T2)의 직전에는 상기 데이터 라인(DL)을 통하여 상기 픽셀(P)에 제2 온 바이어스 레벨(VOB2)의 온 바이어스 전압을 인가한다. 상기 온 바이어스 구간(T2) 동안 상기 데이터 라인(DL)을 통하여 상기 픽셀(P)에 제1 온 바이어스 레벨(VOB1)의 온 바이어스 전압을 인가한다.
- [0127] 도 11a에서 보듯이, 상기 온 바이어스 전압 레벨이 하나의 레벨을 갖던 종래의 표시 장치에서는 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압이 상기 데이터 유지 전압 레벨(VS)로부터 상기 데이터 라인(DL)에 잔존하는 상기 온 바이어스 전압(예컨대 도 10의 VOB1)으로 급속도로 떨어지면서, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 모든 데이터 라인들(DL)을 연결하는 신호 전달 라인에 큰 피크 전류(IOB의 PK1)가 흘러 상기 신호 전달 라인이 파괴되는 문제점이 있었다.
- [0128] 본 실시예에서, 상기 온 바이어스 구간(T2)에 앞서 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인에 인가되는 온 바이어스 전압의 레벨을 조절한다. 상기 온 바이어스 보상 구간(T1) 동안 상기 온 바이어스 전압은 제1 온 바이어스 전압 레벨(VOB1)로부터 상기 제1 온 바이어스 전압 레벨(VOB1)보다 큰 제2 온 바이어스 전압 레벨(VOB2)로 증가할 수 있다.
- [0129] 예를 들어, 상기 온 바이어스 구동부(600A)는 보상 온 바이어스 제어 신호(VOBCTR)에 응답하여 상기 온 바이어스 전압을 상기 제1 온 바이어스 레벨(VOB1)로부터 상기 제2 온 바이어스 전압 레벨(VOB2)로 증가시킬 수 있다.
- [0130] 상기 데이터 라인(DL)에 인가되는 온 바이어스 전압이 상기 제2 온 바이어스 전압 레벨(VOB2)로 증가하면, 상기 온 바이어스 구간(T2) 동안 상기 제1 노드(NA)의 전압의 변화량이 감소한다.
- [0131] 따라서, 도 11b와 같이, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 제1 노드(NA)의 전압의 변화량이 감소하여, 상기 신호 전달 라인에 흐르는 피크 전류(IOB의 PK2)가 도 11a에 비해 감소하게 된다.

- [0132] 본 실시예에 따르면, 상기 온 바이어스 구간(T2)에 앞서는 상기 온 바이어스 보상 구간(T1) 동안 상기 데이터 라인들(DL)에 인가되는 온 바이어스 전압의 레벨을 제1 온 바이어스 전압 레벨(VOB1)에서 제2 온 바이어스 전압 레벨(VOB2)로 증가시켜, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 구동부(600)와 상기 데이터 라인들(DL)을 연결하는 신호 전달 라인에 흐르는 피크 전류를 감소시킬 수 있다. 따라서, 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.
- [0133] 도 12는 본 발명의 일 실시예에 따른 표시 장치를 나타내는 블록도이다. 도 13a는 도 12의 제1 온 바이어스 구동부(601) 및 상기 제1 온 바이어스 구동부(601)에 연결되는 픽셀(PX)을 나타내는 회로도이다. 도 13b는 도 12의 제2 온 바이어스 구동부(602) 및 상기 제2 온 바이어스 구동부(602)에 연결되는 픽셀(PY)을 나타내는 회로도이다. 도 14는 도 12의 제1 및 제2 온 바이어스 구동부(601, 602) 및 도 12의 표시 패널(100)의 픽셀(PX, PY)의 입 출력 신호를 나타내는 타이밍도이다. 도 15a는 표시 장치가 하나의 온 바이어스 구동부만을 포함할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다. 도 15b는 도 12의 표시 장치가 제1 및 제2 온 바이어스 구동부를 포함할 때, 온 바이어스 전압 인가부의 피크 전류를 나타내는 파형도이다.
- [0134] 본 실시예에 따른 표시 패널의 구동 방법 및 표시 장치는 데이터 유지 전압의 레벨, 온 바이어스 전압의 레벨, 온 바이어스 구동부의 구성을 제외하면, 도 1 내지 도 5b를 참조하여 설명한 표시 패널의 구동 방법 및 표시 장치와 실질적으로 동일하다. 따라서, 동일하거나 대응되는 구성 요소에 대해서는 동일한 참조번호를 이용하고, 중복되는 설명은 생략한다.
- [0135] 도 12 내지 도 15b를 참조하면, 상기 표시 장치는 표시 패널(100) 및 표시 패널 구동부를 포함한다. 상기 표시 패널 구동부는 타이밍 컨트롤러(200), 게이트 구동부(300), 감마 기준 전압 생성부(400), 데이터 구동부(500), 제1 온 바이어스 구동부(601), 제2 온 바이어스 구동부(602), 보상 구동부(700), 제1 전원 제어부(800) 및 제2 전원 제어부(900)를 포함한다.
- [0136] 상기 제1 온 바이어스 구동부(601)는 제1 온 바이어스 제어 신호(SUS_ENB1)에 응답하여 상기 온 바이어스 전압(VOB)을 데이터 라인(DLX)으로 출력하는 온 바이어스 스위칭 소자(TRO)를 포함할 수 있다.
- [0137] 상기 제1 온 바이어스 구동부(601)의 상기 온 바이어스 스위칭 소자(TRO)는 상기 제1 온 바이어스 제어 신호(SUS_ENB1)가 인가되는 제어 전극, 상기 온 바이어스 전압(VOB)이 인가되는 제1 전극 및 상기 데이터 라인(DLX)에 연결되는 제2 전극을 포함할 수 있다.
- [0138] 본 실시예에서, 하나의 상기 제1 온 바이어스 구동부(601)는 상기 표시 패널(100)의 제1 그룹의 픽셀들(PX)에 연결되는 제1 그룹의 데이터 라인들(DLX)에 공통적으로 연결될 수 있다.
- [0139] 상기 제2 온 바이어스 구동부(602)는 제2 온 바이어스 제어 신호(SUS_ENB2)에 응답하여 상기 온 바이어스 전압(VOB)을 데이터 라인(DLY)으로 출력하는 온 바이어스 스위칭 소자(TRO)를 포함할 수 있다.
- [0140] 상기 제2 온 바이어스 구동부(602)의 상기 온 바이어스 스위칭 소자(TRO)는 상기 제2 온 바이어스 제어 신호(SUS_ENB2)가 인가되는 제어 전극, 상기 온 바이어스 전압(VOB)이 인가되는 제1 전극 및 제2 그룹의 데이터 라인(DLY)에 연결되는 제2 전극을 포함할 수 있다.
- [0141] 본 실시예에서, 하나의 상기 제2 온 바이어스 구동부(602)는 상기 표시 패널(100)의 제2 그룹의 픽셀들(PY)에 연결되는 제2 그룹의 데이터 라인들(DLY)에 공통적으로 연결될 수 있다.
- [0142] 상기 제1 온 바이어스 구동부(601)는 온 바이어스 구간(T2) 중 제1 타이밍에 제1 온 바이어스 제어 신호(SUS_ENB1)에 응답하여 데이터 라인(DLX)을 통해 제1 그룹의 픽셀들(예컨대 도 13a의 PX)에 온 바이어스 전압(VOB)을 인가한다.
- [0143] 상기 제2 온 바이어스 구동부(602)는 온 바이어스 구간(T2) 중 제2 타이밍에 제2 온 바이어스 제어 신호(SUS_ENB2)에 응답하여 데이터 라인(DLY)을 통해 제2 그룹의 픽셀들(예컨대 도 13a의 PY)에 온 바이어스 전압(VOB)을 인가한다.
- [0144] 본 실시예에서, 상기 온 바이어스 전압은 하나의 레벨을 가질 수 있다. 상기 제1 그룹의 픽셀들(PX)에 인가되는 온 바이어스의 전압은 상기 제2 그룹의 픽셀들(PY)에 인가되는 온 바이어스의 전압과 동일할 수 있다.
- [0145] 또한, 상기 모든 픽셀에 인가되는 데이터 유지 전압(VS)은 하나의 레벨을 가질 수 있다.
- [0146] 도 15a는 표시 패널의 모든 데이터 라인이 하나의 온 바이어스 구동부에 연결되는 경우, 온 바이어스 전압 인가부의 피크 전류를 나타낸다. 도 15a에서 보듯이, 모든 데이터 라인이 하나의 온 바이어스 구동부에 연결되는 중

래의 표시 장치에서는 온 바이어스 제어 신호(SUS_ENB)가 로우 레벨로 떨어질 때, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 모든 데이터 라인들(DL)을 연결하는 신호 전달 라인에 큰 피크 전류(IOB의 PK 1)가 흘러 상기 신호 전달 라인이 파괴되는 문제점이 있었다.

- [0147] 본 실시예에서는 복수의 온 바이어스 구동부가 상기 표시 패널의 일부 데이터 라인에 연결되며, 상기 복수의 온 바이어스 구동부는 각각 서로 다른 타이밍의 온 바이어스 제어 신호(SUS_ENB1, SUS_ENB2)를 가지므로, 도 15b에서 보듯이, 상기 온 바이어스 구동부(600)와 상기 표시 패널(100)의 일부 데이터 라인들(DLX, DLY)을 연결하는 신호 전달 라인들에 상대적으로 작은 피크의 전류(IOB의 PK2, PK3)가 흐른다.
- [0148] 예를 들어, 상기 표시 장치는 상기 데이터 전압을 생성하는 복수의 데이터 구동 칩을 포함할 수 있다. 상기 복수의 데이터 구동 칩은 각각 서로 다른 온 바이어스 전압 인가 타이밍을 가질 수 있다.
- [0149] 예를 들어, 표시 장치는 4개의 데이터 구동 칩을 가질 수 있다. 제1 그룹의 픽셀들은 제1 그룹의 데이터 라인들을 통해 제1 데이터 구동 칩에 연결될 수 있다. 제2 그룹의 픽셀들은 제2 그룹의 데이터 라인들을 통해 제2 데이터 구동 칩에 연결될 수 있다. 제3 그룹의 픽셀들은 제3 그룹의 데이터 라인들을 통해 제3 데이터 구동 칩에 연결될 수 있다. 제4 그룹의 픽셀들은 제4 그룹의 데이터 라인들을 통해 제4 데이터 구동 칩에 연결될 수 있다.
- [0150] 상기 제1 데이터 구동 칩은 제1 타이밍을 갖는 제1 온 바이어스 제어 신호를 가질 수 있다. 즉, 상기 제1 데이터 구동 칩에 연결되는 픽셀들은 상기 제1 온 바이어스 제어 신호에 의해 온 바이어스 전압을 공급하는 제1 온 바이어스 구동부에 연결될 수 있다.
- [0151] 상기 제2 데이터 구동 칩은 상기 제1 타이밍과 다른 제2 타이밍을 갖는 제2 온 바이어스 제어 신호를 가질 수 있다. 즉, 상기 제2 데이터 구동 칩에 연결되는 픽셀들은 상기 제2 온 바이어스 제어 신호에 의해 온 바이어스 전압을 공급하는 제2 온 바이어스 구동부에 연결될 수 있다.
- [0152] 상기 제3 데이터 구동 칩은 상기 제1 및 제2 타이밍과 다른 제3 타이밍을 갖는 제3 온 바이어스 제어 신호를 가질 수 있다. 즉, 상기 제3 데이터 구동 칩에 연결되는 픽셀들은 상기 제3 온 바이어스 제어 신호에 의해 온 바이어스 전압을 공급하는 제3 온 바이어스 구동부에 연결될 수 있다.
- [0153] 상기 제4 데이터 구동 칩은 상기 제1, 제2 및 제3 타이밍과 다른 제4 타이밍을 갖는 제4 온 바이어스 제어 신호를 가질 수 있다. 즉, 상기 제4 데이터 구동 칩에 연결되는 픽셀들은 상기 제4 온 바이어스 제어 신호에 의해 온 바이어스 전압을 공급하는 제4 온 바이어스 구동부에 연결될 수 있다.
- [0154] 이와 같이, 상기 표시 패널의 픽셀들은 서로 다른 타이밍으로 온 바이어스 전압이 인가되므로, 상기 온 바이어스 구동부의 신호 전달 라인에 흐르는 피크 전류가 감소하여 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.
- [0155] 상기에서는 설명의 편의 상 표시 장치가 4개의 데이터 구동 칩을 포함하는 경우를 예시하였으나, 본 발명은 상기 데이터 구동 칩의 개수에 한정되지 않는다.
- [0156] 본 실시예에 따르면, 상기 온 바이어스 구간(T2) 동안 상기 데이터 라인들(DL)에 인가되는 온 바이어스 전압의 인가 타이밍을 조절하여, 상기 온 바이어스 구간(T2) 동안 상기 온 바이어스 구동부(600)와 상기 데이터 라인들(DL)을 연결하는 신호 전달 라인에 흐르는 피크 전류를 감소시킬 수 있다. 따라서, 상기 신호 전달 라인이 파괴되는 것을 방지할 수 있다.

산업상 이용가능성

- [0157] 이상에서 설명한 본 발명에 따른 표시 패널의 구동 방법 및 이를 수행하기 위한 표시 장치에 따르면, 온 바이어스 구동부의 신호 전달 라인이 파괴되는 것을 방지하여 표시 장치의 수율을 향상시킬 수 있다.
- [0158] 이상 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

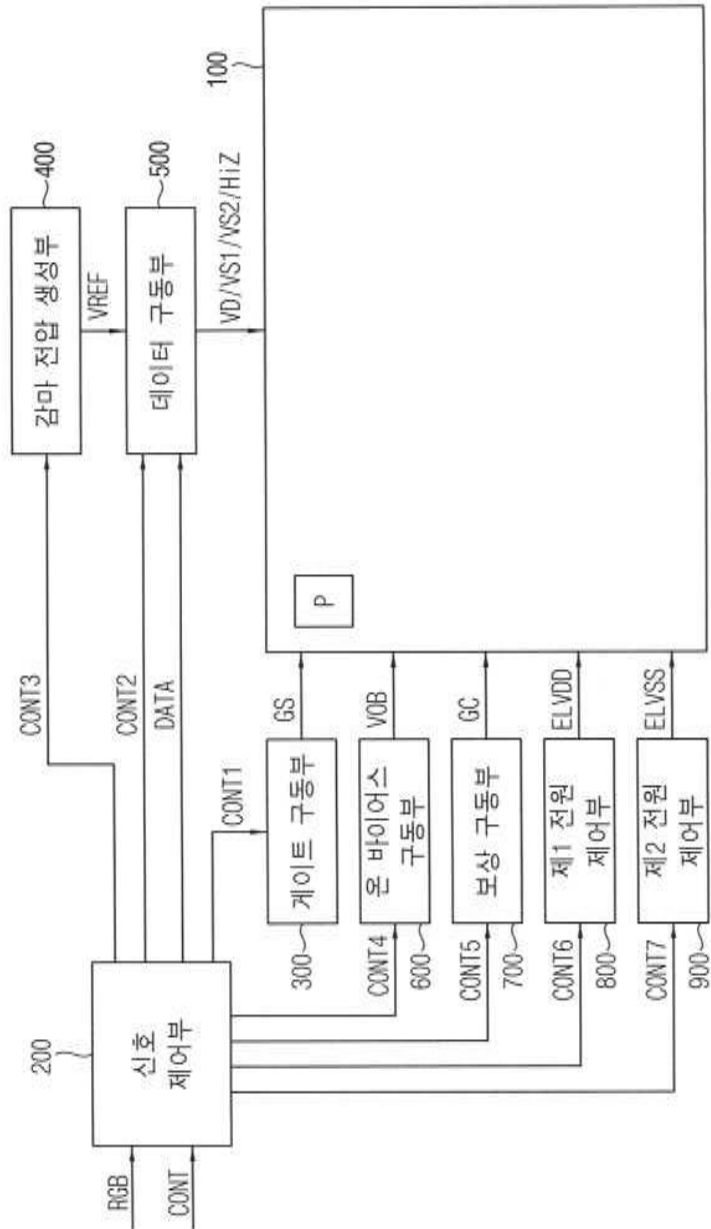
부호의 설명

- [0159] 100: 표시 패널 200: 타이밍 컨트롤러
- 300: 게이트 구동부 400: 감마 기준 전압 생성부

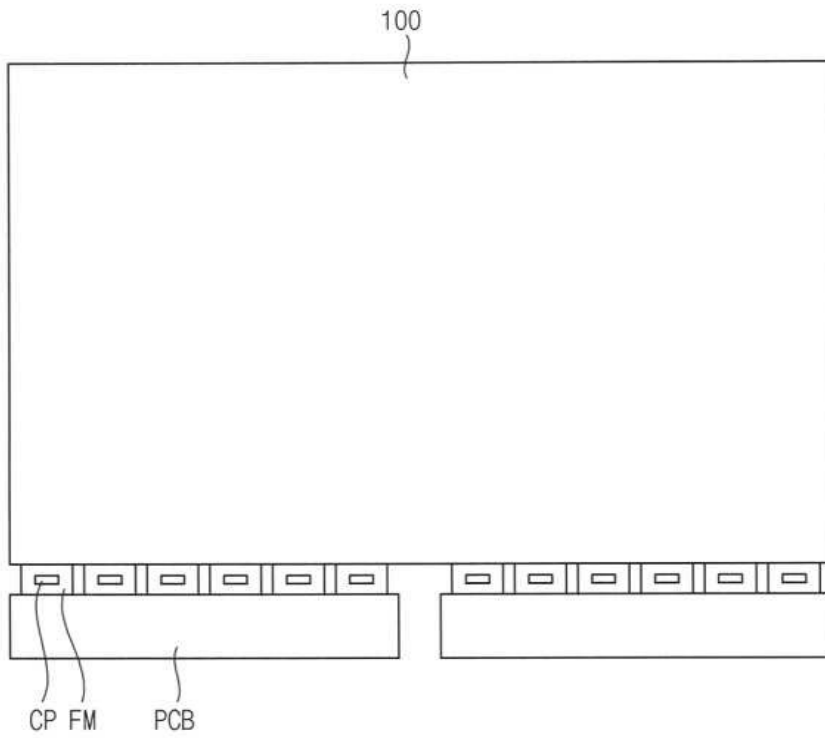
500: 데이터 구동부 600, 600A: 온 바이어스 구동부
 601: 제1 온 바이어스 구동부 602: 제2 온 바이어스 구동부
 700: 보상 구동부 800: 제1 전원 제어부
 900: 제2 전원 제어부

도면

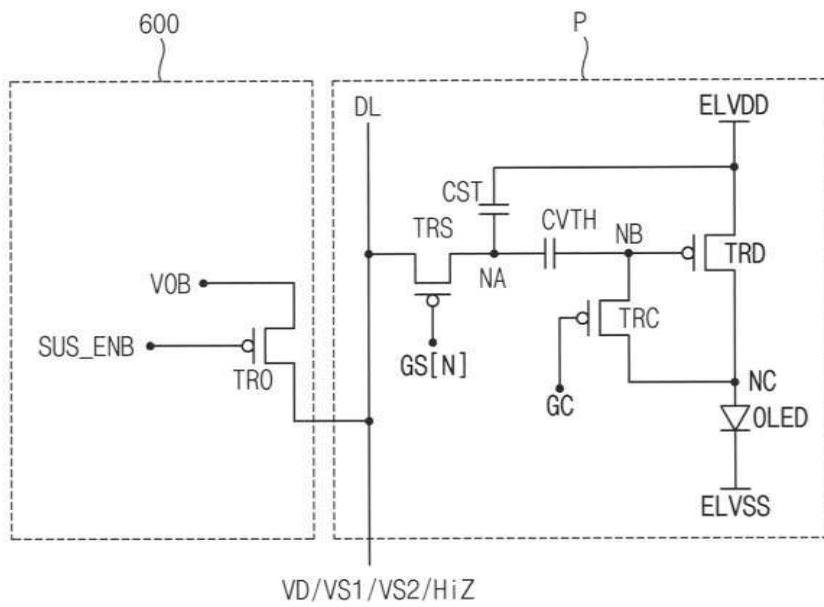
도면1



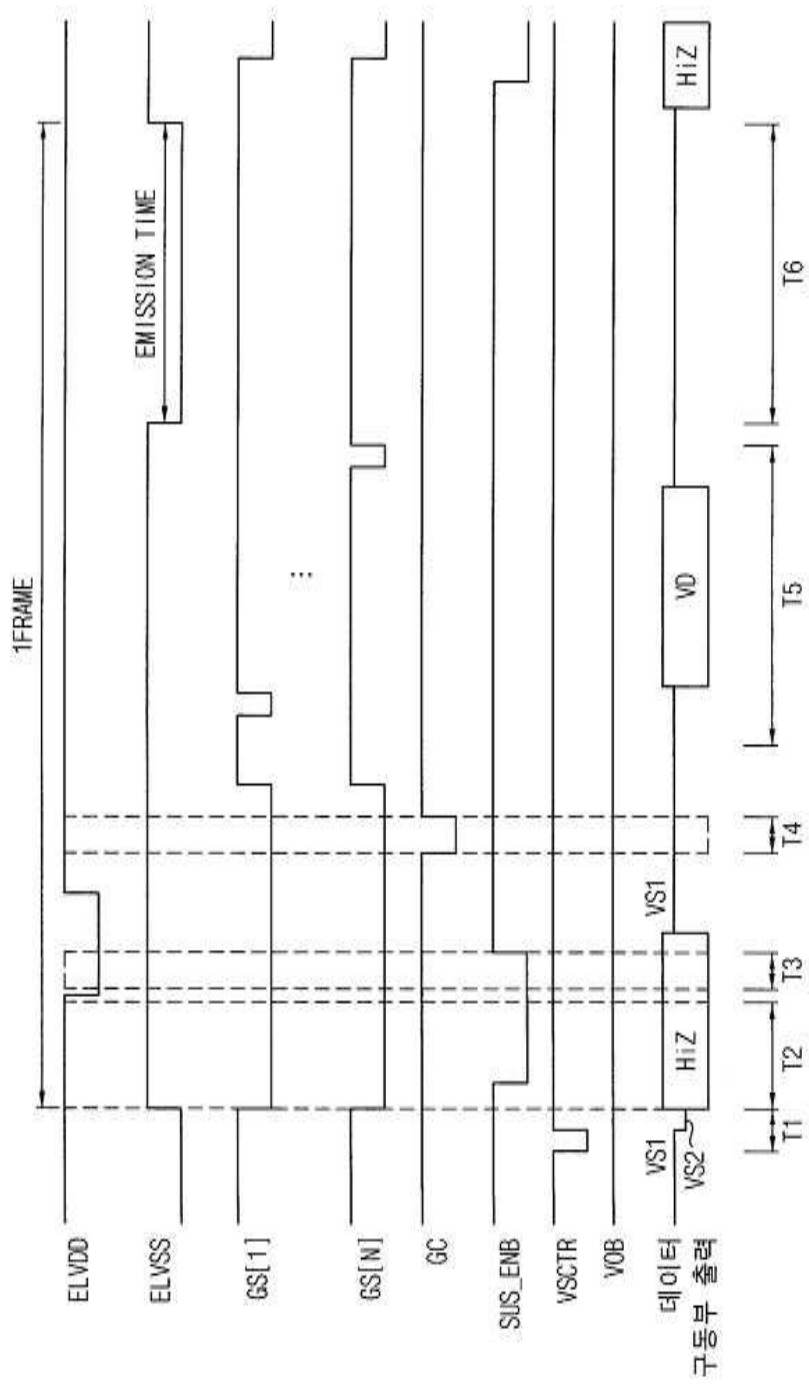
도면2



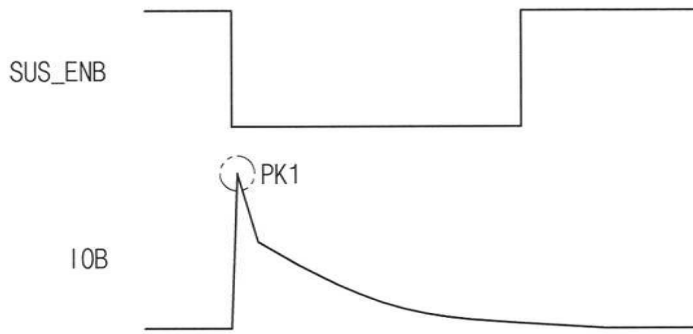
도면3



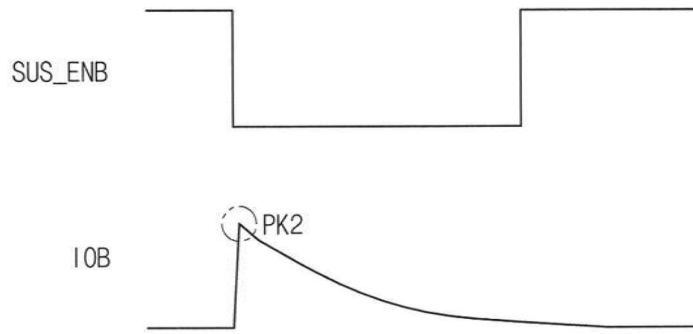
도면4



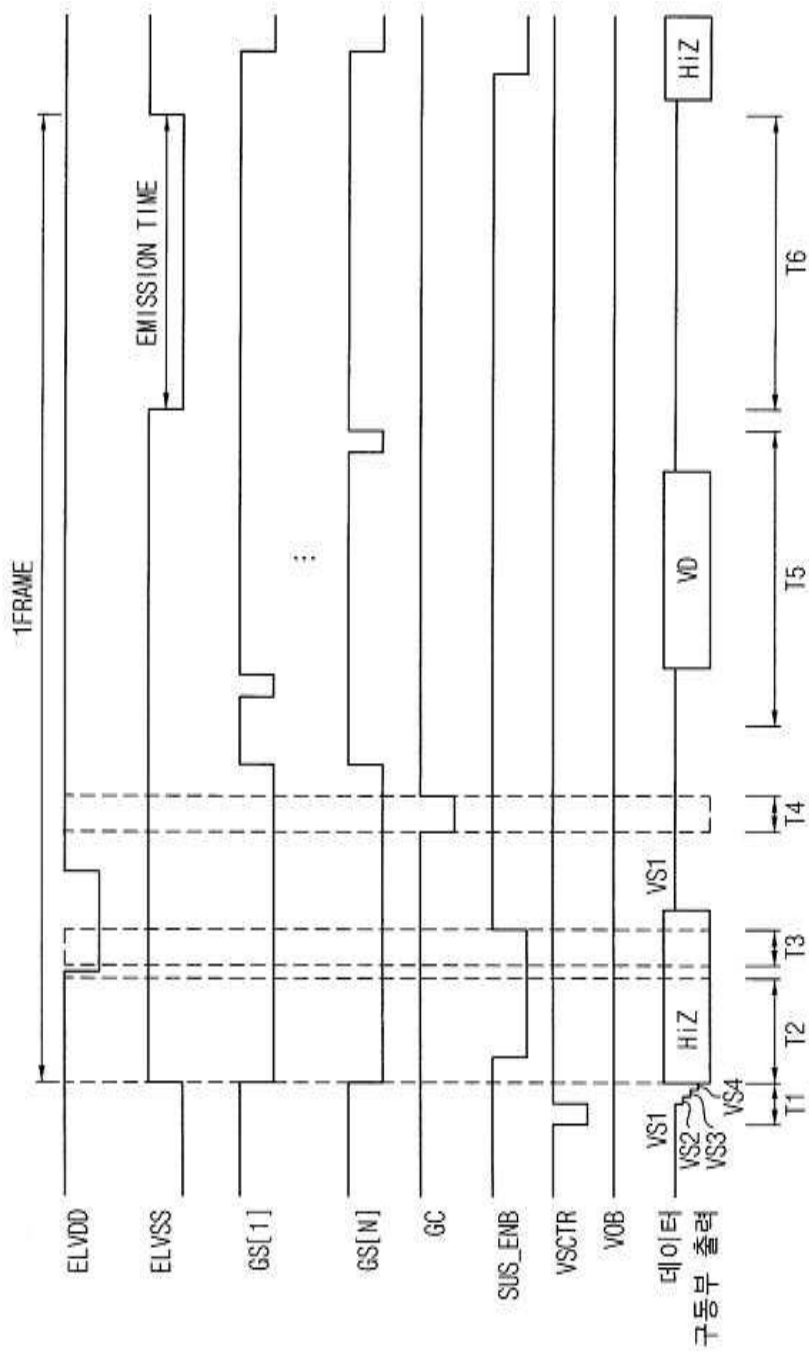
도면5a



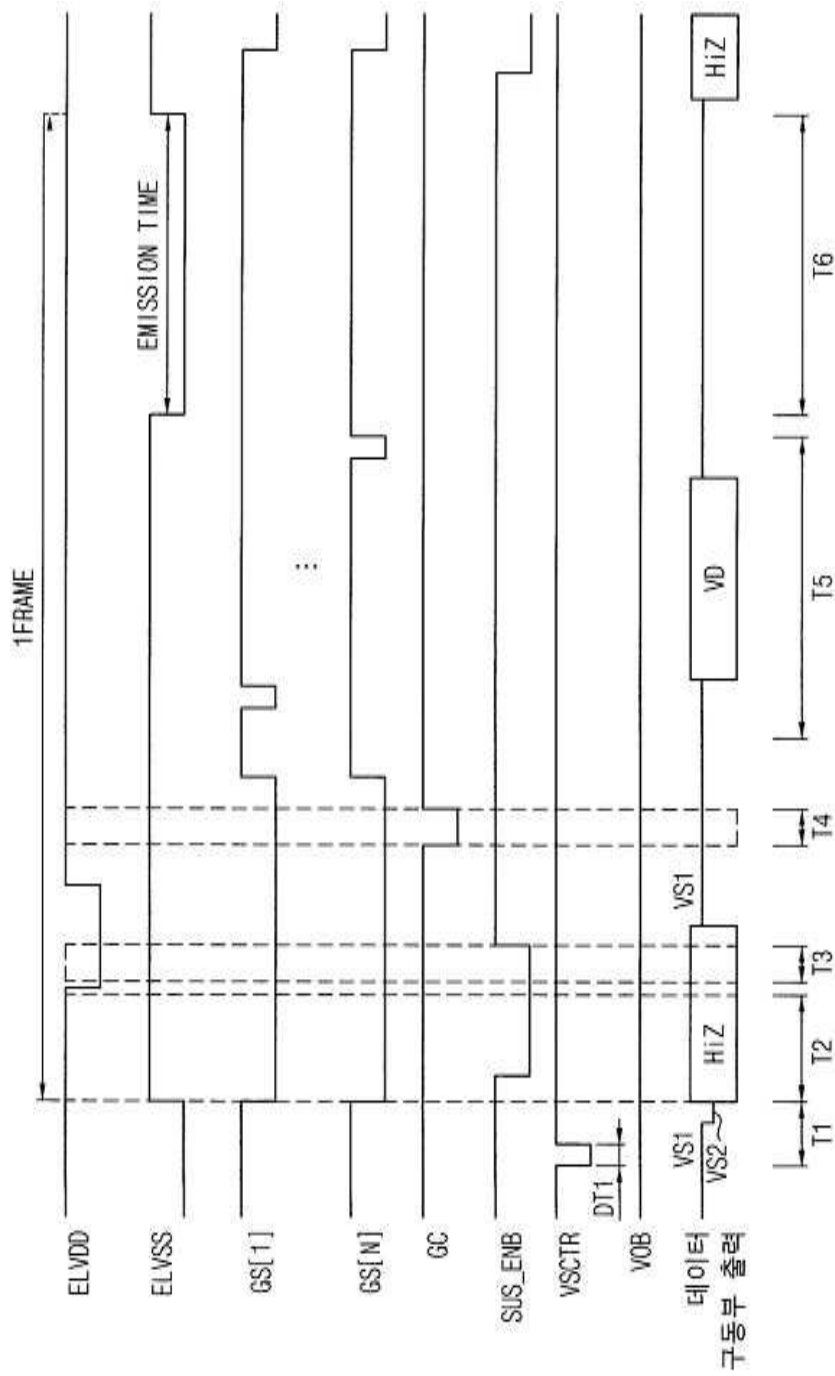
도면5b



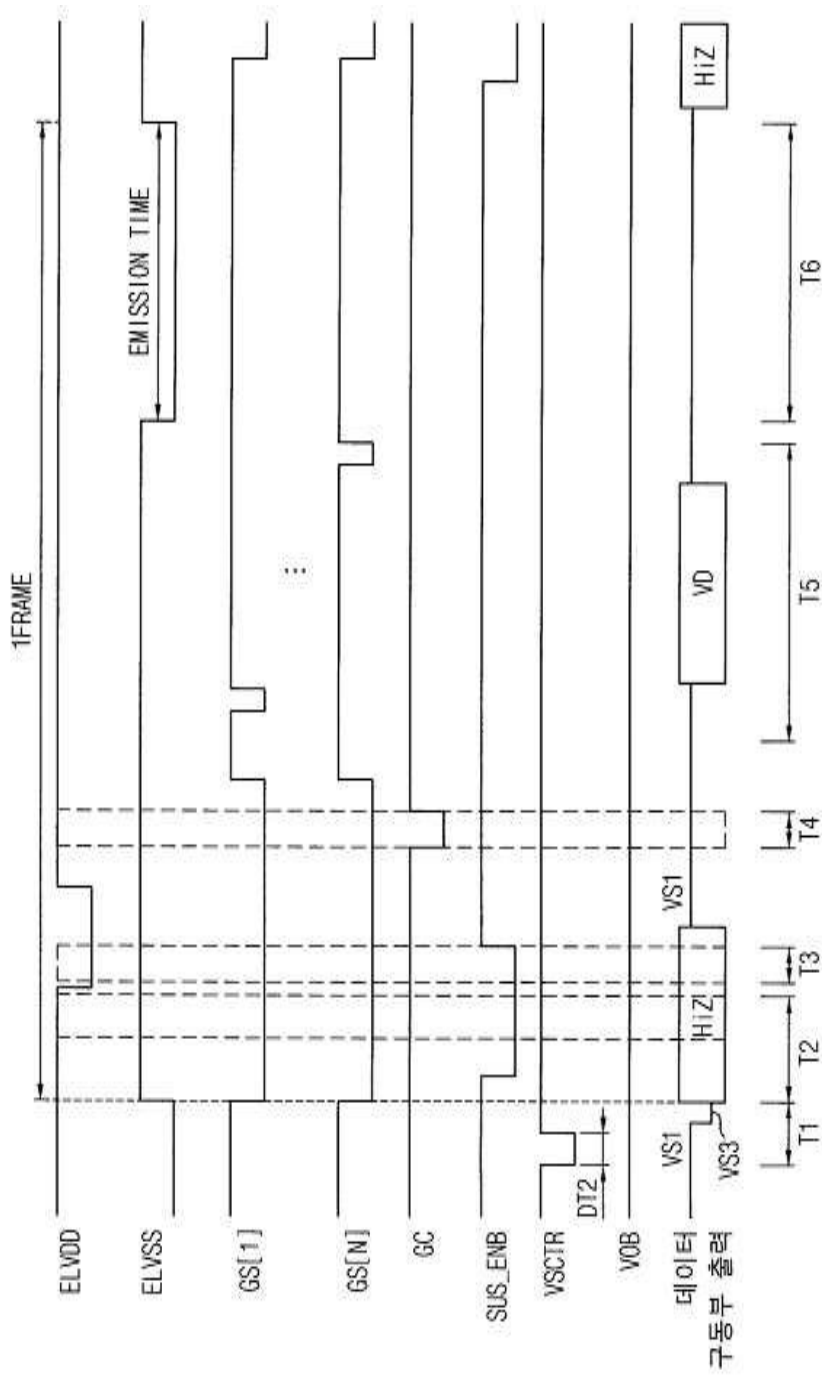
도면6



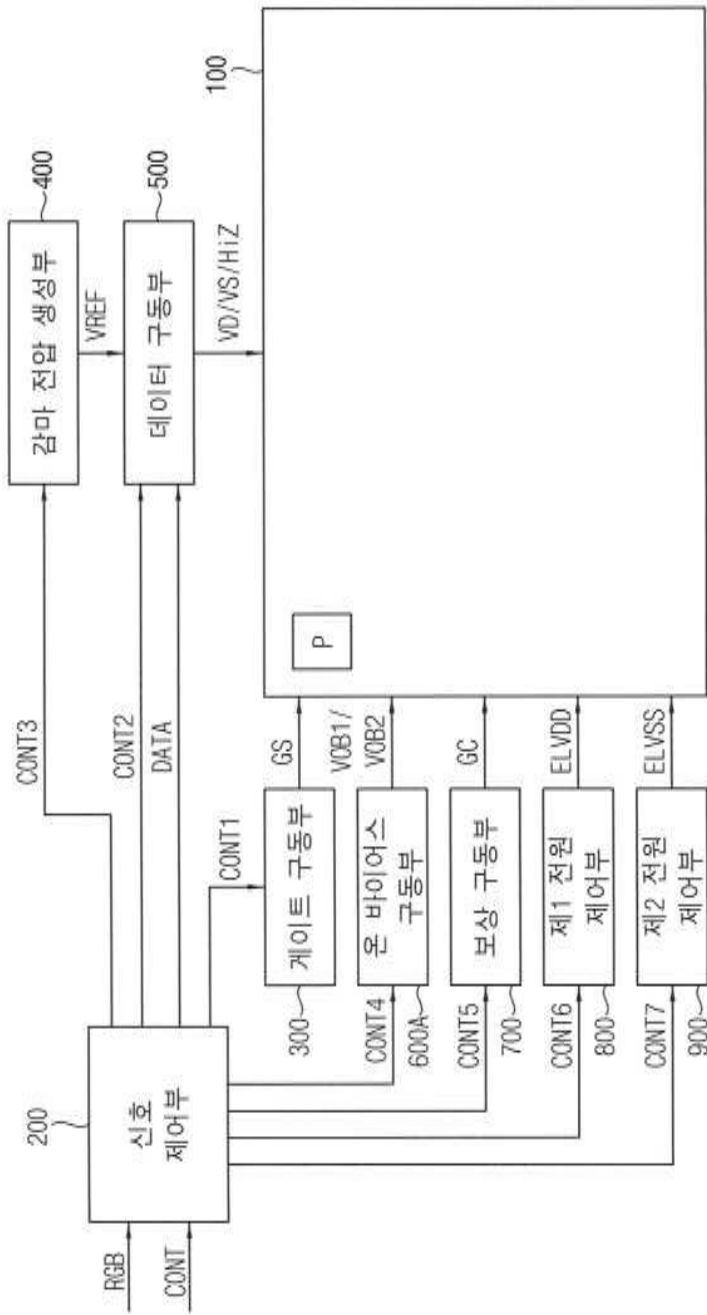
도면7a



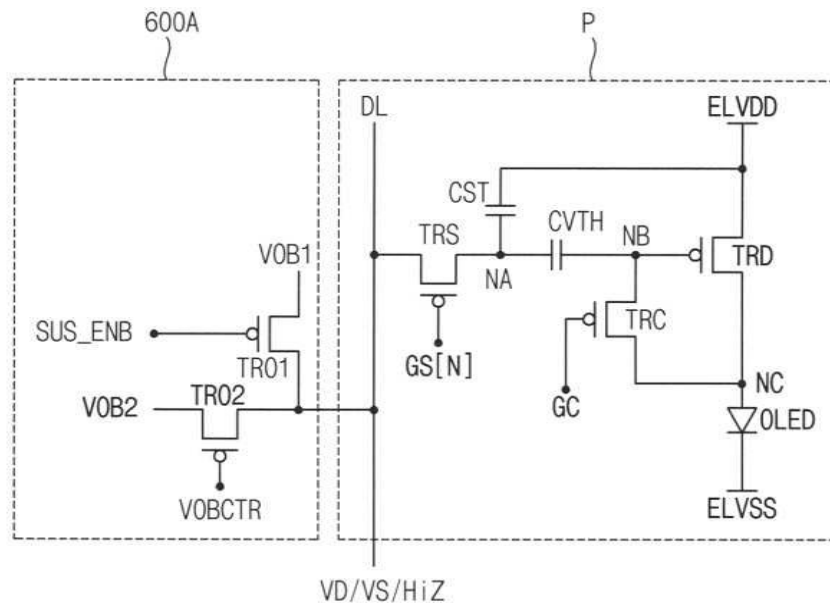
도면7b



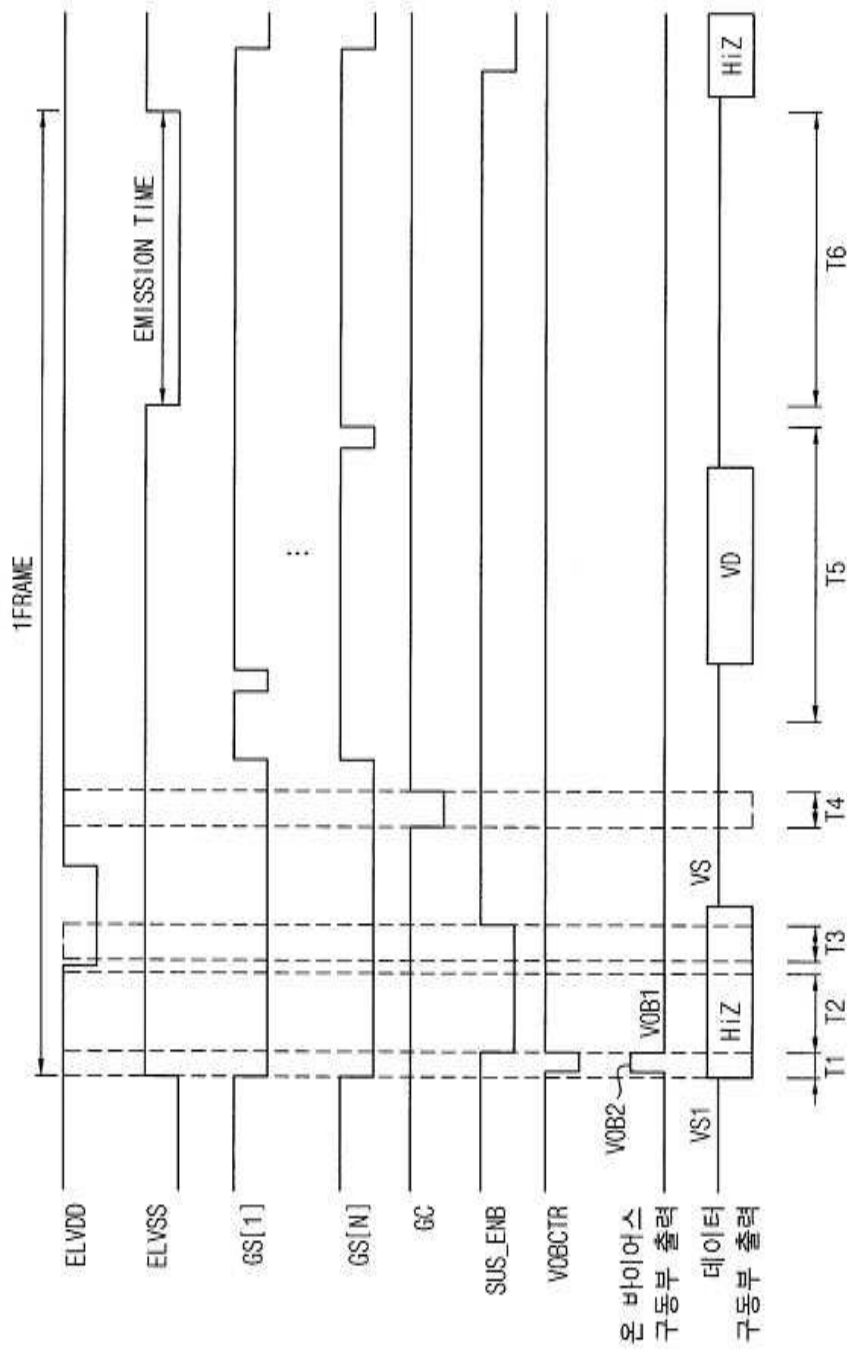
도면8



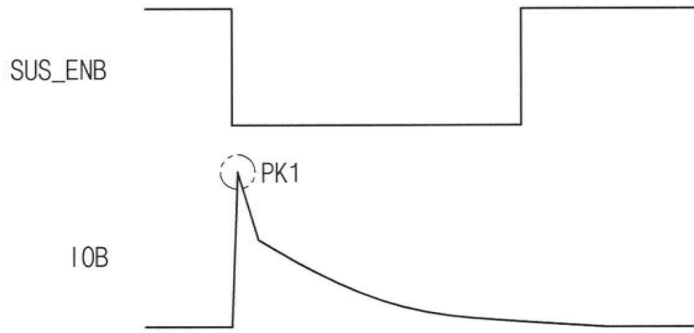
도면9



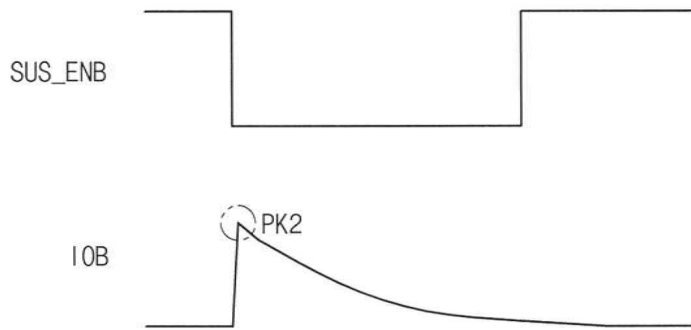
도면10



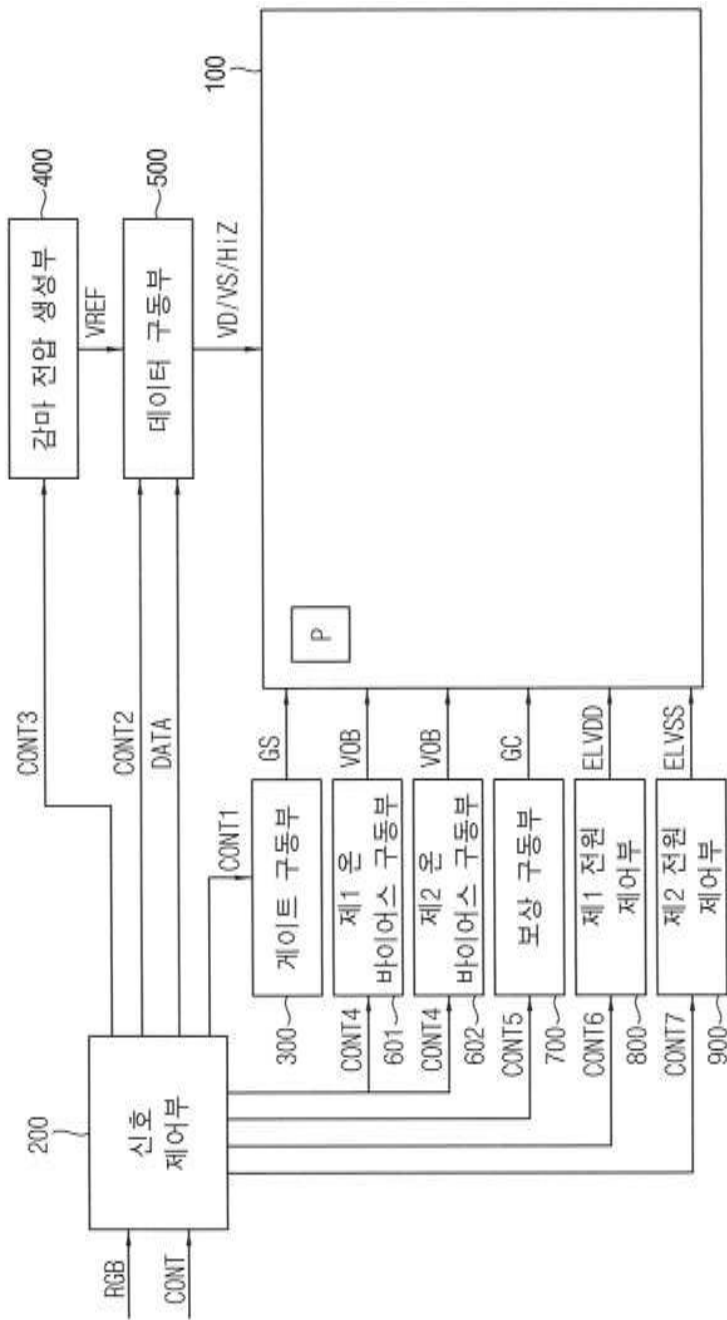
도면11a



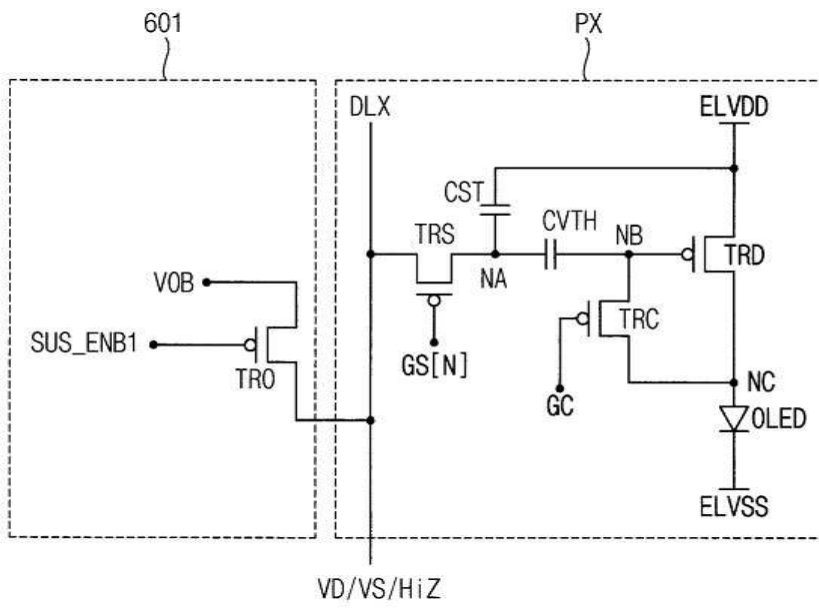
도면11b



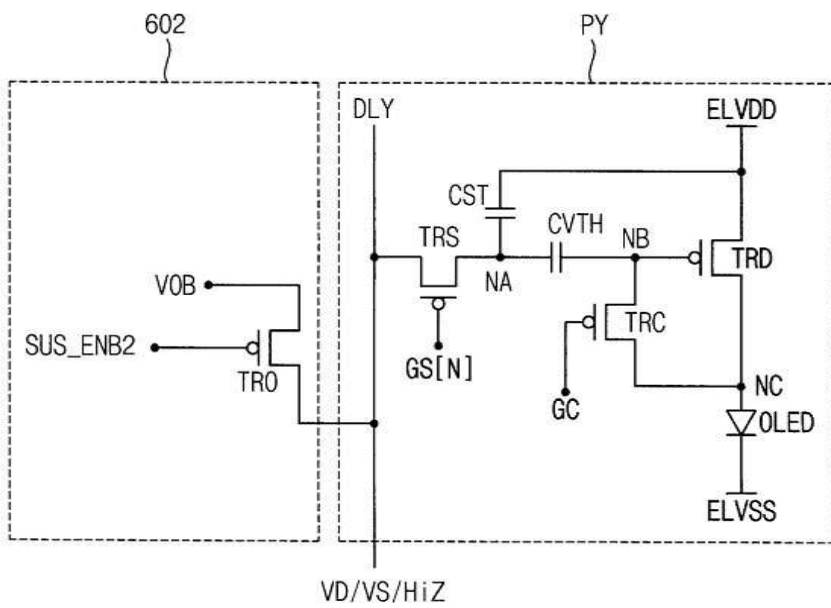
도면12



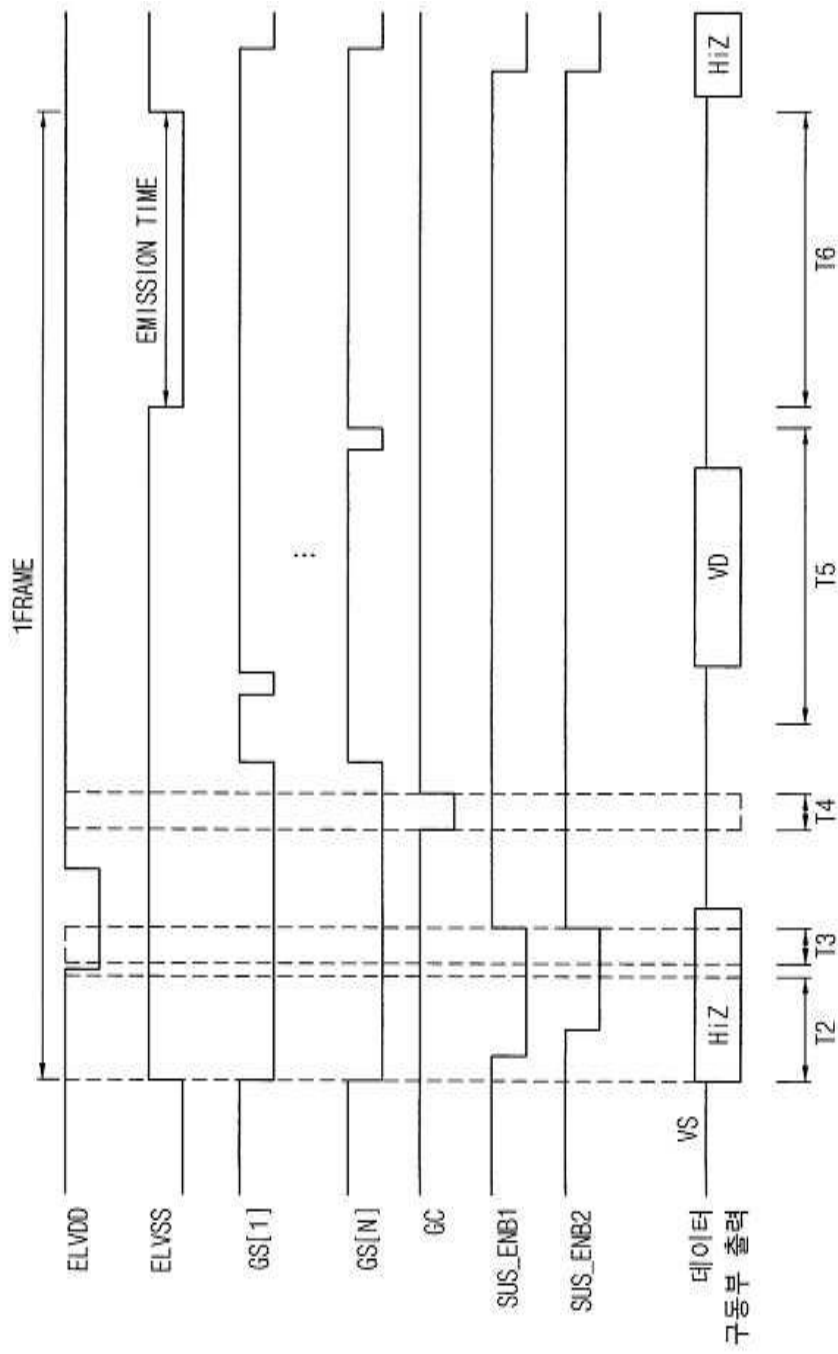
도면13a



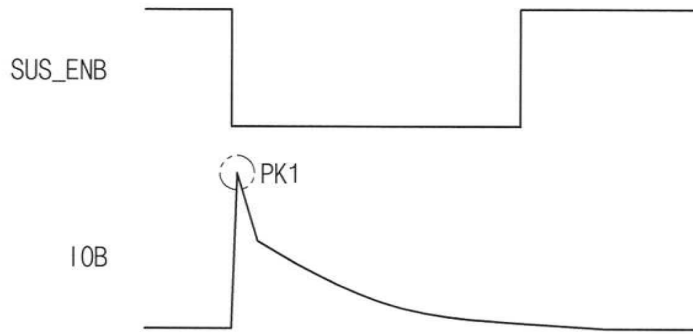
도면13b



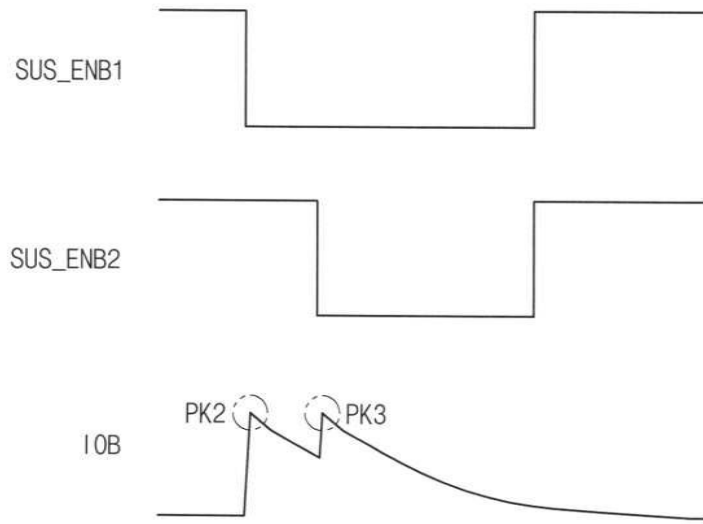
도면14



도면15a



도면15b



专利名称(译)	标题：驱动显示板的方法和用于执行该显示板的显示装置		
公开(公告)号	KR1020170083689A	公开(公告)日	2017-07-19
申请号	KR1020160002745	申请日	2016-01-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SOO KYUNG 김수경 LEE HYO JIN 이효진 CHAE DONG HOON 채동훈		
发明人	김수경 이효진 채동훈		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2230/00 G09G2330/04 G09G3/3258 G09G3/3208 G09G3/3266 G09G3/3291 G09G2300/043 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2310/0251 G09G2310/061 G09G2310/08 G09G2320/043 H01L27/3276		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

驱动显示面板的方法包括在导通偏置时段期间通过数据线向像素施加导通偏置电压，以改变像素的驱动晶体管的控制电极的电压电平，在扫描周期期间通过数据线顺序地向像素施加数据电压，并且在发光时段期间接通像素的有机发光元件。在导通偏置时段之前的导通偏置补偿时段期间调整施加到数据线的保持电压或导通偏置电压的电平。

