



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077921
(43) 공개일자 2017년07월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0187568

(22) 출원일자 2015년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

엄은철

전라북도 김제시 금구면 양시로 215-7 (금구리)

(74) 대리인

특허법인로알

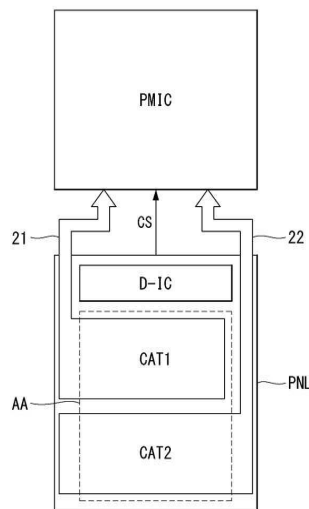
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기 발광 표시장치와 이를 이용한 개인 몰입형 장치

(57) 요약

본 발명은 유기 발광 표시장치와 이를 이용한 개인 몰입형 장치에 관한 것이다. 이 유기 발광 표시장치는 각각 다수의 픽셀들이 배치되고 캐소드가 둘 이상으로 분할되어 둘 이상의 블록들로 분할 구동되는 표시패널들, 스위치 제어 신호에 응답하여 제1 캐소드에 고전위 전원 전압을 공급함과 동시에 제2 캐소드에 저전위 전원 전압을 공급한 후에, 제2 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 제1 캐소드에 상기 저전위 전원 전압을 공급하는 전원 집적 회로, 및 상기 스위치 제어 신호를 발생하여 상기 전원 집적 회로를 제어하는 구동 회로를 포함하여 프레임 레이트나 표시패널의 해상도를 높이더라도 픽셀들의 구동 시간을 충분히 확보할 수 있다.

대표도 - 도2



(52) CPC특허분류
G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

각각 다수의 픽셀들이 배치되고 캐소드가 둘 이상으로 분할되어 둘 이상의 블록들로 분할 구동되는 표시패널;

스위치 제어 신호에 응답하여 제1 캐소드에 고전위 전원 전압을 공급함과 동시에 제2 캐소드에 저전위 전원 전압을 공급한 후에, 제2 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 제1 캐소드에 상기 저전위 전원 전압을 공급하는 전원 집적 회로; 및

상기 스위치 제어 신호를 발생하여 상기 전원 집적 회로를 제어하는 구동 회로를 포함하는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 구동 회로는 상기 제1 캐소드가 배치된 제1 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제2 캐소드가 배치된 제2 블록의 픽셀들을 발광시킨 후, 상기 제2 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제1 블록의 픽셀들을 발광시키는 구동 회로를 포함하는 유기 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 전원 집적 회로는

상기 고전위 전원 전압을 발생하는 전원 발생부;

상기 스위치 제어 신호를 상기 캐소드의 분할 개수 만큼 분주하여, 상기 스위치 제어 신호 보다 주파수가 낮고 주기가 길으며 서로 위상차를 가지는 다수의 스위치 신호들을 발생하는 스위치 제어부;

상기 고전위 전원 전압, 상기 저전위 전원 전압, 로직 전원 전압 및 상기 스위치 신호들을 입력 받아 상기 분할된 캐소드들의 전압을 상기 고전위 전원 전압과 상기 저전위 전원 전압 사이에서 스위칭하는 스위치부를 포함하는 유기 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 스위치부는,

반전된 제1 스위치 신호에 응답하여 상기 제1 캐소드에 상기 저전위 전원 전압을 공급하고, 상기 제1 스위치 신호에 응답하여 제1 캐소드에 상기 고전위 전원 전압을 공급하는 제1 스위치 회로; 및

반전된 제2 스위치 신호에 응답하여 상기 제2 캐소드에 상기 저전위 전원 전압을 공급하고, 제2 스위치 신호에 응답하여 상기 제2 캐소드에 고전위 전원 전압을 공급하는 제2 스위치 회로를 포함하는 유기 발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제1 스위치 회로는,

상기 반전된 제1 스위치 신호에 응답하여 상기 제1 캐소드에 저전위 전원 전압을 공급하는 제1 트랜지스터; 및

상기 제1 스위치 신호에 응답하여 상기 고전위 전원 전압을 상기 제1 캐소드에 공급하는 제21, 제22 및 제23 트랜지스터들을 포함하고,

상기 제1 트랜지스터는 상기 반전된 제1 스위치 신호가 공급되는 게이트, 상기 제1 캐소드에 연결된 드레인, 및

상기 저전위 전원 전압이 공급되는 소스를 포함하고,

상기 제21 트랜지스터는 상기 제1 스위치 신호가 공급되는 게이트, 상기 로직 전원 전압이 공급되는 드레인, 및 상기 제22 트랜지스터의 게이트에 연결된 소스를 포함하고,

상기 제22 트랜지스터는 상기 제21 트랜지스터의 소스에 연결된 게이트, 상기 제1 캐소드에 연결된 드레인, 및 상기 제23 트랜지스터의 드레인에 연결된 소스를 포함하고,

상기 제23 트랜지스터는 상기 제21 트랜지스터의 소스와 상기 제22 트랜지스터의 게이트 사이의 노드에 연결된 게이트, 상기 제22 트랜지스터의 소스에 연결된 드레인, 및 상기 고전위 전원 전압이 공급되는 소스를 포함하며,

상기 제23 트랜지스터의 게이트와 소스 사이에 제1 저항이 연결되고,

상기 제1 및 제21 트랜지스터들은 n 타입 MOSFET(metal oxide semiconductor)이고,

상기 제22 및 제23 트랜지스터들이 p 타입 MOSFET인 유기 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제2 스위치 회로는,

상기 반전된 제2 스위치 신호에 응답하여 상기 제2 캐소드에 저전위 전원 전압을 공급하는 제3 트랜지스터;

상기 제2 스위치 신호에 응답하여 상기 제2 캐소드에 상기 고전위 전원 전압을 공급하는 제41, 제42 및 제43 트랜지스터들을 포함하고,

상기 제3 트랜지스터는 상기 반전된 제2 스위치 신호가 공급되는 게이트, 상기 제2 캐소드에 연결된 드레인, 및 상기 저전위 전원 전압이 공급되는 소스를 포함하고,

상기 제41 트랜지스터는 상기 제2 스위치 신호가 공급되는 게이트, 상기 로직 전원 전압이 공급되는 드레인, 및 상기 제42 트랜지스터의 게이트에 연결된 소스를 포함하고,

상기 제42 트랜지스터는 상기 제41 트랜지스터의 소스에 연결된 게이트, 상기 제2 캐소드에 연결된 드레인, 및 상기 제43 트랜지스터의 드레인에 연결된 소스를 포함하고,

상기 제43 트랜지스터는 상기 제21 트랜지스터의 소스와 상기 제42 트랜지스터의 게이트 사이의 노드에 연결된 게이트, 상기 제42 트랜지스터의 소스에 연결된 드레인, 및 상기 고전위 전원 전압이 공급되는 소스를 포함하며,

상기 제43 트랜지스터의 게이트와 소스 사이에 제2 저항이 연결된다.

상기 제3 및 제41 트랜지스터들은 상기 n 타입 MOSFET이고,

상기 제42 및 제43 트랜지스터들이 p 타입 MOSFET인 유기 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 스위치 제어부는

T 입력 단자에 상기 스위치 제어 신호가 입력되고, 상기 스위치 제어 신호가 하이 논리일 때 반전되는 Q 출력 단자, 상기 Q 출력 단자의 반전 신호를 출력하는 Q' 출력 단자를 가지는 T 플립플롭;

상기 스위치 제어 신호와 상기 Q 출력 단자 신호의 논리곱 연산 결과를 상기 제1 스위치 신호로서 출력하는 제1 AND 게이트; 및

상기 스위치 제어 신호와 상기 Q' 출력 단자 신호의 논리곱 연산 결과를 상기 제2 스위치 신호로서 출력하는 제2 AND 게이트를 포함하는 유기 발광 표시장치.

청구항 8

제1 표시패널을 구동하는 제1 드라이브 집적회로;

제2 표시패널을 구동하는 제2 드라이브 집적회로; 및

상기 제1 및 제2 표시패널들의 구동에 필요한 전원을 발생하여 상기 제1 및 제2 드라이브 IC에 공급하는 전원 집적 회로를 포함하고,

상기 제1 표시패널은 다수의 픽셀들이 배치되고 캐소드가 적어도 제1 및 제2 캐소드들로 분할되어 제1 및 제2 블록들로 분할 구동되고,

상기 제2 표시패널은 다수의 픽셀들이 배치되고 캐소드가 적어도 제3 및 제4 캐소드들로 분할되어 제3 및 제4 블록들로 분할 구동되고,

상기 전원 집적 회로는 스위치 제어 신호에 응답하여 상기 제1 캐소드에 고전위 전원 전압을 공급함과 동시에 상기 제2 캐소드에 저전위 전원 전압을 공급한 후에, 상기 제2 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제1 캐소드에 상기 저전위 전원 전압을 공급하고,

상기 전원 집적 회로는 상기 스위치 제어 신호에 응답하여 상기 제3 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제4 캐소드에 상기 저전위 전원 전압을 공급한 후에, 상기 제4 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제3 캐소드에 상기 저전위 전원 전압을 공급하고,

상기 제1 및 제2 드라이브 집적회로들 중 적어도 어느 하나는 상기 스위치 제어 신호를 발생하여 상기 전원 집적 회로를 제어하는 개인 몰입형 장치.

청구항 9

제 8 항에 있어서,

상기 제1 드라이브 집적 회로는 상기 제1 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제2 블록의 픽셀들을 발광시킨 후, 상기 제2 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제1 블록의 픽셀들을 발광시키고,

상기 제2 드라이브 집적 회로는 상기 제3 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제4 블록의 픽셀들을 발광시킨 후, 상기 제4 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제3 블록의 픽셀들을 발광시키는 개인 몰입형 장치.

청구항 10

제 9 항에 있어서,

상기 전원 집적 회로는

상기 고전위 전원 전압을 발생하는 전원 발생부;

상기 스위치 제어 신호를 상기 캐소드의 분할 개수 만큼 분주하여, 상기 스위치 제어 신호 보다 주파수가 낮고 주기가 길으며 서로 위상차를 가지는 다수의 스위치 신호들을 발생하는 스위치 제어부;

상기 고전위 전원 전압, 상기 저전위 전원 전압, 로직 전원 전압 및 상기 스위치 신호들을 입력 받아 상기 분할된 캐소드들의 전압을 상기 고전위 전원 전압과 상기 저전위 전원 전압 사이에서 스위칭하는 스위치부를 포함하는 개인 몰입형 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시장치와 이를 이용한 개인 몰입형 장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기 발광 표시장치는 스스로 발광하는 유기 발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron

transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함한다. OLED의 애노드와 캐소드에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

- [0003] OLED 표시장치는 듀티 구동 방법(duty driving method)으로 구동될 수 있다. 듀티 구동 방법은 화면이 주기적으로 깜빡이는 플리커(flicker)와 모션 블러(motion blur)를 개선할 수 있다. 듀티 구동 방법은 1 프레임 기간 내의 일부 시간을 픽셀들을 발광(또는 점등) 구간과 비발광(또는 소등) 구간으로 나누어 픽셀들을 점등 및 소등한다. 그런데 프레임 레이트(Frame rate)가 높아지거나 표시패널의 해상도가 증가하면 픽셀들의 발광 시간이 부족하게 된다. 특히, 픽셀들이 듀티 구동 방법으로 구현되는 경우에 데이터 어드레싱을 위한 스캔 기간 이후에 발광 기간과 비발광 기간이 확보되어야 하므로 픽셀 발광 시간이 더 부족하게 된다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 프레임 레이트나 표시패널의 해상도를 높이더라도 픽셀들의 구동 시간을 충분히 확보할 수 있는 유기 발광 표시장치와 이를 이용한 개인 몰입형 장치를 제공한다.

과제의 해결 수단

- [0005] 본 발명의 유기 발광 표시장치는 각각 다수의 픽셀들이 배치되고 캐소드가 둘 이상으로 분할되어 둘 이상의 블록들로 분할 구동되는 표시패널, 스위치 제어 신호에 응답하여 제1 캐소드에 고전위 전원 전압을 공급함과 동시에 제2 캐소드에 저전위 전원 전압을 공급한 후에, 제2 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 제1 캐소드에 상기 저전위 전원 전압을 공급하는 전원 집적 회로, 및 상기 스위치 제어 신호를 발생하여 상기 전원 집적 회로를 제어하는 구동 회로를 포함한다.
- [0006] 상기 구동 회로는 상기 제1 캐소드가 배치된 제1 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제2 캐소드가 배치된 제2 블록의 픽셀들을 발광시킨 후, 상기 제2 블록의 픽셀들에 데이터를 어드레싱하는 동안 상기 제1 블록의 픽셀들을 발광시키는 구동 회로를 포함한다.
- [0007] 상기 전원 집적 회로는 상기 고전위 전원 전압을 발생하는 전원 발생부; 상기 스위치 제어 신호를 상기 캐소드의 분할 개수 만큼 분주하여 상기 스위치 제어 신호 보다 주파수가 낮고 주기가 길으며 서로 위상차를 가지는 다수의 스위치 신호들을 발생하는 스위치 제어부, 상기 고전위 전원 전압, 상기 저전위 전원 전압, 로직 전원 전압 및 상기 스위치 신호들을 입력 받아 상기 분할된 캐소드들의 전압을 상기 고전위 전원 전압과 상기 저전위 전원 전압 사이에서 스위칭하는 스위치부를 포함한다.
- [0008] 상기 스위치부는 반전된 제1 스위치 신호에 응답하여 상기 제1 캐소드에 상기 저전위 전원 전압을 공급하고, 상기 제1 스위치 신호에 응답하여 제1 캐소드에 상기 고전위 전원 전압을 공급하는 제1 스위치 회로, 및 반전된 제2 스위치 신호에 응답하여 상기 제2 캐소드에 상기 저전위 전원 전압을 공급하고, 제2 스위치 신호에 응답하여 상기 제2 캐소드에 고전위 전원 전압을 공급하는 제2 스위치 회로를 포함한다.
- [0009] 상기 제1 스위치 회로는 상기 반전된 제1 스위치 신호에 응답하여 상기 제1 캐소드에 저전위 전원 전압을 공급하는 제1 트랜지스터, 및 상기 제1 스위치 신호에 응답하여 상기 고전위 전원 전압을 상기 제1 캐소드에 공급하는 제21, 제22 및 제23 트랜지스터들을 포함한다.
- [0010] 상기 제1 트랜지스터는 상기 반전된 제1 스위치 신호가 공급되는 게이트, 상기 제1 캐소드에 연결된 드레인, 및 상기 저전위 전원 전압이 공급되는 소스를 포함한다. 상기 제21 트랜지스터는 상기 제1 스위치 신호가 공급되는 게이트, 상기 로직 전원 전압이 공급되는 드레인, 및 상기 제22 트랜지스터의 게이트에 연결된 소스를 포함한다. 상기 제22 트랜지스터는 상기 제21 트랜지스터의 소스에 연결된 게이트, 상기 제1 캐소드에 연결된 드레인, 및 상기 제23 트랜지스터의 드레인에 연결된 소스를 포함한다. 상기 제23 트랜지스터는 상기 제21 트랜지스터의 소스와 상기 제22 트랜지스터의 게이트 사이의 노드에 연결된 게이트, 상기 제22 트랜지스터의 소스에 연결된 드레인, 및 상기 고전위 전원 전압이 공급되는 소스를 포함한다. 상기 제23 트랜지스터의 게이트와 소스 사이에 제1 저항이 연결된다. 상기 제1 및 제21 트랜지스터들은 n 타입 MOSFET(metal oxide semiconductor)이고, 상기 제22 및 제23 트랜지스터들이 p 타입 MOSFET이다.
- [0011] 상기 제2 스위치 회로는 상기 반전된 제2 스위치 신호에 응답하여 상기 제2 캐소드에 저전위 전원 전압을 공급하는 제3 트랜지스터, 상기 제2 스위치 신호에 응답하여 상기 제2 캐소드에 상기 고전위 전원 전압을 공급하는

제41, 제42 및 제43 트랜지스터들을 포함한다.

[0012] 상기 제3 트랜지스터는 상기 반전된 제2 스위치 신호가 공급되는 게이트, 상기 제2 캐소드에 연결된 드레인, 및 상기 저전위 전원 전압이 공급되는 소스를 포함한다. 상기 제41 트랜지스터는 상기 제2 스위치 신호가 공급되는 게이트, 상기 로직 전원 전압이 공급되는 드레인, 및 상기 제42 트랜지스터의 게이트에 연결된 소스를 포함한다. 상기 제42 트랜지스터는 상기 제41 트랜지스터의 소스에 연결된 게이트, 상기 제2 캐소드에 연결된 드레인, 및 상기 제43 트랜지스터의 드레인에 연결된 소스를 포함한다. 상기 제43 트랜지스터는 상기 제21 트랜지스터의 소스와 상기 제42 트랜지스터의 게이트 사이의 노드에 연결된 게이트, 상기 제42 트랜지스터의 소스에 연결된 드레인, 및 상기 고전위 전원 전압이 공급되는 소스를 포함한다. 상기 제43 트랜지스터의 게이트와 소스 사이에 제2 저항이 연결된다. 상기 제3 및 제41 트랜지스터들은 상기 n 타입 MOSFET이고, 상기 제42 및 제43 트랜지스터들이 p 타입 MOSFET이다.

[0013] 상기 스위치 제어부는 T 입력 단자에 상기 스위치 제어 신호가 입력되고, 상기 스위치 제어 신호가 하이 논리일 때 반전되는 Q 출력 단자, 상기 Q 출력 단자의 반전 신호를 출력하는 Q' 출력 단자를 가지는 T 플립플롭, 상기 스위치 제어 신호와 상기 Q 출력 단자 신호의 논리곱 연산 결과를 상기 제1 스위치 신호로서 출력하는 제1 AND 게이트, 및 상기 스위치 제어 신호와 상기 Q' 출력 단자 신호의 논리곱 연산 결과를 상기 제2 스위치 신호로서 출력하는 제2 AND 게이트를 포함한다.

[0014] 본 발명의 개인 몰입형 장치는 제1 표시패널을 구동하는 제1 드라이브 집적회로, 제2 표시패널을 구동하는 제2 드라이브 집적회로, 및 상기 제1 및 제2 표시패널들의 구동에 필요한 전원을 발생하여 상기 제1 및 제2 드라이브 IC에 공급하는 전원 집적 회로를 포함한다. 상기 제1 표시패널은 다수의 픽셀들이 배치되고 캐소드가 적어도 제1 및 제2 캐소드들로 분할되어 제1 및 제2 블록들로 분할 구동된다. 상기 제2 표시패널은 다수의 픽셀들이 배치되고 캐소드가 적어도 제3 및 제4 캐소드들로 분할되어 제3 및 제4 블록들로 분할 구동된다. 상기 전원 집적 회로는 스위치 제어 신호에 응답하여 상기 제1 캐소드에 고전위 전원 전압을 공급함과 동시에 상기 제2 캐소드에 저전위 전원 전압을 공급한 후에, 상기 제2 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제1 캐소드에 상기 저전위 전원 전압을 공급한다. 상기 전원 집적 회로는 상기 스위치 제어 신호에 응답하여 상기 제3 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제4 캐소드에 상기 저전위 전원 전압을 공급한 후에, 상기 제4 캐소드에 상기 고전위 전원 전압을 공급함과 동시에 상기 제3 캐소드에 상기 저전위 전원 전압을 공급한다. 상기 제1 및 제2 드라이브 집적회로들 중 적어도 어느 하나는 상기 스위치 제어 신호를 발생하여 상기 전원 집적 회로를 제어한다.

발명의 효과

[0015] 본 발명의 유기 발광 표시장치는 표시패널의 캐소드를 분리하여 표시패널을 둘 이상으로 분할 구동하고 하나 이상의 블록에서 픽셀들에 데이터를 어드레싱하는 동안 다른 블록의 픽셀들을 동시에 발광시킴으로써 프레임 레이트나 표시패널의 해상도를 높이더라도 픽셀들의 구동 시간을 충분히 확보할 수 있다. 본 발명은 개인 몰입형 장치는 상기 유기 발광 표시장치를 이용하여 제1 및 제2 표시패널에 표시되는 입체 영상의 몰입도와 피로감을 개선할 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 유기 발광 표시장치에서 픽셀의 온/오프를 스위칭하는 원리를 보여 주는 도면이다.

도 2 내지 도 4는 본 발명의 실시예에 따른 유기 발광 표시장치에서 온 픽셀들의 구동 시간을 충분히 확보하기 위하여, 표시패널(PNL)을 캐소드로 분리된 둘 이상으로 블록들로 분할한다.

도 5는 표시패널 내에서 블록들 간에 데이터 어드레싱과 발광이 동시에 처리되는 동작을 보여 주는 도면이다.

도 6은 전원 집적 회로 내의 캐소드 전압 제어 부분의 회로 구성을 간략히 보여 주는 도면이다.

도 7은 도 6에 도시된 스위치부 구성을 보여 주는 도면이다.

도 8은 도 7에 도시된 스위치부를 상세히 보여 주는 회로도이다.

도 9는 도 8에 도시된 스위치들을 제어하는 스위치 신호를 보여 주는 파형도이다.

도 10은 도 6에 도시된 스위치 제어부의 일 예를 상세히 보여 주는 회로도이다.

도 11은 본 발명의 실시예에 따른 개인 몰입형 장치를 보여 주는 분해 사시도이다.

도 12는 도 11에 도시된 디스플레이 모듈에서 제1 및 제2 표시패널을 보여 주는 도면이다.

도 13은 도 12에 도시된 제1 및 제2 표시패널 간의 거리를 보여 주는 도면이다.

도 14 내지 도 16은 본 발명의 응답 속도 측정 결과를 보여 주는 도면들이다.

도 17은 본 발명의 실시예에 따른 유기 발광 표시장치의 구동 회로를 보여 주는 블록도이다.

도 18은 도 17에 도시된 픽셀 어레이의 일부를 간략하게 보여 주는 도면이다.

도 19는 픽셀 회로의 일 예를 보여 주는 등가 회로도이다.

도 20은 도 19에 도시된 픽셀에 입력되는 신호들을 보여 주는 파형도이다.

도 21은 본 발명의 실시예에 따른 개인 몰입형 장치에서 표시패널들과 PMIC의 연결 관계를 보여 주는 도면이다.

도 22는 도 21에 도시된 드라이브 IC를 상세히 보여 주는 도면이다.

도 23은 도 21에 도시된 표시패널들의 데이터 어드레싱과 발광 동작을 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명은 유기 발광 표시장치의 화면을 둘 이상의 블록들로 분할하고, 적어도 어느 하나 이상의 블록에 배치된 픽셀들이 동시에 발광함과 동시에 다른 하나 이상의 블록에 배치된 픽셀들에 데이터를 어드레싱한다. 따라서, 본 발명은 프레임 레이트나 표시패널의 해상도가 높아지더라도 픽셀 구동 시간을 안정적으로 확보할 수 있다. 본 발명은 이렇게 구동되는 유기 발광 표시장치를 가상 현실을 보여 주는 개인 몰입형 장치에 적용할 수 있다.
- [0018] 가상 현실 기술은 국방, 건축, 관광, 영화, 멀티미디어, 게임 분야 등에 적용되고 있다. 가상 현실은 입체 영상 기술을 이용하여 실제 환경과 유사하게 느껴지는 특정한 환경, 상황을 의미한다.
- [0019] 가상 현실의 몰입감을 극대화하기 위하여, 개인 몰입형 장치에 가상 현실 기술이 적용되고 있다. HMD(Head Mounted Display), FMD(Face Mounted Display), EGD(Eye Glasses-type Display) 등이 대표적인 개인 몰입형 장치이다.
- [0020] 개인 몰입형 장치는 불편한 외형 디자인과 입체 영상의 입체감, 몰입감, 피로도 등에서 기대 만큼 성능이 향상되지 않고 있다. 최근에는 스마트폰(smart phone)을 이용하여 가상 현실을 구현하기 위하여 스마트폰의 표시패널에 입체 영상을 표시하고, 그 스마트폰을 사용자가 착용한 HMD 기구에 착용하는 방법이 있다. 스마트폰의 표시장치는 가상 현실 최적화 설계가 적용되어 있지 않기 때문에 스마트폰을 이용한 가상 현실 이미지 표시방법은 수준 높은 가상 현실을 구현할 수 없다.
- [0021] 개인 몰입형 장치의 표시패널을 좌안용 표시패널과 우안용 표시패널로 분리할 수 있다. 본 발명의 개인 몰입형 장치는 두 개의 표시패널을 동시에 구동하기 위하여 그 표시패널들의 구동에 필요한 전원을 발생하는 하나의 전원 집적 회로(Power Module Integrated Circuit, 이하, "PMIC"라 함)를 포함한다. 두 개의 표시패널들 각각에는 드라이브 IC(Integrated Circuit, D-IC)가 연결되고, 드라이브 IC들은 PMIC에 연결된다.
- [0022] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0023] 본 발명의 유기 발광 표시장치는 픽셀들을 포함한다. 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다.
- [0024] 서브 픽셀들 각각은 도 1과 같이 OLED, OLED에 데이터 신호(DATA)에 따라 OLED에 전류를 공급하는 구동 소자(M1)와, EM(Emission) 신호(EM)에 응답하여 OLED로 흐르는 전류를 스위칭하는 EM 스위치 소자(M2)를 포함한다. 서브 픽셀들에는 두 개 이상의 트랜지스터들과 하나 이상의 스위치 소자들을 포함할 수 있다.
- [0025] 본 발명의 유기 발광 표시장치는 도 1과 같이 OLED의 캐소드에 인가되는 전압을 조절하여 다수의 픽셀들을 동시에 발광(또는 점등)시키거나 동시에 비발광(또는 소등)시킨다. 이를 위하여, 유기 발광 표시장치의 PMIC는 다수의 픽셀들에 연결된 제1 및 제2 스위치 소자들(T10, T20)을 포함한다.

- [0026] 제1 스위치 소자(T10)는 제1 스위치 신호(SW1)에 응답하여 픽셀들의 OLED에 저전위 전원 전압(GND)을 공급한다. 저전위 전원 전압(GND)은 그라운드 전압(0V) 또는 그 보다 낮은 부극성 전압일 수 있다. OLED는 애노드(ANO)와 캐소드(CAT) 사이의 전압차가 자신의 문턱 전압 이상일 때 턴-온(turn-on)되어 발광한다. 따라서, OLED의 캐소드(CAT)에 저전위 전원 전압(GND)이 공급되면 OLED는 데이터 전압에 따라 발광될 수 있다.
- [0027] 제2 스위치 소자(T20)는 제2 스위치 신호(SW2)에 응답하여 픽셀들의 OLED에 고전위 전원 전압(VDD)을 공급한다. VDD는 7V 이상의 전압이다. OLED의 양단(ANO, CAT)에 VDD가 인가되면 OLED가 턴-온될 수 없으므로 EM 스위치 소자(M2)가 턴-온되어 있더라도 OLED가 발광될 수 없다. 따라서, OLED의 캐소드(CAT)에 VDD가 인가되면 OLED는 발광될 수 없다. 본 발명의 유기 발광 표시장치는 도 2 내지 도 4와 같이 픽셀 어레이가 배치된 표시패널(PNL), 픽셀들을 구동하고 PMIC를 제어하는 드라이브 IC(D-IC)를 포함한다.
- [0028] 본 발명은 픽셀들의 구동 시간을 충분히 확보하기 위하여, 표시패널(PNL)을 캐소드(CAT1~CAT4)로 분리된 둘 이상으로 블록들(BL1~BL4)로 분할 구동한다. 블록들(BL1~BL4) 각각은 다수의 픽셀들(PXL)을 포함한다. 캐소드들(CAT1~CAT4) 각각은 표시패널(PNL)의 베젤(bezel) 내에 배치된 라우팅(routing) 배선(21~24)을 따라 PMIC에 독립적으로 연결된다.
- [0029] PMIC는 드라이브 IC(D-IC)의 제어 하에 제1 블록(BL1)에 배치된 제1 캐소드(CAT1)에 저전위 전원 전압(GND)을 공급함과 동시에, 제2 블록(BL2)에 배치된 제2 캐소드(CAT2)에 고전위 전원 전압(VDD)을 공급한다. 이어서, PMIC는 제1 캐소드(CAT1)에 고전위 전원 전압(VDD)을 공급할 때, 제2 캐소드(CAT2)에 저전위 전원 전압(GND)을 공급한다.
- [0030] 드라이브 IC(D-IC)는 도시하지 않은 호스트 시스템으로부터 수신되는 입력 영상의 데이터를 픽셀들에 기입하고 PMIC를 제어한다. PMIC는 드라이브 IC(D-IC)의 제어 하에 드라이브 IC(D-IC)와 표시패널(PNL)의 구동에 필요한 전원을 발생한다. 드라이브 IC(D-IC)는 PMIC로부터 출력되는 캐소드 전압을 제어하기 위한 스위치 제어 신호(CS)를 발생한다.
- [0031] 드라이브 IC(D-IC)는 도 5와 같이 캐소드(CAT1 또는 CAT2)에 고전위 전원 전압(VDD)이 공급되는 블록(BL1 또는 BL2)의 스캔 타임(scan time)에 데이터 전압을 공급하여 그 블록의 픽셀들(PXL)에 입력 영상의 데이터를 어드레싱(addressing)한다. 드라이브 IC(D-IC)는 캐소드에 저전위 전원 전압(GND)이 공급되는 블록의 픽셀들을 발광시킨다. 픽셀들의 발광 시간(Emission time) 동안은 미리 설정된 듀티비(duty ratio)에 따라 픽셀들이 점등 및 소등을 반복할 수 있다. 이 경우, 발광 시간은 픽셀들(PXL)의 듀티 구동 기간일 수 있다.
- [0032] 본 발명의 유기 발광 표시장치는 하나의 표시패널을 둘 이상의 블록들로 분할하고, 그 블록 중 하나 이상의 블록에 데이터를 기입하는 동안, 다른 블록들을 발광시켜 픽셀들의 데이터 어드레싱과 발광을 병렬 처리한다. 그 결과, 본 발명의 유기 발광 표시장치는 픽셀들을 듀티 구동할 때 프레임 레이트나 해상도가 높아지더라도 픽셀들의 발광 시간을 충분히 확보할 수 있다.
- [0033] 도 6은 PMIC 내의 캐소드 전압 제어 부분의 회로 구성을 간략히 보여 주는 도면이다. PMIC는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널(PNL)과 드라이브 IC(D-IC)의 구동에 필요한 직류 전원을 발생하는 회로를 포함하지만 이 회로는 도 6에서 생략되어 있다.
- [0034] 도 6을 참조하면, PMIC는 스위치 제어부(31), 전원 발생부(32), 및 스위치부(33)를 포함한다. 도 7은 도 6에 도시된 스위치부 구성을 보여 주는 도면이다. 도 8은 도 7에 도시된 스위치부를 상세히 보여 주는 회로도이다.
- [0035] 도 6 내지 도 8을 참조하면, 스위치 제어부(31)는 드라이브 IC(D-IC)로부터의 스위치 제어 신호(CS)를 수신 받는다. 스위치 제어부(31)는 캐소드의 분할 개수(또는 블록들의 개수)가 N(N은 2 ~ 20 사이의 양의 정수)일 때 스위치 제어 신호(CS)를 N 분주하여 N 개의 스위치 신호들을 출력한다. 스위치 신호들은 스위치 제어 신호(CS)보다 주파수가 낮고 주기가 길으며 서로 위상차를 가진다.
- [0036] 픽셀 어레이가 캐소드가 2 개로 분리되는 경우, 스위치 제어부(31)는 스위치 제어 신호(CS)를 2 분주하여 제1 및 제2 스위치 신호(SW1, SW2)를 발생한다. 제1 및 제2 스위치 신호(SW1, SW2)는 스위치 제어 신호(CS)의 1/2 주파수이고 위상차가 있다. 이러한 스위치 신호들(SW1, SW2)로 인하여, 제1 블록(BL1)이 비발광 상태에서 데이터 어드레싱 동작할 때, 제2 블록(BL2)은 발광한다. 또한, 제2 블록(BL2)이 비발광 상태에서 데이터 어드레싱 동작할 때, 제1 블록(BL1)은 발광한다.
- [0037] 스위치부(33)는 전원 발생부(32)로부터 고전위 전원 전압(VDD)을 공급받고, 스위치 제어부(31)로부터 스위치 제어 신호(CS)를 수신한다. 또한, 스위치부(33)는 저전위 전원 전압(GND)과 로직 전원 전압(VDD)을 공급 받는다.

고전위 전원 전압(VDD)과 로직 전원 전압(VCC)은 저전위 전원 전압(GND) 보다 높다. 스위치부(33)는 제1 및 제2 스위치 회로(331, 332)를 포함한다. 제1 및 제2 스위치 회로(331, 332)는 스위치 신호(SW1, SW2)와, 반전된 스위치 신호(/SW1, /SW2)로 제어된다. 비반전된 제1 및 제2 스위치 신호(SW1, SW2)는 인버터(inverter)를 이용하여 얻어질 수 있다.

[0038] 제1 스위치 회로(331)는 반전된 제1 스위치 신호(/SW1)에 응답하여 제1 캐소드(CAT1)에 저전위 전원 전압(GND)을 공급하고, 제1 스위치 신호(SW1)에 응답하여 제1 캐소드(CAT1)에 고전위 전원 전압(VDD)을 공급한다. 제1 블록(BL1)의 픽셀들은 제1 스위치 회로(331)를 통해 스위칭되는 캐소드 전압에 따라 발광하거나 비발광한다.

[0039] 제1 스위치 회로(331)는 반전된 제1 스위치 신호(/SW1)에 응답하여 제1 캐소드(CAT1)에 저전위 전원 전압(GND)을 공급하는 제1 트랜지스터(T11)와, 제1 스위치 신호(SW1)에 응답하여 고전위 전원 전압(VDD)을 제1 캐소드(CAT1)에 공급하는 제21, 제22 및 제23 트랜지스터들(T21, T22, T23)을 포함한다. 제1 및 제21 트랜지스터들(T1, T21)은 도 8의 예에서 n 타입 MOSFET(metal oxide semiconductor)로 구현되고, 제22 및 제23 트랜지스터들(T22, T23)은 p 타입 MOSFET로 구현되었으나 이에 한정되지 않는다. 제1 트랜지스터(T11)는 반전된 제1 스위치 신호(SW1)가 공급되는 게이트, 제1 캐소드(CAT1)에 연결된 드레인, 및 저전위 전원 전압(GND)이 공급되는 소스를 포함한다. 제21 트랜지스터(T21)는 제1 스위치 신호(SW1)가 공급되는 게이트, 로직 전원 전압(VCC)이 공급되는 드레인, 및 제22 트랜지스터(T22)의 게이트에 연결된 소스를 포함한다. 로직 전원 전압(VCC)은 1~3V 사이의 직류 전압이다. 제22 트랜지스터(T22)는 제21 트랜지스터(T21)의 소스에 연결된 게이트, 제1 캐소드(CAT1)에 연결된 드레인, 및 제23 트랜지스터(T23)의 드레인에 연결된 소스를 포함한다. 제23 트랜지스터(T23)는 제21 트랜지스터(T21)의 소스와 제22 트랜지스터(T22)의 게이트 사이의 노드에 연결된 게이트, 제22 트랜지스터(T22)의 소스에 연결된 드레인, 및 고전위 전원 전압(VDD)이 공급되는 소스를 포함한다. 제23 트랜지스터(T23)의 게이트와 소스 사이에 저항(R)이 연결된다.

[0040] 제2 스위치 회로(332)는 반전된 제2 스위치 신호(/SW2)에 응답하여 제2 캐소드(CAT2)에 저전위 전원 전압(GND)을 공급하고, 제2 스위치 신호(SW2)에 응답하여 제2 캐소드(CAT2)에 고전위 전원 전압(VDD)을 공급한다. 제2 블록(BL2)의 픽셀들은 제2 스위치 회로(332)를 통해 스위칭되는 캐소드 전압에 따라 발광하거나 비발광한다.

[0041] 제2 스위치 회로(332)는 반전된 제2 스위치 신호(/SW2)에 응답하여 제2 캐소드(CAT2)에 저전위 전원 전압(GND)을 공급하는 제1 트랜지스터(T11)와, 제2 스위치 신호(SW2)에 응답하여 제2 캐소드(CAT2)에 고전위 전원 전압(VDD)을 공급하는 제21, 제22 및 제23 트랜지스터들(T21, T22, T23)을 포함한다. 제1 트랜지스터(T11)는 반전된 제2 스위치 신호(SW2)가 공급되는 게이트, 제2 캐소드(CAT2)에 연결된 드레인, 및 저전위 전원 전압(GND)이 공급되는 소스를 포함한다. 제21 트랜지스터(T21)는 제2 스위치 신호(SW2)가 공급되는 게이트, 로직 전원 전압(VCC)이 공급되는 드레인, 및 제22 트랜지스터(T22)의 게이트에 연결된 소스를 포함한다. 제22 트랜지스터(T22)는 제21 트랜지스터(T21)의 소스에 연결된 게이트, 제2 캐소드(CAT2)에 연결된 드레인, 및 제23 트랜지스터(T23)의 드레인에 연결된 소스를 포함한다. 제23 트랜지스터(T23)는 제21 트랜지스터(T21)의 소스와 제22 트랜지스터(T22)의 게이트 사이의 노드에 연결된 게이트, 제22 트랜지스터(T22)의 소스에 연결된 드레인, 및 고전위 전원 전압(VDD)이 공급되는 소스를 포함한다. 제23 트랜지스터(T23)의 게이트와 소스 사이에 저항(R)이 연결된다.

[0042] 도 9는 도 8에 도시된 스위치들을 제어하는 스위치 신호를 보여 주는 파형도이다. 도 10은 도 6에 도시된 스위치 제어부의 일 예를 상세히 보여 주는 회로도이다.

[0043] 도 9 및 도 10을 참조하면, 드라이브 IC(D-IC)는 하나의 스위치 제어 신호(CS)를 이용하여 블록들(BL1~BL4) 각각에 공급되는 캐소드 전압을 제어한다. 이를 위하여, PMIC의 스위치 제어부(10)는 도 10과 같은 회로를 이용하여 스위치 제어 신호(CS)를 N 분주하여 N 개의 스위치 신호들을 출력한다. 도 9에서 Vsync는 수직 동기신호이다.

[0044] 스위치 제어부(10)는 T 플립플롭(Flip-flop)(311), 제1 및 제2 AND 게이트(312, 313)를 포함한다. T 플립플롭(311)의 T 입력 단자에는 스위치 제어 신호(CS)가 입력된다. T 플립플롭은 T 입력이 H(high 또는 1)일 때 Q 출력을 토글(toggle)하고, T 입력이 L(low 또는 0)일 때 Q 출력을 홀드(hold)한다. 다시 말하여, 입력 T=H 일 때 Q 출력이 반대 논리로 천이되고, 입력 T=L 일 때 Q 출력이 상태천이 없이 유지된다. Q' 출력은 Q 출력의 반전 출력이다. Q 출력과 Q' 출력 각각은 스위치 제어 신호(CS)에 비하여 주기가 2 배 증가되고 주파수가 1/2로 낮아진다. Q' 출력은 Q 출력에 대하여 위상차가 있다.

[0045] 제1 AND 게이트(312)는 스위치 제어 신호(CS)와 T 플립플롭(311)의 Q 출력의 논리곱 연산 결과를 제1 스위치 신

호(SW1)로서 출력한다. 제2 AND 게이트(313)는 스위치 제어 신호(CS)와 T 플립플롭(311)의 Q' 출력의 논리곱 연산 결과를 제2 스위치 신호(SW2)로서 출력한다. 따라서, 제1 및 제2 스위치 신호들(SW1, SW2)은 도 9와 같이 스위치 제어 신호(CS)에 비하여 주기가 2 배 증가되고 주파수가 1/2로 낮아지며 서로 위상차를 갖는다.

[0046] 개인용 몰입형 표시장치에서 표시패널(PNL의 지연 시간을 줄이고(Low Latency), 유지 시간을 감소(Low Persistence)하기 위한 가장 효과적인 방법은 표시패널의 픽셀들을 듀티 구동 방법으로 구동하는 것이다. 본 발명의 유기 발광 표시장치는 프레임 레이트나 해상도가 상승하더라도 픽셀들을 안정하게 듀티 구동 방법으로 구동할 수 있다. 따라서, 본 발명의 개인 몰입형 표시장치는 진술한 유기 발광 표시장치를 적용한다. 본 발명의 개인 몰입형 표시장치는 픽셀들을 듀티 구동하고 프레임 레이트와 해상도를 높여 입체 영상의 몰입감과 피로감을 개선한다. 본 발명의 유기 발광 표시장치는 표시패널들에서 분할된 블록들 간에 데이터 어드레싱과 발광을 동시에 실시하여 프레임 레이트나 해상도가 높아질 때 픽셀들의 발광 시간을 확보할 수 있다.

[0047] 이하에서, 본 발명의 유기 발광 표시장치를 개인 몰입형 장치에 적용한 예를 설명하기로 한다.

[0048] 도 11을 참조하면, 본 발명의 개인 몰입형 장치는 렌즈 모듈(12), 디스플레이 모듈(13), 메인 보드(14), 헤드 기어(11), 사이드 프레임(side frame)(15), 프론트 커버(front cover)(16) 등을 포함한다.

[0049] 디스플레이 모듈(13)은 두 개의 표시패널들 각각을 구동하기 위한 표시패널 구동회로를 포함하여 메인 보드(14)로부터 수신된 입력 영상을 표시한다. 표시패널들은 사용자의 좌안으로 보이는 제1 표시패널과, 사용자의 우안으로 보이는 제2 표시패널로 분리된다. 제1 표시패널을 구동하기 위한 표시패널 구동회로는 제1 드라이브 IC에 집적된다. 제2 표시패널을 구동하기 위한 표시패널 구동회로는 제2 드라이브 IC에 집적된다. 디스플레이 모듈은 메인 보드로부터 입력되는 영상 데이터를 표시패널들에 표시한다. 영상 데이터는 가상 현실(Virtual Reality, VR) 또는 증강 현실(Augmented Reality, AR)의 비디오 이미지를 구현하는 2D/3D 영상 데이터일 수 있다. 디스플레이 모듈(13)은 메인 보드로부터 입력되는 각종 정보를 텍스트, 기호 등의 형태로 표시할 수 있다.

[0050] 렌즈 모듈(12)은 사용자의 좌우안 화각을 넓히기 위한 초광각 렌즈 즉, 한 쌍의 어안 렌즈(Fisheye Lens)를 포함한다. 한 쌍의 어안 렌즈는 제1 표시패널 앞에 배치된 좌안 렌즈와, 제2 표시패널 앞에 배치된 우안 렌즈를 포함한다.

[0051] 메인 보드(14)는 가상 현실 소프트웨어를 실행하고 좌안 입력 영상과 우안 입력 영상을 디스플레이 모듈(13)에 공급하는 호스트 시스템 프로세서를 포함한다. 호스트 시스템 프로세서는 외부 입력 장치, 각종 센서, 통신 모듈, 디스플레이 모듈 등과 연결된다. 호스트 시스템 프로세서는 개인 몰입형 장치의 각종 기능을 제어한다. 호스트 시스템 프로세서는 어플리케이션 프로세서(Application Processor, AP)일 수 있다. 인터페이스 모듈은 Universal serial bus(USB), High definition multimedia interface (HDMI) 등의 인터페이스를 통해 외부 기기와 연결된다. 센서는 자이로 센서, 가속도 센서 등 다양한 센서를 포함한다. 메인 보드(14)의 프로세서는 센서 모듈의 출력 신호에 응답하여 좌안 및 우안 영상 데이터를 보정하고 인터페이스 모듈을 통해 수신된 입력 영상의 좌안 및 우안 영상 데이터를 디스플레이 모듈(13)로 전송한다. 호스트 시스템 프로세서는 2D 영상의 텍스(depth) 정보 분석 결과를 바탕으로 표시패널의 해상도에 맞는 좌안 영상과 우안 영상을 생성하여 디스플레이 모듈(13)로 전송할 수 있다.

[0052] 헤드 기어(11)는 어안 렌즈들을 노출하는 백 커버(back cover), 백 커버에 연결된 밴드(band)를 포함한다. 헤드 기어(11)의 백 커버, 사이드 프레임(15) 및 프론트 커버(16)는 조립되어 개인 몰입형 장치의 구성 요소들이 배치되는 내부 공간을 확보하고 그 구성 요소들을 보호한다. 구성 요소들은 렌즈 모듈(12), 디스플레이 모듈(13), 및 메인 보드(14)을 포함한다. 밴드는 백 커버에 연결된다. 사용자는 밴드로 자신의 머리에 개인 몰입형 장치를 착용한다. 사용자가 개인 몰입형 장치를 자신의 머리에 쓰면, 어안 렌즈들을 통해 좌안과 우안으로 서로 다른 표시패널을 바라 보게 된다.

[0053] 사이드 프레임(15)은 헤드 기어(11)와 프론트 커버(16) 사이에 고정되어 렌즈 모듈(12), 디스플레이 모듈(13), 메인 보드(14)가 배치된 내부 공간의 갭(gap)을 확보한다. 프론트 커버(16)는 개인 몰입형 장치의 전면배치된다.

[0054] 본 발명의 개인 몰입형 장치는 도 11과 같은 HMD(head mounted display) 구조로 구현될 수 있으나 이에 한정되지 않는다. 예를 들어, 본 발명은 안경 구조의 EGD(Eye Glasses-type Display) 구조로 설계될 수 있다.

[0055] 도 12는 도 11에 도시된 디스플레이 모듈(13)에서 제1 및 제2 표시패널들(PNL1, PNL2)을 보여 주는 도면이다. 도 13은 도 12에 도시된 제1 및 제2 표시패널들(PNL1, PNL2) 간의 거리를 보여 주는 도면이다. 제1 및 제2 표시

패널들(PNL1, PNL2) 각각은 전술한 유기 발광 표시장치의 표시패널로 구현된다.

- [0056] 도 12 및 도 13을 참조하면, 제1 및 제2 표시패널(PNL1, PNL2)은 별도로 제작되어 디스플레이 모듈(13) 상에서 분리 배치될 수 있다. 제1 및 제2 표시패널들(PNL1, PNL2) 사이에는 표시패널 구동회로의 적어도 일부가 배치될 수 있다. 도 12에서 D-IC(Drive Integrated Circuit)는 도 17에 도시된 타이밍 컨트롤러(timing controller)와 데이터 구동부가 집적된 IC 칩이다. GIP(Gate In Panel)는 도 17에 도시된 게이트 구동부와 EM 구동부가 픽셀 어레이(Pixel array)와 함께 동일 기판 상에 집적된 회로이다.
- [0057] 제1 표시패널(PNL1)의 픽셀 어레이 중심과 제2 표시패널(PNL2)의 픽셀 어레이 중심은 사용자의 양안간 거리(L_e)와 실질적으로 동일하다. 제1 표시패널(PNL1)의 픽셀 어레이 중심과 제2 표시패널(PNL2)의 픽셀 어레이 중심간의 거리(L_p)는 $L_e \pm \alpha$ 로 설정될 수 있다. 사용자의 양안간 거리(L_e)는 좌안 눈동자와 우안 눈동자 사이의 거리로서 대략 6.5cm 이고, 인종에 따라 약간의 차이가 있을 수 있다. α 는 제1 표시패널(PNL1)과 제2 표시패널(PNL2) 사이에 배치되는 표시패널 구동 회로 부분, 공정 편차 등을 고려한 설계 마진(margin)으로서, L_e 의 10%로 설정될 수 있다.
- [0058] 제1 및 제2 표시패널(PNL1, PNL2) 각각의 픽셀 어레이(AA)는 상하 시야각과 좌우 시야각을 고려하여 가로 방향(x)의 길이가 세로 방향(y)의 길이 보다 긴 랜스케이프(landscape) 타입의 화면 비율을 갖는다. 개인 몰입형 장치에서, 상하 시야각 보다 좌우 시야각을 넓힐 때 시야각 개선 효과가 크다. 본 발명은 개인 몰입형 장치에서 좌우 시야각을 최대로 하기 위하여 제1 및 제2 표시패널들(PNL1, PNL2) 각각을 랜스케이프(landscape) 타입의 표시패널로 제작한다.
- [0059] 랜스케이프 타입의 화면비율은 가로 방향(x)의 픽셀 개수가 세로 방향(y)의 픽셀 개수 보다 많고, 가로 방향(x)의 길이가 세로 방향(y)의 길이 보다 길다. 한편, 포트레이트(portrait) 타입의 화면비율은 세로 방향(y)의 픽셀 개수가 가로 방향(x)의 픽셀 개수 보다 많고, 세로 방향(y)의 길이가 가로 방향(x)의 길이 보다 길다.
- [0060] 본원 발명자들은 개인 몰입형 장치에서 다양한 표시패널들을 바꿔가면서 사용자가 느끼는 입체감, 몰입감, 피로감 등을 비교 실험하였다. 이 실험 결과에 의하면, 도 3과 같이 사용자의 양안간 거리 만큼 이격된 표시패널들(PNL1, PNL2)의 픽셀 어레이가 분리될 때 사용자가 느끼는 입체감 개선 효과가 크다는 것을 확인하였다. 표시패널들(PNL1, PNL2)의 픽셀 어레이들이 분리되고 그 픽셀 어레이들의 중앙간 거리가 사용자의 좌안과 우안에 일치될 때 시야각이 넓고 입체감 개선 효과가 크다. 본 발명의 개인 몰입형 기기에서, 사용자의 좌안 눈동자가 제1 픽셀 어레이의 중앙과 일치하고, 사용자의 우안 눈동자가 제2 픽셀 어레이의 중앙과 일치한다.
- [0061] 포트레이트 타입의 화면 비율에 비하여 랜스케이프 타입의 화면 비율에서 사용자가 느끼는 입체감이 더 우수하다. 본 발명은 개인 몰입형 장치에 랜스케이프 타입의 좌안용 표시패널과 우안용 표시패널을 분리 배치함으로써 입체감을 높일 수 있다.
- [0062] 좌안 영상이 표시되는 제1 픽셀 어레이(AA)와, 우안 영상이 표시되는 제2 픽셀 어레이(AA)가 분리되도록 그 픽셀 어레이들(AA)이 서로 분리된 기판들에 1:1로 배치될 수 있다. 이 경우, 제1 픽셀 어레이(AA)는 제1 표시패널(PNL1)의 기판 상에 배치되고, 제2 픽셀 어레이는 제2 표시패널(PNL2)의 기판 상에 배치된다.
- [0063] 다른 실시예로서, 제1 및 제2 픽셀 어레이들은 하나의 기판 상에서 분리될 수 있다. 이 경우, 하나의 표시패널 상에서 픽셀 어레이들이 분리된다. 여기서, 픽셀 어레이들이 분리되어 있다는 것은 데이터 라인, 게이트 라인(또는 스캔 라인) 및 픽셀들이 분리되어 있다는 것을 의미한다. 제1 및 제2 픽셀 어레이는 분리되어 있지만, 동일한 구동 신호 체계로 구동될 수 있기 때문에 표시패널 구동 회로의 적어도 일부를 공유할 수 있다.
- [0064] 하나의 기판 상에 두개의 픽셀 어레이들(AA)이 분리 배치될 때 입체가 개선 효과 이외에도 다양한 효과를 제공할 수 있다. 종래의 VR 기기 중 하나는 하나의 기판 상에 하나의 픽셀 어레이를 형성하고, 그 픽셀 어레이에 좌안 영상과 우안 영상을 표시하여 픽셀 어레이를 분리하지 않는다. 이 종래 기술과 비교할 때, 본 발명은 표시패널들(PNL1, PNL2)을 두 개로 분리하여 픽셀 어레이들(AA)을 분리하거나 하나의 기판 상에 두 개의 픽셀 어레이들(AA)을 분리 배치하여 픽셀 어레이들(AA)을 분리하기 때문에 픽셀 어레이의 분류 유무에서 차이가 있다. 이러한 차이로 인하여, 본 발명은 종래 기술에 비하여 픽셀 어레이들의 배치 설계를 더 자유롭게 할 수 있고, 픽셀 어레이들(AA) 각각을 사람의 좌안과 우안에 1:1로 최적의 시야각 비율로 배치하여 입체감을 최대화 할 수 있다.
- [0065] 본 발명의 표시패널 구조는 생산성 측면에서 볼 때, 픽셀 어레이 면적 감소이 감소되기 때문에 불량율을 낮추어 수율 증가 효과가 있다.

- [0066] 픽셀 어레이들(AA) 간의 간격이 좁아지면 화면 사이즈가 작아지므로 표시 영상이 협소해진다. 픽셀 어레이들(AA) 간의 간격이 넓어지면, 사용자의 양안 과 대응하는 픽셀 어레이들의 중심 위치가 화면 외곽으로 이동하여 몰입도와 입체감 저하가 발생할 수 있다. 사람의 양안간 거리는 65mm 이며, 분리된 픽셀 어레이들(AA)의 중심점과 사람의 양안 눈동자가 정확하게 일치할 때 사용자가 개인 몰입형 기기에서 입체 영상을 가장 입체감 있게 인지할 수 있다. 픽셀 어레이들 간의 간격이 너무 좁거나 넓어지면, 어안 렌즈(LENS)를 이용하여 광학적으로 시야각을 보상하거나 영상 처리를 통해 좌안 영상과 우안 영상을 사용자의 양안간 거리에 맞게 조정할 수 있으나 이러한 방법은 시야각 측면에서 디스플레이 효율 저하를 초래한다. 다시 말하여, 본 발명과 같이 픽셀 어레이들을 분리하고 그 픽셀 어레이들 각각의 중심이 사용자의 좌안 눈동자와 우안 눈동자에 1 : 1로 정확하게 배치될 때 사용자가 가장 정확한 입체 영상을 감상할 수 있다.
- [0067] 개인 몰입형 장치에서, 사용자의 눈과 표시패널(PNL1, PNL2) 사이에 어안 렌즈(LENS)가 존재하고, 사용자의 눈과 표시패널 사이의 거리는 수 Cm 정도로 매우 짧다. 사용자가 어안 렌즈를 통해 표시패널들(PNL1, PNL2) 상에서 재현된 영상을 보면, 표시패널들(PNL1, PNL2)에서 표시되는 실제 화면보다 4~5 배 확대된 영상을 보게 된다. 이러한 근접 시인과 어안 렌즈 적용 환경에서 표시패널의 해상도가 낮으면 픽셀들의 비발광 영역이 확대되어 스크린 도어 효과(Screen Door Effect)가 강하게 인지되어 몰입감을 떨어뜨린다. 개인 몰입형 장치의 몰입감을 높이기 위하여 제1 및 제2 표시패널들(PNL1, PNL2) 각각의 픽셀 어레이는 QHD(1440 x 1280) 이상의 해상도와 500 ppi(pixels per inch) 이상의 픽셀 밀도를 가지며, 14% 이상의 픽셀 개구율을 갖는다. 1440 x 1280에서, 1440은 픽셀 어레이(AD)에서 가로 방향(x)의 픽셀 개수(수평 해상도)이고, 1280은 세로 방향(y)의 라인 개수(수직 해상도)이다. 양산 가능한 OLED 표시패널의 기술 수준을 고려할 때 500 ppi ~ 600 ppi의 픽셀 밀도와 14%~20%의 픽셀 개구율이 될 수 있다.
- [0068] 개인 몰입형 장치에서 3D 동영상을 표시할 때 총 지연 시간(Total Latency)이 길어지면 화면 끌림이나 모션 블러(Motion blur)가 인지될 수 있다. 3D 동영상의 화면 끌림이나 모션 블러는 영상 품질을 떨어뜨릴 뿐 아니라 사용자의 피로감을 크게 한다. 총 지연 시간은 메인 보드(14)에서 데이터를 처리하여 디스플레이 모듈(13)로 전송하기까지 소요되는 시스템 처리 시간(system processing time)과, 디스플레이 모듈(13)의 지연 시간(display time)을 더한 시간이다. 디스플레이 모듈(13)의 지연 시간은 입력 영상이 1 프레임 기간 동안 지연되는 프레임 지연 시간(frame delay time)과, 픽셀의 응답속도(response)를 합한 시간이다.
- [0069] 본 발명은 픽셀의 응답 속도를 줄이고 프레임 레이트(Frame rate 또는 refresh rate)를 높여 개인 몰입형 장치에서 3D 동영상을 표시할 때 사용자의 피로감을 줄인다. 이를 위하여, 본 발명은 표시패널들(PNL1, PNL2) 각각에서 픽셀의 스위치 소자 및 구동 소자를 n 타입 MOSFET(metal oxide semiconductor)로 제작하여 픽셀 회로의 응답 속도를 2ms 이내로 빠르게 하고, 프레임 레이트를 90Hz 이상으로 높여 데이터 업데이트(data update) 주기를 빠르게 한다. 프레임 레이트가 90Hz 이면 데이터 업데이트 주기인 1 프레임 기간은 대략 11.1ms이다. 따라서, 본 발명은 개인 몰입형 장치에서 디스플레이 모듈(13)의 지연 시간을 대략 13 ms 수준으로 줄여 총 지연 시간을 25 ms 이하로 줄일 수 있다. 데이터 업데이터 주기로 입력 영상의 데이터가 픽셀들에 어드레싱(addressing)된다.
- [0070] 도 14 내지 도 16은 본 발명의 응답 속도 측정 결과를 보여 주는 도면들이다. 도 14 내지 도 16에서 x축을 시간(msec)이고, y축은 휘도 측정계로 측정된 휘도의 상대값이다. 도 16은 도 15에서 측정 휘도의 상승 구간을 확대한 도면이다. 도 15 및 도 16에서, 4T2C는 도 9과 같은 4 개의 n 타입 MOSFET 구조의 트랜지스터들과 2 개의 커패시터들을 포함한 픽셀 회로의 응답 속도다. 6T1C는 6 개의 p 타입 MOSFET 구조의 트랜지스터들과 1 개의 커패시터를 포함한 픽셀 회로(도시하지 않음)의 응답 속도다.
- [0071] 응답 속도를 측정하는 방법은 크게 나누어 B to W(Black to White)와 G to G (Gray to Gray)가 있다. B to W는 픽셀이 블랙에서 화이트로 바뀌는 데 걸리는 시간을 측정한다. B to W는 LCD의 경우, 액정이 완전히 열린 상태에서 완전히 닫히는 데까지 걸리는 시간이나 닫힌 상태에서 완전히 열리는 시간까지를 측정한다.
- [0072] G to G (Gray to Gray)는 화이트에 가까운 밝은 회색(gray)과, 블랙에 가까운 어두운 회색 사이에서 응답 속도를 측정한다. 일반적으로, G to G는 화이트 휘도를 100%라 할 때 10% 휘도로부터 90% 휘도에 도달하기까지의 시간을 측정한다.
- [0073] 본 발명의 응답 속도 측정 방법은 G to G 방법으로 측정되었다. 본 발명의 응답 속도 측정 방법은 화면 상에 블랙 이미지를 소정 시간(예, 500msec) 동안 표시한 후 화이트 이미지를 소정 시간 표시한 다음, 블랙 이미지를 소정 시간 다시 표시하면서 화면 상의 휘도를 측정한다. 휘도 측정계로 측정된 휘도를 히스토그램(Histogram)으로 작성하고 블랙 측정 휘도의 빈도수가 가장 높은 히스토그램(하단 적색)을 블랙 휘도(0%)로 정의하고, 화이

트 측정 휘도의 빈도수가 가장 높은 히스토그램(상단 적색)을 화이트 휘도(100%)로 정의한다. 화면이 변화하면서 화이트 휘도(100%)의 10%에서 화이트 휘도(100%)의 90%까지 변화는 라이징 타임(Rising Time)으로 측정하고, 화이트 휘도(100%)의 90%에서 화이트 휘도(100%)의 10%로 떨어지는 폴링 타임(falling Time)을 측정한다. 본 발명의 응답 속도는 Response Time = Rising Time + Falling Time 으로 측정된다. 따라서, 본 발명의 응답 속도는 화이트 휘도(100%) 대비 10%로부터 90%로 휘도가 높아질 때의 응답 시간과 90%로부터 10%로 휘도가 낮아질 때의 응답 시간의 합으로 측정된다.

[0074] 본 발명은 n 타입 MOSFET를 이용한 픽셀 회로(4T2C)로 픽셀 어레이를 구현한 표시패널을 이용하여 위와 같은 방법으로 측정된 0 보다 크고 2 msec 이하인 응답 속도를 구현하였다.

[0075] 도 15 및 도 16에서 알 수 있는 바와 같이, 60Hz의 프레임 레이트에서 n 타입 MOSFET를 적용한 픽셀 회로는 2 ms 이내에 픽셀의 휘도를 목표 휘도의 90% 이상으로 빠르게 상승시킨다. 따라서, n 타입 MOSFET를 적용한 픽셀 회로(4T2C)는 1 프레임 기간(약 16.67ms) 보다 훨씬 짧은 2 msec 이내의 응답 속도를 갖는다. 이에 비하여, 60Hz의 프레임 레이트에서 p 타입 MOSFET를 적용한 픽셀 회로(6T1C)는 픽셀의 휘도를 2 프레임 기간(약 2 x 16.67ms)이상의 시간이 경과된 후에 목표 휘도의 90% 이상의 휘도로 상승시킬 수 있기 때문에 그 응답 속도가 2 프레임 기간 이상이다.

[0076] 본 발명은 표시패널들(PNL1, PNL2) 각각을 듀티 구동하여 개인 몰입형 장치에서 3D 동영상을 표시할 때 픽셀들의 듀티비를 50% 이하로 제어함으로써 BDI(Black Data Insertion) 효과를 이용하여 사용자의 피로도를 더 줄일 수 있다. 픽셀들의 듀티비(%)는 주어진 발광 시간에서 발광하는 시간의 비율이다. 예를 들어, 주어진 발광 시간이 1 프레임 기간이라 할 때, 픽셀들이 듀티비 50% 이하로 발광한다는 것은 1 프레임 기간의 1/2 이하의 시간 동안 발광한다는 것을 의미한다. 픽셀들의 듀티 구동은 BDI 효과를 이용하여 모션 블러(motion blur) 개선과 이미지 유지 시간 감소(Low persistence) 효과를 얻을 수 있게 하고, 잔상과 플리커(flicker)를 방지하고 저계조에서 픽셀의 전류량을 줄임으로써 3D 동영상에서 사용자의 피로도를 줄이는 효과를 제공한다.

[0077] 도 17은 본 발명의 개인 몰입형 장치에 적용 가능한 유기 발광 표시장치의 구동 회로를 보여 주는 블록도이다. 도 18은 도 17에 도시된 픽셀 어레이의 일부를 간략하게 보여 주는 도면이다. 도 19는 픽셀 회로의 일 예를 보여 주는 등가 회로도이다. 도 20은 도 19에 도시된 픽셀에 입력되는 신호들을 보여 주는 파형도이다.

[0078] 도 17 내지 도 20을 참조하면, 본 발명의 실시예에 따른 표시패널들(PNL1, PNL2) 각각은 입력 영상을 표시하는 픽셀 어레이(AA)와, 픽셀 어레이(AA)에 입력 영상의 데이터를 기입하기 위한 표시패널 구동회로를 구비한다. 픽셀 어레이(AA)는 캐소드(CAT1-CAT4)로 분리된 다수의 블록들로 분할 구동된다.

[0079] 표시패널 구동회로는 데이터 구동부(102), 게이트 구동부(104), EM 구동부(106), 및 타이밍 콘트롤러(110)를 포함한다. 또한, 표시패널 구동 회로는 PMIC를 포함한다. PMIC는 데이터 구동부(102), 게이트 구동부(104), EM 구동부(106), 타이밍 콘트롤러(110) 및 표시패널(PNL1, PNL2)의 구동에 필요한 전원들을 발생한다.

[0080] 표시패널 구동회로의 적어도 일부는 제1 및 제2 픽셀 어레이 사이의 기판 표면에 배치될 수 있다. 표시패널 구동회로(102, 104, 106, 110)의 적어도 일부는 제1 표시패널들(PNL1, PNL2)에서 공유될 수 있다. 표시패널 구동회로(102, 104, 106, 110)는 90Hz 이상의 높은 프레임 레이트(Frame rate)를 표시패널들(PNL1, PNL2)의 픽셀들(10)에 데이터를 어드레싱하여 그 픽셀들에 데이터를 기입한다.

[0081] 픽셀 어레이(AA)에는 다수의 데이터 라인들(11)과 다수의 게이트 라인들(12a, 12b, 12c)이 교차되고, 픽셀들(10)이 매트릭스 형태로 배치된다. 픽셀 어레이(AA)는 픽셀들(10)에 공통으로 연결되는 기준 전압 라인(이하 “REF 라인”이라 함)(16), 고전위 전원 전압(VDD)을 픽셀들(10)에 공급하는 VDD 라인(도시하지 않음)을 포함한다. REF 라인(16)을 통해 픽셀들(10)에 소정의 초기화 전압(Vini)이 공급될 수 있다.

[0082] 게이트 라인들(12a, 12b, 12c)은 제1 스캔 펄스(SCAN1)가 공급되는 다수의 제1 스캔 라인들(12a)과, 제2 스캔 펄스(SCAN2)가 공급되는 다수의 제2 스캔 라인들(12b)과, EM 신호(EM)가 공급되는 다수의 EM 신호 라인들(12c)을 포함한다.

[0083] 픽셀들(10) 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀로 나뉘어진다. 픽셀들(10) 각각은 백색 서브 픽셀을 더 포함할 수 있다. 픽셀들 각각에 하나의 데이터 라인(11), 게이트 라인들(12a, 12b, 12c), REF 라인(16), VDD 라인 등의 배선이 연결된다.

[0084] 1 프레임 기간은 픽셀들에 데이터가 어드레싱되어 픽셀들 각각에 입력 영상의 데이터가 기입되는 스캔 타임과, 스캔 타임 이후 전술한 캐소드 전압의 스위칭을 이용하여 미리 설정된 듀티비(duty ratio)로 픽셀들이 발광하는

듀티 구동 기간으로 나뉘어진다. 스캔 타임은 대략 1 수평 기간(1H)에 불과하므로 1 프레임 기간의 대부분이 듀티 구동 기간이다. 픽셀들(10)은 스캔 타임에 데이터 전압을 커패시터(capacitor)에 충전한다. 픽셀들(10)은 교류 EM 신호(EM)에 따라 발광(또는 점등)과 비발광(또는 소등)을 반복한다. 픽셀들(10) 각각은 1 프레임 기간 내에서 점등과 소등을 반복하여 50% 이하의 듀티비로 발광하여 온/오프(On/Off)를 반복한다. 픽셀들(10)은 커패시터에 충전된 전압으로 소등 후 발광함으로써 스캔 타임 이후 듀티 구동 기간 동안 추가로 데이터 전압을 공급 받지 않고 50% 이하의 듀티비로 구동되어 1 프레임 기간 동안 동일한 휘도로 데이터를 표시한다.

[0085] 데이터 구동부(102)는 타이밍 콘트롤러(110)로부터 수신된 입력 영상의 데이터(DATA)를 타이밍 콘트롤러(110)의 제어 하에 감마 보상 전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 데이터 라인들(11)로 출력한다. 데이터 구동부(102)는 픽셀들(10)의 구동 소자를 초기화하기 위하여 초기화 기간(t_i) 동안 소정의 기준 전압(V_{ref})을 데이터 라인들(11)로 출력할 수 있다.

[0086] 게이트 구동부(104)는 타이밍 콘트롤러(110)의 제어 하에 제1 및 제2 스캔 펄스(SCAN1, SCAN2)를 스캔 라인들(12a, 12b)에 공급한다. 제1 및 제2 스캔 펄스(SCAN1, SCAN2)는 데이터 전압에 동기된다. 제1 스캔 펄스(SCAN1)는 데이터 전압이 픽셀들에 공급될 때 온 레벨을 유지하여 스위치 소자(T3)를 턴-온(turn-on)시킴으로써 데이터 전압이 충전될 픽셀들(10)을 선택한다. 제2 스캔 펄스(SCAN2)는 제1 스캔 펄스(SCAN1)와 동시에 라이징(rising)되고 제1 스캔 펄스(SCAN1) 보다 앞서 폴링되어 초기화 기간(t_i) 동안 픽셀들(10)을 초기화한다. 제2 스캔 펄스(SCAN2)는 픽셀들(10)에 제1 스캔 펄스(SCAN1)와 동시에 라이징되고 샘플링 기간(t_s) 이전에 폴링(falling)된다.

[0087] 게이트 구동부(104)는 시프트 레지스터(Shift register)를 이용하여 스캔 펄스들(SCAN1, SCAN2)을 시프트(shift)시킴으로써 그 펄스들을 스캔 라인들(12a, 12b)에 순차적으로 공급한다. 게이트 구동부(104)의 시프트 레지스터는 GIP 공정으로 픽셀 어레이(AA)와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.

[0088] EM 구동부(106)는 타이밍 콘트롤러(110)의 제어 하에 EM 신호(EM)를 출력하여 EM 신호 라인들(12c)에 공급한다. EM 신호(EM)는 스캔 기간 동안 OLED가 발광되지 않도록 OLED의 전류를 차단하고, 듀티 구동 기간 동안 OLED의 전류 패스를 형성한다. EM 구동부(106)는 시프트 레지스터를 이용하여 EM 신호(EM)를 시프트시킴으로써 EM 신호(EM)를 EM 신호라인들(12c)에 순차적으로 공급한다.

[0089] EM 구동부(106)의 시프트 레지스터는 GIP 공정으로 픽셀 어레이와 함께 표시패널(100)의 기판 상에 직접 형성될 수 있다.

[0090] 타이밍 콘트롤러(110)는 메인 보드(14)로부터 수신된 좌안/우안 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(V_{sync}), 수평 동기신호(H_{sync}), 클럭 신호(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 타이밍 콘트롤러(110)는 메인 보드(14)로부터 수신된 타이밍 신호와 DCS(Display Command Set) 레지스터 설정값을 바탕으로 데이터 구동부(102)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호, 게이트 구동부(104)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호, 그리고 EM 구동부(106)의 동작 타이밍을 제어하기 위한 듀티 타이밍 제어 신호를 발생한다. 타이밍 콘트롤러(110)는 듀티 타이밍 제어 신호를 이용하여 EM 신호의 듀티비를 제어한다.

[0091] 픽셀들(10) 각각은 도 19와 같이 OLED, 다수의 TFT들(Thin Film Transistor)(T1~T4), 및 스토리지 커패시터(C_{st})를 포함한다. 커패시터(C)가 제2 TFT(T2)의 드레인과 제2 노드(B) 사이에 연결될 수 있다. 도 19에서 “Coled”는 OLED의 기생 용량을 나타낸다. TFT들은 n 타입 MOSFET로 구현된다. 픽셀들(10)은 스캔 타임에 구동 소자의 문턱 전압을 샘플링하고 입력 영상의 데이터 전압을 공급 받으며, 듀티 구동 기간(t_{em}) 동안 50% 이하의 듀티비로 발광한다. 스캔 타임은 픽셀들(10)을 초기화하는 초기화 기간(t_i), 픽셀들(10)에서 구동 소자(T1)의 문턱 전압을 샘플링하는 샘플링 기간(t_s), 및 입력 영상의 데이터 전압을 픽셀들(10)에 공급하는 프로그래밍 기간(t_w)으로 나뉘어진다.

[0092] OLED는 데이터 구동부(102)로부터 출력된 데이터 전압에 따라 제1 TFT(T1)에 의해 조절되는 전류량으로 발광한다. OLED의 전류패스는 제2 TFT(T2)에 의해 스위칭된다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제2 노드(B)에 연결되고, 캐소드는 저전위 전원 전압 또는 기저 전압(VSS)이 인가되는 VSS 전극에 연결된다. “Coled”는 OLED의 애노드와 캐소드 사이에 형성된 기생 용량(parasitic capacitance)이다.

- [0093] 제1 TFT(T1)는 게이트-소스 간 전압(V_{gs})에 따라 OLED에 흐르는 전류를 조절하는 구동 소자이다. 제1 TFT(T1)는 제1 노드(A)에 연결된 게이트, 제2 TFT(T2)의 소스에 연결되는 드레인, 및 제2 노드(B)에 접속된 소스를 포함한다.
- [0094] 제2 TFT(T2)는 EM 신호(EM)에 응답하여 OLED에 흐르는 전류를 스위칭하는 스위치 소자이다. EM 신호(EM)는 상기 샘플링 기간 동안 온 레벨로 발생하고 상기 듀티 구동 기간 동안 상기 온 레벨과 오프 레벨을 반복하여 50% 이하의 듀티비로 발생된다. 제2 TFT(T2)의 드레인은 고전위 전원 전압(VDD)이 공급되는 VDD 라인에 연결된다. 제2 TFT(T2)의 소스는 제1 TFT(T1)의 드레인에 연결된다. 제2 TFT(T2)의 게이트는 EM 신호 라인(12c)에 연결되어 EM 신호를 공급 받는다. EM 신호(EM)는 샘플링 기간(t_s) 내에서 온 레벨(또는 high logic level)로 발생되어 제2 TFT(T2)를 턴-온(turn-on)시키고, 초기화 기간(t_i)과 프로그래밍 기간(t_w) 동안 오프 레벨(또는 low logic level)로 반전되어 제2 TFT(T2)를 턴-오프(turn-off)시킨다. 그리고, EM 신호(EM)는 듀티 구동 기간(t_{em}) 동안 PWM 듀티비에 따라 온 레벨과 오프 레벨을 반복하여 50% 이하의 듀티비로 발생한다. OLED는 EM 신호(EM)에 따라 스위칭하는 제2 TFT(T2)로 인하여 50% 이하의 듀티비로 발광한다.
- [0095] 제3 TFT(T3)는 제1 스캔 펄스(SCAN1)에 응답하여 데이터 전압(V_{data})을 제1 노드(A)에 공급하는 스위치 소자이다. 제3 TFT(T3)는 제1 스캔 라인(12a)에 연결된 게이트, 데이터 라인(11)에 연결된 드레인, 및 제1 노드(A)에 연결된 소스를 포함한다. 제1 스캔 펄스(SCAN1)는 제1 스캔 라인(12a)을 통해 픽셀들(10)에 공급된다. 제1 스캔 신호(SCAN1)는 대략 1 수평 기간(1H) 동안 온 레벨로 발생되어 제3 TFT(T3)를 턴-온시키고, 듀티 구동 기간(t_{em}) 동안 오프 레벨로 반전되어 제3 TFT(T3)를 턴-오프시킨다.
- [0096] 제4 TFT(T4)는 제2 스캔 펄스(SCAN2)에 응답하여 기준 전압(V_{ref})을 제2 노드(B)에 공급하는 스위치 소자이다. 제4 TFT(T4)는 제2 스캔 라인(12b)에 연결된 게이트, REF 라인(16)에 연결된 드레인, 및 제2 노드(B)에 연결된 소스를 포함한다. 제2 스캔 펄스(SCAN2)는 제2 스캔 라인(12b)을 통해 픽셀들(10)에 공급된다. 제2 스캔 신호(SCAN2)는 초기화 기간(t_i) 내에서 온 레벨로 발생되어 제4 TFT(T4)를 턴-온시키고, 나머지 기간 동안 오프 레벨을 유지하여 제4 TFT(T4)를 오프 상태로 제어한다.
- [0097] 스토리지 커패시터(C_{st})는 제1 노드(A)와 제2 노드(B) 사이에 접속되어 양단 간의 차 전압을 저장하여 TFT(T1)의 게이트-소스간 전압(V_{gs})을 유지한다. 스토리지 커패시터(C_{st})는 소스 팔로워(source-follower) 방식으로 구동 소자인 제1 TFT(T1)의 문턱 전압(V_{th})을 샘플링한다. 커패시터(C)는 VDD 라인과 제2 노드(B) 사이에 접속된다. 커패시터들(C_{st} , C)은 프로그래밍 기간(t_w) 동안 데이터 전압(V_{data})에 따라 제1 노드(A)의 전위가 변할 때, 그 변화분을 전압 분배하여 제2 노드(B)의 전압에 반영한다.
- [0098] 픽셀(10)의 스캔 타임은 초기화 기간(t_i), 샘플링 기간(t_s), 및 프로그래밍 기간(t_w)으로 나뉘어 진다. 스캔 타임은 대략 1 수평 기간(1H)으로 설정되어 픽셀 어레이의 1 수평 라인에 배열된 픽셀들에 데이터를 기입한다. 스캔 타임 동안, 픽셀(10)의 구동 소자인 제1 TFT(T1)의 문턱 전압이 샘플링되고 그 문턱 전압 만큼 데이터 전압을 보상한다. 따라서, 1 수평 기간(1H) 동안, 입력 영상의 데이터(DATA)가 구동 소자의 문턱 전압 만큼 보상되어 픽셀(10)에 기입된다.
- [0099] 초기화 기간(t_i)이 시작될 때, 제1 및 제2 스캔 펄스(SCAN1, SCAN2)가 라이징되어 온 레벨로 발생된다. 이와 동시에, EM 신호(EM)는 폴링되어 오프 레벨로 변한다. 초기화 기간(t_i) 동안, 제2 TFT(T2)는 턴-오프되어 OLED의 전류 패스(current path)를 차단한다. 제3 및 제4 TFT들(T3, T4)은 초기화 기간(t_i) 동안 턴-온된다. 초기화 기간(t_i) 동안, 데이터 라인(11)에 소정의 기준 전압(V_{ref})이 공급된다. 초기화 기간(t_i) 동안 제1 노드(A)의 전압은 기준 전압(V_{ref})으로 초기화되고, 제2 노드(B)의 전압은 소정의 초기화 전압(V_{ini})으로 초기화된다. 초기화 기간(t_i) 후에 제2 스캔 펄스(SCAN2)는 오프 레벨로 변하여 제4 TFT(T4)를 턴-오프시킨다. 온 레벨은 픽셀의 스위치 소자들(T2~T4)이 턴-온(turn-on)되는 TFT의 게이트 전압 레벨이다. 오프 레벨은 픽셀의 스위치 소자들(T2~T4)을 턴-오프(turn-off)되는 게이트 전압 레벨이다.
- [0100] 샘플링 기간(t_s) 동안, 제1 스캔 펄스(SCAN1)는 온 레벨을 유지하고, 제2 스캔 펄스(SCAN2)는 오프 레벨을 유지한다. EM 신호(EM)는 샘플링 기간(t_s)이 시작될 때 라이징되어 온 레벨로 변한다. 샘플링 기간(t_s) 동안, 제2 및 제3 TFT들(T2, T3)이 턴-온된다. 샘플링 기간(t_s) 동안, 제2 TFT(T2)가 온 레벨의 EM 신호(EM)에 응답하여 턴-온된다. 샘플링 기간(t_s) 동안, 제3 TFT(T3)는 온 레벨의 제1 스캔 신호(SCAN1)에 의해 온 상태를 유지한다. 샘플링 기간(t_s) 동안, 데이터 라인(11)에는 기준 전압(V_{ref})이 공급된다. 샘플링 기간(t_s) 동안, 제1 노드(A)의 전압은 기준전압(V_{ref})으로 유지되는데 반하여, 제2 노드(B)의 전압은 드레인-소스 간 전류(I_{ds})에 의해 상승한다. 이러한 소스 팔로워(source-follower) 방식에 따라 제1 TFT(T1)의 게이트-소스 간 전압(V_{gs})은 제1 TFT(T1)의 문턱 전압(V_{th})으로서 샘플링되며, 이렇게 샘플링된 문턱전압(V_{th})은 스토리지 커패시터

(Cst)에 저장된다. 샘플링 기간(ts) 동안 제1 노드(A)의 전압은 기준 전압(Vref)이고, 제2 노드(B)의 전압은 Vref-Vth 이다.

[0101] 프로그래밍 기간(tw) 동안 제3 TFT(T3)는 온 레벨의 제1 스캔 신호(SCAN1)에 따라 온 상태를 유지하고 나머지 TFT(T1, T2, T4)는 턴-오프된다. 프로그래밍 기간(tw) 동안 데이터 라인(11)에 입력 영상의 데이터 전압(Vdata)이 공급된다. 데이터 전압(Vdata)이 제1 노드(A)에 인가되고, 제1 노드(A)의 전위 변화분(Vdata-Vref)에 대한 커패시터들(Cst,C) 간의 전압 분배 결과가 제2 노드(B)의 전압에 반영됨으로써 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)이 프로그래밍된다. 프로그래밍 기간(tw) 동안, 제1 노드(A)의 전압은 데이터 전압(Vdata)이고, 제2 노드(B)의 전압은 샘플링 기간(ts)을 통해 설정된 "Vref-Vth"에 커패시터들(Cst,C) 간의 전압 분배 결과(C'*(Vdata-Vref))가 더해져 "Vref-Vth+C'*(Vdata-Vref)"가 된다. 결국, 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)은 프로그래밍 기간(tw)을 통해 "Vdata-Vref+Vth-C'*(Vdata-Vref)"으로 프로그래밍된다. 여기서, C'는 Cst/(Cst+C)이다.

[0102] 듀티 구동 기간(tem)이 시작될 때, EM 신호(EM)는 라이징되어 다시 온 레벨로 변하는 반면, 제1 스캔 펄스(SCAN1)는 폴링되어 오프 레벨로 변한다. 듀티 구동 기간(tem) 동안, 제2 TFT(T2)는 온 상태를 유지하여 OLED의 전류 패스를 형성한다. 제1 TFT(T1)는 듀티 구동 기간(tem) 동안 데이터 전압에 따라 OLED에 흐르는 전류량을 조절한다.

[0103] 듀티 구동 기간(tem)은 프로그래밍 기간(tw) 이후부터 그 다음 프레임의 초기화 기간(ti)까지 연속된다. 본 발명은 이 듀티 구동 기간(tem) 동안 표시패널들(PNL1, PNL2) 각각에서 분할된 블록들(BL1, BL2)의 캐소드 전압을 고전위 전원 전압(VDD)과 저전위 전원 전압(GND) 사이에서 스위칭함으로써 픽셀들(10)을 50% 이하의 듀티비로 발광시킨다. EM 신호(EM)가 온 레벨로 발생될 때 제2 TFT(T2)는 턴-온되어 OLED의 전류 패스를 형성한다. 듀티 구동 기간(tem) 동안, 제1 TFT(T1)의 게이트-소스 간 전압(Vgs)에 따라 조절되는 전류(Ioled)가 OLED에 흘러 OLED가 발광된다. 듀티 구동 기간(tem) 동안, 제1 및 제2 스캔신호(SCAN1, SCAN2)는 오프 레벨을 유지하므로 제3 및 제4 TFT(T3, T4)는 오프된다.

[0104] 듀티 구동 기간(tem) 동안 OLED에 흐르는 전류(Ioled)는 수학식 1과 같다. OLED는 이 전류에 의해 발광되어 입력 영상의 밝기를 표현한다.

수학식 1

$$I_{oled} = \frac{k}{2} [(1-C')(Vdata-Vref)]^2$$

[0105]

[0106] 수학식 1에서, k는 제1 TFT(T1)의 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.

[0107] 프로그래밍 기간(tw)을 통해 프로그래밍 된 Vgs에 Vth가 포함되어 있으므로, 수학식1의 Ioled 에서 Vth가 소거된다. 따라서, 구동 소자 즉, 제1 TFT(T1)의 문턱전압(Vth)이 OLED의 전류(Ioled)에 미치는 영향이 제거된다.

[0108] 도 21은 본 발명의 실시예에 따른 개인 몰입형 장치에서 표시패널들과 PMIC의 연결 관계를 보여 주는 도면이다. 도 22은 도 21에 도시된 드라이브 IC(D-IC1, D-IC2)를 상세히 보여 주는 도면이다.

[0109] 도 21 및 도 22를 참조하면, 제1 및 제2 표시패널(PNL1, PNL2) 각각에는 드라이브 IC(D-IC1, D-IC2)이 연결된다. 제1 드라이브 IC(D-IC1)는 제1 표시패널(PNL2)의 픽셀들에 입력 영상의 데이터를 기입한다. 제2 드라이브 IC(D-IC2)는 제2 표시패널(PNL2)의 픽셀들에 입력 영상의 데이터를 기입한다. 제1 및 제2 드라이브 IC들(D-IC1, D-IC2) 적어도 어느 하나는 PMIC를 제어하기 위한 신호들(CS, EN1, EN2)을 발생한다.

[0110] PMIC의 전원 발생부(32)는 직류-직류 변환기(DC-DC converter)를 이용하여 표시패널들의 구동에 필요한 직류 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator), 스텝 다운 변환기(Step-Down(Buck) Converter), 스텝 업 변환기(Step-Up(Boost) Converter) 등을 포함한다.

[0111] PMIC는 디스플레이 모듈(13)의 PCB(Printed Circuit Board) 상에 실장된다.

[0112] PMIC는 스위치 제어 신호(CS)에 응답하여 표시패널들(PNL1, PNL2) 각각에서 제1 캐소드(CAT1)에 고전위 전원 전압(VDD)을 공급함과 동시에 제2 캐소드(CAT2)에 저전위 전원 전압(GND)을 공급한 후에, 제2 캐소드(CAT2)에 고

전원 전압(VDD)을 공급함과 동시에 제1 캐소드(CAT1)에 저전위 전원 전압(GND)을 공급한다.

- [0113] PMIC는 직류-직류 변환기(DC-DC converter)를 포함한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator) 등을 이용하여 입력 전압을 조정하여 표시패널의 구동에 필요한 구동 전압을 발생한다. PMIC는 제1 인에이블 신호(EN1)에 응답하여 데이터 구동 전압(DDVDH)을 발생하고, 제2 인에이블 신호(EN2)에 응답하여 고전위 전원 전압(VDD)을 발생한다. 제1 및 제2 드라이브 IC들(D-IC1, D-IC2) 중 어느 하나가 제1 및 제2 인에이블 신호들(EN1, EN2)을 PMIC에 공급한다. 데이터 구동 전압(DDVDH)은 드라이브 IC(D-IC)의 데이터 구동부에 인가되는 기준 구동 전원이다. 드라이브 IC(D-IC)의 감마보상전압 발생부는 분압 회로를 이용하여 데이터 구동 전압(DDVDH)을 분압하여 감마보상전압을 발생한다. 고전위 전원 전압(VDD)은 도 19와 같이 픽셀 구동 전원이다. PMIC의 차지 펌프는 고전위 전원 전압(VDD)을 입력 받아 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)을 출력한다. 게이트 하이 전압(VGH)은 스캔 펄스와 EM 펄스의 하이 레벨 전압(high level voltage)이고, 게이트 로우 전압(VGL)은 스캔 펄스와 EM 펄스의 로우 레벨 전압(low level voltage)이다.
- [0114] 제1 드라이브 IC(D-IC1)는 제1 표시패널(PNL1)에서 제1 블록(BL1)의 픽셀들에 데이터를 어드레싱하는 동안 제2 블록(BL2)의 픽셀들을 발광시킨 후, 제2 블록(BL2)의 픽셀들에 데이터를 어드레싱하는 동안 제1 블록(BL1)의 픽셀들을 발광시킨다. 제2 드라이브 IC(D-IC2)는 제2 표시패널(PNL1)에서 제1 블록(BL1)의 픽셀들에 데이터를 어드레싱하는 동안 제2 블록(BL2)의 픽셀들을 발광시킨 후, 제2 블록(BL2)의 픽셀들에 데이터를 어드레싱하는 동안 제1 블록(BL1)의 픽셀들을 발광시킨다.
- [0115] 드라이브 IC들(D-IC1, D-IC2) 각각은 타이밍 컨트롤러(TCON, 110)와 데이터 구동부(102)를 포함한다. 데이터 구동부(102)는 감마보상전압 발생부(Gamma generator, GMAG), 데이터 래치(Data Latch, DL), 레벨 시프터(Level shifter, LS), 디지털 아날로그 변환기(Digital to Analog Converter, DAC), 및 출력 버퍼(AMP)를 포함한다.
- [0116] 데이터 구동 전압(DDVDH)은 감마보상전압 발생부(GMAG), 레벨 시프터(LS), 디지털 아날로그 변환기(Digital to Analog Converter, DAC), 및 출력 버퍼(AMP)의 기준 전원으로 공급된다.
- [0117] 감마보상전압 발생부(GMAG)는 데이터 구동 전압(DDVDH)을 분압하여 계조별로 전압이 다른 감마보상전압을 출력하여 디지털 아날로그 변환기(DAC)에 공급한다. 데이터 래치(DL)는 타이밍 컨트롤러(TCON)로부터 수신된 데이터를 래치하고 동시에 출력하여 직렬로 입력된 데이터를 병렬 체계의 데이터로 변환한다. 레벨 시프터(LS)는 데이터 래치(DL)로부터 입력된 데이터의 전압 레벨을 디지털 아날로그 변환기(DAC)의 입력 전압 범위로 시프트한다. 디지털 아날로그 변환기(DAC)는 레벨 시프터(LS)를 통해 입력되는 데이터를 감마보상전압으로 변환하여 데이터 전압을 발생한다. 디지털 아날로그 변환기(DAC)로부터 출력된 데이터 전압의 전압 레벨은 데이터의 계조에 따라 달라진다. 출력 버퍼(AMP)는 연산 증폭기(operational amplifier, OP-AMP)로 구현된 전압 추종기(Voltage follower)를 이용하여 디지털 아날로그 변환기(DAC)로부터 입력된 데이터 전압을 표시패널(PNL1, PNL2)의 데이터 라인들로 전달한다.
- [0118] 타이밍 컨트롤러(110)는 스위치 제어 신호(CS)와 인에이블 신호(EN1, EN2)를 발생하여 PMIC를 제어한다. PMIC는 인에이블 신호(EN1, EN2)에 응답하여 VDD, DDVDH 등의 전원 전압을 발생하고, 스위치 제어 신호(CS)에 응답하여 캐소드 전압을 스위칭한다.
- [0119] 드라이브 IC들(D-IC1, D-IC2) 각각은 도 23과 같이 분리된 캐소드(CAT1 또는 CAT2)에 고전위 전원 전압(VDD)이 공급되는 블록(BL1 또는 BL2)의 스캔 타임(scan time)에 데이터 전압을 공급하여 그 블록의 픽셀들(PXL)에 입력 영상의 데이터를 어드레싱한다. 드라이브 IC들(D-IC1, D-IC2)은 캐소드(CAT1, CAT2)에 저전위 전원 전압(GND)이 공급되는 블록의 픽셀들을 발광시킨다.
- [0120] 표시패널들(PNL1, PNL2) 각각에서, 제1 블록에 데이터를 기입하는 동안 제2 블록이 발광된 후, 제2 블록에 데이터를 기입하는 동안 제1 블록이 발광된다.
- [0121] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

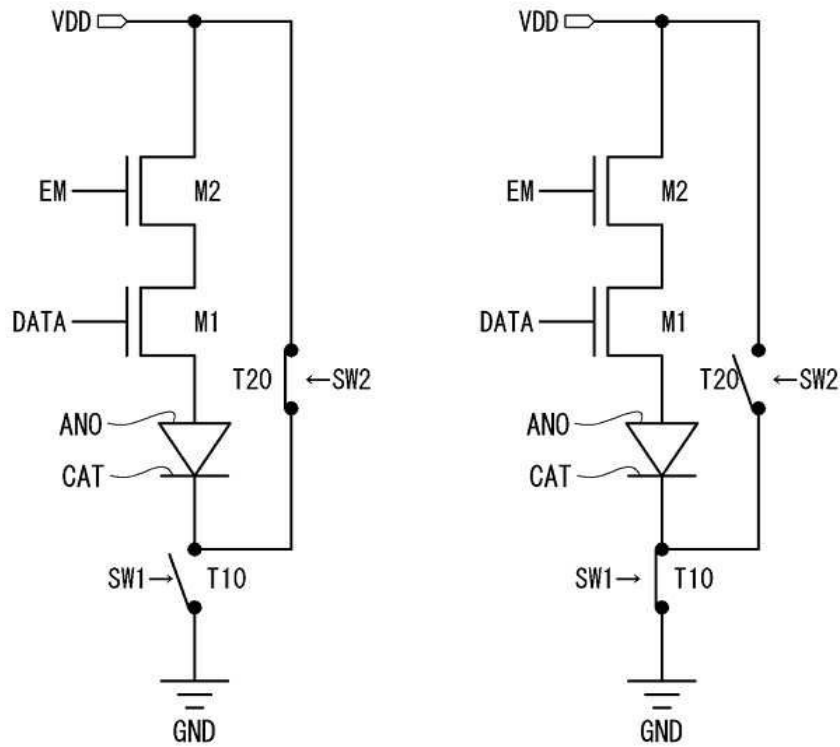
부호의 설명

- [0122] PNL1, PNL2 : 표시패널 AA : 픽셀 어레이

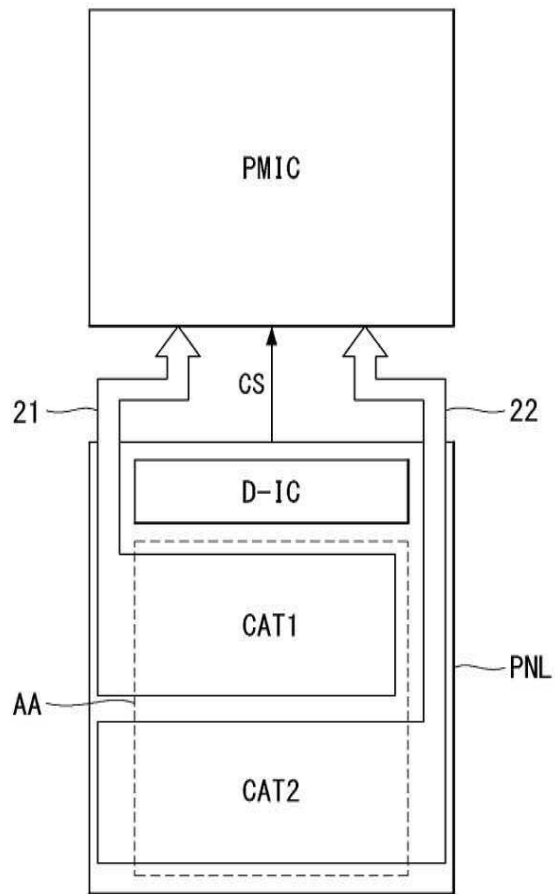
LENS : 어안 렌즈 110 : 타이밍 콘트롤러
 102 : 데이터 구동부 104 : 게이트 구동부
 106 : EM 구동부 PMIC : 전원 집적 회로
 D-IC1, D-IC2 : 드라이브 집적회로 31 : 스위치 제어부
 32 : 전원 발생부 33 : 스위치부

도면

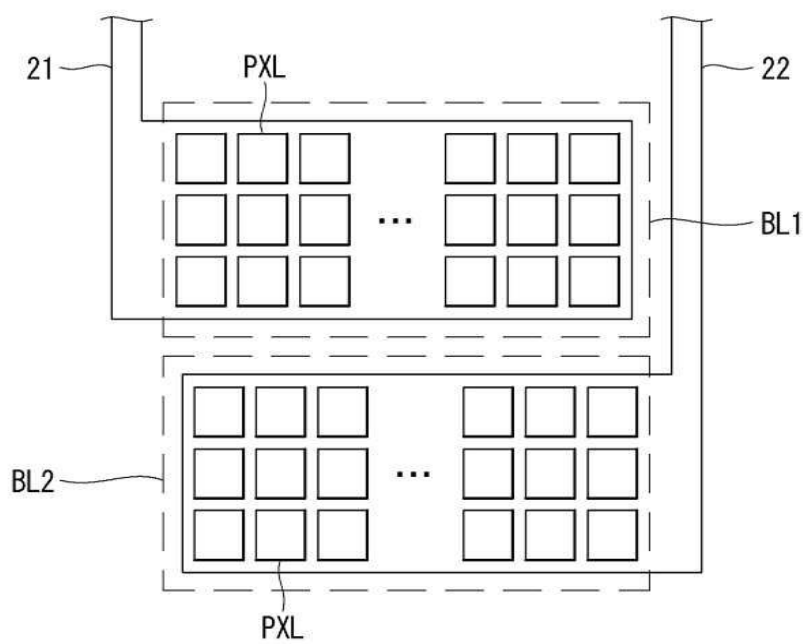
도면1



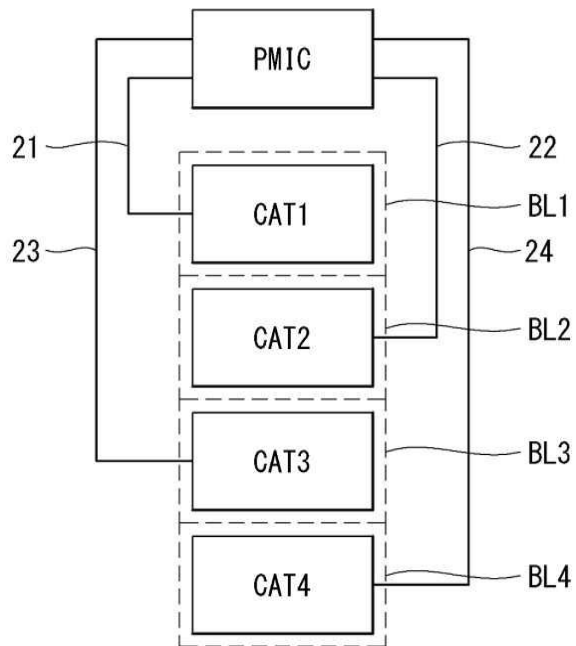
도면2



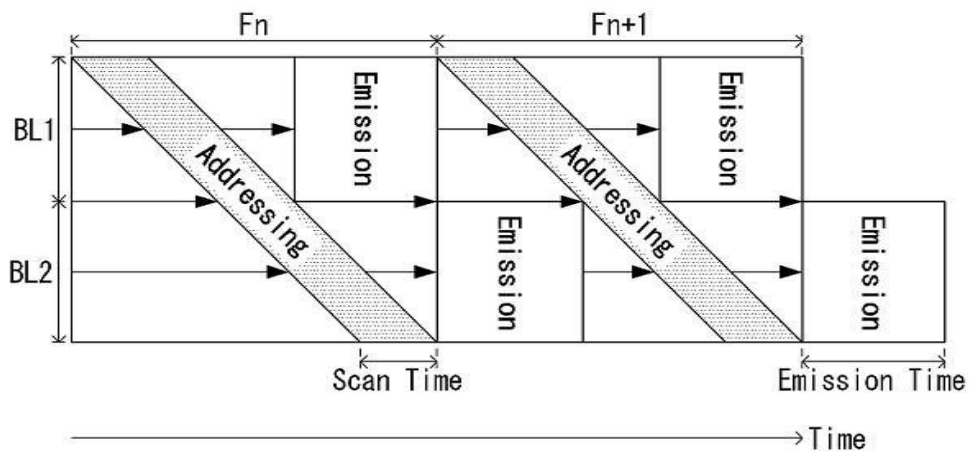
도면3



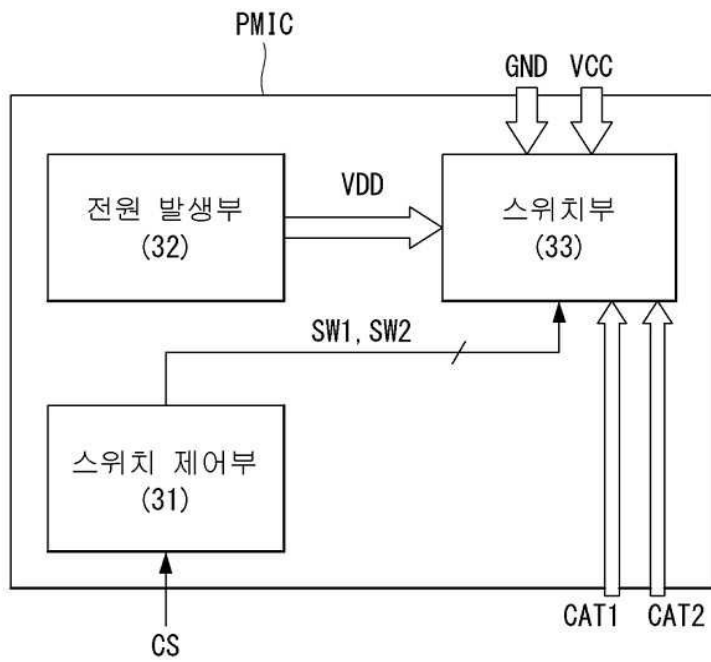
도면4



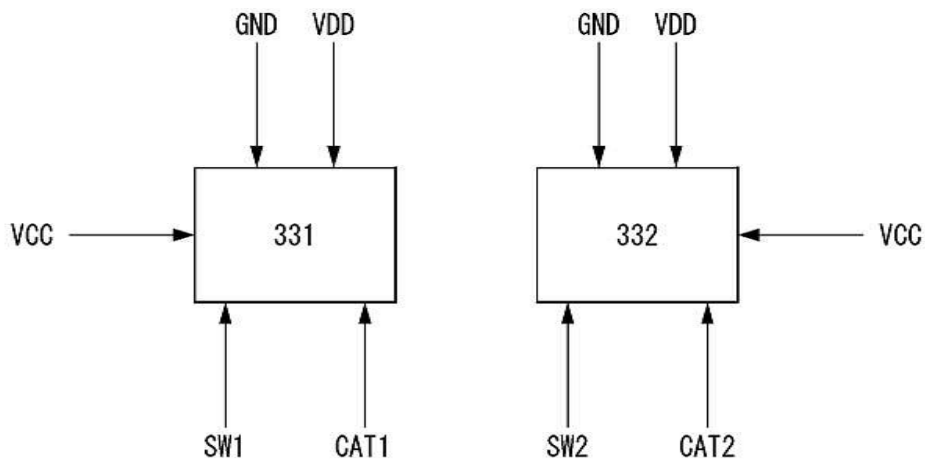
도면5



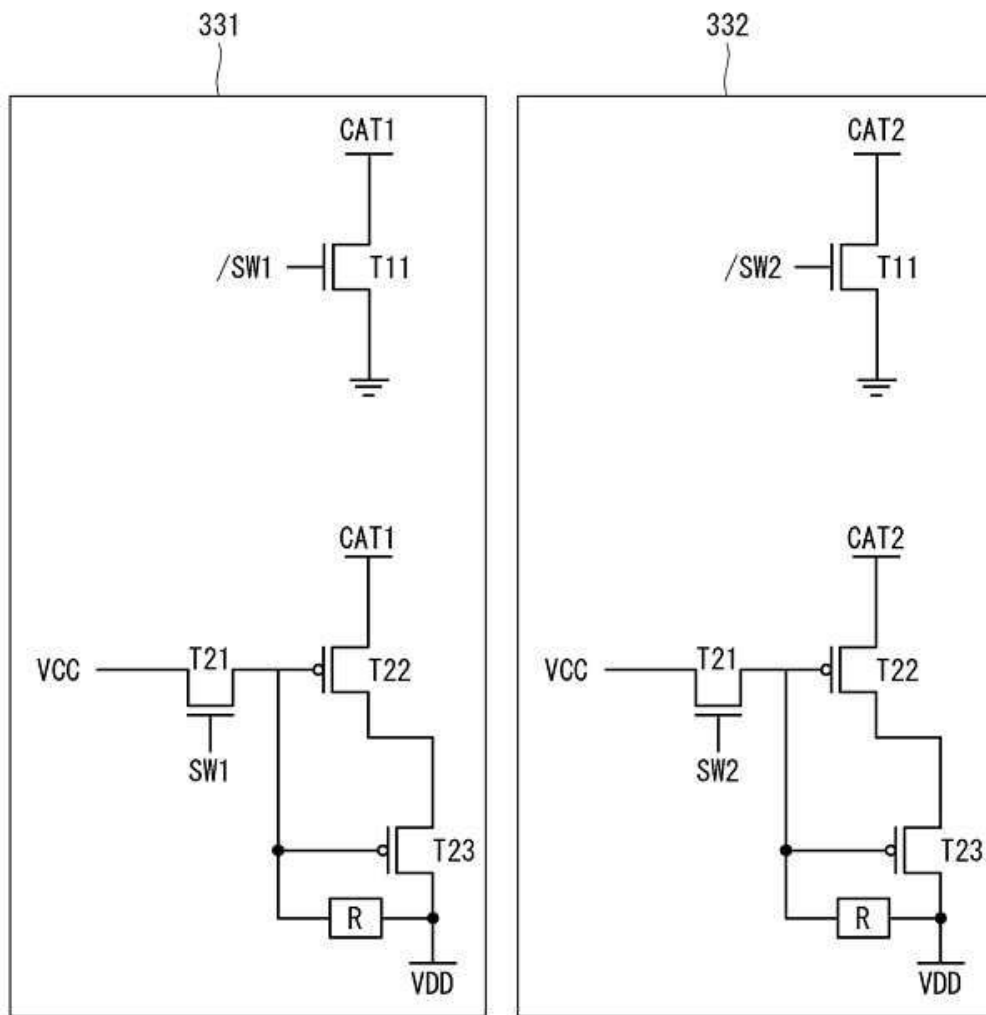
도면6



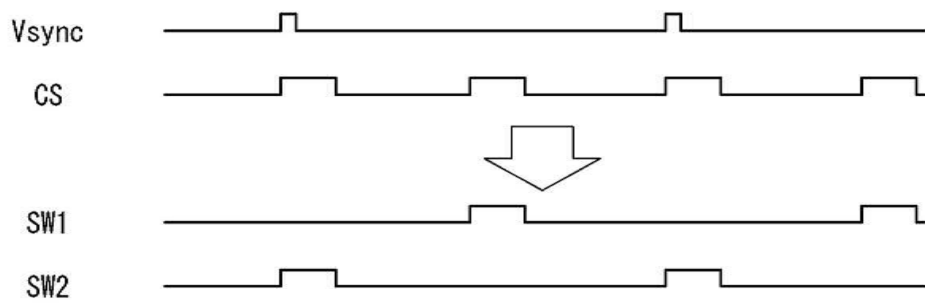
도면7



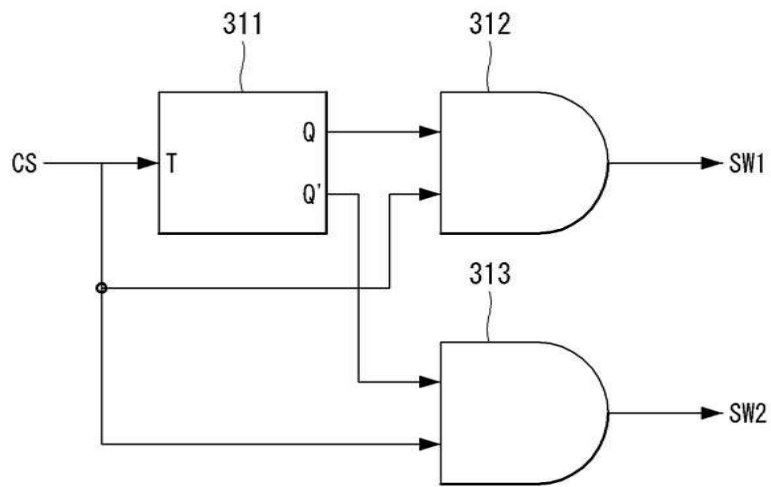
도면8



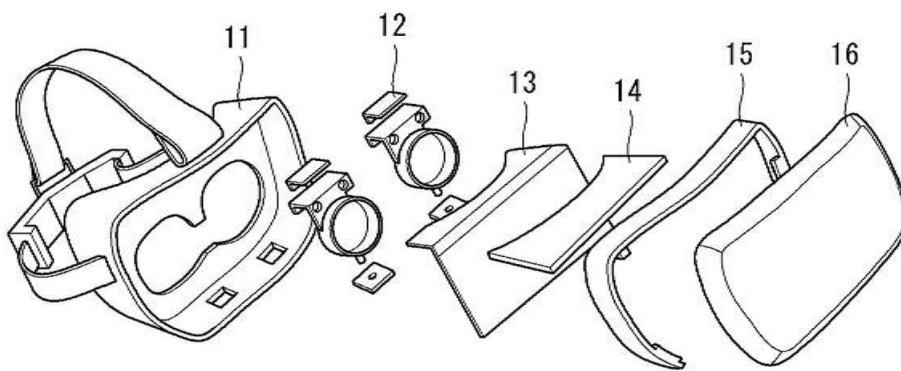
도면9



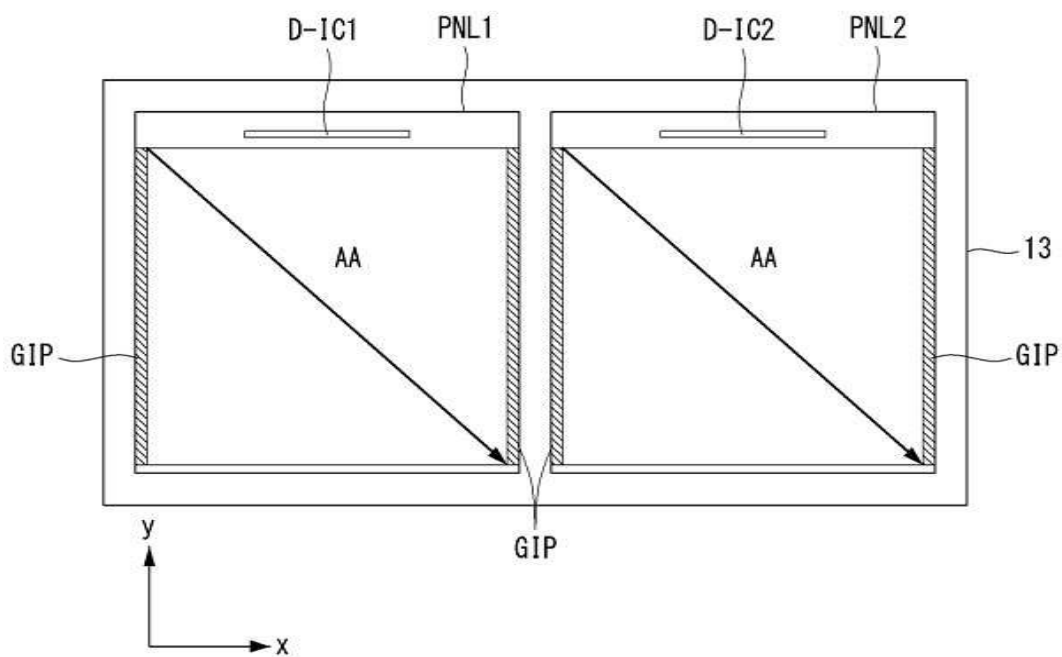
도면10



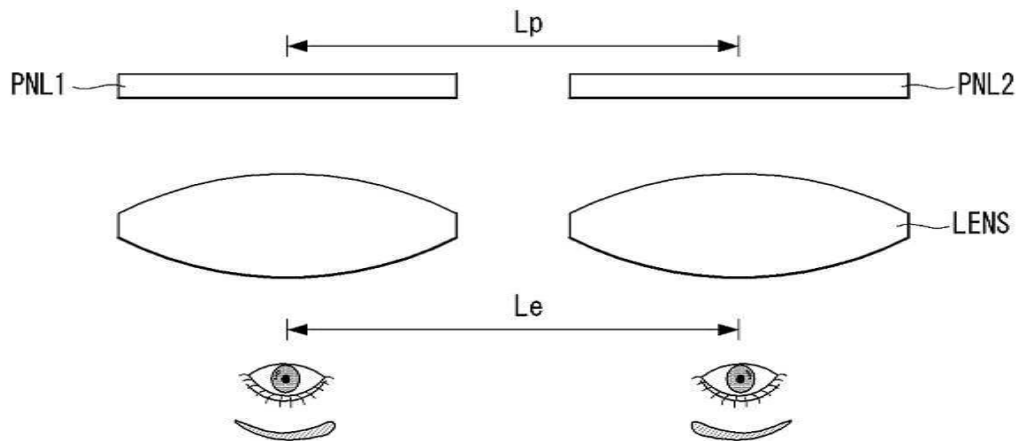
도면11



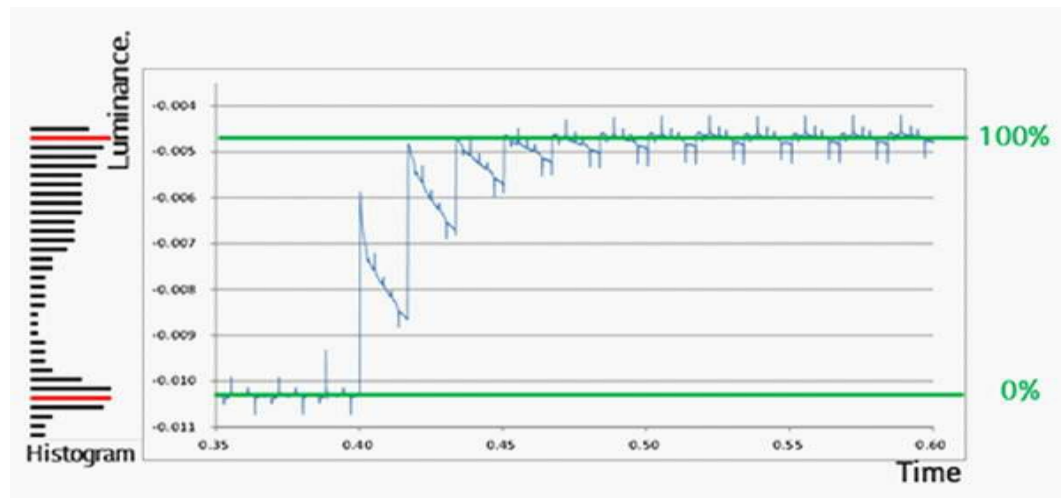
도면12



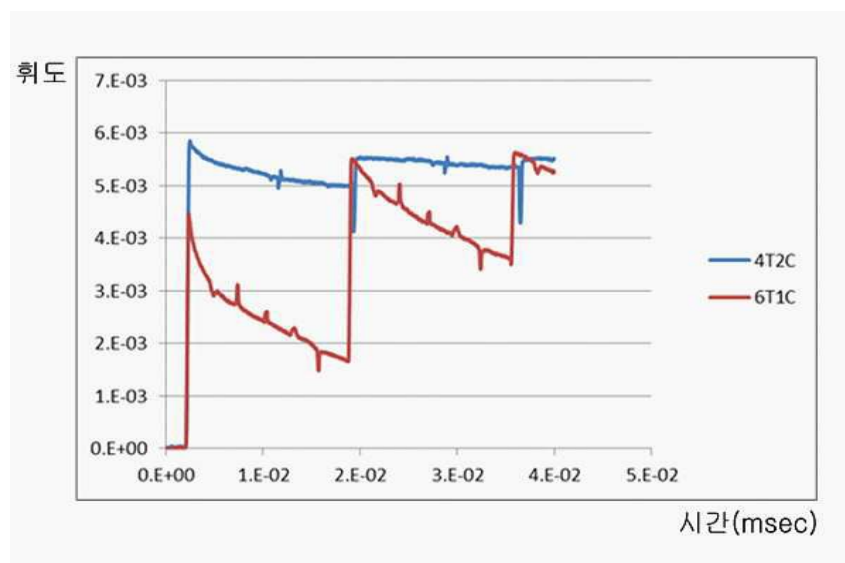
도면13



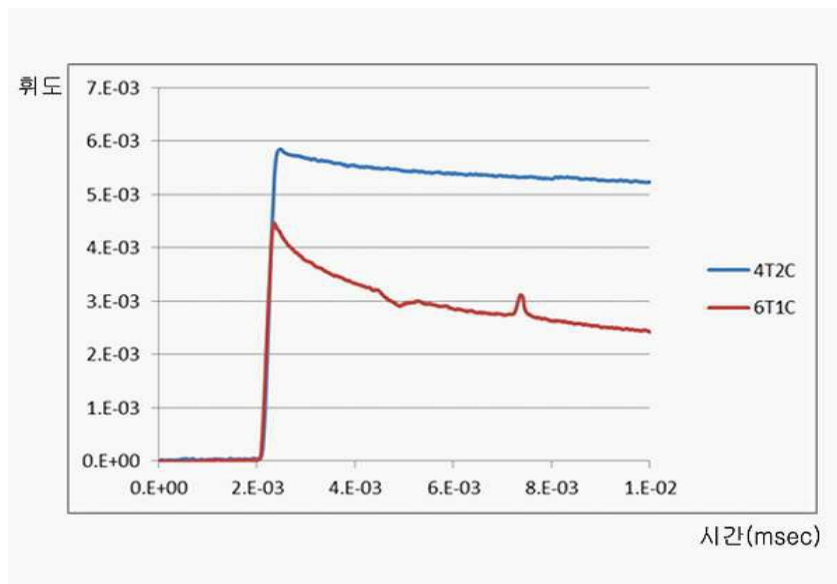
도면14



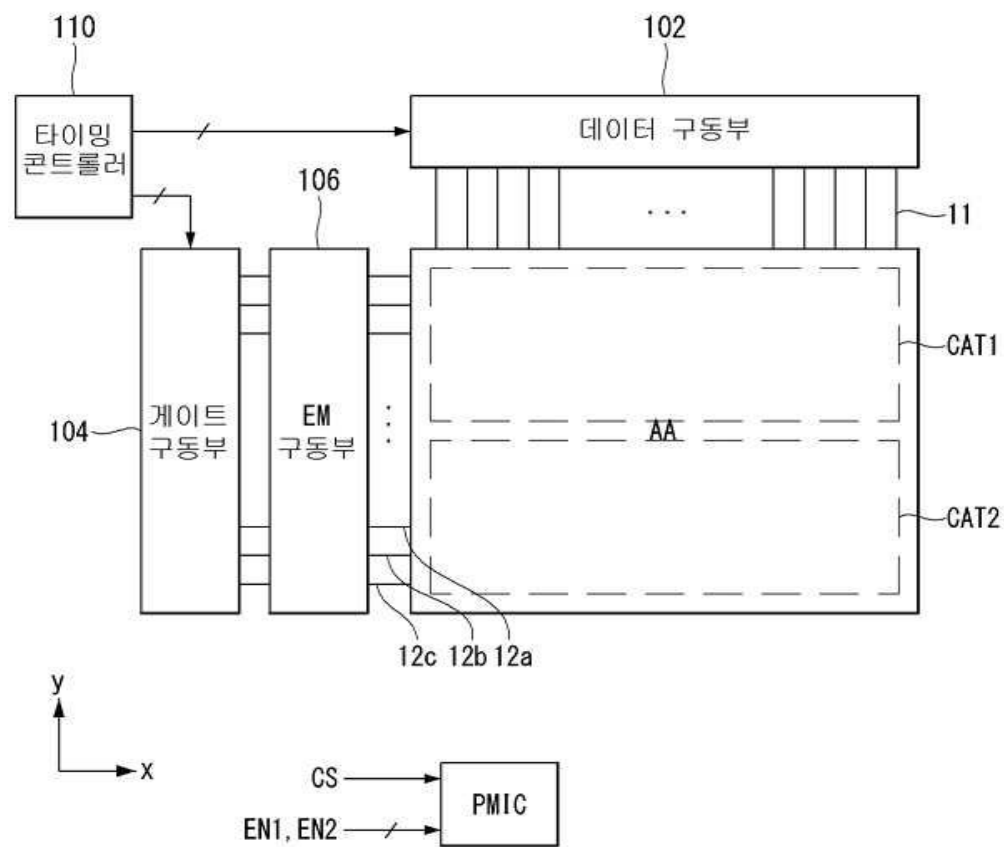
도면15



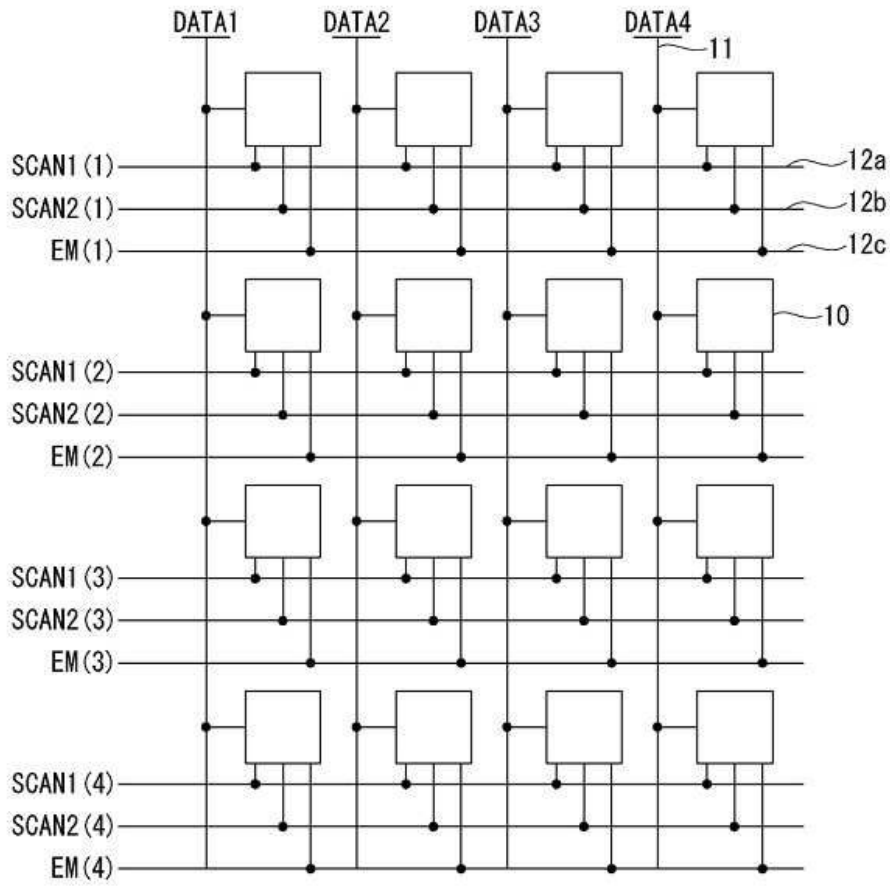
도면16



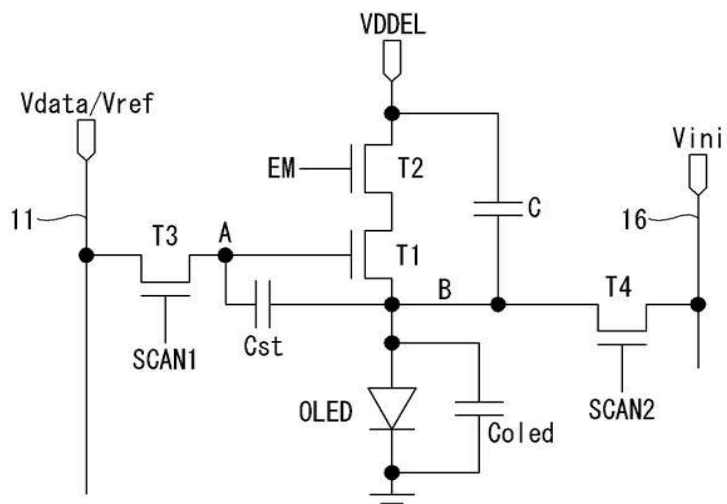
도면17



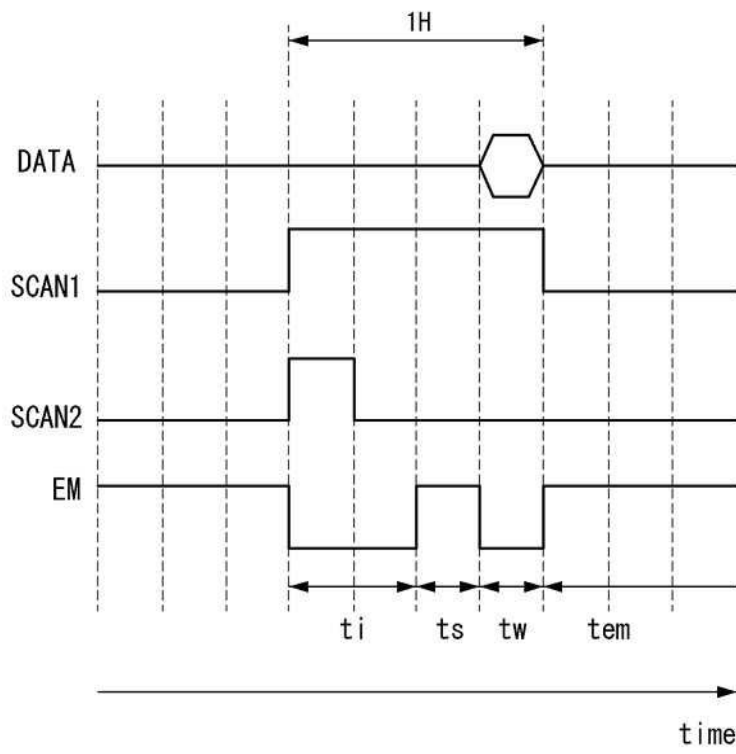
도면18



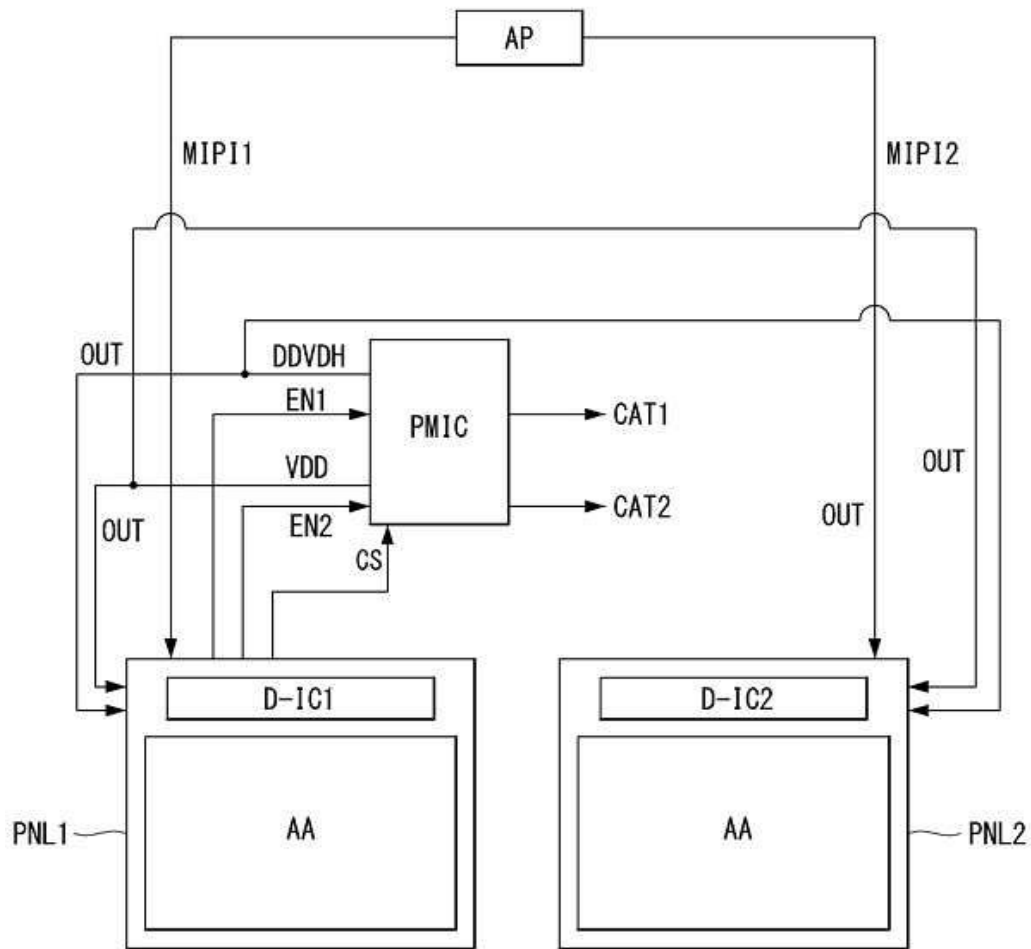
도면19



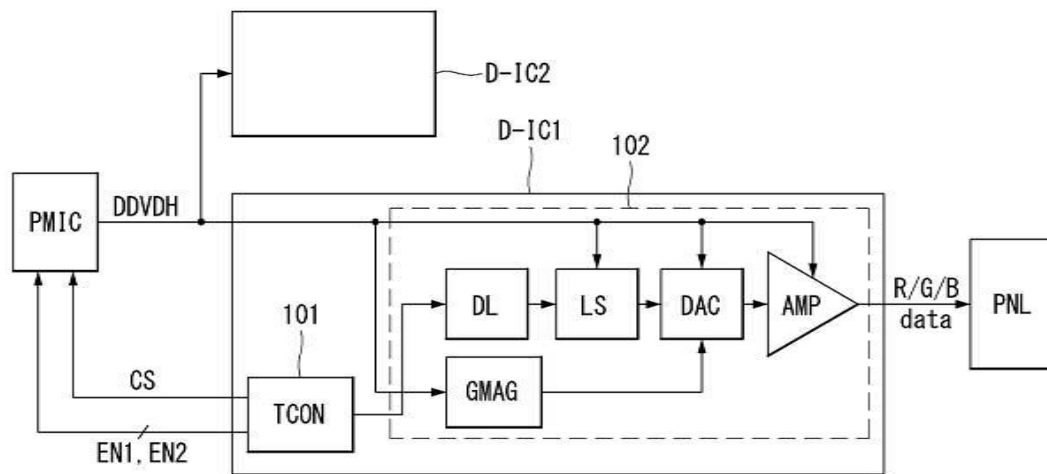
도면20



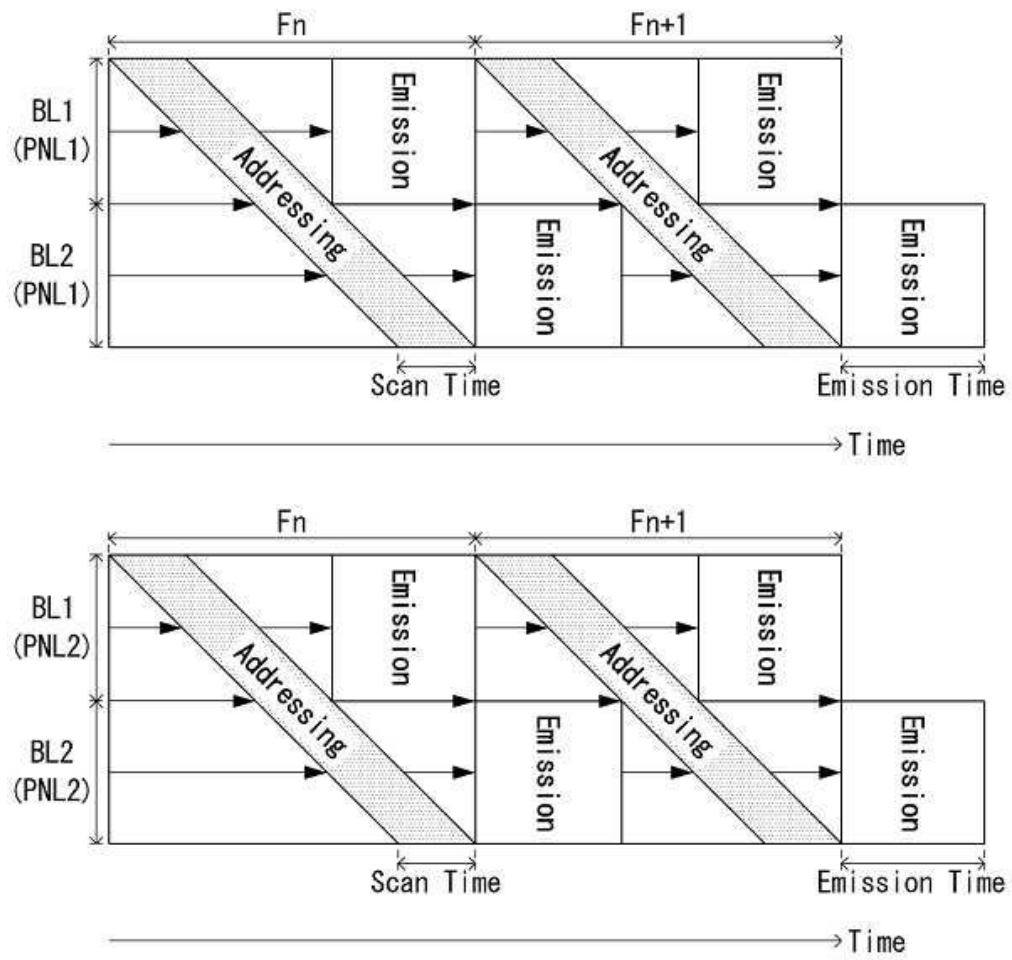
도면21



도면22



도면23



专利名称(译)	标题：有机发光显示装置和使用其的个人浸入装置		
公开(公告)号	KR1020170077921A	公开(公告)日	2017-07-07
申请号	KR1020150187568	申请日	2015-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	EOM EUN CHEOL 엄은철		
发明人	엄은철		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2330/028 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

有机发光显示器和使用该有机发光显示器的个人浸入装置技术领域有机发光显示器包括其中布置有多个像素并且阴极被分成两个或更多个并且被分成两个或更多个块的显示面板，并且响应于开关控制信号将高电位电源电压提供给第一阴极。一种电源集成电路，用于向第二阴极提供高电位电源电压，并在将低电位电源电压提供给第二阴极之后将低电位电源电压提供给第一阴极，以及用于控制电源集成电路的驱动电路，使得即使帧速率或显示面板的分辨率增加，也可以充分确保像素的驱动时间。

