



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0005239
(43) 공개일자 2017년01월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2015-0094222

(22) 출원일자 2015년07월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

조경현

전라북도 정읍시 금봉1길 1-1 102동 1405호 (상동, 대림아파트)

(74) 대리인

김은구, 송해모

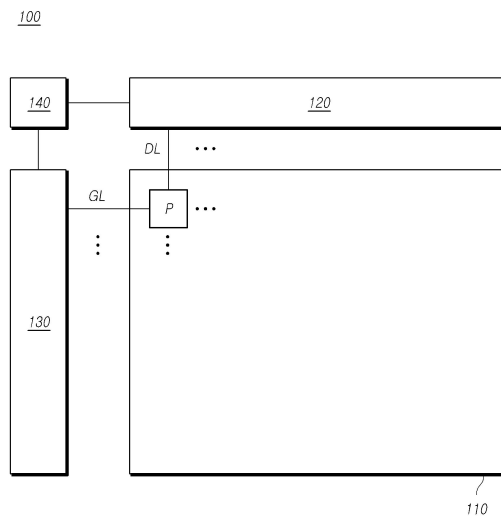
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광표시장치 및 그 구동방법

(57) 요약

본 발명은 복수의 스캔트랜지스터를 포함하고 복수의 스캔트랜지스터 중 초기화전류가 흐르지 않는 스캔트랜지스터를 이용하여 구동트랜지스터의 게이트-소스 전압을 초기화하는 유기발광표시장치를 제공한다.

대표도 - 도1



(52) CPC특허분류
G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

복수의 화소영역이 정의되고 복수의 데이터라인 및 복수의 게이트라인이 배치되는 패널;
 상기 데이터라인을 구동하는 데이터구동부; 및
 상기 게이트라인을 구동하는 게이트구동부를 포함하고,
 상기 화소영역에는,
 애노드가 제1노드와 연결되는 유기발광다이오드,
 제2노드와 구동전압라인 사이에 배치되고 게이트로 데이터전압이 공급되는 구동트랜지스터,
 상기 제1노드 및 상기 제2노드 사이에 배치되고 게이트로 에미션신호가 공급되는 에미션트랜지스터,
 스캔신호에 따라 상기 구동트랜지스터의 게이트와 데이터라인을 연결시키는 제1스캔트랜지스터,
 상기 스캔신호에 따라 상기 제1노드와 참조전압라인을 연결시키는 제2스캔트랜지스터,
 상기 스캔신호에 따라 상기 제2노드와 상기 참조전압라인을 연결시키는 제3스캔트랜지스터 및
 상기 구동트랜지스터의 게이트와 상기 제1노드 사이에 스토리지캐패시터가 배치되는 유기발광표시장치.

청구항 2

제1항에 있어서,
 상기 패널에는 상기 에미션신호가 전달되는 에미션라인이 더 배치되고,
 상기 에미션라인은 상기 게이트구동부에 의해 구동되는 유기발광표시장치.

청구항 3

제1항에 있어서,
 상기 제2스캔트랜지스터 및 상기 제3스캔트랜지스터의 턴온 구간에서 상기 구동트랜지스터에 초기화전류가 형성되고 상기 초기화전류는 상기 제3스캔트랜지스터로 흐르는 유기발광표시장치.

청구항 4

제3항에 있어서,
 상기 제2스캔트랜지스터 및 상기 제3스캔트랜지스터가 턴오프된 후 상기 에미션트랜지스터가 턴온되는 유기발광표시장치.

청구항 5

제3항에 있어서,
 상기 제2스캔트랜지스터의 턴온구간에서 상기 스토리지캐패시터에 (데이터전압-참조전압)이 충전되는 유기발광표시장치.

청구항 6

제5항에 있어서,
 상기 스토리지캐패시터의 정전용량이 상기 구동트랜지스터에 형성되는 게이트-소스캐패시터의 정전용량보다 큰 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 에미션트랜지스터가 턴온되고 상기 스토리지캐패시터의 전하와 상기 구동트랜지스터의 게이트-소스캐패시터의 전하가 공유되는 유기발광표시장치.

청구항 8

제3항에 있어서,

상기 제3스캐트랜지스터에는 턴온저항이 존재하고 상기 초기화전류에 의해 상기 제2노드에 참조전압보다 높거나 낮은 전압이 형성되는 유기발광표시장치.

청구항 9

제8항에 있어서,

서로 다른 화소영역에 배치되는 적어도 두 개의 제3스캐트랜지스터의 턴온저항 크기가 상이한 유기발광표시장치.

청구항 10

제3항에 있어서,

상기 제2스캐트랜지스터의 턴오프 직전 시점에 상기 제2스캐트랜지스터로 전류가 흐르지 않거나 상기 제2스캐트랜지스터로 흐르는 전류의 크기가 일정값 이하인 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 종래 유기발광표시장치의 화소는 유기발광다이오드, 이를 구동시키기 위한 구동트랜지스터, 스캔신호를 입력하는 스캐트랜지스터 및 참조전압을 입력하는 센싱트랜지스터 등이 각종 신호라인들과 연결되는 구조를 갖는다.

[0003] 이러한 화소구조에서 스캐트랜지스터 및 센싱트랜지스터가 턴온될 때, 구동트랜지스터의 게이트로 데이터전압이 공급되고 구동트랜지스터의 소스로 참조전압이 공급된다. 그리고, 이때, 구동트랜지스터 및 센싱트랜지스터를 경유하여 초기화전류가 흐르게 된다.

[0004] 그런데, 이러한 초기화전류가 센싱트랜지스터를 경유하여 흐르게 되면, 센싱트랜지스터에 있는 턴온저항에 의해 센싱트랜지스터에 전압강하가 발생하게 된다. 그리고, 이러한 전압강하는 구동트랜지스터의 소스로 참조전압이 온전히 전달되지 못하게 되는 원인이 된다.

[0005] 높은 계조에 해당되는 데이터전압이 구동트랜지스터로 공급되는 경우, 초기화전류의 크기가 더 커지게 되고 이에 따라 전술한 전압강하가 더 크게 발생하기도 한다.

[0006] 한편, 전술한 전압강하에 따라 구동트랜지스터의 소스 전압이 커지게 되면 동일한 계조를 표현하기 위해 데이터 전압이 그 만큼 더 커지는 문제가 발생한다.

[0007] 센싱트랜지스터의 턴온저항은 화소마다 다를 수 있다. 이러한 화소별 턴온저항의 차이는 공정상의 편차에서 기인한 것일 수도 있고, 열화의 정도 차이에 기인한 것일 수도 있다.

[0008] 이렇게 턴온저항에서 차이가 발생하면 화소마다 전술한 전압강하의 크기가 다르게 나타나게 되는데, 이에 따라, 동일한 데이터전압을 공급받는 두 개의 화소가 서로 다른 밝기를 나타내기도 한다. 근접한 화소 사이에서 이러한 턴온저항의 차이가 발생하면 화소의 밝기 차이에 따라 영상이미지에서 얼룩문양이 관측되기도 한다.

발명의 내용

해결하려는 과제

- [0009] 이러한 배경에서, 본 발명의 목적은, 초기화전류에 영향을 받지 않고 구동트랜지스터의 게이트-소스 전압을 형성하는 기술을 제공하는 것이다.
- [0010] 다른 측면에서, 본 발명의 목적은, 참조전압과 실질적으로 동일한 전압을 구동트랜지스터의 소스로 전달하는 기술을 제공하는 것이다.

과제의 해결 수단

- [0011] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 복수의 스캔트랜지스터를 포함하고 복수의 스캔트랜지스터 중 초기화전류가 흐르지 않는 스캔트랜지스터를 이용하여 구동트랜지스터의 게이트-소스 전압을 초기화하는 유기발광표시장치를 제공한다.
- [0012] 다른 측면에서, 본 발명은, 복수의 화소영역이 정의되고 복수의 데이터라인 및 복수의 게이트라인이 배치되는 패널, 데이터라인을 구동하는 데이터구동부 및 게이트라인을 구동하는 게이트구동부를 포함하는 유기발광표시장치를 제공한다. 그리고, 이러한 본 발명이 제공하는 유기발광표시장치의 화소영역에는 애노드가 제1노드와 연결되는 유기발광다이오드, 제2노드와 구동전압라인 사이에 배치되고 게이트로 데이터전압이 공급되는 구동트랜지스터, 제1노드 및 상기 제2노드 사이에 배치되고 게이트로 에미션신호가 공급되는 에미션트랜지스터, 스캔신호에 따라 구동트랜지스터의 게이트와 데이터라인을 연결시키는 제1스캔트랜지스터, 스캔신호에 따라 제1노드와 참조전압라인을 연결시키는 제2스캔트랜지스터, 스캔신호에 따라 제2노드와 참조전압라인을 연결시키는 제3스캔트랜지스터 및 구동트랜지스터의 게이트와 제1노드 사이에 스토리지캐패시터가 배치된다.

발명의 효과

- [0013] 이상에서 설명한 바와 같이 본 발명에 의하면, 초기화전류에 영향을 받지 않고 구동트랜지스터의 게이트-소스 전압을 형성함으로써, 각 화소에 배치되는 트랜지스터들의 특성 차이와 무관하게 화소를 균질적으로 구동할 수 있게 된다.

도면의 간단한 설명

- [0014] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
- 도 2는 일 실시예에 따른 유기발광표시장치의 화소구조를 나타낸 등가 회로도이다.
- 도 3은 유기발광표시장치의 초기화단계 및 에미션단계에서의 주요 신호 및 주요 노드 파형을 나타내는 도면이다.
- 도 4는 유기발광표시장치의 초기화단계에서의 트랜지스터 구동 상태 및 전압/전류의 흐름을 나타내는 도면이다.
- 도 5는 유기발광표시장치의 초기화단계에서의 스토리지캐패시터의 전압 파형을 설명하기 위한 도면이다.
- 도 6은 유기발광표시장치의 에미션단계에서의 트랜지스터 구동 상태 및 전압/전류의 흐름을 나타내는 도면이다.
- 도 7은 유기발광표시장치의 초기화단계 및 에미션단계에서의 주요 신호, 스토리지캐패시터 전압 및 구동트랜지스터의 게이트-소스 전압 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0016] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락

에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

- [0017] 도 1은 실시예들에 따른 유기발광표시장치의 개략적인 시스템 구성도이다.
- [0018] 도 1을 참조하면, 유기발광표시장치(100)는 패널(110), 데이터구동부(120), 게이트구동부(130) 및 타이밍컨트롤러(140) 등을 포함할 수 있다.
- [0019] 패널(110)에는, 다수의 데이터라인(DL: Data Line)이 배치되고, 다수의 게이트라인(GL: Gate Line)이 배치되며, 데이터라인(DL)과 게이트라인(GL)의 교차 지점에 대응하는 위치에 복수의 화소영역(P: Pixel)이 정의될 수 있다.
- [0020] 패널(110)은 표시패널(Display Panel)과 터치패널(TSP: Touch Screen Panel)을 포함할 수 있는데, 여기서 표시패널과 터치패널은 서로 분리되어 있을 수도 있고 일부 구성요소를 서로 공유하면서 일체형 패널을 구성할 수도 있다.
- [0021] 데이터구동부(120)는 디지털이미지를 패널(110)의 각 화소영역(P)에 표시하기 위해 데이터라인(DL)을 구동한다.
- [0022] 이러한 데이터구동부(120)는 적어도 하나의 데이터드라이버집적회로를 포함할 수 있는데, 이러한 적어도 하나의 데이터드라이버집적회로는, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG: Chip On Glass) 방식으로 패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 패널(110)에 집적화되어 배치될 수도 있다. 또한, 데이터구동부(120)는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0023] 게이트구동부(130)는 각 화소영역(P)에 위치하는 트랜지스터를 턴 온 혹은 턴오프시키기 위해 게이트라인(GL)을 구동한다.
- [0024] 이러한 게이트구동부(130)는, 구동 방식에 따라서, 도 1에서와 같이 패널(110)의 한 측에만 위치할 수도 있고, 2개로 나누어져 패널(110)의 양측에 위치할 수도 있다.
- [0025] 또한, 게이트구동부(130)는, 적어도 하나의 게이트드라이버집적회로를 포함할 수 있는데, 이러한 적어도 하나의 게이트드라이버집적회로는, 테이프 오토메티드 본딩(TAB) 방식 또는 칩 온 글래스(COG) 방식으로 패널(110)의 본딩 패드에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 패널(110)에 직접 형성될 수도 있으며, 경우에 따라서, 패널(110)에 집적화되어 배치될 수도 있다. 또한, 게이트구동부(130)는 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수도 있다.
- [0026] 타이밍컨트롤러(140)는 데이터구동부(120) 및 게이트구동부(130)로 각종 제어신호를 공급하고, 데이터구동부(120)로 디지털 영상 신호에 해당하는 영상데이터를 공급한다. 데이터구동부(120)는 이러한 영상데이터에 따라 각 데이터라인(116)으로 데이터전압을 공급한다.
- [0027] 패널(110)의 각 화소영역(P)에는 양극, 음극 및 유기발광층을 포함하는 적어도 하나의 유기발광다이오드(OLED: Organic Light Emitting Diode)가 배치될 수 있다. 각 유기발광다이오드(OLED)에 포함된 유기발광층은 적색, 녹색, 청색 및 백색용 유기발광층 중 적어도 하나 이상의 유기발광층 또는 백색 유기발광층을 포함할 수 있다.
- [0028] 패널(110)의 각 화소영역(P)에는 복수의 트랜지스터 및 캐패시터가 배치될 수 있다.
- [0029] 도 2는 일 실시예에 따른 유기발광표시장치의 화소구조를 나타낸 등가 회로도이다.
- [0030] 도 2를 참조하면, 화소영역(P)에는 유기발광다이오드(OLED), 구동트랜지스터(DT), 에미션트랜지스터(ET), 제1스캐너트랜지스터(ST1), 제2스캐너트랜지스터(ST2), 제3스캐너트랜지스터(ST3) 및 스토리지캐패시터(Cst)가 배치될 수 있다.
- [0031] 유기발광다이오드(OLED)의 애노드는 제1노드(N1)와 연결되고, 캐소드는 저전위전압(EVSS)과 연결될 수 있다.
- [0032] 구동트랜지스터(DT)는 제2노드(N2)와 구동전압라인(DVL) 사이에 배치될 수 있다. 이때, 구동트랜지스터(DT)의 드레인(혹은 소스)은 구동전압라인(DVL)을 통해 구동전압(EVDD)과 연결되고, 소스(혹은 드레인)은 제2노드(N2)와 연결되며, 게이트는 제3노드(N3)와 연결될 수 있다.
- [0033] 에미션트랜지스터(ET)는 구동트랜지스터(DT)와 직렬로 연결될 수 있다. 에미션트랜지스터(ET)는 제1노드(N1) 및 제2노드(N2) 사이에 배치될 수 있다. 이때, 에미션트랜지스터(ET)의 드레인(혹은 소스)은 제2노드(N2)와 연결되

고 소스(혹은 드레인)는 제1노드(N1)를 통해 유기발광다이오드(OLED)와 연결될 수 있다. 그리고, 에미션트랜지스터(ET)의 게이트는 에미션라인(미도시)과 연결될 수 있는데, 이러한 에미션라인(미도시)으로 에미션신호가 공급될 수 있다.

- [0034] 화소영역(P)에는 스캔신호(SCAN)를 게이트로 공급받는 3개의 스캔트랜지스터가 배치될 수 있다.
- [0035] 제1스캔트랜지스터(ST1)는 스캔신호(SCAN)에 따라 구동트랜지스터(DT)의 게이트와 데이터라인(DL)을 연결시킨다. 이를 위해, 제1스캔트랜지스터(ST1)의 드레인(혹은 소스)은 제3노드(N3)를 통해 구동트랜지스터(DT)의 게이트와 연결되고, 소스(혹은 드레인)는 데이터라인(DL)과 연결될 수 있다. 또한, 제1스캔트랜지스터(ST1)의 게이트는 게이트라인(도 1의 GL 참조)과 연결되면서 게이트라인(도 1의 GL 참조)을 통해 스캔신호(SCAN)를 공급받을 수 있다.
- [0036] 제2스캔트랜지스터(ST2)는 스캔신호(SCAN)에 따라 제1노드(N1)와 참조전압라인(RVL)을 연결시킨다. 이를 위해, 제2스캔트랜지스터(ST2)의 드레인(혹은 소스)은 제1노드(N1)와 연결되고, 소스(혹은 드레인)는 참조전압라인(RVL)과 연결될 수 있다. 또한, 제2스캔트랜지스터(ST2)의 게이트는 게이트라인(도 1의 GL 참조)과 연결되면서 게이트라인(도 1의 GL 참조)을 통해 스캔신호(SCAN)를 공급받을 수 있다.
- [0037] 제3스캔트랜지스터(ST3)는 스캔신호(SCAN)에 따라 제2노드(N2)와 참조전압라인(RVL)을 연결시킨다. 이를 위해, 제3스캔트랜지스터(ST3)의 드레인(혹은 소스)은 제2노드(N2)와 연결되고, 소스(혹은 드레인)는 참조전압라인(RVL)과 연결될 수 있다. 또한, 제3스캔트랜지스터(ST3)의 게이트는 게이트라인(도 1의 GL 참조)과 연결되면서 게이트라인(도 1의 GL 참조)을 통해 스캔신호(SCAN)를 공급받을 수 있다.
- [0038] 구동트랜지스터(DT)의 게이트 노드인 제3노드(N3)와 제1노드(N1) 사이에 스토리지캐패시터(Cst)가 배치될 수 있다. 스토리지캐패시터(Cst)의 일 전극은 제3노드(N3)와 연결되고 타 전극은 제1노드(N1)과 연결될 수 있다.
- [0039] 화소영역(P)에 배치되는 트랜지스터들(DT, ET, ST1, ST2 및 ST3)에는 전극캐패시터스가 존재할 수 있다. 예를 들어, 트랜지스터들(DT, ET, ST1, ST2 및 ST3)에는 게이트 전극 및 소스 전극 사이에 형성되는 게이트-소스 캐패시터, 게이트 전극 및 드레인 전극 사이에 형성되는 게이트-드레인 캐패시터, 드레인 전극 및 소스 전극 사이에 형성되는 드레인-소스 캐패시터 등이 있을 수 있다. 도 2에 이러한 전극캐패시터스가 모두 표시되지는 않았고, 설명의 편의를 위하여 구동트랜지스터(DT)의 게이트 전극 및 제2노드(N2) 사이에 형성되는 게이트-소스 캐패시터(구동트랜지스터(DT)의 드레인 전극이 제2노드(N2)로 연결되는 경우, 게이트-드레인 캐패시터)만 표시되었다.
- [0040] 참조전압라인(RVL)은 참조전압원(미도시)과 연결되어 있으면서 참조전압원(미도시)으로부터 참조전압(VREF)을 공급받을 수 있다. 데이터라인(DL)은 데이터구동부(도 1의 120 참조)에 배치되는 DAC(Digital to Analog Converter)와 연결되어 있으면서 DAC로부터 데이터전압을 공급받을 수 있다. 그리고, 제2스캔트랜지스터(ST2) 및 제3스캔트랜지스터(ST3)는 스위치(SAM)를 통해 ADC(Analog to Digital Converter)와 연결될 수 있는데, 유기발광표시장치(100)는 이러한 ADC를 이용하여 구동트랜지스터(DT) 혹은 에미션트랜지스터(ET)의 문턱전압을 보상할 수 있다.
- [0041] 한편, 화소영역(P)에 배치되는 유기발광다이오드(OLED)는 초기화단계 및 에미션단계를 포함하는 구동방법에 따라 구동될 수 있다.
- [0042] 도 3은 유기발광표시장치의 초기화단계 및 에미션단계에서의 주요 신호 및 주요 노드 파형을 나타내는 도면이고, 도 4는 유기발광표시장치의 초기화단계에서의 트랜지스터 구동 상태 및 전압/전류의 흐름을 나타내는 도면이다.
- [0043] 도 3 및 도 4를 참조하면, 초기화단계에서 스캔신호(SCAN)는 하이레벨 구간을 가지게 되고 이러한 스캔신호(SCAN)에 따라 제1스캔트랜지스터(ST1), 제2스캔트랜지스터(ST2) 및 제3스캔트랜지스터(ST3)가 턴온된다.
- [0044] 제1스캔트랜지스터(ST1)의 턴온에 따라 데이터라인(DL)과 구동트랜지스터(DT)의 게이트가 연결되고 구동트랜지스터(DT)의 게이트로 데이터전압(Vdata)이 전달된다.
- [0045] 그리고, 제2스캔트랜지스터(ST2)의 턴온에 따라 참조전압라인(RVL)과 제1노드(N1)가 연결되고 제1노드(N1)에 참조전압(VREF)이 전달된다.
- [0046] 에미션트랜지스터(ET)의 게이트로 공급되는 에미션신호(EM)이 로우레벨을 유지하기 때문에 에미션트랜지스터(ET)의 드레인과 소스는 연결되지 않는다. 다른 측면에서 보면, 초기화단계에서, 제1노드(N1)와 제2노드(N2)는

연결되지 않고 분리된 상태로 유지된다.

- [0047] 이때, 제3노드(N3)와 제1노드(N1) 사이에 스토리지캐패시터(Cst)가 배치되어 있기 때문에 스토리지캐패시터(Cst)의 일측(N3)으로는 데이터전압(Vdata)이 공급되고 타측(N1)으로는 참조전압(VREF)이 공급된다. 이러한 데이터전압(Vdata) 및 참조전압(VREF)에 의해 스토리지캐패시터(Cst)가 충전된다.
- [0048] 도 5는 유기발광표시장치의 초기화단계에서의 스토리지캐패시터의 전압 파형을 설명하기 위한 도면이다.
- [0049] 도 5를 참조하면, 스캔신호(SCAN)가 하이레벨을 유지하는 구간, 다른 측면에서 제2스캐트랜지스터(ST2)의 턴온구간(T1)에서 스토리지캐패시터(Cst)의 양측으로 데이터전압(Vdata) 및 참조전압(VREF)이 공급됨으로써 스토리지캐패시터(Cst)가 충전된다.
- [0050] 제2스캐트랜지스터(ST2)의 턴온구간(T1)에서 스토리지캐패시터(Cst)에는 (데이터전압(Vdata)-참조전압(VREF))이 충전된다.
- [0051] 스토리지캐패시터(Cst)가 (데이터전압(Vdata)-참조전압(VREF))로 충전되는 시간(T2)은 제2스캐트랜지스터(ST2)의 턴온구간(T1)보다 짧다. 다른 측면에서, 제2스캐트랜지스터(ST2)가 턴오프되기 전에 스토리지캐패시터(Cst)의 충전이 마무리된다.
- [0052] 도 5를 참조하면, 제2스캐트랜지스터(ST2)를 통해 흐르는 충전전류(Iref)는 충전 시간(T2)이 도과한 후에는 흐르지 않는다. 제2스캐트랜지스터(ST2)에 미세한 누설전류가 있을 수도 있으나 제2스캐트랜지스터(ST2)의 턴오프직전 시점에 제2스캐트랜지스터(ST2)로 흐르는 전류의 크기는 일정값 이하이거나 실질적으로 흐르지 않는 것과 동일할 수 있다.
- [0053] 이와 같이 제2스캐트랜지스터(ST2)의 턴온구간(T1)을 스토리지캐패시터의 충전구간(T2)보다 길게 설정하게 되면, 제2스캐트랜지스터(ST2)에 실질적으로 전류가 흐르지 않는 상태에서 제2스캐트랜지스터(ST2)가 턴오프된다. 이 경우, 제2스캐트랜지스터(ST2)의 턴온저항에 의한 전압강하가 없는 상태에서 제2스캐트랜지스터(ST2)가 턴오프되게 되는데, 이에 따라, 제1노드(N1)의 전압이 실질적으로 참조전압라인(RVL)의 전압 혹은 참조전압(VREF)과 실질적으로 동일해 지게 된다.
- [0054] 제1스캐트랜지스터(ST1)는 제2스캐트랜지스터(ST2)와 동일한 스캔신호(SCAN)에 의해 구동되기 때문에 제1스캐트랜지스터(ST1)의 턴온구간(T1)도 스토리지캐패시터(Cst)의 충전구간(T2)보다 크게 되고 이에 따라 제3노드(N3), 다시 말해, 구동트랜지스터(DT)의 게이트전압도 실질적으로 데이터라인(DL) 전압 혹은 데이터전압(Vdata)과 동일해 지게 된다.
- [0055] 결과적으로 스토리지캐패시터(Cst)는 충전이 마무리되고 전류가 흐르지 않는 상태에서 제1스캐트랜지스터(ST1) 및 제2스캐트랜지스터(ST2)가 턴오프되기 때문에 스토리지캐패시터(Cst)에 형성되는 전압(Vst)은 실질적으로 (데이터전압(Vdata)-참조전압(VREF))과 같은 전압이 된다.
- [0056] 다시 도 3 및 도 4를 참조하면, 스캔신호(SCAN)가 하이레벨이 되는 구간에서, 제3스캐트랜지스터(ST3)의 턴온에 따라 참조전압라인(RVL)과 제2노드(N2)가 연결되고 제2노드(N2)로 참조전압이 전달된다.
- [0057] 구동트랜지스터(DT)의 게이트인 제3노드(N3)와 구동트랜지스터(DT)의 소스인 제2노드(N2)로 전압이 전달됨에 따라, 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)에 전압이 형성된다. 이때, 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)는 구동트랜지스터(DT)의 게이트 노드와 소스 노드 사이의 기생 정전용량일 수 있다.
- [0058] 이러한 게이트-소스 전압(Vgs)이 구동트랜지스터(DT)의 문턱전압보다 커지면서 구동트랜지스터(DT)에 초기화전류(Iprog)가 흐르게 된다. 초기화단계에서 에미션트랜지스터(ET)가 턴오프되어 있기 때문에 초기화전류는 제2스캐트랜지스터(ST2)로 흐르지 않고 제3스캐트랜지스터(ST3)로 흐른다.
- [0059] 이때, 초기화전류(Iprog)의 크기는 데이터전압(Vdata)의 크기에 따라 결정될 수 있다. 예를 들어, 높은 계조에 대응되는 데이터전압(Vdata)이 구동트랜지스터(DT)로 공급되면 초기화전류(Iprog)의 크기가 더 커질 수 있고, 낮은 계조에 대응되는 데이터전압(Vdata)이 구동트랜지스터(DT)로 공급되면 초기화전류(Iprog)의 크기가 더 작아질 수 있다.
- [0060] 제3스캐트랜지스터(ST3)는 턴온저항을 가지고 있는데, 이러한 턴온저항과 초기화전류(Iprog)에 의해 제3스캐트랜지스터(ST3) 양단에 전압강하(dV)가 발생한다. 초기화전류(Iprog)는 제3스캐트랜지스터(ST3)의 턴온구간에서 지속적으로 유지되기 때문에, 이러한 전압강하(dV)는 제3스캐트랜지스터(ST3)의 턴온구간에서 지속적으로 유지된다.

- [0061] 이러한 전압강하(dV)에 따라 제2노드(N2)의 전압은 참조전압(VREF)보다 높게 형성된다. 참고로, 초기화전류(Iprog)의 방향이 반대로 형성될 수도 있는데, 이러한 실시예에서는 제2노드(N2)의 전압이 참조전압(VREF)보다 낮게 형성될 수 있다.
- [0062] 도 3에 도시된, 제1노드(N1) 및 제2노드(N2)의 전압 파형을 참조하면, 초기화단계에서 제1노드(N1)의 전압은 참조전압(VREF)과 실질적으로 동일한 값을 가지는데, 제2노드(N2)의 전압은 참조전압(VREF)보다 제2스캐트랜지스터(ST2)의 전압강하(dV) 만큼 더 큰 전압을 가지게 된다.
- [0063] 한편, 각 화소영역(P)마다 제2스캐트랜지스터(ST2) 및 제3스캐트랜지스터(ST3)가 배치되는데, 서로 다른 화소영역(P)에 배치되는 적어도 두 개의 제3스캐트랜지스터(ST3)의 턴온저항 크기가 상이할 수 있다. 이러한 턴온저항의 크기 차이는 공정 편차에 기인할 수도 있고 열화 정도의 차이에 기인할 수도 있다. 이에 따라, 제3스캐트랜지스터(ST3)의 전압강하(dV) 크기도 서로 상이할 수 있다.
- [0064] 마찬가지로, 제2스캐트랜지스터(ST2)의 턴온저항의 크기도 화소마다 다를 수 있다. 하지만, 이러한 편차에도 불구하고 제1노드(N1)의 전압은 화소별로 차이가 발생하지 않는다. 제2스캐트랜지스터(ST2)로 전류가 흐르지 않는 상태로 마무리되기 때문에 제1노드(N1)의 전압은 화소별로 차이가 발생하지 않는다.
- [0065] 이에 따라, 스토리지캐패시터(Cst)의 전압(Vst) 또한, 화소별로 차이가 발생하지 않는다. 일 실시예에 따른 유기발광표시장치(100)는 이러한 스토리지캐패시터(Cst)에 형성되는 전압(Vst)을 이용하기 때문에 초기화전류(Iprog)에 영향을 받지 않고 구동트랜지스터(DT)를 구동할 수 있게 된다.
- [0066] 이와 같이 유기발광표시장치(100)는 초기화단계에서 스토리지캐패시터(Cst)의 전압(Vst)을 초기화전류(Iprog)에 무관하게 형성한 후 에미션단계에서 스토리지캐패시터(Cst)의 전압(Vst)을 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)에 주입시킨다.
- [0067] 도 6은 유기발광표시장치의 에미션단계에서의 트랜지스터 구동 상태 및 전압/전류의 흐름을 나타내는 도면이다.
- [0068] 도 3 및 도 6을 참조하면, 에미션단계에서 스캔신호(SCAN)는 로우레벨이 되고, 에미션신호(EM)는 하이레벨이 된다. 설명의 편의를 위해 트랜지스터들(DT, ET, ST1, ST2, ST3)이 게이트로 하이레벨 신호가 입력될 때, 턴온되고, 로우레벨 신호가 입력될 때 턴오프되는 것으로 설명하나 실시예에 따라 게이트로 로우레벨 신호가 입력될 때, 턴온되고, 하이레벨 신호가 입력될 때 턴오프될 수도 있다.
- [0069] 스캔신호(SCAN)가 하이레벨에서 로우레벨로 전환하는 시점과 에미션신호(EM)가 로우레벨에서 하이레벨로 전환하는 시점은 같은 수 있다. 또한, 스캔신호(SCAN)가 하이레벨에서 로우레벨로 전환하는 시점이 에미션신호(EM)가 로우레벨에서 하이레벨로 전환하는 시점보다 빠를 수 있다. 다만, 스캔신호(SCAN)가 하이레벨에서 로우레벨로 전환하는 시점이 에미션신호(EM)가 로우레벨에서 하이레벨로 전환하는 시점보다 느리지는 않는다.
- [0070] 스캔신호(SCAN)가 로우레벨로 전환하면, 제1스캐트랜지스터(ST1), 제2스캐트랜지스터(ST2) 및 제3스캐트랜지스터(ST3)는 모두 턴오프된다.
- [0071] 그리고, 에미션신호(EM)에 따라 에미션트랜지스터(ET)가 턴온된다. 이때, 전술한 스캔신호(SCAN)와 에미션신호(EM)의 선후 관계에 따라 제2스캐트랜지스터(ST2) 및 제3스캐트랜지스터(ST3)가 턴오프된 후 에미션트랜지스터(ET)가 턴온될 수 있다. 이 경우, 제2스캐트랜지스터(ST2)로 초기화전류(Iprog)가 흐르는 것을 방지할 수 있다.
- [0072] 에미션트랜지스터(ET)가 턴온되면, 구동트랜지스터(DT) 및 에미션트랜지스터(ET)가 모두 연결되기 때문에 구동 전압(EVDD)에 의한 구동전류(Iem)가 유기발광다이오드(OLED)로 전달될 수 있다.
- [0073] 이때, 구동전류(Iem)의 크기는 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)에 의해 결정될 수 있다.
- [0074] 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)는 초기화단계에서 제2노드(N2)와 제3노드(N3)에 의해 결정되었는데, 에미션단계에서는 제1노드(N1)와 제3노드(N3)에 의해 결정된다.
- [0075] 에미션단계에서 에미션트랜지스터(ET)가 턴온되면 스토리지캐패시터(Cst)에 저장된 전하와 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)에 저장된 전하가 공유된다.
- [0076] 이때, 스토리지캐패시터(Cst)의 정전용량이 게이트-소스 캐패시터(Cgs)의 정전용량보다 클 수 있다. 실시예에 따라, 스토리지캐패시터(Cst)의 정전용량이 게이트-소스 캐패시터(Cgs)의 정전용량보다 5배 이상 클 수 있다. 또한, 실시예에 따라, 스토리지캐패시터(Cst)는 설계에 따른 정전용량을 가지고 게이트-소스 캐패시터(Cgs)의 정전용량은 기생 정전용량일 수 있다.

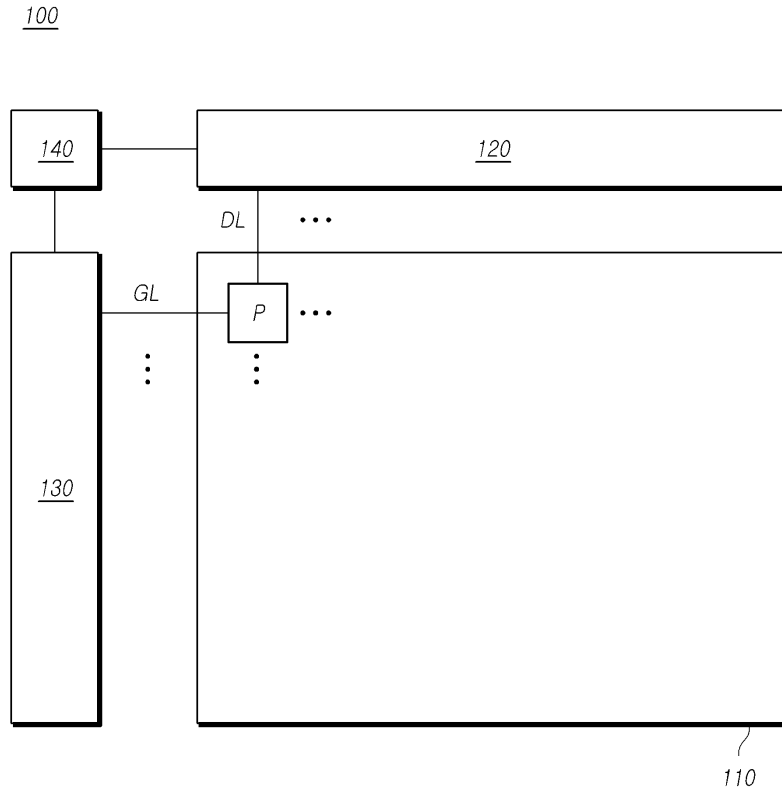
- [0077] 스토리지캐패시터(Cst)의 정전용량이 게이트-소스 캐패시터(Cgs)의 정전용량보다 크기 때문에, 스토리지캐패시터(Cst)에 저장된 전하가 게이트-소스 캐패시터(Cgs)에 저장된 전하보다 훨씬 크게 된다. 이에 따라, 전하 공유 구간에서 스토리지캐패시터(Cst)에 저장된 전하가 지배적인 역할을 하게 되고, 스토리지캐패시터(Cst)에 충전되었던 전압(Vdata-VREF)은 실질적으로 유지되게 된다. 또한, 전하 공유에 의해 스토리지캐패시터(Cst)의 전압(Vst)과 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)이 같아지기 때문에, 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)도 Vdata-VREF 전압과 실질적으로 같아지게 된다.
- [0078] 도 7은 유기발광표시장치의 초기화단계 및 에미션단계에서의 주요 신호, 스토리지캐패시터 전압 및 구동트랜지스터의 게이트-소스 전압 파형을 나타내는 도면이다.
- [0079] 도 3 및 도 7을 참조하면, 스캔신호(SCAN)가 하이레벨이 되는 구간, 다른 측면에서 스캔트랜지스터들(ST1, ST2, ST3)이 턴온되는 구간에서 스토리지캐패시터 전압(Vst)과 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)이 상승한다. 이때, 구동트랜지스터(DT)의 게이트-소스 전압(Vst)이 더 빠르게 상승하는데, 이는, 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)의 정전용량이 스토리지캐패시터(Cst)의 정전용량보다 훨씬 작기 때문이다.
- [0080] 스토리지캐패시터 전압(Vst)과 구동트랜지스터(DT)의 게이트-소스 전압(Vst)은 일정값으로 포화되는데, 스토리지캐패시터 전압(Vst)의 최종값이 구동트랜지스터(DT)의 게이트-소스 전압(Vst)의 최종값보다 크게 된다. 스토리지캐패시터 전압(Vst)은 초기화단계에서 최종적으로 Vdata-VREF의 크기로 포화되는데, 구동트랜지스터(DT)의 게이트-소스 전압(Vst)은 Vdata-VREF-dV로 포화된다.
- [0081] 에미션단계에서, 스토리지캐패시터(Cst)와 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)가 전하 공유를 하게 된다. 이때, 스토리지캐패시터(Cst)의 정전용량이 구동트랜지스터(DT)의 게이트-소스 캐패시터(Cgs)의 정전용량보다 훨씬 크기 때문에 스토리지캐패시터 전압(Vst)에는 실질적으로 변화가 발생하지 않는데 반해, 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)은 스토리지캐패시터 전압(Vst)과 동일한 전압으로 변하게 된다.
- [0082] 이러한 과정을 통해, 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)은 Vdata-VREF와 실질적으로 동일한 크기의 전압을 갖게 된다. 구동트랜지스터(DT)의 구동전류(도 6의 Iem 참조)는 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)에 의해 결정된다. 그런데, 이러한 구동트랜지스터(DT)의 게이트-소스 전압(Vgs)의 크기가 Vdata-VREF와 실질적으로 동일한 크기의 전압으로 결정되기 때문에, 구동전류(Iem)는 데이터전압(Vdata)과 참조전압(VREF)에 의해서 정확히 제어되게 된다.
- [0083] 한편, 패널(110)에는 에미션신호(EM)가 전달되는 에미션라인(미도시)가 더 배치되고, 에미션라인(미도시)은 게이트구동부(130)에 의해 구동될 수 있다. 또한, 유기발광표시장치(100)는 참조전압공급부(미도시)를 더 포함하고 있고, 이러한 참조전압공급부(미도시)에서 참조전압라인(RVL)으로 참조전압을 공급할 수 있다.
- [0084] 이상에서 설명한 바와 같이 본 발명에 의하면, 초기화전류에 영향을 받지 않고 구동트랜지스터의 게이트-소스 전압을 형성할 수 있다. 또한, 본 발명에 의하면, 참조전압과 실질적으로 동일한 전압을 구동트랜지스터의 소스로 전달할 수 있다.
- [0085] 이와 같이, 초기화전류에 영향을 받지 않고 구동트랜지스터의 게이트-소스 전압을 형성하거나 참조전압과 실질적으로 동일한 전압을 구동트랜지스터의 소스로 전달할 수 있게 되면, 트랜지스터들의 특성 차이(예를 들어, 턴온저항 차이)에 의한 화소 밝기 차이의 문제를 해결할 수 있다.
- [0086] 초기화단계에서 초기화전류는 제3스캔트랜지스터를 통해서만 흐르고 제2스캔트랜지스터로는 흐르지 않기 때문에 제2스캔트랜지스터와 연결된 스토리지캐패시터에는 초기화전류에 영향을 받지 않는 전압이 형성될 수 있다. 또한, 이러한 스토리지 캐패시터에 형성된 전압이 에미션단계에서 구동트랜지스터의 게이트-소스 전압으로 온전히 사용되기 때문에 유기발광표시장치는 초기화전류에 영향을 받지 않고 구동트랜지스터의 게이트-소스 전압을 형성할 수 있게 된다.
- [0087] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0088]

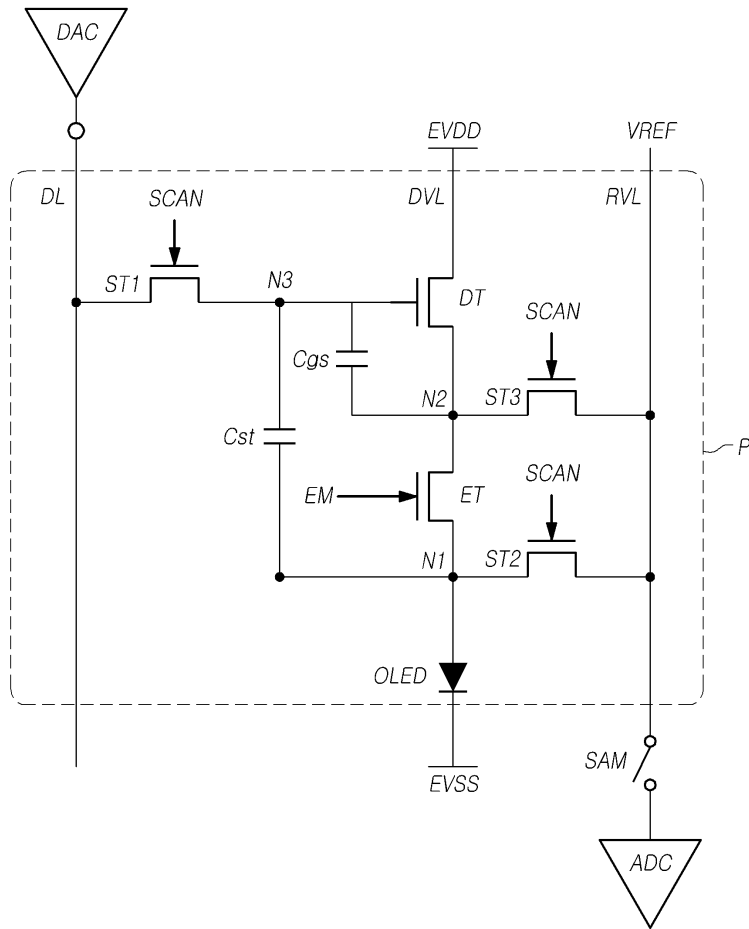
이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

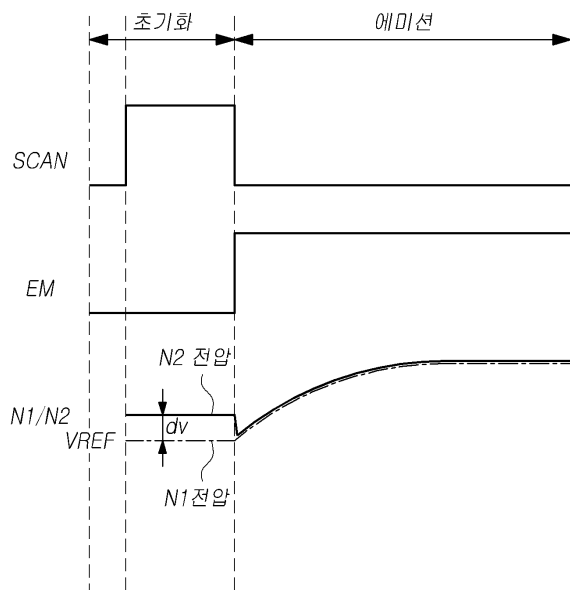
도면1



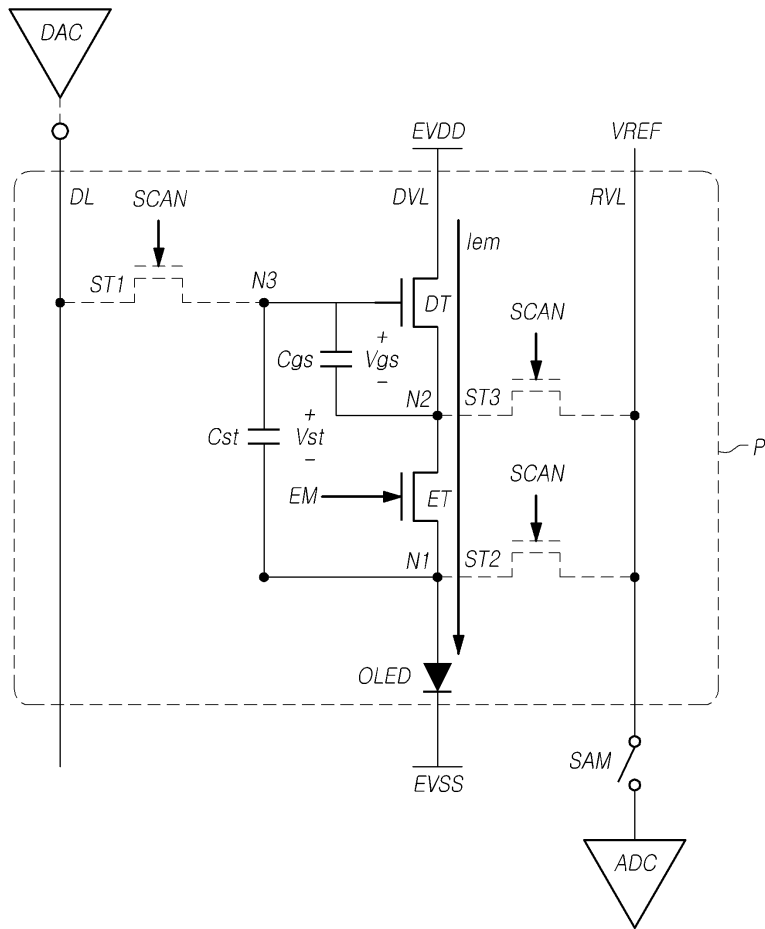
도면2



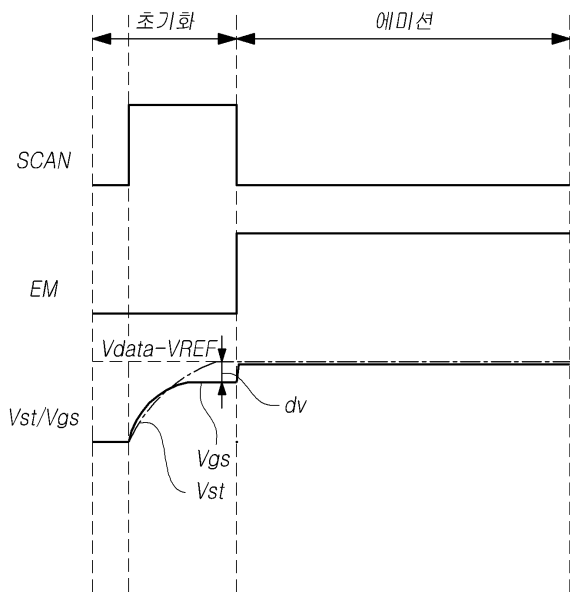
도면3



도면6



도면7



专利名称(译)	标题：有机发光显示器及其驱动方法		
公开(公告)号	KR1020170005239A	公开(公告)日	2017-01-12
申请号	KR1020150094222	申请日	2015-07-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO KYUNG HYUN 조경현		
发明人	조경현		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2320/0233		
代理人(译)	Gimeungu 宋.		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机发光显示装置，包括多个扫描晶体管，并且使用在多个扫描晶体管中没有初始化电流的扫描晶体管来初始化驱动晶体管的栅 - 源电压。

