



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0107994
(43) 공개일자 2015년09월24일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0030468

(22) 출원일자 2014년03월14일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

한상면

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤폭특허법인

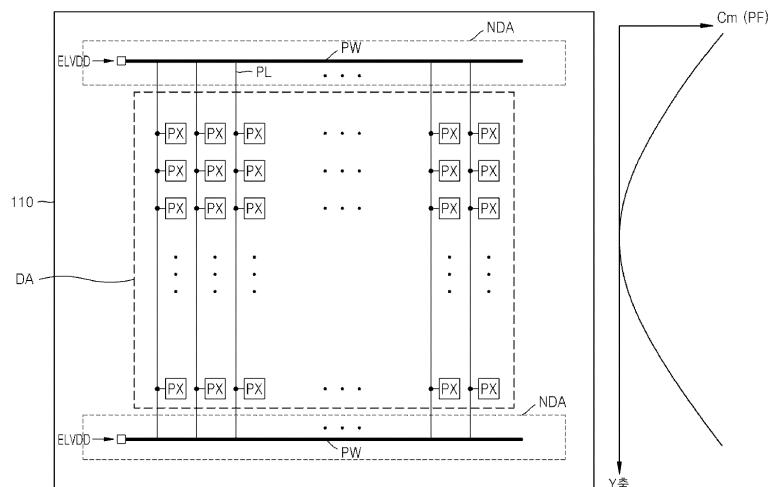
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요 약

다양한 실시예들에 따른 유기 발광 표시 장치가 제공된다. 상기 유기 발광 표시 장치는 비표시 영역에 배치되며 제1 전원 전압이 인가되는 메인 전원 전압 배선; 및 표시 영역에 배치되며, 상기 메인 전원 전압 배선과 접속하는 전원 전압 라인에 의해서 전기적으로 연결되는 복수의 픽셀들;을 포함하며, 상기 복수의 픽셀들은, 스위칭 트랜지스터, 구동 트랜지스터, 저장 캐퍼시터 및 유기 발광 소자를 포함하는 제1 픽셀; 및 상기 제1 픽셀의 구성에 부가 캐퍼시터를 더 포함하는 제2 픽셀;을 포함한다.

대 표 도



명세서

청구범위

청구항 1

비표시 영역에 배치되며 제1 전원 전압이 인가되는 메인 전원 전압 배선; 및

표시 영역에 배치되며, 상기 메인 전원 전압 배선과 접속하는 전원 전압 라인에 의해서 전기적으로 연결되는 복수의 팩셀들;을 포함하며,

상기 복수의 팩셀들은,

스위칭 트랜지스터, 구동 트랜지스터, 저장 캐패시터 및 유기 발광 소자를 포함하는 제1 팩셀; 및

상기 제1 팩셀의 구성에 부가 캐패시터를 더 포함하는 제2 팩셀;을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 부가 캐패시터는 상기 제2 팩셀의 스위칭 트랜지스터의 제어 단자와 상기 제2 팩셀의 구동 트랜지스터의 제어 단자 사이에 연결되는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 부가 캐패시터의 값은 상기 제2 팩셀에 인가되는 제2 팩셀 전원 전압에 따라 결정되며,

상기 제2 팩셀 전원 전압은 상기 제1 전원 전압이 상기 전원 전압 라인에 의해서 전압 강하(Voltage IR-drop)되어 제2 팩셀에 인가되는 전압인 유기 발광 표시 장치.

청구항 4

제1항에 있어서,

상기 부가 캐패시터의 값은 상기 제2 팩셀이 상기 메인 전원 전압 배선과 근접할수록 커지는 유기 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 메인 전원 전압 배선은 상기 표시 영역의 상측 및 하측에 배치되며,

상기 제1 팩셀은 상기 표시 영역의 가운데 행에 배치되고,

상기 제2 팩셀은 상기 제1 팩셀의 상측 또는 하측에 배치되는 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 메인 전원 전압 배선은 상기 표시 영역을 둘러싸도록 배치되며,

상기 제1 팩셀은 상기 표시 영역의 중앙에 배치되고,

상기 제2 팩셀과 같은 부가 캐패시터의 값을 갖는 제2 팩셀 그룹이 상기 제1 팩셀을 둘러싸며 배치되는 유기 발광 표시 장치.

청구항 7

제1항에 있어서,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 각각 PMOS 타입인 유기 발광 표시 장치.

청구항 8

제7항에 있어서,

상기 제2 광셀의 구동 트랜지스터의 제어 단자의 전압 레벨은 상기 부가 캐패시터에 의해서 스위칭 트랜지스터의 제어 단자에 인가되는 스캔 신호의 라이징 에지(rising edge)에 커플링되어 상승되는 유기 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 각각 NMOS 타입인 유기 발광 표시 장치.

청구항 10

제9항에 있어서,

상기 제2 광셀의 구동 트랜지스터의 제어 단자의 전압 레벨은 상기 부가 캐패시터에 의해서 스위칭 트랜지스터의 제어 단자에 인가되는 스캔 신호의 폴링 에지(falling edge)에 커플링되어 하강되는 유기 발광 표시 장치.

청구항 11

비표시 영역에 배치되며 제1 전원 전압이 인가되는 메인 전원 전압 배선; 및

표시 영역에 배치되며, 상기 메인 전원 전압 배선과 접속하는 전원 전압 라인에 의해서 전기적으로 연결되는 복수의 광셀;을 포함하며,

상기 복수의 광셀은,

제1 스위칭 트랜지스터, 제1 구동 트랜지스터, 제1 저장 캐패시터, 제1 부가 캐패시터 및 제1 발광 소자를 포함하는 제1 광셀; 및

제2 스위칭 트랜지스터, 제2 구동 트랜지스터, 제2 저장 캐패시터, 제2 부가 캐패시터 및 제2 발광 소자를 포함하는 제2 광셀;을 포함하며,

상기 제2 부가 캐패시터의 값은 상기 제1 부가 캐패시터와는 다른 값을 갖는 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 제1 부가 캐패시터는 상기 제1 스위칭 트랜지스터의 제어 단자와 상기 제1 구동 트랜지스터의 제어 단자 사이에 연결되며,

상기 제2 부가 캐패시터는 상기 제2 스위칭 트랜지스터의 제어 단자와 상기 제2 구동 트랜지스터의 제어 단자 사이에 연결되는 유기 발광 표시 장치.

청구항 13

제11항에 있어서,

상기 제1 부가 캐패시터의 값은 상기 제1 전원 전압이 상기 제1 광셀에 인가되는 값인 제1 광셀 전원 전압에 따라 정해지고,

상기 제2 부가 캐패시터의 값은 상기 제1 전원 전압이 상기 제2 광셀에 인가되는 값인 제2 광셀 전원 전압에 따라 정해지는 유기 발광 표시장치.

청구항 14

제11항에 있어서,

상기 제1 핵셀은 상기 제2 핵셀보다 상기 메인 전원 전압 배선과 근접하게 배치되며,
상기 제1 부가 캐패시터의 값은 상기 제2 부가 캐패시터의 값보다 큰 유기 발광 표시 장치.

청구항 15

복수의 핵셀들을 포함하는 유기 발광 표시 장치에 있어서,
상기 복수의 핵셀들 중 적어도 하나의 핵셀 회로는,
제1 제어 단자, 제1 입력 단자, 및 제1 출력 단자를 포함하는 스위칭 트랜지스터;
상기 제1 출력 단자와 연결되는 제2 제어 단자, 핵셀 전원 전압이 인가되는 제2 입력 단자, 및 발광 소자와 연결되는 제2 출력 단자를 포함하는 구동 트랜지스터;
상기 제1 출력 단자와 상기 제2 입력 단자 사이에 연결되는 저장 캐패시터; 및
상기 제1 제어 단자와 상기 제2 제어 단자 사이에 연결되는 부가 캐패시터;를 포함하며,
상기 부가 캐패시터의 값은 상기 핵셀 전원 전압의 레벨에 따라 결정되는 유기 발광 표시 장치.

청구항 16

제15항에 있어서,
상기 스위칭 트랜지스터는 게이트 라인을 통해 인가되는 스캔 신호에 의해 턴-온 되어, 소스 라인을 통해 인가되는 데이터 신호를 상기 구동 트랜지스터에 전달하며,
상기 구동 트랜지스터는 상기 데이터 신호의 논리 레벨에 따라 턴-온 되어, 상기 핵셀 전원 전압을 상기 발광 소자로 전달하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치에 관한 것으로서, 더욱 구체적으로는 균일한 휘도를 갖는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하며, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치(예컨대, 액티브 매트릭스형 유기 발광 표시 장치)는 복수의 게이트 라인, 복수의 소스 라인 및 복수의 전원 라인과, 상기 라인들에 연결되어 매트릭스 형태로 배열되는 복수의 핵셀들을 포함한다. 복수의 핵셀은 유기 발광 소자를 구동하는 구동 트랜지스터를 포함하며, 구동 트랜지스터에 인가되는 전압에 의해서 휘도가 결정된다. 유기 발광 표시 장치가 대형화되면서 복수의 핵셀들각각에 인가되는 전압은 배선 내의 전압 강하(IR-Drop)에 의해서 상이할 수 있으며, 이에 따라 휘도의 불균일이 발생할 수 있다.

[0004] 한편, 유기 발광 표시 장치는 전압 또는 전류 데이터의 크기를 조절하여 계조를 표현하는 아날로그 구동 방식, 또는 빛광 시간을 조절하여 계조를 표현하는 디지털 구동 방식으로 구동될 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하고자 하는 과제는 휘도를 균일하게 할 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 일 측면에 따른 유기 발광 표시 장치는,

- [0007] 비표시 영역에 배치되며 제1 전원 전압이 인가되는 메인 전원 전압 배선; 및
- [0008] 표시 영역에 배치되며, 상기 메인 전원 전압 배선과 접속하는 전원 전압 라인에 의해서 전기적으로 연결되는 복수의 픽셀들;을 포함하며,
- [0009] 상기 복수의 픽셀들은,
- [0010] 스위칭 트랜지스터, 구동 트랜지스터, 저장 캐패시터 및 유기 발광 소자를 포함하는 제1 픽셀; 및
- [0011] 상기 제1 픽셀의 구성에 부가 캐패시터를 더 포함하는 제2 픽셀;을 포함한다.
- [0012] 상기 부가 캐패시터는 상기 제2 픽셀의 스위칭 트랜지스터의 제어 단자와 상기 제2 픽셀의 구동 트랜지스터의 제어 단자 사이에 연결될 수 있다.
- [0013] 상기 부가 캐패시터의 값은 상기 제2 픽셀에 인가되는 제2 픽셀 전원 전압에 따라 결정되며, 상기 제2 픽셀 전원 전압은 상기 제1 전원 전압이 상기 전원 라인에 의해서 전압 강하(Voltage IR-drop)되어 제2 픽셀에 인가되는 전압일 수 있다.
- [0014] 상기 부가 캐패시터의 값은 상기 제2 픽셀이 상기 메인 전원 전압 배선과 근접할수록 커질 수 있다.
- [0015] 상기 메인 전원 전압 배선은 상기 표시 영역의 상측 및 하측에 배치되며, 상기 제1 픽셀은 상기 표시 영역의 가운데 행에 배치되고, 상기 제2 픽셀은 상기 제1 픽셀의 상측 또는 하측에 배치될 수 있다.
- [0016] 상기 메인 전원 전압 배선은 상기 표시 영역을 둘러싸도록 배치되며, 상기 제1 픽셀은 상기 표시 영역의 중앙에 배치되고, 상기 제2 픽셀과 같은 부가 캐패시터의 값을 갖는 제2 픽셀 그룹이 상기 제1 픽셀을 둘러싸며 배치될 수 있다.
- [0017] 상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 각각 PMOS 타입일 수 있다. 상기 제2 픽셀의 구동 트랜지스터의 제어 단자의 전압 레벨은 상기 부가 캐패시터에 의해서 스위칭 트랜지스터의 제어 단자에 인가되는 스캔 신호의 라이징 에지(rising edge)에 커플링되어 상승될 수 있다.
- [0018] 상기 스위칭 트랜지스터 및 상기 구동 트랜지스터는 각각 NMOS 타입일 수 있다. 상기 제2 픽셀의 구동 트랜지스터의 제어 단자의 전압 레벨은 상기 부가 캐패시터에 의해서 스위칭 트랜지스터의 제어 단자에 인가되는 스캔 신호의 폴링 에지(falling edge)에 커플링되어 하강될 수 있다.
- [0019] 다른 측면에 따른 유기 발광 표시 장치는,
- [0020] 비표시 영역에 배치되며 제1 전원 전압이 인가되는 메인 전원 전압 배선; 및
- [0021] 표시 영역에 배치되며, 상기 메인 전원 전압 배선과 접속하는 전원 전압 라인에 의해서 전기적으로 연결되는 복수의 픽셀;을 포함하며,
- [0022] 상기 복수의 픽셀은,
- [0023] 제1 스위칭 트랜지스터, 제1 구동 트랜지스터, 제1 저장 캐패시터, 제1 부가 캐패시터 및 제1 발광 소자를 포함하는 제1 픽셀; 및
- [0024] 제2 스위칭 트랜지스터, 제2 구동 트랜지스터, 제2 저장 캐패시터, 제2 부가 캐패시터 및 제2 발광 소자를 포함하는 제2 픽셀;을 포함하며,
- [0025] 상기 제2 부가 캐패시터의 값은 상기 제1 부가 캐패시터와는 다른 값을 가질 수 있다.
- [0026] 상기 제1 부가 캐패시터는 상기 제1 스위칭 트랜지스터의 제어 단자와 상기 제1 구동 트랜지스터의 제어 단자 사이에 연결되며, 상기 제2 부가 캐패시터는 상기 제2 스위칭 트랜지스터의 제어 단자와 상기 제2 구동 트랜지스터의 제어 단자 사이에 연결될 수 있다.
- [0027] 상기 제1 부가 캐패시터의 값은 상기 제1 전원 전압이 상기 제1 픽셀에 인가되는 값인 제1 픽셀 전원 전압에 따라 정해지고, 상기 제2 부가 캐패시터의 값은 상기 제1 전원 전압이 상기 제2 픽셀에 인가되는 값인 제2 픽셀 전원 전압에 따라 정해질 수 있다.
- [0028] 상기 제1 픽셀은 상기 제2 픽셀보다 상기 메인 전원 전압 배선과 근접하게 배치되며, 상기 제1 부가 캐패시터의 값은 상기 제2 부가 캐패시터의 값보다 클 수 있다.

- [0029] 다른 측면에 따른 유기 발광 표시 장치는 복수의 픽셀들을 포함하며,
- [0030] 상기 복수의 픽셀들 중 적어도 하나의 픽셀 회로는,
- [0031] 제1 제어 단자, 제1 입력 단자, 및 제1 출력 단자를 포함하는 스위칭 트랜지스터;
- [0032] 상기 제1 출력 단자와 연결되는 제2 제어 단자, 픽셀 전원 전압이 인가되는 제2 입력 단자, 및 발광 소자와 연결되는 제2 출력 단자를 포함하는 구동 트랜지스터;
- [0033] 상기 제1 출력 단자와 상기 제2 입력 단자 사이에 연결되는 저장 캐패시터; 및
- [0034] 상기 제1 제어 단자와 상기 제2 제어 단자 사이에 연결되는 부가 캐패시터;를 포함하며,
- [0035] 상기 부가 캐패시터의 값은 상기 픽셀 전원 전압의 레벨에 따라 결정될 수 있다.
- [0036] 상기 스위칭 트랜지스터는 게이트 라인을 통해 인가되는 스캔 신호에 의해 턴-온 되어, 소스 라인을 통해 인가되는 데이터 신호를 상기 구동 트랜지스터에 전달하며, 상기 구동 트랜지스터는 상기 데이터 신호의 논리 레벨에 따라 턴-온 되어, 상기 픽셀 전원 전압을 상기 발광 소자로 전달할 수 있다.
- [0037] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0038] 본 발명의 다양한 실시예들에 따르면 유기 발광 표시 장치의 표시 패널 위치에 따른 휙도가 균일해질 수 있다.

도면의 간단한 설명

- [0039] 도 1은 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
- 도 2a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐패시터를 채용하지 않은 픽셀의 예시적인 회로 구성을 나타내며, 도 2b는 도 2a의 픽셀(210) 회로에 대한 구동 타이밍도를 나타낸다.
- 도 3a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐패시터(Cm)를 채용한 픽셀의 예시적인 회로 구성을 나타내며, 도 3b는 도 3a의 픽셀 회로에 대한 구동 타이밍도를 나타낸다.
- 도 4a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐패시터를 채용한 픽셀의 예시적인 회로 구성을 나타내며, 도 4b는 도 4a의 픽셀 회로에 대한 구동 타이밍도를 나타낸다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 표시 패널 위치에 따른 부가 캐패시터 값의 예시적인 구성을 도시한다.
- 도 6은 다른 실시예에 따른 유기 발광 표시 장치의 표시 패널 위치에 따른 부가 캐패시터 값의 예시적인 구성을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0040] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0041] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0042] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다.
- [0043] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0044] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0045] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0046] 도 1은 일 실시예에 따른 유기 발광 표시 장치(100)를 개략적으로 도시한 블록도이다.

[0047] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 게이트 드라이버(120), 소스 드라이버(130), 제어부(140), 및 전원 전압 생성부(150)를 포함한다.

[0048] 표시 패널(110)은 전원 전압 배선 망, 픽셀들(PXi j, PXik)과 같은 픽셀들('PX'로 통칭함), 게이트 라인들(GL1-GLm, 'GL'로 통칭함), 및 소스 라인들(SL1-SLn, 'SL'로 통칭함)을 포함할 수 있다.

[0049] 전원 전압 생성부(150)는 제1 전원 전압(ELVDD)을 생성한다. 전원 전압 배선 망은 제1 전원 전압(ELVDD)이 인가되는 메인 전원 전압 배선(PW), 및 메인 전원 전압 배선(PW)에 접속되는 전원 전압 라인(PLi)와 같은 전원 전압 라인들('PL'로 통칭함)을 포함한다. 픽셀들(PX) 각각은 전원 전압 라인(PL)에 전기적으로 연결된다.

[0050] 표시 패널(110)은 픽셀들(PX)이 배치되는 표시 영역(DA)과 메인 전원 전압 배선(PW)가 배치되는 비표시 영역(NDA)을 포함한다. 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸는 영역이 될 수 있다. 즉, 비표시 영역(NDA)은 표시 영역(DA)의 상측, 하측, 좌측, 및 우측의 영역이 될 수 있다.

[0051] 도 1에서 메인 전원 전압 배선(PW)은 비표시 영역(NDA) 중 표시 영역(DA)의 상측에 배치되는 것으로 도시되어 있지만, 메인 전원 전압 배선(PW)은 표시 영역(DA)의 하측에 배치될 수 있다. 다른 예에 따르면, 메인 전원 전압 배선(PW)은 표시 영역(DA)의 상측과 하측 모두에 배치될 수 있다.

[0052] 다른 예에 따르면, 메인 전원 전압 배선(PW)은 표시 영역(DA)의 좌측, 우측 또는 좌측과 우측 모두에 배치될 수 있다. 이 경우, 전원 전압 라인(PL)은 행 방향으로 연장될 수 있다.

[0053] 또 다른 예에 따르면, 메인 전원 전압 배선(PW)은 표시 영역(DA)을 둘러싸도록 표시 영역(DA)의 상측, 하측, 좌측 및 우측에 배치될 수 있다. 이 경우, 전원 전압 라인(PL)은 행 방향 및 열 방향으로 연장될 수 있다.

[0054] 표시 패널(110)은 픽셀들(PX), 게이트 라인들(GL) 및 소스 라인들(SL)을 포함한다. 픽셀들(PX)은 게이트 라인들(GL)과 소스 라인들(SL)에 연결되며, 게이트 라인들(GL)과 소스 라인들(SL)이 교차하는 지점에 행렬로 배열될 수 있다. 도 1에는 소스 라인(SLi)과 게이트 라인(GLj, GLk)에 연결되는 픽셀(PXi j, PXik)만이 도시된다. 본 명세서에서 게이트 라인들(GL)이 연장되는 방향은 행 방향으로 지정되고, 소스 라인들(SL)이 연장되는 방향은 열 방향으로 지정된다.

[0055] 표시 패널(110)은 제1 전원 전압(ELVDD)이 인가되는 전원 전압 배선 망을 포함한다. 전원 전압 배선 망은 전원 전압 생성부(150)로부터 제1 전원 전압(ELVDD)이 인가되는 메인 전원 전압 배선(PW), 및 메인 전원 전압 배선(PW)에 접속되는 전원 전압 라인들(PL)을 포함한다. 메인 전원 전압 배선(PW)은 전원 전압 라인들(PL)에 비해 단면적이 크며 길이 방향에 따른 선 저항이 낮다. 도 1에서 예시적으로 전원 전압 배선(PW)이 픽셀들(PX)의 상측에 배치되는 것으로 도시되지만, 전원 전압 배선(PW)은 픽셀들(PX)의 하측에 배치되거나, 상측과 하측 모두에 배치되거나, 좌측 및/또는 우측에 배치될 수 있다. 전원 전압 라인들(PL)은 전원 전압 배선(PW)에 공통적으로 연결되며, 전원 전압 배선(PW)으로부터 픽셀들(PX)의 구동 전압을 공급하는 경로를 제공한다. 전원 전압 라인들(PL)은 전원 전압 배선(PW)으로부터 열 방향으로 연장될 수 있다. 다른 예에 따르면, 전원 전압 배선(PW)의 위치에 따라 전원 전압 라인들(PL)은 행 방향으로 연장되거나, 메쉬 형태로 배치될 수도 있다.

[0056] 구동 전압은 픽셀들(PX)을 구동하기 위한 전압으로, 픽셀들(PX)이 소모하는 전류는 전원 전압 라인들(PL)을 따라 흐른다. 상기 전류에 크기 및 전원 전압 라인들(PL)의 선 저항에 비례하는 전압 강하(voltage IR drop)가 전원 전압 라인들(PL)에 의해 발생할 수 있다. 이에 따라, 픽셀들(PX)의 위치에 따라 구동 전압의 전압 레벨은 다를 수 있다. 본 명세서에서, 특정 픽셀(예컨대, 픽셀(PXi j))의 구동 전압은 픽셀 전원 전압(PVDDij)으로 지정된다. 픽셀 전원 전압(PVDDij)은 픽셀(PXi j)과 전원 전압 라인(PLj)이 만나는 노드에서의 전압 레벨을 갖는다고 정의된다. 예컨대, 도 1에서 픽셀(PXi j)의 픽셀 전원 전압(PVDDij)의 레벨은 픽셀(PXik)의 픽셀 전원 전압(PVDDik)의 레벨보다 높을 수 있다.

[0057] 픽셀들(PX) 각각은 적어도 하나의 박막 트랜지스터, 적어도 하나의 커패시터, 및 발광 소자를 포함한다. 픽셀들(PX)은 전원 전압 라인(PL), 게이트 라인(GL), 및 소스 라인(SL)에 연결된다.

[0058] 일 예에 따르면, 픽셀들(PX) 각각은 소스 라인(SL)을 통해 인가되는 데이터 신호에 대응하는 구동 전류를 생성

하여 발광 소자로 출력하고, 발광 소자는 데이터 신호에 대응하는 밝기로 발광할 수 있다. 이러한 방식은 아날로그 구동 방식으로 지칭된다.

[0059] 다른 예에 따르면, 픽셀들(PX) 각각은 소스 라인(SL)을 통해 인가되는 데이터 신호의 논리 레벨에 따라 픽셀들(PX) 각각에 입력되는 픽셀 전원 전압(PVDD)을 발광 소자(ED)로 전달할 수 있다. 발광 소자(ED)는 픽셀 전원 전압(PVDD)을 수신하고, 픽셀 전원 전압(PVDD)에 의해 발광할 수 있다. 발광 소자(ED)는 픽셀 전원 전압(PVD)의 레벨에 따라 밝기가 다르다. 예컨대, 픽셀 전원 전압(PVDD)의 레벨이 높아질수록 발광 소자(ED)는 더 밝게 발광할 수 있다. 이러한 방식은 디지털 구동 방식으로 지칭될 수 있다.

[0060] 제어부(140)는 외부로부터 영상 데이터(RGB DATA)를 수신하고, 게이트 드라이버(120), 소스 드라이버(130) 및 전원 전압 생성부(150)를 제어할 수 있다. 제어부(140)는 복수의 제어 신호들(CON1, CON2, CON3) 및 디지털 영상 데이터(DATA)을 생성할 수 있다. 제어부(140)는 제1 제어 신호(CON1)를 게이트 드라이버(120)에 제공하고, 제2 제어 신호(CON2)와 디지털 영상 데이터(DATA)를 소스 드라이버(130)에 제공하고, 제3 제어 신호(CON3)를 전원 전압 생성부(150)에 제공할 수 있다.

[0061] 게이트 드라이버(120)는 제1 제어 신호(CON1)에 응답하여, 게이트 라인들(GL)을 순차적으로 구동할 수 있다. 예컨대, 제1 제어 신호(CON1)는 게이트 드라이버(120)가 게이트 라인들(GL1-GLm)의 스캐닝을 시작하도록 지시하는 지시 신호일 수 있다. 게이트 드라이버(120)는 스캔 신호를 생성하고, 게이트 라인들(GL)을 통해 픽셀들(PX)에 스캔 신호를 순차적으로 제공할 수 있다.

[0062] 소스 드라이버(130)는 제2 제어 신호(CON2) 및 디지털 영상 데이터(DATA)에 응답하여, 소스 라인들(SL)을 구동할 수 있다. 소스 드라이버(130)는 계조를 갖는 디지털 영상 데이터(DATA)를 상기 계조에 대응하는 계조 전압을 갖는 데이터 신호들로 변환하고, 상기 데이터 신호들을 소스 라인들(SL)을 통해 픽셀들(PX)에 순차적으로 제공할 수 있다.

[0063] 게이트 드라이버(120), 소스 드라이버(130), 및 제어부(140)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 게이트 드라이버(120)는 표시 패널(110)과 함께 동일한 기판 상에 형성될 수도 있다.

[0064] 전원 전압 생성부(150)는 제3 제어 신호(CON3)에 응답하여 제1 전원 전압(ELVDD)을 생성하여 표시 패널(110)에 공급할 수 있다. 제3 제어 신호(CON3)는 제1 전원 전압(ELVDD)의 레벨을 결정하기 위한 신호일 수 있다.

[0065] 다른 예에 따라서, 유기 발광 표시 장치(100)는 디지털 구동 방식으로 구동할 수 있다. 하나의 프레임(frame)은 복수의 서브 필드(subfield)로 구성되고, 각 서브 필드는 설정된 가중치에 따라 표시 지속 시간이 결정된다. 게이트 드라이버(120)는 게이트 라인들(GL)을 통해 한 프레임 내에 미리 결정된 타이밍으로 표시 패널(110)에 스캔 신호를 복수 회로 공급할 수 있다. 소스 드라이버(130)는 픽셀들(PX)에 활성화된 스캔 신호가 입력되는 시점에, 소스 라인들(SL)을 통해 픽셀들(PX)에 제1 논리 레벨 또는 제2 논리 레벨을 갖는 데이터 신호를 공급할 수 있다. 제1 논리 레벨은 하이 레벨이고 제2 논리 레벨은 로우 레벨일 수 있다. 반대로, 제1 논리 레벨은 로우 레벨이고 제2 논리 레벨은 하이 레벨일 수 있다.

[0066] 소스 드라이버(130)는 제어부(140)로부터 디지털 영상 데이터를 수신하고, 픽셀(PX) 별로 계조를 추출하고, 추출된 계조를 미리 정해진 비트수의 디지털 데이터로 변환할 수 있다. 소스 드라이버(130)는 디지털 영상 데이터에 포함되는 각각의 비트를 해당 서브 필드마다 데이터 신호로서 각 픽셀들(PX)에 제공할 수 있다.

[0067] 유기 발광 표시 장치(100)는 각 서브 필드마다 소스 드라이버(130)로부터 제공되는 데이터 신호의 논리 레벨에 기초하여 각 픽셀(PX)에 포함되는 발광 소자(ED)를 선택적으로 발광시키고, 한 프레임 내에서 발광 소자(ED)의 발광 시간을 조절함으로써 계조를 표시할 수 있다. 각 픽셀(PX)은 예컨대 로우 레벨의 데이터 신호를 수신하는 경우 해당 서브 필드 구간 동안 발광 소자(ED)를 발광시키고, 예컨대 하이 레벨의 데이터 신호를 수신하는 경우 해당 서브 필드 구간 동안 발광 소자를 발광시키지 않을 수 있다.

[0068] 상술한 바와 같이, 전원 전압 배선망에 의한 전압 강하로 인하여 픽셀들(PX)에 입력되는 픽셀 전원 전압(PVDD)의 레벨은 다를 수 있다. 이에 따라, 픽셀들(PX)은 표시 패널(110)의 위치에 따라 발광 소자(ED)의 밝기가 서로 다르게 나타날 수 있다.

[0069] 본 발명의 실시예들은 이와 같은 휘도 불균일을 보상하기 복수의 픽셀들(PX) 중 적어도 하나의 픽셀(예를 들면, PX_{i,j})에 부가 캐패시터(C_m, 도3 참조)를 도입하고 있다. 부가 캐패시터(C_m)는 픽셀(PX_{i,j})의 발광 소자(ED)에 공급되는 전류를 조정하기 위한 것으로, 부가 캐패시터의 캐패시턴스의 값(이하, "부가 캐패시터의 값")은 픽셀

(PX_{ij})에 인가되는 픽셀 전원 전압(PVDD_{ij})의 레벨에 따라 결정될 수 있다. 즉, 부가 캐패시터(C_m)의 값은 픽셀(PX_{ij})의 위치에 따라 달라질 수 있다.

[0070] 본 발명의 실시예들에 의한 유기 발광 표시 장치(100)는 부가 캐패시터를 도입하지 않은 픽셀(210, 도 2a 참조)과 부가 캐패시터를 도입한 픽셀(220, 도 3a 참조)을 모두 포함할 수 있다.

[0071] 또 다른 실시예들에 의한 유기 발광 표시 장치(100)는 제1 부가 캐패시터를 갖는 픽셀과 제2 부가 캐패시터를 갖는 픽셀을 모두 포함할 수 있다. 여기서, 제1 부가 캐패시터의 값과 제2 부가 캐패시터의 값은 서로 다를 수 있다.

[0072] 이하, 도 2a 내지 도 4b를 참조하여, 본 발명의 실시예들에 따른 유기 발광 표시 장치(100)에 포함될 수 있는 예시적인 픽셀 회로에 대해서 살펴보도록 한다.

[0073] 도 2a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐패시터를 채용하지 않은 픽셀(210)의 예시적인 회로 구성을 나타내며, 도 2b는 도 2a의 픽셀(210) 회로에 대한 구동 타이밍도를 나타낸다.

[0074] 도 2a를 참조하면, 픽셀(210)은 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 저장 캐패시터(Cst) 및 발광 소자(ED)를 포함한다. 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 모두 PMOS 타입의 트랜지스터일 수 있다. 이에 따라, 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 제어 단자에 네거티브(negative) 전압이 인가될 때, 입력 단자와 출력 단자 사이에 채널이 형성될 수 있다.

[0075] 스위칭 트랜지스터(T1)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 게이트 라인(GL)에 연결되어 있고, 입력 단자는 소스 라인(SL)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(T2)에 연결되어 있다. 스위칭 트랜지스터(T1)는 게이트 라인(GL)에 인가되는 스캔 신호(Scan)에 응답하여 소스 라인 (SL)에 인가되는 데이터 신호(Data)를 구동 트랜지스터(T2)에 전달한다.

[0076] 구동 트랜지스터(T2) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(T1)에 연결되어 있고, 입력 단자는 전원 전압 라인(PL)에 연결되어 있으며, 출력 단자는 발광 소자(ED)에 연결되어 있다. 구동 트랜지스터(T2)는 제어 단자 및 출력 단자에 걸리는 전압에 따라 그 크기가 달라지는 구동 전류를 출력한다.

[0077] 저장 캐패시터(Cst)는 구동 트랜지스터(T2)의 제어 단자와 입력 단자 사이에 연결되어 있다. 저장 캐패시터(Cst)는 구동 트랜지스터(T2)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(T1)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.

[0078] 저장 캐패시터(Cst)의 하나의 전극과 구동 트랜지스터(T2)의 제어 단자, 스위칭 트랜지스터(T1)의 출력 단자는 하나의 노드(이하, "D-node")에서 연결된다. D-node의 전압은 구동 트랜지스터(T2)의 제어 단자에 입력되는 전압으로, D-node의 전압 레벨에 의해서 구동 트랜지스터(T2)를 턴-온 또는 턴-오프시킬 수 있다. 또한, D-node의 전압의 크기에 따라 구동 트랜지스터(T2)에 흐르는 전류의 값에 관여할 수 있다.

[0079] 발광 소자(ED)는 제1 전극, 제1 전극에 대향하는 제2전극, 제1전극과 제2전극 사이의 발광층을 포함하는 유기 발광 소자(OLED)일 수 있다. 제1 전극 및 제2 전극은 각각 애노드 전극 및 캐소드 전극일 수 있다. 발광 소자(ED)의 애노드 전극은 구동 트랜지스터(T2)의 출력단자에 연결되고, 캐소드 전극은 전원 전압 생성부(150)에서 생성된 제2 전원 전압(ELVSS)을 인가받을 수 있다. 제1 전원 전압(ELVDD)은 소정의 하이 레벨 전압일 수 있고, 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 낮은 전압이거나 접지 전압일 수 있다.

[0080] 발광 소자(ED)는 구동 트랜지스터(T2)의 출력 전류에 따라 세기를 달리하여 발광함으로써 영상을 표시할 수 있다.

[0081] 도 1에 도시된 바와 같이, 전원 전압 라인(PL)은 전원 전압 배선(PW)을 통해 전원 전압 생성부(150)에 의해 생성된 제1 전원 전압(ELVDD)이 인가된다. 상술한 바와 같이, 전원 전압 라인(PL)은 발광 소자(ED)의 발광에 의해 소모되는 전류(I)가 흐른다. 전원 전압 라인(PL)에는 많은 픽셀들(PX)이 연결되어 있으므로, 픽셀들(PX)의 발광 소자(ED)에 의해 소모되는 전류(I)의 합은 무시할 수 없는 크기이다. 전원 전압 라인(PL)은 선 저항을 갖는 도전 패턴이므로, 저항(R)을 갖는 것으로 이해될 수 있다. 전원 전압 라인(PL)의 제1 전원 전압(ELVDD)이 인가되는 지점과 전원 전압 라인(PL)의 픽셀(PX)에 연결되는 지점 사이에는 전류(I)와 저항(R)의 곱만큼의 전압 강하(ΔV)가 발생한다. 따라서, 픽셀(PX)에 입력되는 픽셀 전원 전압(PVDD)의 레벨은 제1 전원 전압(ELVDD)의 레벨보다 전압 강하(ΔV)만큼 낮다.

- [0082] 아날로그 구동 방식으로 동작하는 경우, 저장 커패시터(Cst)는 데이터 신호(D)의 전압을 저장하며, 구동 트랜지스터(T2)는 저장 커패시터(Cst)에 저장된 전압에 대응하는 구동 전류를 생성하여 발광 소자(ED)에 전달한다. 발광 소자(D)는 구동 전류를 수신하고, 구동 전류에 대응하는 밝기로 발광한다.
- [0083] 디지털 구동 방식으로 동작하는 경우, 구동 트랜지스터(T2)는 제어 단자에 인가된 데이터 신호(Data)의 논리 레벨에 따라 턴 온 또는 턴 오프되고, 턴 온되면 픽셀 전원 전압(PVDD)을 발광 소자(ED)의 제1 전극(예컨대, 애노드 전극)으로 전달한다. 저장 커패시터(Cst)는 구동 트랜지스터(T2)의 턴 온 상태 또는 턴 오프 상태를 유지할 수 있다. 구동 트랜지스터(T2)가 턴 온된 경우, 픽셀 전원 전압(PVDD)은 구동 트랜지스터(T2)를 통해 발광 소자(ED)의 애노드 전극으로 전달된다. 발광 소자(ED)는 애노드 전극에 픽셀 전원 전압(PVDD)이 인가되면 발광한다. 발광 소자(ED)는 발광 소자(ED)에 흐르는 구동 전류(Id)의 크기에 대응하는 밝기로 발광한다. 구동 전류(Id)는 구동 트랜지스터(T2)의 제어 단자 및 출력 단자에 인가되는 전압에 따라서 달라질 수 있다. 구동 트랜지스터(T2)가 턴 오프되어 애노드 전극에 픽셀 전원 전압(PVDD)이 인가되지 않으면 발광 소자(ED)는 발광하지 않고 블랙을 표시한다.
- [0084] 아래에서는 유기 발광 표시 장치(100)가 디지털 구동 방식으로 동작하는 예에 대하여 설명한다. 그러나, 유기 발광 표시 장치(100)가 아날로그 구동 방식으로 동작하는 경우에도 본 발명의 다양한 실시예들이 적용될 수 있다.
- [0085] 도 2b를 참조하면, 스위칭 트랜지스터(T1)의 제어 단자로 입력되는 스캔 신호(Scan)가 하이 레벨에서 로우 레벨이 되면, 스캔 신호(Scan)의 로우 레벨 구간(I) 동안 스위칭 트랜지스터(T1)는 턴-온되고, 소스 라인(SL)을 통해 인가되는 데이터 신호(Data)가 저장 캐퍼시터(Cst)에 전달되어 저장된다.
- [0086] 그 다음, 스캔 신호(Scan)가 로우 레벨에서 다시 하이 레벨이 되면 스위칭 트랜지스터(T1)은 턴-오프 되고, 저장 캐퍼시터(Cst)에 의해 저장된 데이터 신호(Data)의 논리 레벨에 따라 구동 트랜지스터(T2)를 턴-온 또는 턴-오프 시킬 수 있다. 데이터 신호(Data)가 로우 레벨인 경우, 구동 트랜지스터(T2)는 턴-온 되며 픽셀 전원 전압(PVDD)이 발광 소자(ED)로 전달되어 발광 구간(II) 동안 발광 소자(ED)가 발광하게 된다.
- [0087] 발광 소자(ED)의 밝기는 발광 소자(ED)에 흐르는 구동 전류(Id)의 크기에 의해서 정해지며, 구동 전류(Id)의 크기는 픽셀 전원 전압(PVDD) 및 D-node의 전압 크기에 따라 달라질 수 있다. 픽셀 전원 전압(PVDD)이 작을수록 구동 전류(Id)의 크기가 작을 수 있다. 따라서, 전원 전압 배선망에 의한 전압 강하가 가장 큰 위치의 픽셀(PX)의 휘도가 표시 패널(110)의 픽셀들(PX) 중 가장 낮을 수 있다.
- [0088] 본 발명의 실시예들에 있어서, 도 2의 픽셀(210)은 부가 캐퍼시터를 채용하지 않은 픽셀(PX)로 픽셀 전원 전압(PVDD)의 값이 가장 낮은 위치에 배치되어 기준 픽셀의 역할을 할 수 있다. 즉, 픽셀(210)의 휘도 값을 기준으로 부가 캐퍼시터를 채용한 픽셀들(220, 도3 참조)의 부가 캐퍼시터 값을 조정할 수 있다.
- [0089] 한편, 도 2a의 픽셀(210) 구성은 예시적인 것일 뿐, 이에 한정되지 않는다. 예를 들면, 픽셀(210)에는 추가적인 박막 트랜지스터가 포함될 수 있다. 또한, 도 2a의 픽셀(210)에 사용된 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 PMOS 타입으로 예를 들어 설명하였지만, 이에 한정되지 않는다. 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 NMOS 타입일 수 있다.
- [0090] 도 3a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐퍼시터(Cm)를 채용한 픽셀(220)의 예시적인 회로 구성을 나타내며, 도 3b는 도 3a의 픽셀(220) 회로에 대한 구동 타이밍도를 나타낸다.
- [0091] 도 3a를 참조하면, 픽셀(220)은 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 저장 캐퍼시터(Cst), 발광 소자(ED), 및 부가 캐퍼시터(Cm)를 포함한다. 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 모두 PMOS 타입의 트랜지스터일 수 있다. 이에 따라, 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 제어 단자에 네거티브(negative) 전압이 인가될 때, 입력 단자와 출력 단자 사이에 채널이 형성될 수 있다.
- [0092] 도 3a의 픽셀(220)의 구성은 도 2a의 픽셀(210)의 구성에 부가 캐퍼시터(Cm)이 더 포함되었다는 점에서 차이가 있다. 도 3a의 픽셀(220)의 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 저장 캐퍼시터(Cst) 및 발광 소자(ED)의 연결 관계 및 동작은 도 2a의 픽셀(210)을 참고하여 설명한 것과 동일하다.
- [0093] 도 3a의 픽셀(220)에 있어서, 부가 캐퍼시터(Cm)는 스위칭 트랜지스터(T1)의 제어 단자와 구동 트랜지스터(T2)의 제어 단자 사이에 연결된다. 다시 말하면, 부가 캐퍼시터(Cm)는 스위칭 트랜지스터(T1)의 제어 단자와 D-node 사이에 연결된다.
- [0094] 부가 캐퍼시터(Cm)에 의해서 스위칭 트랜지스터(T1)가 턴-온 상태에서 턴-오프되었을 때, D-node의 전압이 상승

될 수 있다. D-node의 전압 상승량을 ΔV_m 이라 하면, $\Delta V_m = C_m/(C_{st} + C_m) * (VH - VL)$ 로 표현될 수 있다. 이 때, C_m 은 부가 캐패시터의 캐패시턴스 값, C_{st} 는 저장 캐패시터의 캐패시턴스 값, VH 는 스캔 신호(Scan)의 하이 레벨 값, VL 은 스캔 신호(Scan)의 로우 레벨 값을 의미한다.

[0095] 예를 들어, $C_m=0.02\text{pF}$, $C_{st}=0.1\text{pF}$, $VH=10\text{V}$, $VL=-10\text{V}$ 라고 하면, $\Delta V_m = 3.3\text{V}$ 가 되고, D-node의 전압은 데이터 신호의 전압값이 -4V 일 때, -0.7V 가 된다.

[0096] D-node의 전압은 구동 트랜지스터(T2)의 구동 전류(Id)에 관여할 수 있다. D-node의 전압이 상승된 경우, 구동 전류(Id)의 크기는 감소될 수 있으며 이는 발광 소자(ED)의 휘도가 낮아질 수 있음을 의미한다. 따라서, 부가 캐패시터(C_m)의 값을 각 픽셀들(PX)의 픽셀 전원 전압(PVDD)에 따라서 다르게 설정하여, 각 픽셀들(PX)의 휘도를 균일하게 조정할 수 있다.

[0097] 도 3b를 참조하면, 스위칭 트랜지스터(T1)의 제어 단자로 입력되는 스캔 신호(Scan)가 하이 레벨에서 로우 레벨이 되면, 스캔 신호(Scan)의 로우 레벨 구간(I) 동안 스위칭 트랜지스터(T1)는 편-온되고, 소스 라인(SL)을 통해 인가되는 데이터 신호(Data)가 저장 캐패시터(Cst)에 전달되어 저장된다.

[0098] 그 다음, 스캔 신호(Scan)가 로우 레벨에서 다시 하이 레벨이 되면 스위칭 트랜지스터(T1)은 편-오프 되고, 저장 캐패시터(Cst)에 의해 저장된 데이터 신호(Data)의 논리 레벨에 따라 구동 트랜지스터(T2)를 편-온 또는 편-오프 시킬 수 있다.

[0099] 부가 캐패시터(C_m)에 의해서, 구동 트랜지스터(T2)의 제어 단자의 전압(D-node 전압) 레벨은 상기 스캔 신호(Scan)가 로우 레벨에서 하이 레벨이 되는 지점인 라이징 에지(rising edge, A)에 커플링되어 ΔV_m 만큼 상승된다. 이에 따라, 구동 전류(Id)의 값을 하강하게 된다.

[0100] D-node의 전압이 상승되어도 D-node 전압을 네거티브로 조정하는 경우, 구동 트랜지스터(T2)는 편-온 되며 픽셀 전원 전압(PVDD)이 발광 소자(ED)로 전달되어 발광 구간(II) 동안 발광 소자(ED)가 발광하게 된다.

[0101] 발광 소자(ED)의 밝기는 발광 소자(ED)에 흐르는 구동 전류(Id)의 크기에 의해서 정해지며, 구동 전류(Id)의 크기는 픽셀 전원 전압(PVDD) 및 D-node의 전압 크기에 따라 달라질 수 있다. 픽셀 전원 전압(PVDD)가 작을수록 구동 전류(Id)의 크기가 작을 수 있다. 한편, D-node의 전압이 상승(예컨대, -4V 에서 -0.7V)하게 되면 구동 전류(Id)의 값을 작아질 수 있다. 이는, D-node의 전압은 입력 단자와 출력 단자의 채널 형성에 기여한다는 것으로 이해할 수 있다.

[0102] 상술한 바와 같이, 부가 캐패시터(C_m)의 값을 클수록 구동 전류(Id)가 작아지게 되어, 픽셀(220)의 휘도가 낮아질 수 있다.

[0103] 부가 캐패시터(C_m)의 값을 제1 전원 전압(ELVDD)이 전원 전압 라인(PL)에 의해서 전압 강하되어 픽셀(220)에 인가되는 픽셀 전원 전압(PVDD)에 따라서 결정될 수 있다. 예를 들면, 픽셀 전원 전압(PVDD)이 작을수록 부가 캐패시터(C_m)의 값을 크게 결정할 수 있다.

[0104] 일부 실시예에서, 부가 캐패시터(C_m)는 픽셀(220)이 메인 전원 전압 배선(PW)과 근접하게 배치될수록 큰 값을 가질 수 있다. 예를 들면, 도 1의 픽셀(PXi j)의 부가 캐패시터(C_{mij})의 값을 픽셀(PXi k)의 부가 캐패시터(C_{mk})의 값을보다 클 수 있다. 이는 메인 전원 전압 배선(PW)과 근접할수록 전압 강하가 적게 발생하는 것으로 이해할 수 있다.

[0105] 도 4a는 일 실시예에 따른 유기 발광 표시 장치의 픽셀들(PX) 중 부가 캐패시터를 채용한 픽셀(230)의 예시적인 회로 구성을 나타내며, 도 4b는 도 4a의 픽셀(230) 회로에 대한 구동 타이밍도를 나타낸다.

[0106] 도 4a의 픽셀(230) 회로는 도 3a의 픽셀(220) 회로와 비교할 때, 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)가 각각 NMOS 타입이라는 점에서 차이가 있다. 이에 따라, 스위칭 트랜지스터(T1) 및 구동 트랜지스터(T2)는 제어 단자에 포지티브(positive) 전압이 인가될 때, 입력 단자와 출력 단자 사이에 채널이 형성될 수 있다.

[0107] 도 4a의 픽셀(230) 회로의 연결관계는 도 3a의 픽셀(220) 회로와 동일하다. 스위칭 트랜지스터(T1)는 스캔 신호(Scan)의 논리 레벨이 하이일 때 편-온 되며, 스캔 신호(Scan)의 논리 레벨이 로우일 때 편-오프 된다. 구동 트랜지스터(T2)는 데이터 신호(Data)의 논리 레벨이 하이일 때 편-온 되며, 데이터 신호(Data)의 논리 레벨이 로우일 때 편-오프 된다.

[0108] 도 4a의 픽셀(230)에 있어서, 부가 캐패시터(C_m)는 스위칭 트랜지스터(T1)의 제어 단자와 구동 트랜지스터(T2)의 제어 단자 사이에 연결된다. 다시 말하면, 부가 캐패시터(C_m)는 스위칭 트랜지스터(T1)의 제어 단자와 D-

node 사이에 연결된다.

[0109] 부가 캐패시터(C_m)에 의해서 스위칭 트랜지스터(T1)가 턴-온 상태에서 턴-오프되었을 때, D-node의 전압이 하강될 수 있다. D-node의 전압 하강량을 ΔV_m 이라 하면, $\Delta V_m = C_m/(C_{st} + C_m)*(VH - VL)$ 로 표현될 수 있다. 이 때, C_m 은 부가 캐패시터의 캐패시턴스 값, C_{st} 는 저장 캐패시터의 캐패시턴스 값, VH는 스캔 신호(Scan)의 하이 레벨 값, VL은 스캔 신호(Scan)의 로우 레벨 값을 의미한다.

[0110] 예를 들어, $C_m=0.02\text{pF}$, $C_{st}=0.1\text{pF}$, $VH=17\text{V}$, $VL=-3\text{V}$ 라고 하면, $\Delta V_m = 3.3\text{ V}$ 가 되고, D-node의 전압은 데이터 신호의 전압이 10V일 때, 6.7V가 된다.

[0111] 도 4b를 참조하면, 스위칭 트랜지스터(T1)의 제어 단자로 입력되는 스캔 신호(Scan)가 로우 레벨에서 하이 레벨이 되면, 스캔 신호(Scan)의 하이 레벨 구간(I) 동안 스위칭 트랜지스터(T1)는 턴-온되고, 소스 라인(SL)을 통해 인가되는 데이터 신호(Data)가 저장 캐패시터(C_{st})에 전달되어 저장된다.

[0112] 그 다음, 스캔 신호(Scan)가 하이 레벨에서 다시 로우 레벨이 되면 스위칭 트랜지스터(T1)은 턴-오프 되고, 저장 캐패시터(C_{st})에 의해 저장된 데이터 신호(Data)의 논리 레벨에 따라 구동 트랜지스터(T2)를 턴-온 또는 턴-오프 시킬 수 있다. 데이터 신호(Data)가 하이 레벨인 경우, 구동 트랜지스터(T2)는 턴-온 되며 픽셀 전원 전압(PVDD)이 발광 소자(ED)로 전달되어 발광 구간(II) 동안 발광 소자(ED)가 발광하게 된다.

[0113] 부가 캐패시터(C_m)에 의해서, 구동 트랜지스터(T2)의 제어 단자의 전압(D-node 전압) 레벨은 상기 스캔 신호(Scan)가 하이 레벨에서 로우 레벨이 되는 지점인 폴링 에지(falling edge, B)에 커플링되어 ΔV_m 만큼 감소된다. 이에 따라, 구동 전류(Id)의 값은 하강하게 된다.

[0114] D-node의 전압이 하강되어도 D-node 전압을 포지티브로 조정하는 경우, 구동 트랜지스터(T2)는 턴-온 되며 픽셀 전원 전압(PVDD)이 발광 소자(ED)로 전달되어 발광 구간(II) 동안 발광 소자(ED)가 발광하게 된다.

[0115] 발광 소자(ED)의 밝기는 발광 소자(ED)에 흐르는 구동 전류(Id)의 크기에 의해서 정해지며, 구동 전류(Id)의 크기는 픽셀 전원 전압(PVDD) 및 D-node의 전압 크기에 따라 달라질 수 있다. 픽셀 전원 전압(PVDD)이 작을수록 구동 전류(Id)의 크기가 작을 수 있다. 한편, D-node의 전압이 하강(예컨대, 10V에서 6.7V)하게 되면 구동 전류(Id)의 값이 작아질 수 있다. 이는, D-node의 전압은 입력 단자와 출력 단자의 채널 형성에 기여한다는 것으로 이해할 수 있다.

[0116] 상술한 바와 같이, 부가 캐패시터(C_m)의 값이 클수록 구동 전류(Id)가 작아지게 되어, 픽셀(230)의 휘도가 낮아질 수 있다.

[0117] 부가 캐패시터(C_m)의 값은 제1 전원 전압(ELVDD)이 전원 전압 라인(PL)에 의해서 전압 강하되어 픽셀(230)에 인가되는 픽셀 전원 전압(PVDD)에 따라서 결정될 수 있다. 예를 들면, 픽셀 전원 전압(PVDD)이 작을수록 부가 캐패시터(C_m)의 값을 크게 결정할 수 있다.

[0118] 일부 실시예에서, 부가 캐패시터(C_m)는 픽셀(220)이 메인 전원 전압 배선(PW)과 근접하게 배치될수록 큰 값을 가질 수 있다. 예를 들면, 도 1의 픽셀(PXi j)의 부가 캐패시터(C_{mij})의 값이 픽셀(PXi k)의 부가 캐패시터($C_{mi k}$)의 값보다 클 수 있다. 이는 메인 전원 전압 배선(PW)과 근접할수록 전압 강하가 적게 발생하는 것으로 이해할 수 있다.

[0119] 상술한 바와 같이, 본 발명의 실시예들에 의한 유기 발광 표시 장치(100)는 부가 캐패시터(C_m)를 채용한 픽셀을 포함하여 표시 패널의 위치에 따른 휘도를 조정할 수 있다.

[0120] 도 5는 일 실시예에 따른 유기 발광 표시 장치의 표시 패널 위치에 따른 부가 캐패시터 값의 예시적인 구성을 도시한다.

[0121] 도 5를 참조하면, 유기 발광 표시 장치(100)는 비표시 영역(NDA)에 배치되며 제1 전원 전압(ELVDD)이 인가되는 메인 전원 전압 배선(PW), 및 표시 영역(DA)에 배치되며, 상기 메인 전원 전압 배선(PW)과 접속하는 전원 전압 라인들(PL)에 의해서 전기적으로 연결되는 복수의 픽셀들(PX)을 포함한다.

[0122] 일부 실시예에서, 복수의 픽셀들(PX)은 부가 캐패시터를 포함하지 않는 픽셀들(210)과 부가 캐패시터를 포함하는 픽셀들(220)을 포함할 수 있다. 이 때, 부가 캐패시터를 포함하는 픽셀들(220)의 부가 캐패시터의 값을 서로 다를 수 있다.

[0123] 입루 실시예에서, 복수의 픽셀들(PX)은 부가 캐패시터를 포함하는 픽셀들(220, 230)로만 이루어질 수 있다. 이

때, 부가 캐패시터를 포함하는 픽셀들(220, 230)의 부가 캐패시터의 값은 서로 다를 수 있다.

[0124] 부가 캐패시터(Cm)의 값은 제1 전원 전압(ELVDD)이 전압 강하되어 각 픽셀(PX)에 인가되는 픽셀 전원 전압(PLVDD)에 따라 결정될 수 있다.

[0125] 도 5에 있어서, 메인 전원 전압(PW)은 표시 영역(DA)의 상측 및 하측에 배치된다. 픽셀들(PX)은 표시 영역(DA)의 상측 및 하측 모두로부터 전원 전압 라인들(PL)에 의해 열방향으로 제1 전원 전압(ELVDD)을 공급받게 된다.

[0126] 이에 따라, 제1 전원 전압(ELVDD)이 전압 강하된 픽셀 전원 전압(PVDD)의 크기는 열방향(Y축)을 기준으로 표시 영역(DA)의 가운데 부분에서 가장 작고, 가장 자리로 갈수록 증가하게 된다.

[0127] 부가 캐패시터의 값은 픽셀 전원 전압(PVDD)의 크기가 작은 부분에서 가장 작고, 픽셀 전원 전압(PVDD)의 크기가 가장 큰 부분에서 가장 크게 설계될 수 있다. 예를 들면, 표시 영역의 가운데 행을 이루는 픽셀들의 부가 캐패시터의 값은 0pF으로, 표시 영역의 상측 및 하측의 끝 행을 이루는 픽셀들의 부가 캐패시터의 값은 0.02pF으로 설계될 수 있다.

[0128] 도 5의 좌측 그림과 같이, 픽셀들(PX)의 부가 캐패시터의 값은 표시 영역(DA)의 가운데 행을 가장 작게 설계하고, 가장자리 행으로 갈수록 연속적으로 증가하게 설계할 수 있다. 이와 같은 구성으로 픽셀들(PX)의 휘도를 균일하게 설계할 수 있다.

[0129] 일부 실시예에서, 표시 영역의 가운데 행을 이루는 픽셀들은 부가 캐패시터를 포함하지 않는 픽셀들(210)로 이루어지고, 상기 픽셀들(210)의 상측 또는 하측에는 부가 캐패시터를 포함하는 픽셀들(220)이 배치될 수 있다.

[0130] 일부 실시예에서, 표시 영역의 가운데 행에는 제1 부가 캐패시터를 포함하는 제1 픽셀들이 배치되고, 상기 제1 픽셀들 상측 또는 하측에는 제1 부가 캐패시터의 값보다 큰 제2 부가 캐패시터를 포함하는 제2 픽셀들이 포함될 수 있다.

[0131] 도 6은 다른 실시예에 따른 유기 발광 표시 장치의 표시 패널 위치에 따른 부가 캐패시터 값의 예시적인 구성을 도시한다.

[0132] 도 6을 참조하면, 유기 발광 표시 장치(100)는 비표시 영역(NDA)에 배치되며 제1 전원 전압(ELVDD)이 인가되는 메인 전원 전압 배선(PW), 및 표시 영역(DA)에 배치되며, 상기 메인 전원 전압 배선(PW)과 접속하는 전원 전압 라인들(PL)에 의해서 전기적으로 연결되는 복수의 픽셀들(PX)을 포함한다.

[0133] 일부 실시예에서, 복수의 픽셀들(PX)은 부가 캐패시터를 포함하지 않는 픽셀들(210)과 부가 캐패시터를 포함하는 픽셀들(220)을 포함할 수 있다. 이 때, 부가 캐패시터를 포함하는 픽셀들(220)의 부가 캐패시터의 값은 서로 다를 수 있다.

[0134] 입루 실시예에서, 복수의 픽셀들(PX)은 부가 캐패시터를 포함하는 픽셀들(220, 230)로만 이루어질 수 있다. 이 때, 부가 캐패시터를 포함하는 픽셀들(220, 230)의 부가 캐패시터의 값은 서로 다를 수 있다.

[0135] 부가 캐패시터(Cm)의 값은 제1 전원 전압(ELVDD)이 전압 강하되어 각 픽셀(PX)에 인가되는 픽셀 전원 전압(PLVDD)에 따라 결정될 수 있다.

[0136] 도 6에 있어서, 메인 전원 전압 배선(PW)은 표시 영역(DA)을 둘러싸도록 배치된다. 즉, 메인 전원 전압 배선(PW)은 표시 영역(DA)의 상측, 하측, 좌측, 및 우측에 배치된다. 픽셀들(PX)은 표시 영역(DA)의 상측, 하측, 좌측, 및 우측 모두로부터 전원 전압 라인들(PL)에 의해 제1 전원 전압(ELVDD)을 공급받게 된다.

[0137] 이에 따라, 제1 전원 전압(ELVDD)이 전압 강하된 픽셀 전원 전압(PVDD)의 크기는 표시 영역(DA)의 중앙 부분에서 가장 작고, 가장 자리로 갈수록 증가하게 된다.

[0138] 부가 캐패시터의 값은 픽셀 전원 전압(PVDD)의 크기가 작은 부분에서 가장 작게, 픽셀 전원 전압(PVDD)의 크기가 가장 큰 부분에서 가장 크게 설계될 수 있다. 예를 들면, 표시 영역의 중앙에 배치되는 픽셀의 부가 캐패시터의 값은 0pF으로, 가장 자리에 배치되는 픽셀의 부가 캐패시터의 값은 0.02pF으로 설계할 수 있다.

[0139] 도 6에 있어서, 부가 캐패시터의 값이 동일한 픽셀 그룹들(PGi, PGj, PGk)은 원형 또는 타원형의 형태로 배치될 수 있다. 도면에 있어서, 하나의 픽셀 그룹(예를 들면, PGi)은 하나의 타원형을 이루는 점선 상에 배치된 픽셀을 의미하며, 실질적으로 동일한 픽셀 전원 전압을 인가받는 픽셀들로 구성될 수 있다.

[0140] 픽셀 그룹(PGj)의 부가 캐패시터의 값은 픽셀 그룹(PGi)의 부가 캐패시터의 값보다 크게 설계되며, 픽셀 그룹

(PGj)는 꾹셀 그룹(PGi)를 둘러싸며 배치될 수 있다. 꾹셀 그룹(PGk)의 부가 캐패시터의 값은 꾹셀 그룹(PGj)의 부가 캐패시터의 값보다 크게 설계되며, 꾹셀 그룹(PGk)은 꾹셀 그룹(PGj)을 둘러싸며 배치될 수 있다.

[0141] 일부 실시예에서, 표시 영역의 중앙 부분에 배치되는 꾹셀들은 부가 캐패시터를 포함하지 않는 꾹셀들(210)로 이루어지고, 상기 꾹셀들(210)을 둘러싸면서 배치되는 꾹셀 그룹(PGi, PGj, PGk)은 부가 캐패시터를 포함하는 꾹셀들(220)일 수 있다.

[0142] 일부 실시예에서, 표시 영역의 중앙 부분에는 제1 부가 캐패시터를 포함하는 제1 꾹셀들이 배치되고, 상기 제1 꾹셀들을 둘러싸며 배치되며 제1 부가 캐패시터의 값보다 큰 제2 부가 캐패시터를 포함하는 제2 꾹셀 그룹이 배치될 수 있다.

[0143] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

100: 유기 발광 표시 장치

110: 표시 패널

120: 게이트 드라이버

130: 소스 드라이버

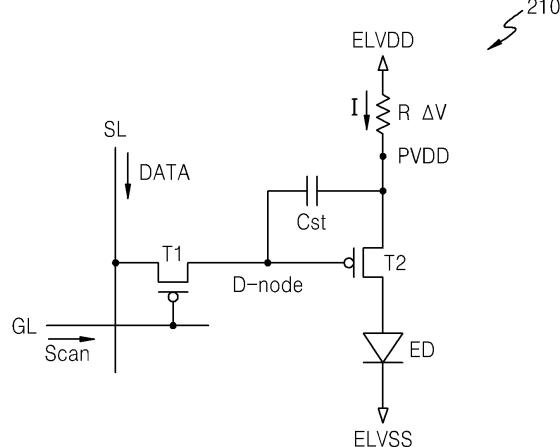
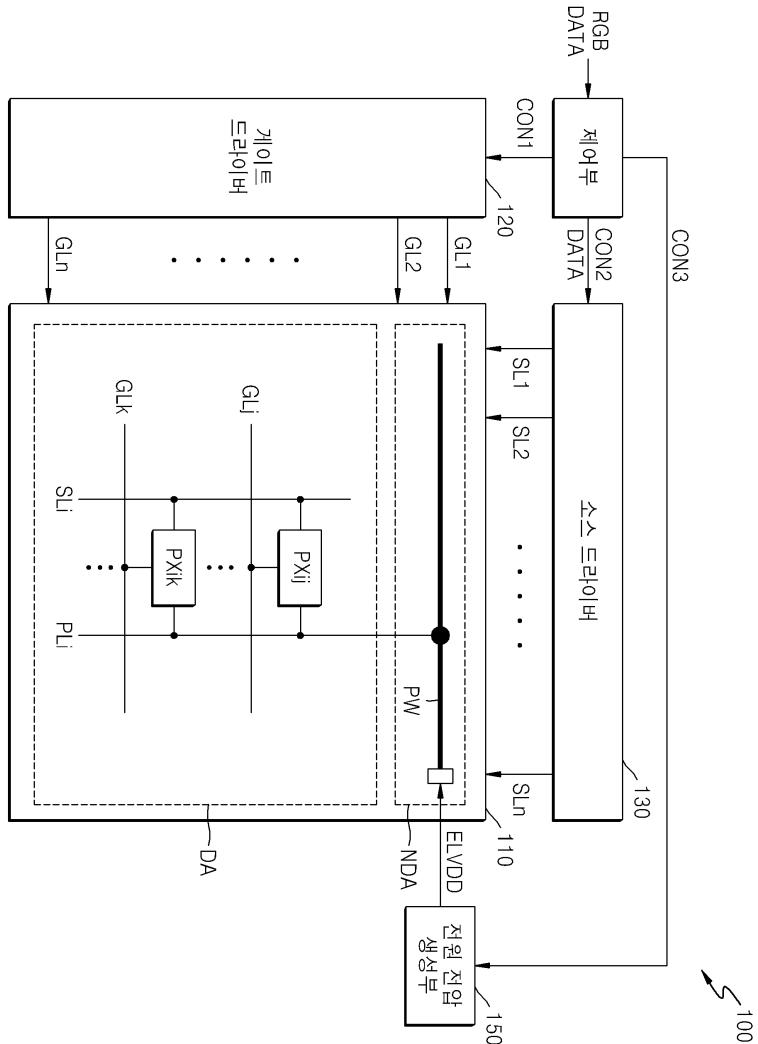
140: 제어부

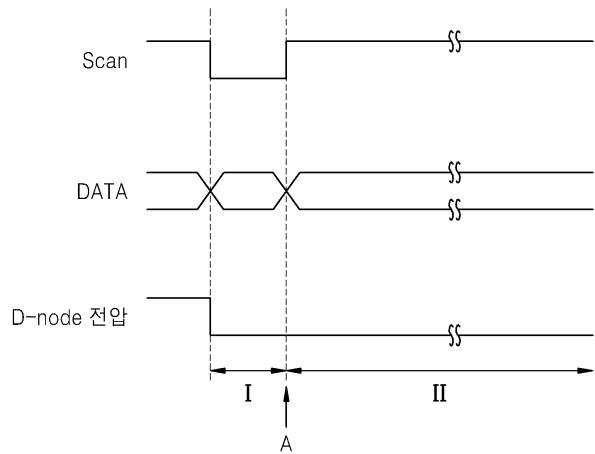
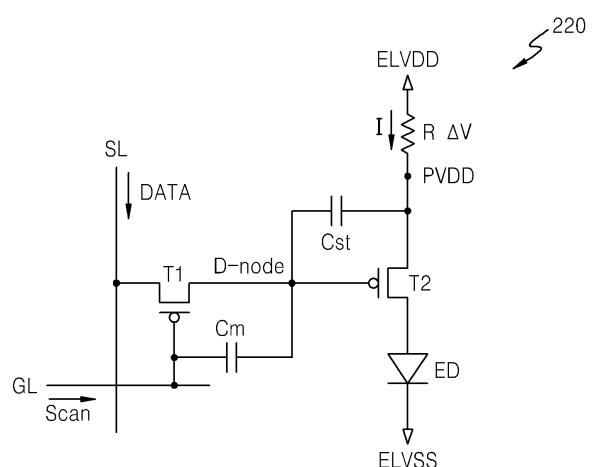
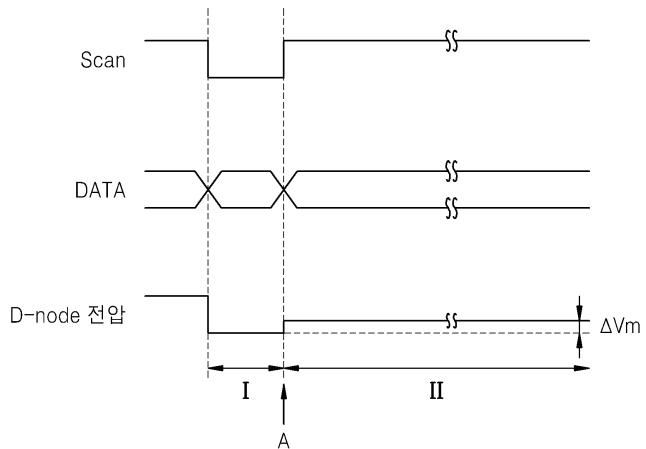
150: 전원 전압 생성부

210, 220, 230: 꾹셀

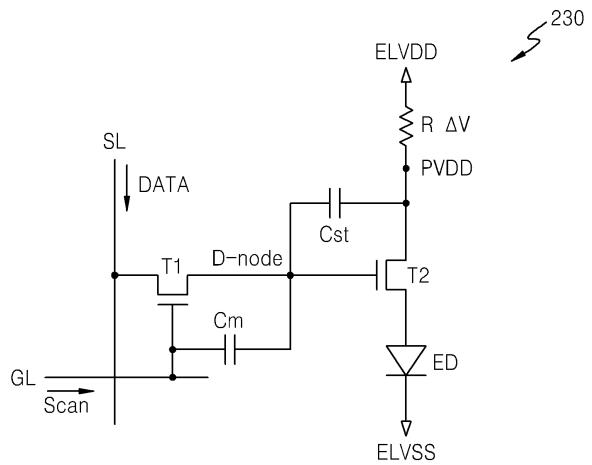
도면

도면1

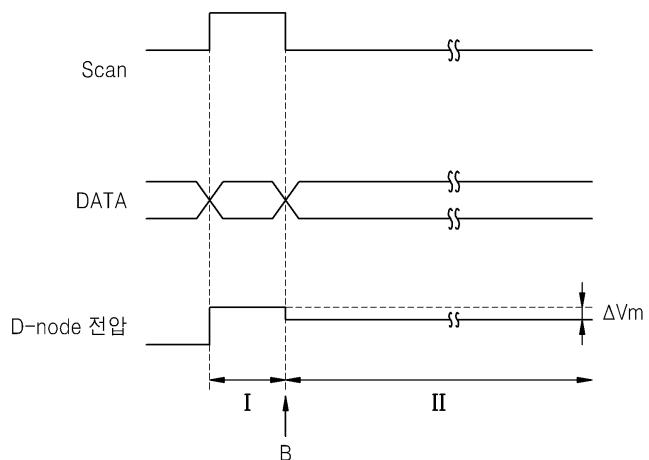


도면2b**도면3a****도면3b**

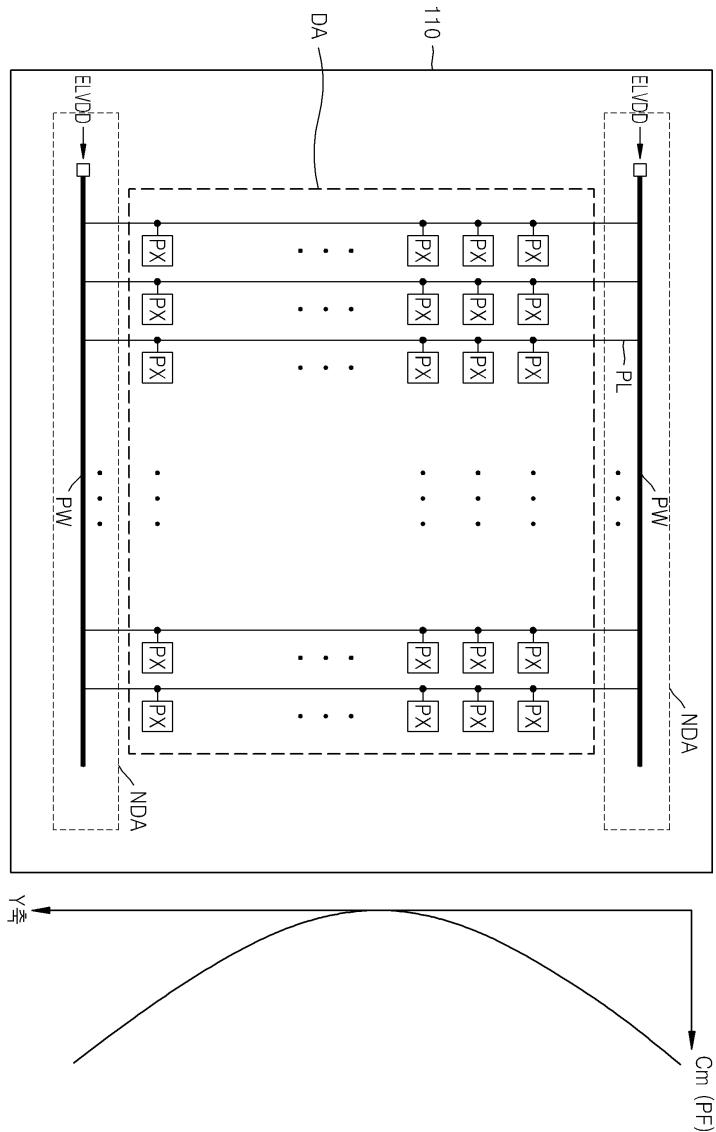
도면4a



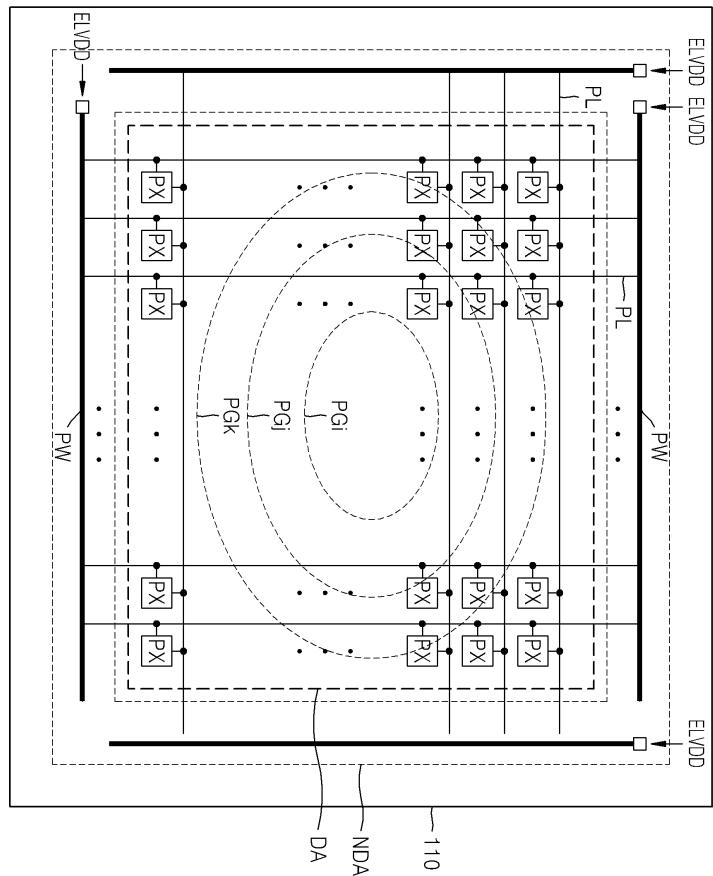
도면4b



도면5



도면6



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020150107994A	公开(公告)日	2015-09-24
申请号	KR1020140030468	申请日	2014-03-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HAN SANG MYEON 한상면		
发明人	한상면		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G5/10 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

提供了根据各种实施例的有机发光显示器。其中，有机发光显示器包括布置在非显示区域中并且施加第一电源电压的主电源电压线;并且多个像素布置在显示区域中并通过连接到主电源电压线的电源电压线电连接，所述多个像素包括开关晶体管，驱动晶体管，存储电容器，第一像素包括器件;并且第二像素还包括第一像素的配置中的附加电容器。

