



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0075947  
(43) 공개일자 2015년07월06일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0164405

(22) 출원일자 2013년12월26일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

나상현

서울 성동구 서울숲2길 8-11, (성수동1가)

최지민

충북 청주시 흥덕구 분평로 18, 705동 1003호 (분평동, 주공7차아파트)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

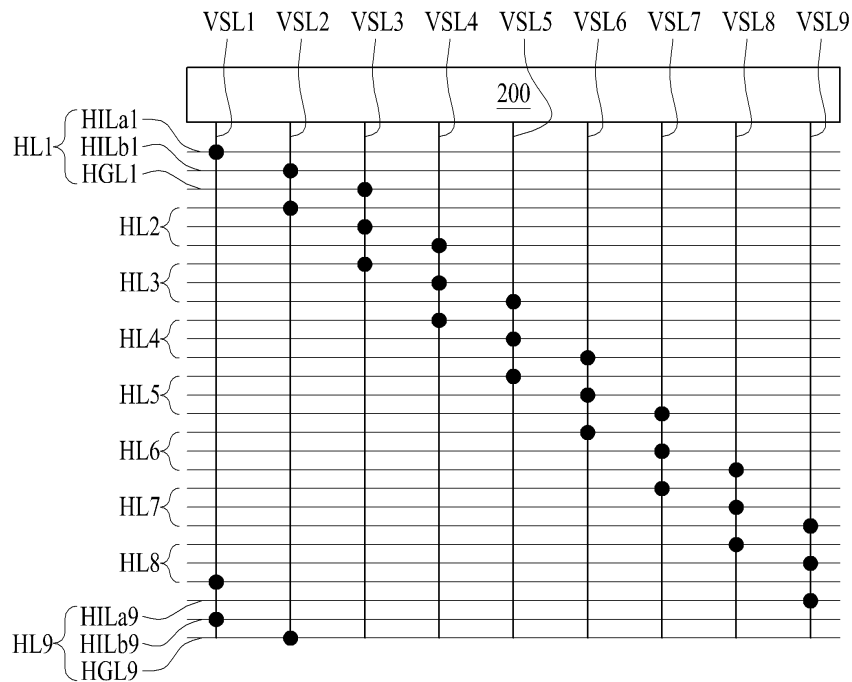
(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명은 유기발광표시장치에 관한 것으로서, 특히, 데이터 드라이버와 마주보도록 배치되어 있는 게이트 드라이버에 연결되어 있는 수직 신호 라인들의 갯수가, 상기 수직 신호 라인들과 수직하게 형성되어 있으며, 상기 수직 신호 라인들과 연결되어 있는, 라인들의 갯수보다 작게 형성되어 있는, 유기발광표시장치를 제공하는 것을 기

(뒷면에 계속)

대표도 - 도3



술적 과제로 한다. 이를 위해, 본 발명에 따른 유기발광표시장치는,  $k$ 개의 라인들로 형성되어 있는 수평 신호 라인들이  $g$ 개 형성되어 있고, 상기 수평 신호 라인들과 수직하게 형성되어 상기 수평 신호 라인들과 연결되는  $g/k$ 개의 수직 신호 라인들이 형성되어 있고, 상기 수평 신호 라인들과 수직한  $d$ 개의 데이터 라인들이 형성되어 있으며, 유기발광다이오드들로 형성되어 있는 유기발광패널; 상기 유기발광패널의 제1비표시영역에 형성되어 있으며, 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 드라이버; 및 상기 유기발광패널의 비표시영역들 중 상기 제1비표시영역과 마주보고 있는 제2비표시영역에 형성되어 있으며,  $g/k$ 개의 상기 수직 신호 라인들과 연결되어 있는 게이트 드라이버를 포함한다.

---

**명세서**

**청구범위**

**청구항 1**

k개의 라인들로 형성되어 있는 수평 신호 라인들이 g개 형성되어 있고, 상기 수평 신호 라인들과 수직하게 형성되어 상기 수평 신호 라인들과 연결되는 g/k개의 수직 신호 라인들이 형성되어 있고, 상기 수평 신호 라인들과 수직한 d개의 데이터 라인들이 형성되어 있으며, 유기발광다이오드들로 형성되어 있는 유기발광패널;

상기 유기발광패널의 제1비표시영역에 형성되어 있으며, 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 드라이버; 및

상기 유기발광패널의 비표시영역들 중 상기 제1비표시영역과 마주보고 있는 제2비표시영역에 형성되어 있으며, g/k개의 상기 수직 신호 라인들과 연결되어 있는 게이트 드라이버를 포함하는 유기발광표시장치.

**청구항 2**

제 1 항에 있어서,

상기 유기발광다이오드들의 보상을 위해, 수평라인을 따라 형성되는 g개의 상기 수평 신호 라인들 각각은, 3개의 라인들을 포함하고 있으며,

상기 수직 신호 라인들 각각은, 상기 유기발광패널의 모든 수평라인들에 형성되어 있는 3 x g개의 상기 라인들 중, 3개의 라인들과 연결되어 있는 것을 특징으로 하는 유기발광표시장치.

**청구항 3**

제 2 항에 있어서,

제n수직 신호 라인에 연결되어 있는 3개의 상기 라인들 사이에는, 상기 제n수직 신호 라인과 연결되어 있지 않은 또 다른 라인이 형성되어 있는 것을 특징으로 하는 유기발광표시장치.

**청구항 4**

제 2 항에 있어서,

1개의 상기 수직 신호 라인은, 인접되어 있는 세 개의 수평 신호 라인들 각각에 형성되어 있는 3개의 라인들 중, 1개의 라인들 각각에 연결되어 있는 것을 특징으로 하는 유기발광표시장치.

**청구항 5**

제 4 항에 있어서,

1개의 상기 수직 신호 라인은, 제m수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인, 제m+1수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인, 및 제m+2수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인에 연결되어 있는 것을 특징으로 하는 유기발광표시장치.

**청구항 6**

제 2 항에 있어서,

인접되어 있는 3개의 수직 신호 라인들 중 인접되어 있는 2개의 수직 신호 라인들 각각은, 인접되어 있는 2개의 수평 신호 라인들과 연결되어 있으며,

상기 3개의 수직 신호 라인들 중 나머지 하나는, 인접되어 있는 2개의 상기 수평 신호 라인들 중 어느 하나와만 연결되어 있는 것을 특징으로 하는 유기발광표시장치.

**청구항 7**

제 6 항에 있어서,

인접되어 있는 3개의 상기 수직 신호 라인들에는, 순차적으로 제어신호가 공급되는 것을 특징으로 하는 유기발광표시장치.

**청구항 8**

제 2 항에 있어서,

상기 게이트 드라이버는,

상기 수평 신호 라인들 중 인접되어 있는 두 개의 수평 신호 라인들로, 하나의 상기 수직 신호 라인을 통해, 동시에 하나의 제어신호를 공급하는 것을 특징으로 하는 유기발광표시장치.

**청구항 9**

제 2 항에 있어서,

1개의 상기 수평 신호 라인을 형성하는 3개의 상기 라인들은, 상기 유기발광패널의 수평라인에 형성되어 있는 픽셀들로 스캔펄스를 공급하기 위한 수평 게이트 라인, 상기 픽셀에 형성되어 있는 초기화용 트랜지스터의 구동을 위해 초기화 제어신호를 공급하기 위한 수평 초기화 라인 및 상기 픽셀에 형성되어 있는 센싱용 트랜지스터의 구동을 위해 센싱 제어신호를 공급하기 위한 수평 센싱 라인인 것을 특징으로 하는 유기발광표시장치.

**청구항 10**

제 2 항에 있어서,

인접되어 있는 3개의 상기 수직 신호 라인들을 통해, 제 $n$ 수평 신호 라인으로 순차적으로 공급된 제1제어신호, 제2제어신호 및 제3제어신호들 중, 상기 제2제어신호 및 상기 제3제어신호는, 제 $n+1$ 수평 신호 라인의 제1제어신호 및 제2제어신호로 공급되는 것을 특징으로 하는 유기발광표시장치.

**발명의 설명**

**기술분야**

[0001] 본 발명은 유기발광표시장치에 관한 것으로서, 특히, 네로우 베젤(narrow bezel)의 구현이 가능한 유기발광표시장치에 관한 것이다.

**배경기술**

[0002] 휴대전화, 테블릿PC, 노트북 등을 포함한 다양한 종류의 전자제품에는 평판표시장치(FPD : Flat Panel Display)가 이용되고 있다. 평판표시장치에는, 액정표시장치(LCD : Liquid Crystal Display), 플라즈마 디스플레이 패널(PDP : Plasma Display Panel), 유기발광표시장치(OLED : Organic Light Emitting Display Device) 등이 있으며, 최근에는 전기영동표시장치(EPD : ELECTROPHORETIC DISPLAY)도 널리 이용되고 있다.

[0003] 평판표시장치(이하, 간단히 '표시장치'라 함)들 중에서, 액정표시장치(LCD)는 액정의 광학적 이방성을 이용하여 화상을 표시하는 장치로서, 박형, 소형, 저소비전력 및 고화질 등의 장점이 있기 때문에, 널리 이용되고 있다. 또한, 표시장치들 중에서, 유기발광표시장치(Organic Light Emitting Display Device)는, 응답속도가 1ms 이하로서 고속의 응답속도를 갖고, 소비 전력이 낮으며, 자체 발광함으로써 시야각에 문제가 없기 때문에, 차세대 평판표시장치로 주목받고 있다.

[0004] 표시장치에 대한 연구는 기술적인 면과, 디자인적인 면으로 구분될 수 있으며, 최근에는, 수요자들에게 보다 어필할 수 있는 디자인적인 면에서의 연구개발의 필요성이 특히 부각되고 있다. 이에 따라, 표시장치의 두께를 최소화(슬립화)하는 노력이 꾸준히 진행되고 있다. 또한, 표시장치의 테두리 부분을 좁게 형성하는 기술(Narrow bezel)에 대한 연구도 활발히 진행되고 있다. 이에 따라, 최근에는, 게이트 드라이버가 데이터 드라이버(30)와 마주보는 방향에 형성되는 게이트 링크 인 어레이(GLA : Gate Link in Array) 방식이 이용되고 있다.

[0005] 도 1은 종래의 표시장치의 구성을 나타낸 예시도로서, 특히, 게이트 링크 인 어레이(GLA) 방식을 이용하는 표시장치의 구성을 나타내고 있다.

- [0006] 종래의 게이트 링크 인 어레이(GLA) 방식을 이용한 표시장치는, 도 1에 도시된 바와 같이, 영상을 출력하는 표시영역과, 표시영역 주변의 비표시영역으로 형성된 패널(10), 상기 패널(10)에 형성된 수평 신호 라인들(HL1 to HLg)과 수직 신호 라인들(VL1 to VLg)을 구동하기 위한 게이트 드라이버(20), 상기 패널에 형성된 데이터 라인들(미도시)을 구동하기 위한 데이터 드라이버(30) 및 상기 데이터 드라이버(30)와 상기 게이트 드라이버(20)를 구동하기 위한 타이밍 컨트롤러(40)를 포함한다.
- [0007] 이 경우, 상기 게이트 드라이버(20)는 상기 데이터 드라이버(30)와 마주보도록, 상기 패널(10)에 형성된다.
- [0008] 상기 타이밍 컨트롤러(40)는 상기 패널(10)에 장착될 수도 있으나, 도 1에 도시된 바와 같이, 인쇄회로기판(50)에 장착될 수 있다. 이 경우, 상기 인쇄회로기판(50)은, 상기 게이트 드라이버(20)가 장착되는 비표시영역에서, 상기 패널(10)과 전기적으로 연결될 수 있다.
- [0009] 상기한 바와 같이, 최근에는, 표시장치의 테두리 부분을 좁게 형성하는 기술(Narrow bezel)에 대한 연구가 활발히 진행되고 있다. 이에 따라, 도 1에 도시된 바와 같이, 게이트 드라이버(20)가 데이터 드라이버(30)와 마주보는 방향에 형성되는 게이트 링크 인 어레이(GLA : Gate Link in Array) 방식이 이용되고 있다.
- [0010] 상기 게이트 링크 인 어레이(GLA) 방식을 이용한 표시장치에서는, 상기 게이트 드라이버(20)로부터 연장되어 있는 수직 신호 라인들(VL1 to VLg)이, 상기 데이터 드라이버(30)로부터 연장되어 있는 데이터 라인들(미도시)과 나란하게 상기 패널(10)에 형성되어 있다. 상기 수직 신호 라인들(VL1 to VLg)은, 상기 데이터 라인과 수직하게 상기 패널(10)에 형성되어 있는 수평 신호 라인들(HL1 to HLg)에 연결되어 있다.
- [0011] 상기 패널(10)이, 유기발광다이오드로 형성된 유기발광패널인 경우, 상기 유기발광다이오드의 보상 또는 상기 유기발광다이오드의 구동을 위해, 상기 패널(10)의 각 수평라인에 형성되어 있는 픽셀들에는, 적어도 두 개 이상의 제어신호들이 공급될 수 있다.
- [0012] 예를 들어, 상기 패널(10)의 각 수평라인에 형성되어 있는 픽셀들로, 스캔펄스, 초기화 제어신호 및 센싱 제어신호가 공급되어야 하는 경우, 상기 수평 신호 라인들(HL1 to HLg) 각각은, 상기 패널(10)의 수평라인에 형성되어 있는 픽셀들로 스캔펄스를 공급하기 위한 수평 게이트 라인(HGL), 상기 픽셀에 형성되어 있는 초기화용 트랜지스터의 구동을 위해 초기화 제어신호를 공급하기 위한 수평 초기화 라인(HILa) 및 상기 픽셀에 형성되어 있는 센싱용 트랜지스터의 구동을 위해 센싱 제어신호를 공급하기 위한 수평 센싱 라인(HILb)을 포함한다.
- [0013] 이 경우, 상기 패널(10)에, 도 1에 도시된 바와 같이, g개의 수평라인이 형성되어 있는 경우, 상기 패널(10)에는 g개의 상기 수평 신호 라인들(HL1 to HLg) 및 g개의 상기 수직 신호 라인들(VL1 to VLg)이 형성되어 있다. 상기 g개의 상기 수평 신호 라인들(HL1 to HLg) 각각은 상기 수평 게이트 라인(HGL), 상기 수평 초기화 라인(HILa) 및 상기 수평 센싱 라인(HILb)를 포함하고 있으며, g개의 상기 수직 신호 라인들(VL1 to VLg) 각각은, 상기 수평 게이트 라인(HGL)과 연결되어 있는 수직 게이트 라인(VGL), 상기 수평 초기화 라인(HILa)과 연결되어 있는 수직 초기화 라인(VELa) 및 상기 수평 센싱 라인(HILb)과 연결되어 있는 수직 센싱 라인(VELb)을 포함하고 있다.
- [0014] 즉, 게이트 링크 인 어레이(GLA) 방식을 이용한 종래의 표시장치에 적용되는 상기 게이트 드라이버(200)는, 상기한 설명 및 도 1에 도시된 바와 같이, g개의 각 수평라인마다 형성되어 있는 세 개의 라인들(HGL, HILa, HILb)로 세 개의 제어신호를 전송하기 위해, g개의 상기 수직 신호 라인들(VL1 to VLg)과 연결되어 있으며, g개의 상기 수직 신호 라인들은 세 개의 라인들(VGL, VELa, VELb)을 포함하고 있다.
- [0015] 따라서, g개의 상기 수평 신호 라인들(HL1 to HLg)이 상기 패널(10)에 형성되어 있는 경우, 상기 게이트 드라이버(20)에는 총 3 x g개의 라인들이 연결되어야 한다. 이에 따라, 상기 게이트 드라이버(20)의 제조 비용이 상승되고 있다. 또한, 상기 패널(10)에 형성되어 있는 상기 3 x g개의 라인들을 상기 게이트 드라이버(20)에 연결시키는 과정도 복잡해 지고 있다.
- [0016] 또한, 종래의 유기발광표시장치에서는, 상기 패널(10)을 형성하는 수직배선이 많아짐에 따라, 상기 패널(10)의 비표시영역들 중, 상기 게이트 드라이버(20)가 장착되는 상단 베젤의 공간 자유도가 감소되며, 이에 따라, 상하 메탈 배선간의 쇼트 위험성이 늘어나고 있다.

**발명의 내용**

**해결하려는 과제**

[0017] 본 발명은 상술한 문제점을 해결하기 위해 제안된 것으로서, 데이터 드라이버와 마주보도록 배치되어 있는 게이트 드라이버에 연결되어 있는 수직 신호 라인들의 갯수가, 상기 수직 신호 라인들과 수직하게 형성되어 있으며, 상기 수직 신호 라인들과 연결되어 있는, 라인들의 갯수보다 작게 형성되어 있는, 유기발광표시장치를 제공하는 것을 기술적 과제로 한다.

**과제의 해결 수단**

[0018] 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기발광표시장치는, k개의 라인들로 형성되어 있는 수평 신호 라인들이 g개 형성되어 있고, 상기 수평 신호 라인들과 수직하게 형성되어 상기 수평 신호 라인들과 연결되는 g/k개의 수직 신호 라인들이 형성되어 있고, 상기 수평 신호 라인들과 수직한 d개의 데이터 라인들이 형성되어 있으며, 유기발광다이오드들로 형성되어 있는 유기발광패널; 상기 유기발광패널의 제1비표시영역에 형성되어 있으며, 상기 데이터 라인들로 데이터 전압을 공급하는 데이터 드라이버; 및 상기 유기발광패널의 비표시영역들 중 상기 제1비표시영역과 마주보고 있는 제2비표시영역에 형성되어 있으며, g/k개의 상기 수직 신호 라인들과 연결되어 있는 게이트 드라이버를 포함한다.

**발명의 효과**

[0019] 본 발명에 의하면, 게이트 드라이버와 데이터 드라이버가 유기발광패널의 상측과 하측에 형성되기 때문에, 상기 유기발광패널의 좌우측 베젤의 폭이 감소될 수 있다.

[0020] 또한, 본 발명에 의하면, 게이트 드라이버에 연결되어 있는 수직 신호 라인들의 갯수가, 각 픽셀들에 제어신호들을 공급하기 위해 상기 수직 신호 라인들과 수직한 방향으로 형성되어 있는 라인들의 갯수보다 작기 때문에, 상기 게이트 드라이버를 제조하는 비용이 절감될 수 있으며, 상기 게이트 드라이버를 상기 수직 신호 라인들에 연결시키는 공정이 간편해 질 수 있다.

**도면의 간단한 설명**

- [0021] 도 1은 종래의 표시장치의 구성을 나타낸 예시도.
- 도 2는 본 발명에 따른 유기발광표시장치의 일실시에 구성도.
- 도 3은 본 발명의 제1실시예에 따른 유기발광표시장치에 적용되는 유기발광패널의 구조를 나타낸 예시도.
- 도 4는 본 발명의 제2실시예에 따른 유기발광표시장치에 적용되는 유기발광패널의 구조를 나타낸 예시도.
- 도 5는 본 발명에 따른 유기발광표시장치에 적용되는 픽셀 회로의 예시도.
- 도 6은 본 발명에 따른 유기발광표시장치에 적용되는 제어신호들을 나타낸 타이밍도.
- 도 7 내지 도 10은 본 발명에 따른 유기발광표시장치의 구동방법을 설명하기 위한 예시도들.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0023] 도 2는 본 발명에 따른 유기발광표시장치의 일실시에 구성도이다.
- [0024] 본 발명에 따른 유기발광표시장치는, 도 2에 도시된 바와 같이, 표시영역(101)의 외곽의 하상좌우 측면에 제1, 제2, 제3 및 제4비표시영역이 형성되어 있고, k개의 라인들로 형성되어 있는 수평 신호 라인(HL)들이 g개 형성되어 있고, 상기 수평 신호 라인(HL)들과 수직하게 형성되어 상기 수평 신호 라인(HL)들과 연결되는 g/k개의 수직 신호 라인(VSL)들이 형성되어 있고, 상기 수평 신호 라인(HL)들과 수직한 d개의 데이터 라인(DL)들이 형성되어 있으며, 유기발광다이오드(OLED)들로 형성되어 있는 유기발광패널(100), 상기 표시영역(101)에서 제1방향으로 형성되어 있는 데이터 라인들(DL1 to DLd)로 데이터 전압을 공급하기 위해 상기 제1비표시영역에 형성되어 있는 데이터 드라이버(300), 상기 유기발광패널(100)의 상기 비표시영역들 중 상기 제1비표시영역과 마주보고 있는 상기 제2비표시영역에 형성되어 있으며, g/k개의 상기 수직 신호 라인(VSL)들과 연결되어 있는 게이트 드라이버(200) 및 상기 데이터 드라이버(300)와 상기 게이트 드라이버(200)를 구동시키기 위한 타이밍 컨트롤러(400)를 포함한다.

- [0025] 우선, 상기 유기발광패널(100)에는 상기 수평 신호 라인(HL)들과, 상기 수직 신호 라인(VSL) 및 상기 데이터 라인(DL)들이 형성되어 있으며, 상기 수평 신호 라인(HL)들과, 상기 데이터 라인(DL)들이 교차하는 영역마다 픽셀(110)이 형성되어 있다.
- [0026] 첫째, 상기 픽셀(110)들 각각은, 광을 출력하는 유기발광다이오드(OLED) 및 상기 유기발광다이오드를 구동하기 위한 픽셀 회로를 포함한다.
- [0027] 상기 유기발광다이오드는, 기관, 상기 기관 상에 형성되는 애노드(Anode), 상기 애노드 상에 형성되는 유기발광층 및 상기 유기발광층 상에 형성되는 캐소드(Cathode)를 포함한다.
- [0028] 상기 애노드(Anode)는, 상기 픽셀 회로에 형성되어 있는 구동 트랜지스터에 의해 전송되는 전류에 의해 광을 출력하며, 상기 캐소드 상단에는 상부 기관이 합착되어 있다. 상기 애노드는, 투명한 전도성 물질, 예를 들어, 인듐 주석 산화물(ITO : Indium Tin Oxide)(이하, 간단히 'ITO'라 함)로 구성될 수 있다. 상기 캐소드(Cathode) 역시 상기 ITO로 구성될 수 있다.
- [0029] 상기 유기발광부는, 정공수송층(hole transport layer : HTL), 발광물질층(emission material layer : EML) 및 전자수송층(electron transport layer : ETL)을 포함하여 구성될 수 있다.
- [0030] 상기 유기발광부의 발광 효율을 향상시키기 위하여, 상기 애노드(Anode)와 상기 정공수송층(HTL) 사이에는, 정공주입층(hole injection layer : HIL)이 형성될 수 있으며, 상기 캐소드와 상기 전자수송층(ETL) 사이에는 전자주입층(electron injection layer : EIL)이 형성될 수 있다.
- [0031] 상기 유기발광다이오드의 구조 및 기능은, 현재 일반적인 유기발광표시장치에 적용되는 픽셀 회로의 구조 및 기능과 동일함으로, 이에 대한 상세한 설명은 생략된다.
- [0032] 상기 픽셀 회로는, 상기 데이터 라인(DL)과 상기 게이트 라인(GL)에 접속되어 상기 유기발광다이오드(OLED)를 제어하기 위한 적어도 두 개 이상의 트랜지스터들 및 스토리지 캐패시터를 포함하여 구성될 수 있다.
- [0033] 상기 유기발광다이오드(OLED)의 애노드는, 상기 픽셀 회로의 제1전원(EVDD)에 접속되고, 상기 캐소드는 상기 픽셀 회로의 제2전원(EVSS)에 접속된다. 상기 유기발광다이오드(OLED)는, 상기 구동 트랜지스터로부터 공급되는 전류에 대응되어 소정 휘도의 광을 출력한다.
- [0034] 상기 픽셀 회로는, 상기 수평 신호 라인을 형성하는 게이트 라인에 스캔펄스가 공급될 때, 상기 데이터 라인으로 공급되는 데이터 전압에 따라, 상기 유기발광다이오드(OLED)로 공급되는 전류량을 제어한다.
- [0035] 이를 위해, 상기 구동트랜지스터는, 상기 제1전원(EVDD)과 상기 유기발광다이오드(OLED)의 애노드 사이에 접속되며, 상기 스위칭 트랜지스터는, 상기 구동 트랜지스터와 상기 데이터 라인과 상기 게이트 라인 사이에 접속된다.
- [0036] 특히, 본 발명에 따른 유기발광표시장치에 적용되는 상기 픽셀 회로는, 상기 유기발광다이오드(OLED)의 특성을 보상하여, 상기 유기발광다이오드가 정상적으로 광을 출력하도록 하는 기능을 수행할 수 있다.
- [0037] 상기 유기발광다이오드(OLED)의 특성을 보상하는 방법에는, 내부 보상 방법과 외부 보상 방법이 있으며, 본 발명에 따른 유기발광표시장치는 내부 보상 방법을 이용하고 있다.
- [0038] 상기 내부 보상 기능을 수행하기 위해, 상기 픽셀 회로에는, 적어도 두 개 이상의 박막트랜지스터들이 추가적으로 형성되어 있다. 또한, 상기 픽셀 회로를 구동하기 위해, 상기 스캔펄스를 포함한 적어도 세 개 이상의 제어 신호들이, 상기 픽셀 회로로 공급된다. 또한, 상기 세 개 이상의 제어신호들을 공급하기 위해, 상기 픽셀 회로에는 세 개의 라인들이 연결되어 있다.
- [0039] 즉, 본 발명에 따른 유기발광표시장치에 적용되는 상기 픽셀 회로는, 내부 보상 방법을 이용하여 상기 유기발광다이오드를 구동할 수 있으며, 특히, 세 개 이상의 라인들을 통해 공급되는 세 개 이상의 제어신호들을 이용하여 상기 픽셀 회로를 구동할 수 있다. 세 개 이상의 제어신호들을 이용하여, 상기 유기발광다이오드를 구동하는 상기 픽셀 회로는 다양한 구조로 형성될 수 있다.
- [0040] 상기 픽셀 회로의 구조 및 동작 방법의 일예는, 도 5 내지 도 9를 참조하여 설명된다.
- [0041] 둘째, 상기 수평 신호 라인(HL)들은, 상기 유기발광패널(100)의 수평라인의 갯수와 대응되는 갯수만큼 상기 유기발광패널(100)에 형성되어 있다. 상기 수평라인은, 상기 유기발광패널(100)의 가로 방향의 하나의 라인을 말하는 것으로서, 상기 수평라인에는 d개의 픽셀들이 형성되어 있다.

- [0042] 예를 들어, 상기 수평라인이 1080개인 경우, 상기 수평 신호 라인(HL)들의 갯수인  $g$ 는 1080이 된다. 상기 수평 신호 라인들(HL1 to HL $g$ )의 갯수는 상기 유기발광패널(100)의 해상도 및 크기 등에 따라 다양하게 설정될 수 있다.
- [0043] 상기 수평 신호 라인들(HL1 to HL $g$ ) 각각은,  $k$  개의 라인들을 포함할 수 있다. 상기  $k$ 는 상기 픽셀 회로에 공급되는 제어신호의 갯수와 동일하다.
- [0044] 따라서, 상기 유기발광패널(100)의 수평라인 방향으로 형성되어 있는 라인은, 총  $k \times g$ 가 될 수 있다. 도 2에 도시된 상기 수평 신호 라인들 각각에서는, 상기  $k$ 가 3이다. 따라서, 상기 수평 신호 라인들 각각은 세 개의 라인들을 포함하고 있으며, 상기 유기발광패널(100)의 수평라인 방향으로 형성되어 있는 라인들의 총 갯수는  $k \times 3$ 이 된다.
- [0045] 셋째, 상기 수직 신호 라인(VSL)들은, 상기 유기발광패널(100) 상에서, 상기 수평 신호 라인들과 수직하게 형성되어 있으며, 상기 수평 신호 라인들(HL1 to HL $g$ )과 연결되어 있다. 상기 수직 신호 라인(VSL)들의 갯수는,  $g/k$ 개이다. 상기 예에서 상기  $k$ 가 3이므로, 상기 수직 신호 라인들(VSL)의 갯수는  $g/3$ 개 이다.
- [0046] 상기 수직 신호 라인(VSL)들은, 상기 게이트 드라이버(200)와 연결되어 있으며, 상기 게이트 드라이버(200)로부터 공급되는 제어신호들을 상기 수평 신호 라인들(HL1 to HL $g$ )로 공급하는 기능을 수행한다.
- [0047] 상기 수직 신호 라인(VSL)들과, 상기 수평 신호 라인들(HL1 to HL $g$ ) 간의 연결 구조는, 도 3 및 도 4를 참조하여 상세히 설명된다.
- [0048] 다음, 상기 데이터 드라이버(300)는 상기 타이밍 컨트롤러(400)로부터 입력된 상기 영상데이터를 데이터 전압으로 변환하여, 상기 수평 신호 라인(HL)에 스캔펄스가 공급되는 1수평기간마다 1수평라인분의 데이터 전압을 상기 데이터라인들(DL1 to DL $d$ )에 공급한다. 즉, 상기 데이터 드라이버(300)는 감마전압 발생부(미도시)로부터 공급되는 감마전압들을 이용하여, 상기 영상데이터를 데이터 전압으로 변환시킨 후 상기 데이터라인들로 출력시킨다.
- [0049] 상기 데이터 드라이버(300)는 상기 타이밍 컨트롤러(400)로부터 전송되어온 소스 스타트 펄스를 소스 쉬프트 클럭에 따라 쉬프트시켜 샘플링 신호를 발생한다. 그리고, 상기 데이터 드라이버(300)는 상기 소스 쉬프트 클럭에 따라 입력되는 상기 영상데이터를 상기 샘플링 신호에 따라 래치하여, 상기 데이터 전압으로 변경한 후, 상기 소스 출력 인에이블 신호에 응답하여 수평 라인 단위로 상기 데이터 전압을 상기 데이터라인들에 공급한다.
- [0050] 이를 위해, 상기 데이터 드라이버(300)는 쉬프트 레지스터부, 래치부, 디지털 아날로그 변환부 및 출력버퍼 등을 포함하여 구성될 수 있다.
- [0051] 상기 데이터 드라이버(300)의 구성 및 기능은 현재 일반적인 유기발광표시장치에 적용되는 데이터 드라이버의 구성 및 기능과 동일하므로, 이에 대한 상세한 설명은 생략된다.
- [0052] 상기 데이터 드라이버(300)는, 상기 게이트 드라이버(200)가 형성되어 있는 제2비표시영역과 마주보고 있는 제1비표시영역에 형성되어 있다.
- [0053] 상기 데이터 드라이버(300)로부터 연장되어 있는 상기 데이터 라인들(DL1 to DL $d$ )은 상기 수평 신호 라인들(HL1 to HL $g$ )과는 수직을 이루고 있으며, 상기 게이트 드라이버(200)로부터 연장되어 있는 상기 수직 신호 라인(VSL)들과는 평행을 이루고 있다.
- [0054] 상기 데이터드라이버(300)는, COG(Chip On Glass) 방식으로 상기 제1비표시영역에 형성될 수도 있으나, 도 2에 도시된 바와 같이, TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름 상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 제1비표시영역에 전기적으로 연결될 수 있다.
- [0055] 상기 데이터 드라이버(300)는, 하나의 집적회로로 구성될 수도 있으나, 도 2에 도시된 바와 같이, 두 개의 집적회로로 구성될 수도 있으며, 세 개 이상의 집적회로로 구성될 수도 있다.
- [0056] 다음, 상기 게이트 드라이버(200)는 상기 타이밍 컨트롤러(400)에서 생성된 게이트 제어신호들을 이용하여 상기 수평 신호 라인들(HL1 to HL $g$ )에 순차적으로 제어신호들을 공급한다.



- [0057] 상기 제어신호들에는, 상기 픽셀들에 형성되어 있는 박막트랜지스터들을 턴온시키기 위한 스캔펄스가 포함되어 있다.
- [0058] 상기 스캔펄스에 응답하여 상기 패널(100)의 박막트랜지스터들(TFT)은 상기 패널(100)의 수평라인 단위로 구동된다.
- [0059] 상기 게이트 드라이버(200)는, 도 2에 도시된 바와 같이, 상기 데이터 드라이버(300)가 형성되어 있는 상기 제1비표시영역과 마주보고 있는 상기 제2비표시영역에 형성되어 있다. 즉, 상기 게이트 드라이버(200)는 상기 데이터 드라이버(300)와 마주보도록, 상기 패널(100)에 형성된다.
- [0060] 상기 게이트 드라이버(200)로부터 연장되어 있는 상기 수직 신호 라인(VSL)들은, 상기 데이터 라인들(DL)과 평행하게, 상기 표시영역(101)에 형성되어 있다.
- [0061] 상기 게이트 드라이버(200)로부터 순차적으로 출력되는 스캔펄스들은, 상기 수직 신호 라인(VSL)을 통해 순차적으로 출력되어, 상기 수직 신호 라인(VSL)들에 연결되어 있는 상기 수평 신호 라인(HL)들에 형성되어 있는 어느 하나의 라인을 통해, 해당 수평라인의 각 픽셀 회로로 공급된다.
- [0062] 상기 게이트 드라이버(200)는 TCP(Tape Carrier Package)의 IC 영역에 실장되거나, 또는, COF(Chip On Film) 방식으로 베이스필름상에 실장되어, TAB(Tape Automated Bonding) 방식으로 상기 패널(100)에 접속될 수도 있다. 그러나, 도 3에 도시된 바와 같이, 상기 게이트 드라이버(200)는, 게이트 인 패널(GIP : Gate In Panel) 방식으로 상기 패널(100)의 제2비표시영역에 형성될 수도 있으며, 집적회로(IC)로 구성되어 상기 제2비표시영역에 장착될 수 있다.
- [0063] 부연하여 설명하면, 상기 게이트 드라이버(200)는, 필름에 장착되어 상기 필름을 통해 상기 제2비표시영역에서 상기 패널(100)과 전기적으로 연결될 수 있고, 집적회로(IC)로 형성되어 상기 제2비표시영역에 장착될 수도 있으며, 게이트 인 패널(GIP) 방식으로 상기 제2비표시영역에 형성될 수도 있다.
- [0064] 상기 게이트 드라이버(200)는, 멀티 블럭(Multi Block)으로 구성될 수 있다. 즉, 상기 게이트 드라이버(200)는, 두 개 이상의 블럭으로 구분되어 개별적으로 구동될 수 있다. 이 경우, 하나의 수평 신호 라인(HL)에 두 개 이상의 상기 수직 신호 라인(VSL)이 연결될 수 있으며, 이에 따라, 멀티 피딩(Multi Feeding) 방식이 적용될 수 있다.
- [0065] 마지막으로, 상기 타이밍 컨트롤러(400)는 외부 시스템으로부터 입력되는 타이밍 신호, 즉, 표시장치에서 기준 클럭으로 이용되는 도트클럭, 수직동기신호, 수평동기신호 및 데이터 인에이블 신호 등을 이용하여, 상기 게이트 드라이버(200)의 동작 타이밍을 제어하기 위한 게이트 제어신호 및 상기 데이터 드라이버(300)의 동작 타이밍을 제어하기 위한 데이터 제어신호를 생성하고, 상기 데이터 드라이버(300)에 영상데이터를 공급한다.
- [0066] 상기 타이밍 컨트롤러(400)에서 발생하는 상기 게이트 제어신호들에는 게이트 스타트 펄스, 게이트 쉬프트 클럭, 게이트 출력 인에이블 신호, 게이트 스타트 신호, 클럭, 리셋신호 등이 있다.
- [0067] 상기 타이밍 컨트롤러(400)에서 발생하는 상기 데이터 제어신호들에는 소스 스타트 펄스, 소스 쉬프트 클럭신호, 소스 출력 이네이블 신호, 극성제어신호 등이 포함된다.
- [0068] 상기 타이밍 컨트롤러(400)는, 도 3에 도시된 바와 같이, 상기 인쇄회로기판(500)에 장착될 수도 있으나, 상기 제1비표시영역에서, 상기 데이터 드라이버(300)와 일체로 형성될 수도 있다.
- [0069] 도 3은 본 발명의 제1실시예에 따른 유기발광표시장치에 적용되는 유기발광패널의 구조를 나타낸 예시도이다.
- [0070] 상기 유기발광패널(100)에는, k개의 라인들로 형성되어 있는 수평 신호 라인(HL)들이 g개 형성되어 있고, 상기 수평 신호 라인(HL)들과 수직하게 형성되어 상기 수평 신호 라인(HL)들과 연결되는 g/k개의 수직 신호 라인(VSL)들이 형성되어 있고, 상기 수평 신호 라인(HL)들과 수직한 d개의 데이터 라인(DL)들이 형성되어 있으며, 각 픽셀(110)에는 유기발광다이오드(OLED)가 형성되어 있다.
- [0071] 이하에서는, 설명의 편의상, 도 3에 도시된 바와 같이, 상기 제어신호의 갯수가 세 개 이고, 상기 수평 신호 라인들(HL1 to HLg)의 갯수가 9이고, 상기 수평 신호 라인들 각각에 형성되어 있는 라인들(HGL, HILa, HILb)의 갯수가 세 개이고, 상기 유기발광패널(100)에 형성되어 있는 상기 라인들의 총 갯수가 27개 이며, 상기 수직 신호

라인들(VSL1 to VSL(g/k))의 갯수가 9인 경우를 일례로 하여 본 발명이 설명된다.

- [0072] 상기한 바와 같이, 상기 픽셀 회로에 세 개의 제어신호들이 공급되는 경우, 상기 수평 신호 라인들(HL1 to HLg) 각각은, 세 개의 라인들을 포함한다. 즉, 상기 수평 신호 라인들(HL1 to HLg) 각각은, k 개의 라인들을 포함할 수 있으며, 이하에서는, 상기 k가 3인 경우를 일례로 하여 본 발명이 설명된다.
- [0073] 상기 수평 신호 라인들 각각이 세 개의 라인들을 포함하고 있는 경우, 세 개의 상기 라인들은, 상기 유기발광패널(100)의 수평라인에 형성되어 있는 픽셀(110)들로 스캔펄스를 공급하기 위한 수평 게이트 라인(HGL), 상기 픽셀(110)에 형성되어 있는 초기화용 트랜지스터의 구동을 위해 초기화 제어신호를 공급하기 위한 수평 초기화 라인(HILa), 및 상기 픽셀(110)에 형성되어 있는 센싱용 트랜지스터의 구동을 위해 센싱 제어신호를 공급하기 위한 수평 센싱 라인(HILb)이 될 수 있다.
- [0074] 상기 수평 신호 라인(HL)을 구성하는 상기 세 개의 라인들(HILa, HILb, HGL)에는, 순차적으로 세 개의 상기 제어신호들이 공급된다. 상기 세 개의 라인들(HILa, HILb, HGL)로 세 개의 상기 제어신호들이 순차적으로 공급되는 방법은, 이하에서, 도 6 내지 도 9를 참조하여 설명된다. 이하에서는, 우선, 9개의 상기 수평 신호 라인들(HL1 to HL9)과 9개의 상기 수직 신호 라인들(VSL1 to VSL9)의 연결 구조가 설명된다.
- [0075] 첫째, 상기 유기발광다이오드들의 보상을 위해, 수평라인을 따라 형성되는 9(=g)개의 상기 수평 신호 라인들(HL1 to HL9) 각각은, 3개의 라인들을 포함하고 있다.
- [0076] 예를 들어, 상기 수평 신호 라인들(HL1 to HL9) 각각에는, 상기 유기발광패널(100)의 수평라인에 형성되어 있는 픽셀(110)들로 스캔펄스를 공급하기 위한 수평 게이트 라인(HGL), 상기 픽셀(110)에 형성되어 있는 초기화용 트랜지스터의 구동을 위해 초기화 제어신호를 공급하기 위한 수평 초기화 라인(HILa), 및 상기 픽셀(110)에 형성되어 있는 센싱용 트랜지스터의 구동을 위해 센싱 제어신호를 공급하기 위한 수평 센싱 라인(HILb)이 될 수 있다.
- [0077] 이 경우, 상기 유기발광패널(100)의 상기 수평라인 방향으로, 총  $27(= 3(k) \times 9(g))$ 개의 라인들이 형성된다.
- [0078] 둘째, 상기 수직 신호 라인들(VSL1 to VSL9) 각각은, 상기 유기발광패널의 모든 수평라인들에 형성되어 있는 27개의 상기 라인들 중, 3개의 라인들과 연결되어 있다.
- [0079] 예를 들어, 도 3에 도시된 바와 같이, 제1수직 신호 라인(VSL1)은, 제1수평 신호 라인(HL1)을 형성하는 제1수평 초기화 라인(HILa), 제8수평 신호 라인(HL8)을 형성하는 제8 수평 게이트 라인 및 제9수평 신호 라인(HL9)을 형성하는 제9수평 센싱 라인(HILb9)과 연결되어 있다.
- [0080] 또한, 제5수직 신호 라인(VSL5)은, 제3수평 신호 라인(HL3)을 형성하는 제3수평 게이트 라인, 제4수평 신호 라인(HL4)을 형성하는 제4수평 센싱 라인 및 제5수평 신호 라인(HL5)을 형성하는 제5수평 초기화 라인과 연결되어 있다.
- [0081] 즉, 상기 수직 신호 라인들 각각은, 3개의 라인들과 연결되어 있다.
- [0082] 셋째, 제n수직 신호 라인에 연결되어 있는 3개의 상기 라인들 사이에는, 상기 제n수직 신호 라인과 연결되어 있지 않은 또 다른 라인이 형성되어 있다.
- [0083] 예를 들어, 제3수직 신호 라인(VSL3)은, 제1수평 신호 라인(HL1)을 형성하는 제1수평 게이트 라인(HGL1), 제2수평 신호 라인(HL2)을 형성하는 제2수평 센싱 라인(HILb) 및 제3수평 신호 라인(HL3)을 형성하는 제3수평 초기화 라인(HILa)과 연결되어 있다.
- [0084] 이 경우, 상기 제1수평 게이트 라인(HGL1)과, 상기 제2수평 센싱 라인(HILb)의 사이에는, 상기 제2수평 신호 라인(HL2)을 형성하는 제2수평 초기화 라인(HILa)이 형성되어 있다. 즉, 상기 제1수평 게이트 라인(HGL1)과, 상기 제2수평 센싱 라인(HILb)의 사이에는 상기 제3수직 신호 라인(VSL3)과 연결되어 있지 않은 라인(제2수평 초기화 라인(HILa))이 형성되어 있다.
- [0085] 또한, 상기 제2수평 센싱 라인(HILb)과 상기 제3수평 초기화 라인(HILa)의 사이에는, 상기 제2수평 신호 라인(HL2)을 형성하는 제2수평 게이트 라인(HGL2)이 형성되어 있다. 즉, 상기 제2수평 센싱 라인(HILb)과, 상기 제

3수평 초기화 라인(HILa)의 사이에는 상기 제3수직 신호 라인(VSL3)과 연결되어 있지 않은 라인(제2수평 게이트 라인(HGL))이 형성되어 있다.

- [0086] 도 3에서, 제1수직 신호 라인(VSL1)에 연결되어 있는 3개의 라인들 중, 하나는, 상기 유기발광패널(100)의 상단에 형성되어 있고, 나머지 두 개는 하단에 형성되어 있다. 그러나, 상기 유기발광패널(100)의 최하단에 형성되어 있는 라인(HGL9)으로 제어신호가 입력된 이후에는, 상기 유기발광패널(100)의 최상단에 형성되어 있는 라인(HILa)으로 제어신호가 형성된다.
- [0087] 즉, 도 3에서, 제1수직 신호 라인(VSL1)에 연결되어 있는 3개의 라인들은, 물리적으로는 서로 이격되어 있으나, 동작 순서에 있어서는 서로 인접되어 있다. 따라서, 제1수직 신호 라인(VSL1)에 연결되어 있는 3개의 라인들 사이에서도, 상기에서 설명된 구조, 즉, 제n수직 신호 라인에 연결되어 있는 3개의 상기 라인들 사이에는, 상기 제n수직 신호 라인과 연결되어 있지 않은 또 다른 라인이 형성되어 있는 구조가, 동일하게 적용될 수 있다.
- [0088] 또한, 도 3에서, 2수직 신호 라인(VSL2)에 연결되어 있는 3개의 라인들 중, 두 개는, 상기 유기발광패널(100)의 상단에 형성되어 있고, 나머지 하나는 하단에 형성되어 있다. 그러나, 상기 유기발광패널(100)의 최하단에 형성되어 있는 라인(HGL9)으로 제어신호가 입력된 이후에는, 상기 유기발광패널(100)의 최상단에 형성되어 있는 라인(HILa)으로 제어신호가 형성된다.
- [0089] 즉, 도 3에서, 제2수직 신호 라인(VSL2)에 연결되어 있는 3개의 라인들은, 물리적으로는 서로 이격되어 있으나, 동작 순서에 있어서는 서로 인접되어 있다. 따라서, 제2수직 신호 라인(VSL2)에 연결되어 있는 3개의 라인들 사이에서도, 상기에서 설명된 구조, 즉, 제n수직 신호 라인에 연결되어 있는 3개의 상기 라인들 사이에는, 상기 제n수직 신호 라인과 연결되어 있지 않은 또 다른 라인이 형성되어 있는 구조가, 동일하게 적용될 수 있다.
- [0090] 넷째, 1개의 상기 수직 신호 라인(VSL)은, 인접되어 있는 세 개의 수평 신호 라인(HL)들 각각에 형성되어 있는 3개의 라인들(HILa, HILb, HGL) 중, 1개의 라인들 각각에 연결되어 있다.
- [0091] 예를 들어, 1개의 상기 수직 신호 라인은, 제m수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인, 제m+1수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인, 및 제m+2수평 신호 라인에 포함되는 3개의 라인들 중 1개의 라인에 연결되어 있다.
- [0092] 구체적인 예로 설명하면, 도 3에서, 상기 제3수직 신호 라인(VSL3)은, 제1수평 신호 라인(HL1)에 포함되는 3개의 라인들 중 하나의 라인, 즉, 제1수평 게이트 라인(HGL)에 연결되어 있다. 또한, 상기 제3수직 신호 라인(VSL3)은, 제2수평 신호 라인(HL3)에 포함되어 있는 3개의 라인들 중 하나의 라인, 즉, 제2수평 센싱 라인(HILb2)에 연결되어 있다. 또한, 상기 제3수직 신호 라인(VSL3)은, 제3수평 신호 라인(HL3)에 포함되어 있는 3개의 라인들 중 하나의 라인, 즉, 제3수평 초기화 라인(HILa)에 연결되어 있다.
- [0093] 다섯째, 인접되어 있는 3개의 수직 신호 라인들 중 인접되어 있는 2개의 수직 신호 라인들 각각은, 인접되어 있는 2개의 수평 신호 라인들과 연결되어 있으며, 상기 3개의 수직 신호 라인들 중 나머지 하나는, 인접되어 있는 2개의 상기 수평 신호 라인들 중 어느 하나와만 연결되어 있다.
- [0094] 예를 들어, 제3수직 신호 라인(VSL3), 제4수직 신호 라인(VSL4) 및 제5수직 신호 라인(VSL5)는 서로 인접되어 있다.
- [0095] 세 개의 상기 수직 신호 라인들(VSL3, VSL4, VSL5) 중 상기 제3수직 신호 라인(VSL3) 및 상기 제4수직 신호 라인(VSL4)들은, 인접되어 있는 2개의 수평 신호 라인들, 즉, 제2수평 신호 라인(HL2) 및 제3수평 신호 라인(HL3)에 연결되어 있다. 이 경우, 상기 제3수직 신호 라인(VSL3)은 상기 제2수평 신호 라인(HL2)을 형성하는 제2수평 센싱 라인(HILb) 및 상기 제3수평 신호 라인(HL3)을 형성하는 제3수평 초기화 라인(HILa3)에 연결되어 있다.
- [0096] 세 개의 상기 수직 신호 라인들(VSL3, VSL4, VSL5) 중 나머지 하나, 즉, 상기 제5수직 신호 라인(VSL5)은, 인접되어 있는 상기 제2수평 신호 라인(HL2) 및 상기 제3수평 신호 라인(HL3)들 중 제3수평 신호 라인(HL3)과만 연결되어 있다. 이 경우, 상기 제5수직 신호 라인(VSL5)은 상기 제3수평 신호 라인(HL3)을 형성하는 제3수평 게이트 라인(HGL3)에 연결되어 있다.

- [0097] 여섯째, 인접되어 있는 3개의 상기 수직 신호 라인들에는, 순차적으로 제어신호가 공급된다.
- [0098] 예를 들어, 상기 제1수직 신호 라인(VSL1)에 제1제어신호가 공급되면, 상기 제2수직 신호 라인(VSL2)에는 제2제어신호가 공급되며, 상기 제3수직 신호 라인(VSL3)에는 제3제어신호가 공급된다.
- [0099] 또한, 상기 제2수직 신호 라인(VSL2)에 상기 제2제어신호가 공급되면, 상기 제3수직 신호 라인(VSL3)에는 상기 제3제어신호가 공급되며, 상기 제4수직 신호 라인(VSL4)에는 상기 제1제어신호가 공급된다.
- [0100] 또한, 상기 제3수직 신호 라인(VSL3)에 상기 제3제어신호가 공급되면, 상기 제4수직 신호 라인(VSL4)에는 상기 제1제어신호가 공급되며, 상기 제5수직 신호 라인(VSL5)에는 상기 제2제어신호가 공급된다.
- [0101] 일곱째, 상기 게이트 드라이버(200)는, 상기 수평 신호 라인들(HL1 to HL9) 중 인접되어 있는 두 개의 수평 신호 라인들로, 하나의 상기 수직 신호 라인을 통해, 동시에 하나의 제어신호를 공급한다.
- [0102] 예를 들어, 도 3에 도시된 바와 같이, 상기 제3수직 신호 라인(VSL3)은, 인접되어 있는 상기 제2수평 신호 라인(HL2) 및 상기 제3수평 신호 라인(HL3)에 연결되어 있다. 특히, 상기 제3수직 신호 라인(VSL3)은, 제2수평 센싱 라인(HILb) 및 제3수평 초기화 라인(HILa)에 연결되어 있다.
- [0103] 따라서, 상기 제3수직 신호 라인(VSL3)을 통해 공급되는 상기 제3제어신호는, 상기 제2수평 신호 라인(HL2) 및 상기 제3수평 신호 라인(HL3)들로 공급된다.
- [0104] 여덟째, 1개의 상기 수평 신호 라인을 형성하는 3개의 상기 라인들은, 상기 유기발광패널의 수평라인에 형성되어 있는 픽셀들로 스캔펄스를 공급하기 위한 수평 게이트 라인, 상기 픽셀에 형성되어 있는 초기화용 트랜지스터의 구동을 위해 초기화 제어신호를 공급하기 위한 수평 초기화 라인, 및 상기 픽셀에 형성되어 있는 센싱용 트랜지스터의 구동을 위해 센싱 제어신호를 공급하기 위한 수평 센싱 라인이 될 수 있다.
- [0105] 즉, 3개의 상기 라인들 중 어느 하나는, 상기 수평라인에 형성되어 있는 픽셀들로 상기 스캔펄스를 공급하기 위한 수평 게이트 라인(HGL)이 될 수 있다.
- [0106] 그러나, 상기에서 설명된 나머지 두 개의 라인들은, 본 발명의 일예로서 설명된 것이다. 따라서, 나머지 두 개의 라인들로는, 상기 픽셀 회로에 구성되어 있는 다양한 트랜지스터들을 구동하기 위한 다양한 제어신호들이 공급될 수 있다.
- [0107] 아홉째, 인접되어 있는 3개의 상기 수직 신호 라인들을 통해, 제 $n$ 수평 신호 라인으로 순차적으로 공급된 제1제어신호, 제2제어신호 및 제3제어신호들 중, 상기 제2제어신호 및 상기 제3제어신호는, 제 $n+1$ 수평 신호 라인의 제1제어신호 및 제2제어신호로 공급된다.
- [0108] 예를 들어, 상기 제1수직 신호 라인(VSL1), 상기 제2수직 신호 라인(VSL2) 및 상기 제3수직 신호 라인(VSL3)은 서로 인접되어 있다.
- [0109] 이 경우, 도 3에 도시된 바와 같이, 상기 제1 내지 상기 제3수직 신호 라인들(VSL1 to VSL3)을 통해, 상기 제1수평 신호 라인(HL1)으로, 제1제어신호, 제2제어신호 및 제3제어신호가 순차적으로 공급된다.
- [0110] 상기 제1제어신호가, 상기 제1수직 신호 라인(VSL1)을 통해 상기 제1수평 신호 라인(HL1)으로 공급된 후, 상기 제2수직 신호 라인(VSL2)을 통해 상기 제1수평 신호 라인(HL1)으로 공급되는 상기 제2제어신호는, 상기 제2수평 신호 라인(HL2)으로도 공급된다.
- [0111] 또한, 상기 제2제어신호가 상기 제2수직 신호 라인(VSL2)을 통해 상기 제1수평 신호 라인(HL1)으로 공급된 후, 상기 제3수직 신호 라인(VSL3)을 통해 상기 제1수평 신호 라인(HL1)으로 공급되는 상기 제3제어신호는, 상기 제2수평 신호 라인(HL2)으로도 공급된다.
- [0112] 도 4는 본 발명의 제2실시예에 따른 유기발광표시장치에 적용되는 유기발광패널의 구조를 나타낸 예시도이다.
- [0113] 본 발명의 제2실시예에 따른 유기발광표시장치는, 상기 유기발광패널(100)에, 상기 게이트 드라이버(200)가 두

개 장착되어 있다는 점을 제외하고는, 본 발명의 제1실시예에 따른 유기발광표시장치의 구성 및 기능과 동일하다.

- [0114] 예를 들어, 두 개의 상기 게이트 드라이버(200)들 중 제1게이트 드라이버에는 제1수직 신호 라인(VSL1a) 내지 제9수직 신호 라인(VSL9a)들이 연결되어 있으며, 제2게이트 드라이버에는 또 다른 제1수직 신호 라인(VSL1b) 내지 제9수직 신호 라인(VSL9b)들이 연결되어 있다.
- [0115] 상기 제1게이트 드라이버에 연결되어 있는 상기 제1수직 신호 라인(VSL1a) 내지 상기 제9수직 신호 라인(VSL9a)들은, 제1실시예에서 설명된 구조와 동일한 형태로 상기 수평 신호 라인들과 연결되어 있다. 또한, 상기 제1게이트 드라이버에 연결되어 있는 또 다른 상기 제1수직 신호 라인(VSL1a) 내지 제9수직 신호 라인(VSL9a)들 역시, 제1실시예에서 설명된 구조와 동일한 형태로 상기 수평 신호 라인들과 연결되어 있다. 즉, 도 4에서는, 상기 제1게이트 드라이버(200)에 연결되어 있는 상기 수직 신호 라인들의 배치 구조가, 도 3에 도시된 상기 수직 신호 라인들 및 상기 제2게이트 드라이버에 연결되어 있는 수직 신호 라인들의 배치 구조와 반대 구조로 형성되어 있으나, 실질적으로는 동일한 구조이다.
- [0116] 본 발명의 제2실시예에서와 같이, 상기 게이트 드라이버(200)가 두 개 이상구비되면, 멀티 피딩(Multi Feeding) 방식이 적용될 수 있다.
- [0117] 즉, 상기 수평 신호 라인(HL)을 형성하는 세 개의 라인들 각각은, 상기 제1게이트 드라이버와 연결되어 있는 수직 신호 라인 및 상기 제2게이트 드라이버와 연결되어 있는 수직 신호 라인과 연결되어 있다. 따라서, 상기 제1게이트 드라이버와 상기 제2게이트 드라이버는, 하나의 라인으로 동일한 제어신호를 동시에 공급할 수 있다.
- [0118] 동일한 제어신호가 상기 유기발광패널의 좌우측 방향에서 하나의 라인으로 동시에 공급되기 때문에, 상기 라인에 형성되어 있는 픽셀들로, 일정한 크기의 상기 제어신호가 공급될 수 있다. 따라서, 상기 유기발광패널로부터 출력되는 영상의 품질이 개선될 수 있다.
- [0119] 도 5는 본 발명에 따른 유기발광표시장치에 적용되는 픽셀 회로의 예시도이다. 도 6은 본 발명에 따른 유기발광표시장치에 적용되는 제어신호들을 나타낸 타이밍도로서, (a)는 제1수평 신호 라인(HL1)에 공급되는 제어신호들의 파형을 나타낸 예시도이며, (b)는 제2수평 신호 라인(HL2)에 공급되는 제어신호들의 파형을 나타낸 예시도이다. 도 7 내지 도 10은 본 발명에 따른 유기발광표시장치의 구동방법을 설명하기 위한 예시도들로서, 특히, 도 5에 도시된 픽셀 회로에 도 6에 도시된 바와 같은 제어신호들이 공급될 때, 상기 픽셀 회로가 동작되는 방법을 나타낸 예시도이다.
- [0120] 본 발명에 따른 유기발광표시장치에 적용되는 픽셀들 각각에는, 세 개의 서로 다른 제어신호가 순차적으로 공급된다. 즉, 도 5에 도시된 픽셀 회로 이외에도 다양한 형태의 픽셀 회로가 본 발명에 적용될 수 있다. 따라서, 이하에서는, 도 5에 도시된 픽셀 회로를 일례로 하여, 본 발명에 따른 유기발광표시장치의 구동방법이 간단히 설명된다.
- [0121] 우선, 도 5 및 도 6을 참조하여 상기 픽셀 회로의 구조 및 상기에서 설명된 세 개의 제어신호들이 간단히 설명된다.
- [0122] 첫째, 도 5를 참조하며, 본 발명에 따른 유기발광표시장치에 적용되는 상기 픽셀 회로는, 다섯 개의 박막트랜지스터들(T1 to T5)과, 하나의 캐패시터(Cst) 및 하나의 유기발광다이오드(OLED)를 포함한다.
- [0123] 제1트랜지스터(T1)의 게이트 단자는 상기 수평 게이트 라인(HGL)과 연결되어 있고, 제3트랜지스터(T3)와 제5트랜지스터(T5)의 게이트 단자들은 상기 수평 초기화 라인(HILa)에 연결되어 있고, 제4트랜지스터(T4)의 게이트 단자는 상기 수평 센싱 라인(HILb)에 연결되어 있으며, 제2트랜지스터(T2)는 상기 제1트랜지스터(T1)와 연결되어 있다.
- [0124] 상기 제2트랜지스터(T2)는 제1전원(EVDD)과 제2전원(EVSS) 사이에 연결되어 있으며, 상기 유기발광다이오드(OLED)는 상기 제2트랜지스터(T2)와 상기 제2전원(EVSS) 사이에 연결되어 있다.
- [0125] 상기 수평 게이트 라인(HGL)으로는 상기 스킨펄스(SP)가 공급되고, 상기 수평 초기화 라인(HILa)으로는 제1제어신호(In1)가 입력되며, 상기 수평 센싱 라인(HILb)으로는 제2제어신호(In2)가 입력된다.

- [0126] 상기한 바와 같이, 상기 픽셀 회로의 구조는, 상기에서 설명된 구조 이외에도 다양한 형태로 변경될 수 있다.
- [0127] 둘째, 도 6을 참조하면, 상기 제1수평 신호 라인(HL1)을 형성하는 상기 제1수평 초기화 라인(HILa)으로 초기화 제어신호(제1제어신호(In1))가 공급된 후, 상기 수평 센싱 라인(HILb)으로 센싱 제어신호(제2제어신호(In2))가 공급되며, 이후, 상기 수평 게이트 라인(HGL)을 통해 상기 스캔펄스(제3제어신호(SP))가 공급될 때, 상기 데이터 라인(DL)을 통해 데이터 전압(Vdata)이 상기 픽셀로 공급된다.
- [0128] 즉, 이하의 설명에서는, 각각의 수평 신호 라인(HL)으로 제1제어신호, 제2제어신호 및 제3제어신호가 순차적으로 공급된다. 이 경우, 상기 제1제어신호(In1)는, 상기 수평 초기화 라인(HILa)으로 공급되는 초기화 제어신호이고, 상기 제2제어신호(In2)는 상기 수평 센싱 라인(HILb)으로 공급되는 센싱 제어신호이며, 상기 제3제어신호(SP)는 상기 수평 게이트 라인(HGL)으로 공급되는 상기 스캔펄스이다.
- [0129] 이 경우, 상기 제1수평 신호 라인(HL1)의 상기 제1수평 센싱 라인(HILb1)을 통해 공급되는 제2제어신호(센싱 제어신호)는, 상기 제2수평 신호 라인(HL2)의 상기 제2수평 초기화 라인(HILa2)으로 공급되어 초기화 제어신호로서 동작한다.
- [0130] 또한, 상기 제1수평 신호 라인(HL1)의 상기 제1수평 게이트 라인(HGL1)을 통해 공급되는 상기 제3제어신호(스캔펄스)는, 상기 제2수평 신호 라인(HL2)의 상기 제2수평 센싱 라인(HILb2)으로 공급되어 센싱 제어신호로서 동작한다.
- [0131] 즉, 상기 게이트 드라이버(200)는, 상기 수평 신호 라인들(HL1 to HL9) 중 인접되어 있는 두 개의 수평 신호 라인들로, 하나의 상기 수직 신호 라인을 통해, 동시에 하나의 제어신호를 공급한다.
- [0132] 다음, 이하에서는, 하나의 픽셀 회로에서, 상기 제1제어신호, 상기 제2제어신호 및 상기 제3제어신호가 이용되는 방법이 간단히 설명된다. 즉, 본 발명에 따른 유기발광표시장치에 적용되는 상기 픽셀 회로의 구조는 다양하게 변경될 수 있으며, 상기 픽셀 회로의 구조가 변경됨에 따라 상기 픽셀 회로의 구동 방법도 다양하게 변경될 수 있다. 따라서, 이하에서는, 도 7 내지 도 10을 참조하여 본 발명에 따른 유기발광표시장치의 구동방법이 간단히 설명된다.
- [0133] 첫째, 도 7을 참조하면, 상기 수평 초기화 라인(HILa)을 통해 상기 제1제어신호(초기화 제어신호)(In1)가 공급됨에 따라, 상기 픽셀 회로가 초기화된다.
- [0134] 예를 들어, 상기 제1제어신호(In1)가 하이(High)이고, 상기 제2제어신호(In2) 및 상기 제3제어신호(SP)는 로우(Low)임으로, 상기 제3트랜지스터(T3)와 제5트랜지스터(T5)만이 턴온되고, 나머지 트랜지스터들(T1, T2, T4)은 턴오프된다.
- [0135] 상기 제3트랜지스터(T3)가 턴온되어, 상기 제3트랜지스터(T3)로 -5V의 기준전압이 공급되면, 상기 캐패시터(Cst)의 A노드는 1V가 되며, B노드는 -5V가 된다. 따라서, 상기 유기발광다이오드(OLED)는 꺼지며, 상기 A노드 및 상기 B노드는 초기화된다.
- [0136] 둘째, 도 8을 참조하면, 상기 수평 센싱 라인(HILb)을 통해 상기 제2제어신호(센싱 제어신호)(In2)가 공급됨에 따라, 상기 픽셀 회로에 대한 센싱 동작이 수행된다.
- [0137] 예를 들어, 상기 제2제어신호(In2)가 하이(High)이고, 상기 제1제어신호(In1) 및 상기 제3제어신호(SP)는 로우(Low)임으로, 상기 제4트랜지스터(T4)는 턴온되고, 나머지 트랜지스터들(T1, T3, T5)은 턴오프된다.
- [0138] 상기 제4트랜지스터(T4)가 턴온되면, 상기 A노드는 1V를 유지하며, 상기 제3트랜지스터(T3)가 턴오프됨에 따라 소스-폴로우(Source-follow)에 의해 상기 B노드는 -5V에서  $1V - V_{th}$ 로 상승되고, 상기 제2트랜지스터(T2)는 턴오프된다.
- [0139] 셋째, 도 9를 참조하면, 상기 수평 게이트 라인(HGL)을 통해 상기 제3제어신호(스캔펄스)(SP)가 공급됨에 따라, 상기 픽셀 회로로 데이터 전압이 공급된다.

[0140] 예를 들어, 상기 제3제어신호(SP)가 하이(High)이고, 상기 제1제어신호(In1) 및 상기 제2제어신호(In2)는 로우(Low)임으로, 상기 제1트랜지스터(T1) 및 상기 제2트랜지스터(T2)는 턴온되면, 나머지 트랜지스터들(T3, T4, T5)은 턴오프된다.

[0141] 상기 제1트랜지스터(T1)가 턴온됨에 따라, 상기 A노드는 1V에서 상기 데이터 전압(Vdata)으로 변한다. 상기 데이터 전압(Vdata)이 입력되면, 상기 제2트랜지스터(T2)는 턴온되며, 상기 데이터 전압(Vdata)이 인가되는 시간에, 상기 제2트랜지스터(T2)의 모빌리티(Mobility)에 따라  $\Delta Mo$ 만큼 상기 B노드의 전압이 추가로 상승한다.

[0142] 넷째, 도 10을 참조하면, 상기 제3제어신호가 공급된 후, 상기 유기발광다이오드가 발광을 시작한다.

[0143] 예를 들어, 상기 유기발광다이오드(OLED)의  $V_{th}$  만큼, 상기 B노드의 전압이 상승함에 따라( $\Delta K$ ), 상기 유기발광다이오드(OLED)가 발광한다.

[0144] 본 발명에 따른 유기발광표시장치는, 상기 제1제어신호 내지 상기 제3제어신호들과 같이, 연속적으로 출력되는 제어신호들에 의해 구동되는 것으로서, 상기 제1제어신호 내지 제3제어신호들 중, 하나의 상기 수평 신호 라인으로 공급되는 두 개의 제어신호들은, 도 6에 도시된 바와 같이, 인접되어 있는 또 다른 수평 신호 라인으로 공급된다.

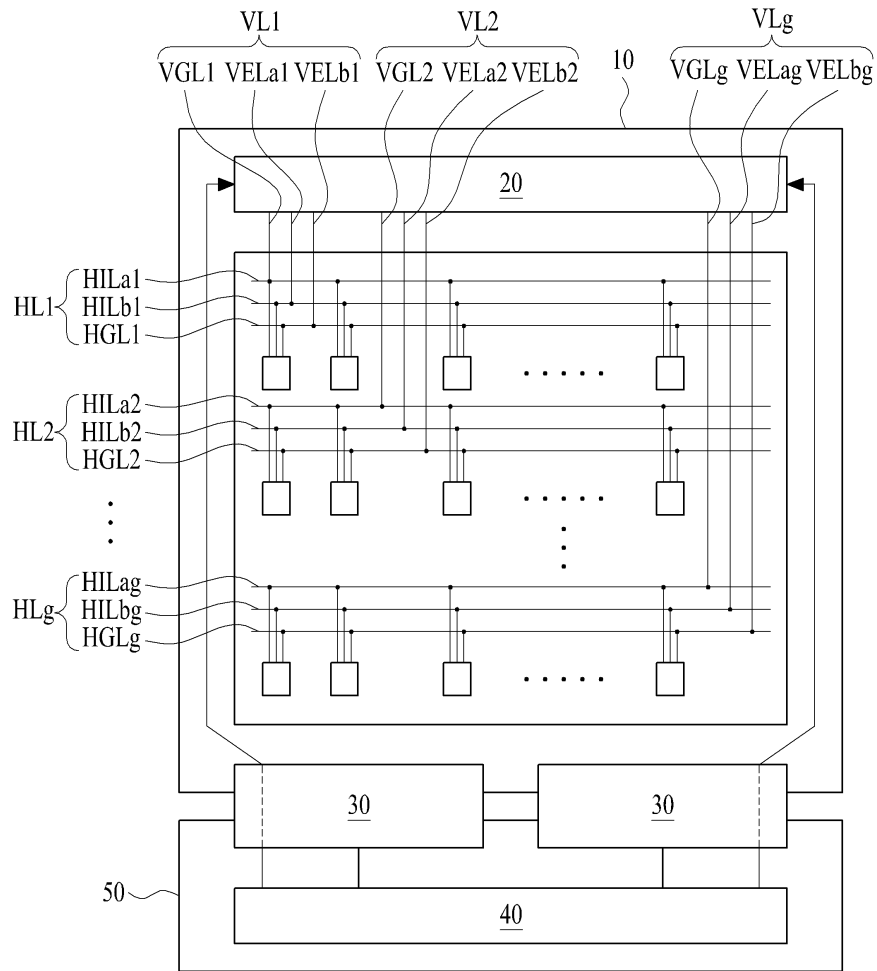
[0145] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

[0146] 100 : 패널      200 : 게이트 드라이버  
 300 : 데이터 드라이버      400 : 타이밍 컨트롤러  
 VSL : 수직 신호 라인      HL : 수평 신호 라인  
 HGL : 수평 게이트 라인      HILa : 수평 초기화 라인  
 HILb : 수평 센싱 라인

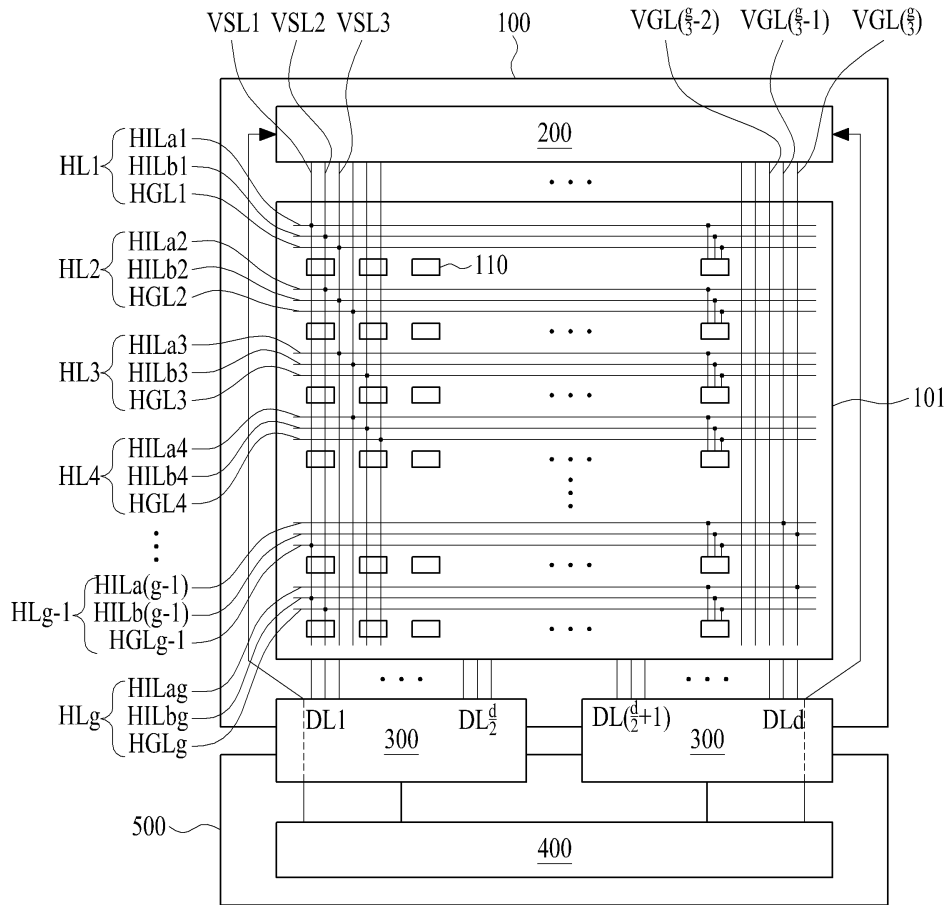
도면

도면1

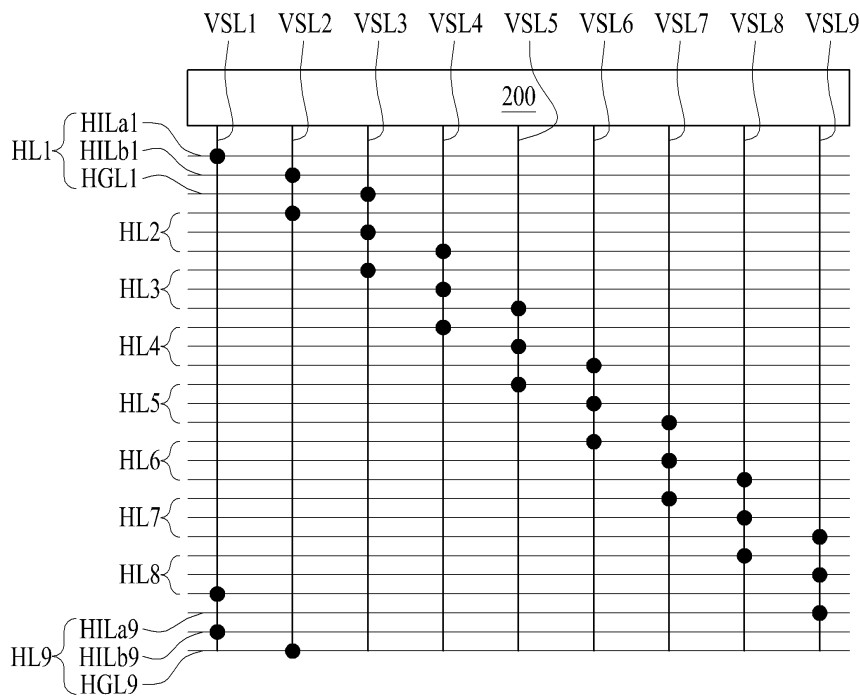




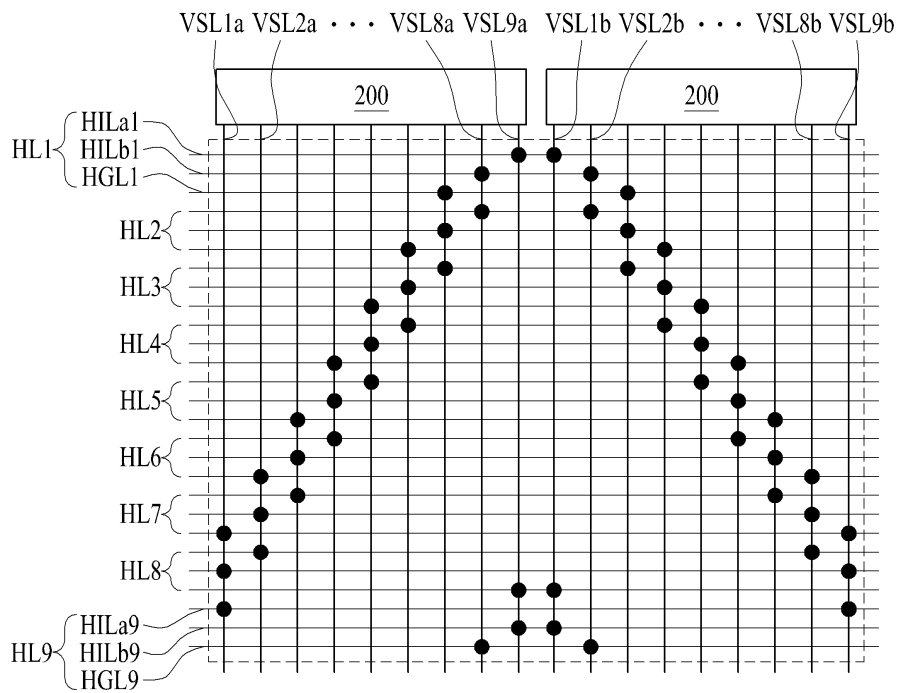
도면2



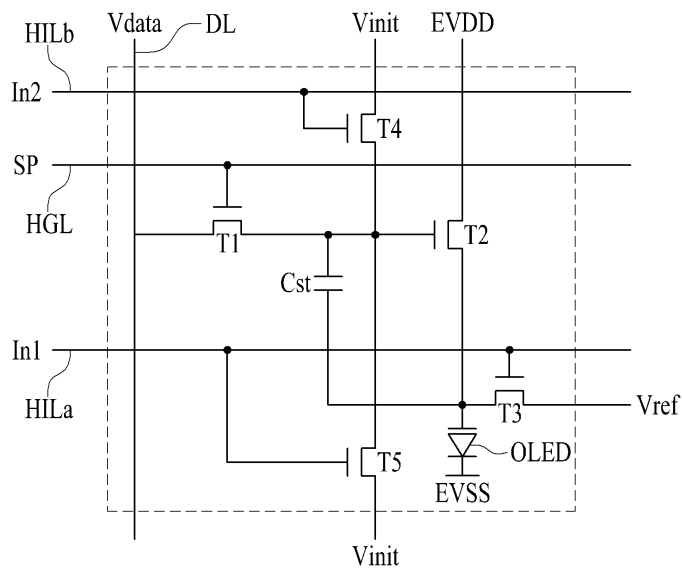
도면3



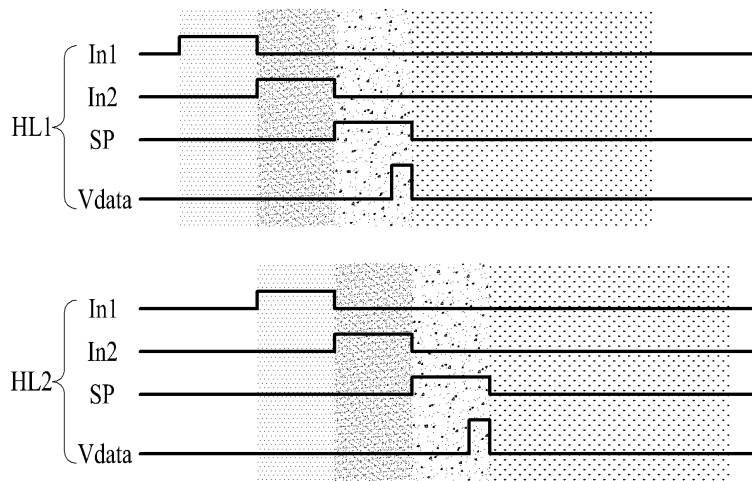
도면4



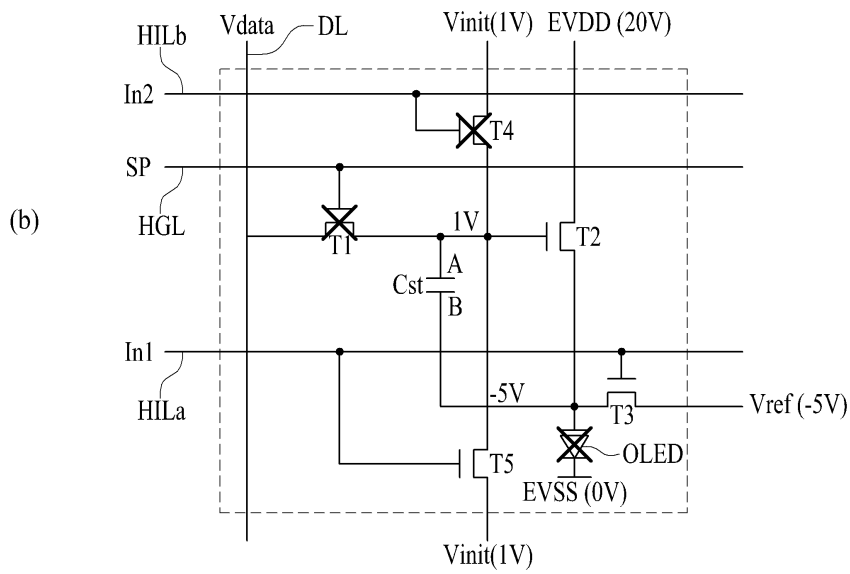
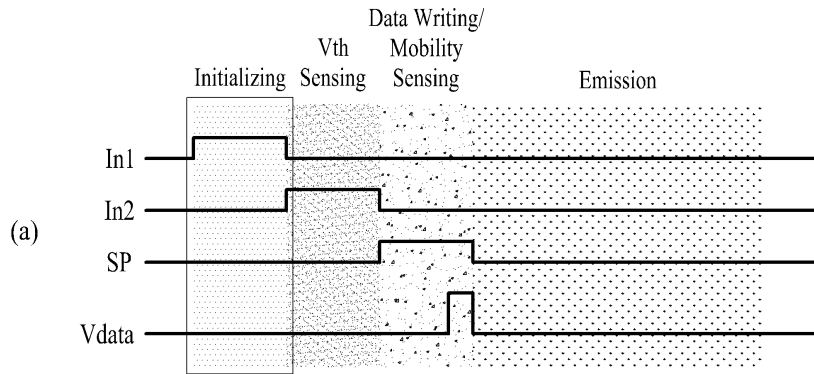
도면5



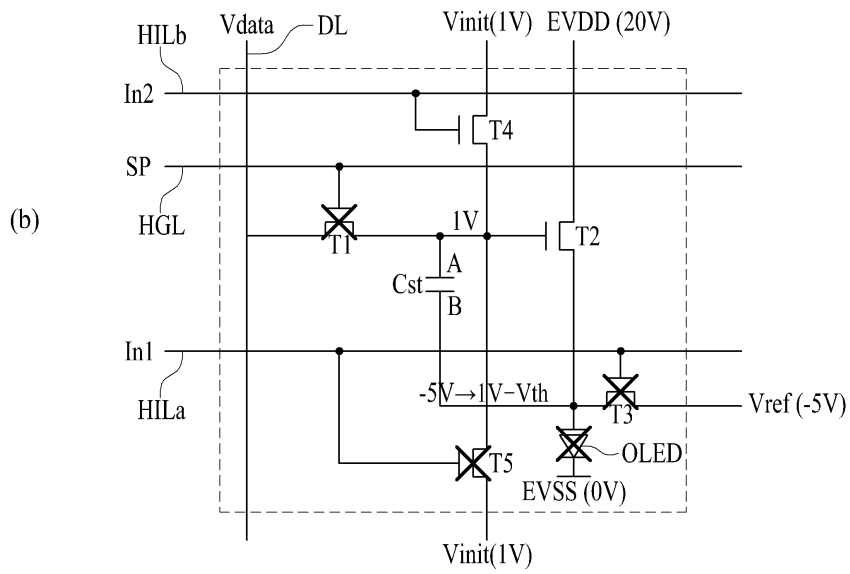
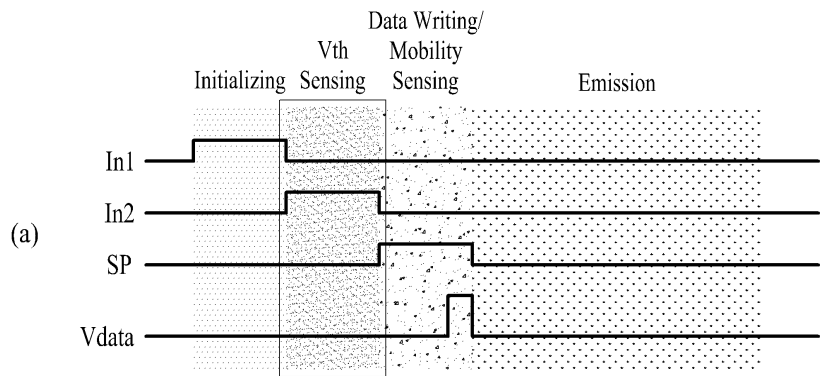
도면6



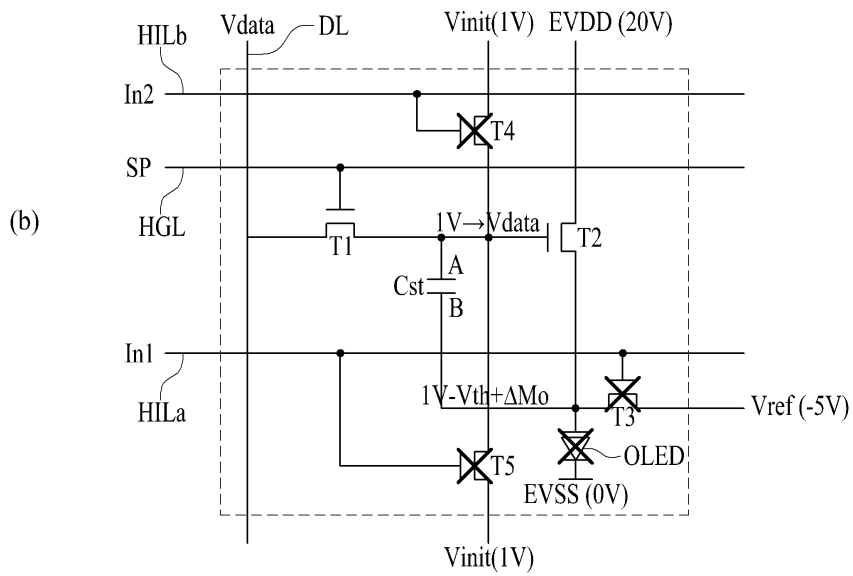
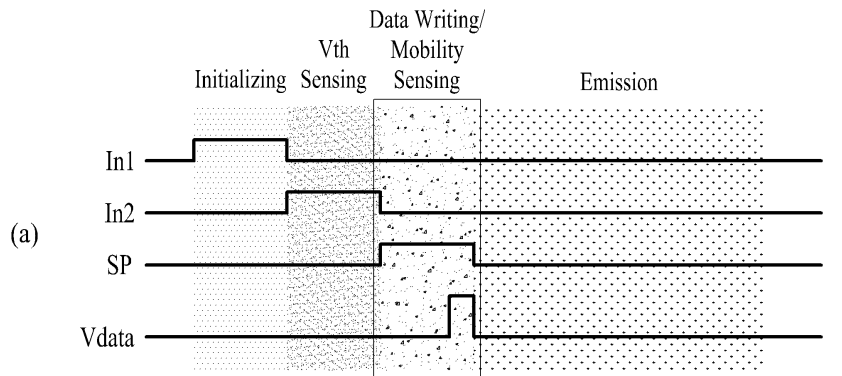
도면7



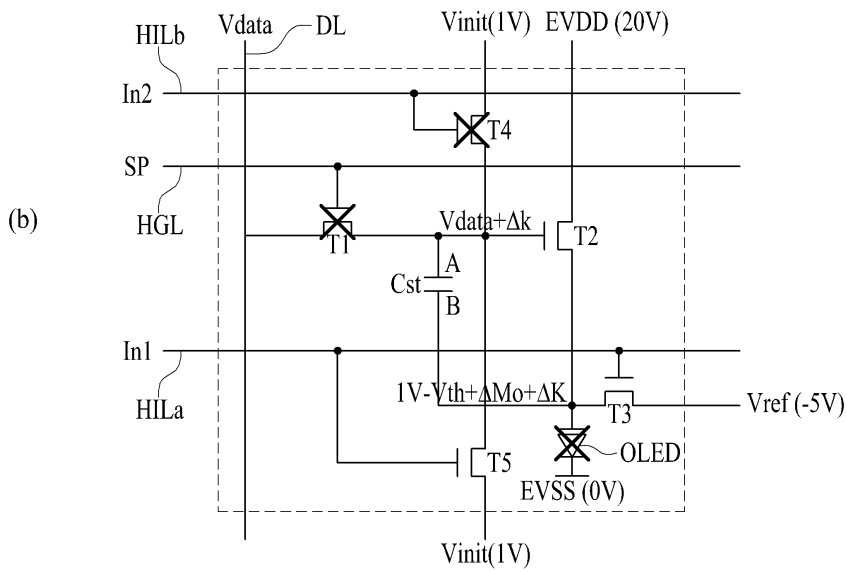
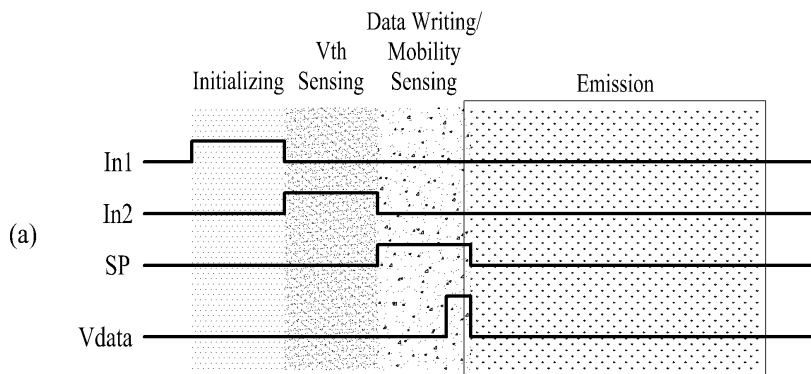
도면8



도면9



도면10



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020150075947A</a>	公开(公告)日	2015-07-06
申请号	KR1020130164405	申请日	2013-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SANGHYUN NA 나상현 JIMIN CHOI 최지민		
发明人	나상현 최지민		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3225 G09G5/06 G09G2360/144 G09G2320/0646 G09G2360/16		
其他公开文献	KR102132864B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

有机发光显示装置本发明涉及有机发光显示装置。更具体地，在有机发光显示装置中，连接到布置成面向数据驱动器的栅极驱动器的垂直信号线的数量小于形成垂直于垂直信号线的线的数量。并连接到垂直信号线。因此，有机发光显示装置包括：有机发光面板；数据驱动程序；和一个门司机。有机发光面板具有由k线，g / k垂直信号线构成的g条水平信号线，其形成垂直于水平信号线并连接到水平信号线，d条数据线垂直于水平信号线和有机发光二极管。数据驱动器形成在有机发光面板的第一非显示区域上，并将数据电压提供给数据线。栅极驱动器形成在面向第一非显示区域的有机发光区域的非显示区域中的第二非显示区域上，并连接到g / k垂直信号线。COPYRIGHT KIPO 2015

