



(72) 발명자

**김정오**

경기 고양시 일산서구 고양대로 624, 106동 1503호  
(일산동, 일산태영데시앙1단지아파트)

**홍기상**

경기 고양시 일산동구 백석로108번길 53-13, B04호  
(백석동)

**남경진**

경기 과천시 한빛로 67, 214동 1902호 (야당동, 한  
빛마을2단지휴먼빌레이크팰리스)

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 위치하며, 서로 이격된 둘 이상의 제1 전극들;

상기 제1 전극들 사이에 위치하는 보조 전극;

상기 보조 전극 상에 위치하며, 적어도 2층의 역테이퍼 구조로 이루어진 격벽;

상기 제1 전극들의 일부를 노출하여 발광영역을 정의하는 बैं크층;

상기 발광영역 상에 위치하되 상기 격벽에 의해 패터닝되는 유기막층; 및

상기 유기막층 및 상기 격벽 상에 위치하며, 상기 보조 전극에 권택하는 제2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 2

제1 항에 있어서,

상기 격벽은 에칭율이 큰 재료로 이루어진 제1 층, 및 상기 제1 층 상에 위치하며 에칭율이 상기 제1 층보다 작은 재료로 이루어진 제2 층을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 3

제1 항에 있어서,

상기 격벽은 에칭율이 높은 재료로 이루어진 제1 층, 상기 제1 층 상에 위치하며 상기 제1 층보다 에칭율이 낮은 재료로 이루어진 제2 층, 및 상기 제1 층 하부에 위치하며 상기 제1 층보다 에칭율이 낮은 재료로 이루어진 제3 층을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 4

제2 항 또는 제3 항에 있어서,

상기 격벽은 ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 적어도 둘 이상의 재료를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 5

제2 항에 있어서,

상기 제1 층의 두께는 전체 격벽의 두께 대비 30 내지 70%이고 상기 제2층의 두께는 전체 격벽의 두께 대비 30 내지 70%인 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 6

제3 항에 있어서,

상기 제1 층의 두께는 전체 격벽의 두께 대비 10 내지 50%이고 상기 제2 층과 제3 층의 두께는 각각 전체 격벽의 두께 대비 10 내지 50%인 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 7

제2 항 또는 제3 항에 있어서,

상기 제1 층과 상기 보조 전극이 만나는 점을 지나는 수평선과 상기 제1 층의 측면이 이루는 외각은 30도 이하이고, 상기 제2 층의 테이퍼 각도는 30도 이하인 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 8

제2 항 또는 제3 항에 있어서,

상기 제1 층과 상기 보조 전극이 만나는 점을 지나는 수평선과 상기 제1 층의 측면이 이루는 외각 또는 상기 제2 층의 테이퍼 각도는 30도 이하인 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 9

제1 항에 있어서,

상기 기관과 상기 제1 전극 사이에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터들을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 10

기관;

상기 기관 상에 위치하며, 서로 이격된 둘 이상의 제1 전극들;

상기 제1 전극들 사이에 위치하는 보조 전극;

상기 보조 전극 상에 위치하며, 적어도 2층으로 이루어진 격벽;

상기 제1 전극들의 일부를 노출하여 발광영역을 정의하는 बैं크층;

상기 발광영역 상에 위치하되 상기 격벽에 의해 패터닝되는 유기막층; 및

상기 유기막층 및 상기 격벽 상에 연속적으로 위치하며, 상기 보조 전극에 컨택하는 제2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 11

제10 항에 있어서,

상기 격벽의 제1 층은 상기 보조 전극과 컨택하고, 상기 제1 층 상에 위치하는 제2 층은 상기 제1 층을 덮으며 상기 보조 전극과 컨택하는 것을 특징으로 하는 유기전계발광표시장치.

#### 청구항 12

제10 항에 있어서,

상기 격벽의 제3 층은 상기 보조 전극과 컨택하고, 상기 격벽의 제1 층은 상기 제3 층 상에 위치하며, 상기 격벽의 제2 층은 상기 제1 층 상에 위치하며 상기 제1 층을 덮고 상기 보조 전극과 컨택하는 것을 특징으로 하는

유기전계발광표시장치.

**청구항 13**

기관, 상기 기관 상에 위치하며 서로 이격된 둘 이상의 제1 전극들, 상기 제1 전극들 사이에 위치하는 보조 전극, 상기 보조 전극 상에 위치하며 적어도 2층의 역테이퍼 구조로 이루어진 격벽, 상기 제1 전극들의 일부를 노출하여 발광영역을 정의하는 बैं크층, 상기 발광영역 상에 위치하되 상기 격벽에 의해 패터닝되는 유기막층, 및 상기 유기막층 상에 위치하되 상기 격벽에서 서로 이격되고 상기 보조 전극에 컨택하는 제2 전극을 포함하는 유기전계발광표시장치에 있어서,

상기 격벽에 레이저를 조사하여, 상기 격벽과 상기 격벽 상에 위치한 제2 전극의 일부를 녹이는 단계; 및

상기 제2 전극이 상기 유기막층의 상면에서부터 상기 격벽의 상면에 연속적으로 형성되는 것을 특징으로 하는 유기전계발광표시장치의 리페어 방법.

**청구항 14**

제13 항에 있어서,

상기 격벽은 적어도 2층 이상으로 이루어지며, 상기 레이저에 의해 상기 격벽의 최상부로부터 적어도 하나 이상의 층이 녹는 것을 특징으로 하는 유기전계발광표시장치의 리페어 방법.

**청구항 15**

제14 항에 있어서,

상기 레이저가 상기 격벽과 상기 제2 전극에 조사되면, 상기 격벽의 최상부에 위치한 적어도 하나 이상의 층과 상기 제2 전극이 녹아내리고 상기 격벽과 상기 제2 전극 사이에 위치한 유기막층이 제거되는 것을 특징으로 하는 유기전계발광표시장치의 리페어 방법.

**발명의 설명**

**기술 분야**

[0001]

본 발명은 유기전계발광표시장치 및 그 리페어 방법에 관한 것으로, 제조공정을 단순화하고 제2 전극의 저항을 낮추며 휘도 불균일을 리페어할 수 있는 유기전계발광표시장치 및 그 리페어 방법에 관한 것이다.

**배경 기술**

[0002]

최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기전계발광표시장치(OLED : Organic Light Emitting Display) 등이 있다. 이 중에서 유기전계발광표시장치는(Organic Light Emitting Display)는 유기화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0003]

유기전계발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 제1 전극으로부터 공급받는 정공과 제 2 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다. 유기전계발광표시장치는 빛이 출사되는 방향에 따라 배면 발광형과 전면 발광형으로 나눌 수 있다. 배면 발광형은

기관의 하부 방향 즉, 발광층에서 제1 전극 방향으로 빛이 출사되는 것이고, 전면 발광형은 기관의 상부 방향 즉, 발광층에서 제2 전극 방향으로 빛이 출사되는 것을 말한다.

[0004] 그러나, 전면 발광형 유기전계발광표시장치는 빛이 투과될 수 있도록 금속인 제2 전극을 매우 얇게 형성하기 때문에 제2 전극의 저항이 높아져 소자의 효율이 저하되는 문제가 있다. 또한, 유기전계발광표시장치의 발광층은 미세메탈마스크(Fine Metal Mask, FMM)를 이용하여 증착하기 때문에 마스크의 제조비용 및 발광층의 제조공정이 복잡한 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명은 제조공정을 단순화하고 제2 전극의 저항을 낮추며 휘도 불균일을 리페어할 수 있는 유기전계발광표시장치 및 그 리페어 방법을 제공한다.

**과제의 해결 수단**

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 기관, 제1 전극들, 보조 전극, 격벽, 뱅크층, 유기막층, 및 제2 전극을 포함한다. 제1 전극들은 기관 상에 위치하며 서로 이격된다. 보조 전극은 제1 전극들 사이에 위치한다. 격벽은 보조 전극 상에 위치하며, 적어도 2층의 역테이퍼 구조로 이루어진다. 뱅크층은 제1 전극들의 일부를 노출하여 발광영역을 정의한다. 유기막층은 발광영역 상에 위치하되 격벽에 의해 패터닝된다. 제2 전극은 유기막층 및 격벽 상에 위치하며, 보조 전극에 접촉하는 제2 전극을 포함하는 것을 특징으로 한다.

[0007] 격벽은 에칭율이 큰 재료로 이루어진 제1 층, 및 제1 층 상에 위치하며 에칭율이 제1 층보다 작은 재료로 이루어진 제2 층을 포함하는 것을 특징으로 한다.

[0008] 격벽은 에칭율이 높은 재료로 이루어진 제1 층, 제1 층 상에 위치하며 제1 층보다 에칭율이 낮은 재료로 이루어진 제2 층, 및 제1 층 하부에 위치하며 제1 층보다 에칭율이 낮은 재료로 이루어진 제3 층을 포함하는 것을 특징으로 한다.

[0009] 격벽은 ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 적어도 둘 이상의 재료를 포함하는 것을 특징으로 한다.

[0010] 제1 층의 두께는 전체 격벽의 두께 대비 30 내지 70%이고 제2층의 두께는 전체 격벽의 두께 대비 30 내지 70%인 것을 특징으로 한다.

[0011] 제1 층의 두께는 전체 격벽의 두께 대비 10 내지 50%이고 제2 층과 제3 층의 두께는 각각 전체 격벽의 두께 대비 10 내지 50%인 것을 특징으로 한다.

[0012] 제1 층과 보조 전극이 만나는 점을 지나는 수평선과 제1 층의 측면이 이루는 외각은 30도 이하이고, 제2 층의 테이퍼 각도는 30도 이하인 것을 특징으로 한다.

[0013] 제1 층과 보조 전극이 만나는 점을 지나는 수평선과 제1 층의 측면이 이루는 외각 또는 제2 층의 테이퍼 각도는 30도 이하인 것을 특징으로 한다.

[0014] 기관과 제1 전극 사이에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터들을 더 포함하는 것을 특징으로 한다.

[0015] 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 기관, 기관 상에 위치하며, 서로 이격된 둘 이상의 제1 전극들, 제1 전극들 사이에 위치하는 보조 전극, 보조 전극 상에 위치하며, 적어도 2층으로 이루어진 격벽, 제1 전극들의 일부를 노출하여 발광영역을 정의하는 뱅크층, 발광영역 상에 위치하되 격벽에 의해 패터닝되는 유기막층, 및 유기막층 및 격벽 상에 연속적으로 위치하며, 보조 전극에 접촉하는 제2 전극을 포함하는 것을 특징으로 한다.

[0016] 격벽의 제1 층은 보조 전극과 접촉하고, 제1 층 상에 위치하는 제2 층은 제1 층을 덮으며 보조 전극과 접촉하는

것을 특징으로 한다.

[0017] 격벽의 제3 층은 보조 전극과 컨택하고, 격벽의 제1 층은 제3 층 상에 위치하며, 격벽의 제2 층은 제1 층 상에 위치하며 제1 층을 덮고 보조 전극과 컨택하는 것을 특징으로 한다.

[0018] 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 리페어 방법은 기관, 기관 상에 위치하며 서로 이격된 둘 이상의 제1 전극들, 제1 전극들 사이에 위치하는 보조 전극, 보조 전극 상에 위치하며 적어도 2층의 역테이퍼 구조로 이루어진 격벽, 제1 전극들의 일부를 노출하여 발광영역을 정의하는 बैं크층, 발광영역 상에 위치하되 격벽에 의해 패터닝되는 유기막층, 및 유기막층 상에 위치하되 격벽에서 서로 이격되고 보조 전극에 컨택하는 제2 전극을 포함하는 유기전계발광표시장치에 있어서, 격벽에 레이저를 조사하여, 격벽과 격벽 상에 위치한 제2 전극의 일부를 녹이는 단계, 및 제2 전극이 유기막층의 상면에서부터 격벽의 상면에 연속적으로 형성되는 것을 특징으로 한다.

[0019] 격벽은 적어도 2층 이상으로 이루어지며, 레이저에 의해 격벽의 최상부로부터 적어도 하나 이상의 층이 녹는 것을 특징으로 한다.

[0020] 레이저가 격벽과 제2 전극에 조사되면, 격벽의 최상부에 위치한 적어도 하나 이상의 층과 제2 전극이 녹아내리고 격벽과 제2 전극 사이에 위치한 유기막층이 제거되는 것을 특징으로 한다.

**발명의 효과**

[0021] 본 발명의 일 실시예에 따른 유기전계발광표시장치는 보조 전극을 구비함으로써, 제2 전극의 저항을 낮추고 소자의 구동전압을 낮춰 대형화에 용이하고, 저항에 의해 제2 전극의 전압이 불균일하여 휘도 불균일이 발생하는 것을 방지할 수 있다. 또한, 본 발명은 보조 전극 상에 역테이퍼의 도전성 격벽을 구비함으로써, 마스크 없이 유기막층을 형성하여 제조공정의 간소화 및 제조비용의 절감을 구현할 수 있고, 격벽의 신뢰성을 향상시킬 수 있는 이점이 있다. 또한, 본 발명은 휘도 불균일이 발생하였을 경우 레이저로 도전성 격벽을 녹여 보조 전극과의 컨택 면적을 증가시킴으로써, 휘도 불균일이 발생한 영역을 치유할 수 있는 이점이 있다.

**도면의 간단한 설명**

[0022] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도.  
 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 단면도.  
 도 3 및 도 4는 본 발명의 실시예들에 따른 격벽을 나타낸 단면도.  
 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면.  
 도 6 및 도 7은 본 발명의 일 실시예에 따라 제조한 3층 구조의 격벽을 나타낸 이미지.  
 도 8은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도.  
 도 9 및 도 10은 본 발명의 실시예에 따른 보조 전극과 제2 전극의 컨택 영역을 나타낸 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0023] 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하면 다음과 같다.

[0024] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도이고, 도 2는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 단면도이다.

[0025] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기관(110) 상에 액티브 영역(AA)이 구획되어, 액티브 영역(AA)을 통해 화상이 구현된다. 액티브 영역(AA)에는 적색(R), 녹색(G) 및 청색(B)의 복수의 화소들이 형성되고, 복수의 화소들은 스캔 신호와 데이터 신호에 의해 점등이 조절된다. 복수의 화소들은 각각 박막트랜지스터에 연결된 애노드 전극인 제1 전극(미도시)과, 제1 전극에 대항하는 캐소드 전극인 제2 전극(180)이 구비된다. 액티브 영역(AA)의 양측에는 제2 전극(180)에 저전위전압을 공급하는 캐소드 전원라인(CPL)이 위치하고, 제2 전극(180)은 액티브 영역(AA) 전면에 얇은 두께로 형성되어 캐소드 전원라인(CPL)과

연결된다.

- [0026] 한편, 본 발명에서는 제2 전극(180)의 저항이 커지는 것을 방지하기 위해, 보조 전극(155)을 더 포함한다. 보다 자세하게는, 보조 전극(155)은 캐소드 전원라인(CPL)들과 교차하는 방향으로 복수의 화소들의 사이에 형성된다. 도면에 도시된 것처럼 보조 전극(155)은 각 화소들의 사이에 하나씩 형성될 수 있지만, 이에 한정되지 않으며 2개의 화소들의 사이 또는 3개 이상의 화소들의 사이에 하나씩 형성될 수도 있다. 보조 전극(155)은 양 끝단이 각각 캐소드 전원라인(CPL)에 각각 접속하면서, 액티브 영역(AA) 전면에서 형성된 제2 전극(180)에 라인 형태로 접속된다. 따라서, 보조 전극(155)은 제2 전극(180)의 저항을 낮추어 표시장치의 휘도 불균일을 방지할 수 있는 이점이 있다.
- [0027] 하기에서는 본 발명의 유기전계발광표시장치(100)는 복수의 화소들로 구성되어 있으나, 설명의 편의를 위하여 2개의 서브픽셀을 예로 도시하여 설명하기로 한다.
- [0028] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기관(110) 상에 반도체층(115)이 위치하고, 반도체층(115) 상에 게이트 절연막(120)이 위치한다. 게이트 절연막(120) 상에 상기 반도체층(115)과 대응되도록 위치하는 게이트 전극(125)이 위치하고, 기관(110)의 양측에 캐소드 전원라인(CPL)이 위치한다. 그리고, 게이트 전극(125)과 캐소드 전원라인(CPL) 상에 층간 절연막(130)이 위치하고, 층간 절연막(130) 상에 소스 전극(137a)과 드레인 전극(137b)이 위치한다. 소스 전극(137a)과 드레인 전극(137b)은 층간 절연막(130)과 게이트 절연막(120)을 관통하는 제1 콘택홀(135)을 통해 반도체층(115)에 각각 접속한다. 따라서, 반도체층(115), 게이트 전극(125), 소스 전극(137a) 및 드레인 전극(137b)을 포함하는 박막트랜지스터(TFT)를 구성한다.
- [0029] 박막트랜지스터(TFT) 상에 평탄화막(140)이 위치하고, 평탄화막(140) 상에 제1 전극(150)과 보조 전극(155)이 위치한다. 제1 전극(150)은 평탄화막(140)을 관통하는 비어홀(145)을 통해 박막트랜지스터(TFT)의 드레인 전극(137b)에 연결된다. 보조 전극(155)은 서로 이격된 제1 전극(150) 사이에 위치하여 제1 전극(150)들과 이격되어 위치한다. 또한, 기관(110)의 양측에 위치한 보조 전극(155)은 평탄화막(140)을 따라 형성되어 층간 절연막(130)을 관통하는 제2 콘택홀(136)을 통해 캐소드 전원라인(CPL)에 연결된다.
- [0030] 제1 전극(150)과 보조 전극(155) 상에 बैं크층(160)이 위치한다. बैं크층(160)은 제1 전극(150)을 노출하는 개구부(165)가 형성되어 화소와 발광영역(EA)을 정의한다. 또한, बैं크층(160)은 개구부(165)를 통해 보조 전극(155)을 노출한다. 보조 전극(155) 상에 격벽(170)이 위치한다. 격벽(170)은 보조 전극(155) 상에 역테이퍼(reverse taper) 형상으로 이루어지며, 인접한 बैं크층(160)과 이격되어 위치한다. 격벽(170)에 대한 자세한 설명은 후술하기로 한다.
- [0031] 제1 전극(150), बैं크층(160), 격벽(170)이 형성된 기관(110) 상에 유기막층(175)이 위치한다. 유기막층(175)은 제1 전극(150), बैं크층(160) 및 격벽(170) 상에 증착되며, 격벽(170)에 의해 패터닝되어 보조 전극(155)에는 증착되지 않는다. 유기막층(175) 상에 제2 전극(180)이 위치한다. 제2 전극(180)은 기관(110) 전면에서 적층되며 격벽(170) 하부에 위치한 보조 전극(155)에도 형성된다. 즉, 제2 전극(180)은 기관(100) 전면에서 격벽(170)에 의해 패터닝되는 것 없이 모두 연속적으로 형성된다. 따라서, 제2 전극(180)은 격벽(170) 하부에 위치한 보조 전극(155)에 전기적으로 연결되므로, 보조 전극(155)에 의해 저항이 감소된다. 그러므로, 종래 저항이 큰 제2 전극에 보조 전극을 형성함으로써, 제2 전극의 저항을 낮추고 소자의 구동전압을 낮춰 대형화에 용이하고, 저항에 의해 제2 전극의 전압이 불균일하여 휘도 불균일이 발생하는 것을 방지할 수 있다.
- [0032] 도 3 및 도 4는 본 발명의 실시예들에 따른 격벽을 나타낸 단면도이다. 도 3을 참조하면, 본 발명의 격벽(170)은 보조 전극(155) 상에 위치하며, 하부에 위치한 제1 층(172)과 제1 층(172) 상에 위치한 제2 층(174)의 2층 구조로 이루어진다. 격벽(170)의 제1 층(172)은 보조 전극(155)과 직접 컨택하여 격벽(170)의 하부를 이루는 층으로, IT0, ITZ0, IO, Sn0, Zn0, ISn0, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어진다. 격벽(170)의 제2 층(174)은 제1 층(172) 상에 위치하여 격벽(170)의 상부를 이루는 층으로, IT0, ITZ0, IO, Sn0, Zn0, ISn0, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어지되 상기 제1 층(172)의 재료와는 상이한 재료로 이루어진다.
- [0033] 보다 자세하게, 격벽(170)은 역테이퍼 형상으로 이루어지는데, 이를 위해 제1 층(172)은 제2 층(174)보다 동일 식각액에 대한 에칭율이 큰 재료로 이루어지고, 제2 층(174)은 제1 층(172)보다 에칭율이 작은 재료로 이루어진다. 예를 들어, 제1 층(172)이 Zn0로 이루어지면 제2 층(174)은 Zn0보다 에칭율이 큰 IT0로 형성할 수 있다. 즉, 제1 층(172)이 IT0, ITZ0, IO, Sn0, Zn0, ISn0, IZO, IGO, GZO 및 IGZO 중 어떠한 한 재료로 선정될 경우, 제2 층(174)은 제1 층(172)보다 에칭율이 작은 재료로 선정되어 격벽(170)을 형성할 수 있다.

- [0034] 본 발명의 격벽(170)은 전체 두께가 0.3 $\mu$ m 이상으로 이루어져 बैं크층(160)보다 두껍게 이루어진다. 격벽(170) 제1 층(172)과 제2 층(174)의 2층으로 이루어진 경우, 제1 층(172)의 두께는 전체 격벽(170)의 두께 대비 30 내지 70%로 이루어지고, 제2 층(174)의 두께는 전체 격벽(170)의 두께 대비 30 내지 70%로 이루어진다. 이는 격벽(170)과 보조 전극(155) 간의 접촉력을 향상시키고, 역테이퍼 형상의 격벽(170)의 신뢰성을 향상시키기 위함이다. 이때, 제1 층(172)과 보조 전극(155)이 만나는 점을 지나는 수평선(L)과 제1 층(172)의 측면이 이루는 외각( $\theta_1$ )은 30도 이하로 이루어지거나, 격벽(170)의 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 30도 이하로 이루어지거나, 또는 제1 층(172)과 보조 전극(155)이 만나는 점을 지나는 수평선(L)과 제1 층(172)의 측면이 이루는 외각( $\theta_1$ ) 및 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 둘 다 30도 이하로 이루어질 수 있다. 제1 층(172)과 보조 전극(155)이 만나는 점을 지나는 수평선(L)과 제1 층(172)의 측면이 이루는 외각( $\theta_1$ )과 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 30도 이하이면, 역테이퍼 형상으로 격벽(170)이 잘 형성되어 후속 공정이 유기막층의 증착 공정에서 유기막층이 패터닝될 수 있게 된다.
- [0035] 한편, 도 4를 참조하면, 본 발명의 격벽(170)은 3층으로 이루어질 수도 있다. 격벽(170)은 최하부에 위치한 제3 층(176), 제3 층(176) 상에 위치한 제1 층(172) 및 제1 층(172) 상에 위치한 제2 층(174)의 3층 구조로 이루어진다. 격벽(170)의 제3 층(176)은 보조 전극(155)과 직접 접촉하여 격벽(170)의 하부를 이루는 층으로, ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어진다. 제1 층(172)은 제3 층(176) 상에 위치하여 격벽(170)의 가운데를 이루는 층으로, ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어지되 상기 제3 층(176)의 재료와는 상이한 재료로 이루어진다. 제2 층(174)은 제1 층(172) 상에 위치하여 격벽(170)의 최상부를 이루는 층으로, ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어지되 상기 제1 층(172)의 재료와는 상이한 재료로 이루어진다.
- [0036] 보다 자세하게, 3층의 격벽(170)은 역테이퍼 형상으로 이루어지되, 최상부와 최하부의 폭이 넓은 모래시계 형상으로 이루어질 수 있다. 이를 위해 제3 층(176)은 제1 층(172)보다 동일 식각액에 대한 에칭율이 작은 재료로 이루어지고, 제1 층(172)은 제2 층(174)보다 동일 식각액에 대한 에칭율이 큰 재료로 이루어지며, 제2 층(174)은 제1 층(172)보다 에칭율이 작은 재료로 이루어진다. 예를 들어, 제3 층(176)이 ITO로 이루어지면, 제1 층(172)은 ITO보다 에칭율이 큰 IGZO로 형성하고, 제2 층(174)은 IGZO보다 에칭율이 큰 ITO로 형성할 수 있다. 즉, 제3 층(176)이 ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO 중 어떠한 한 재료로 선정될 경우, 제1 층(172)은 제3 층(176)보다 에칭율이 큰 재료로 선정되고 제2 층(174)은 제1 층(172)보다 에칭율이 작은 재료로 선정되어 격벽(170)을 형성할 수 있다. 전술한 바와 같이, 본 발명의 격벽(170)은 모두 도전성 재료 예를 들어 금속 산화물로 이루어진다. 도전성 재료로 이루어진 격벽(170)은 하부의 보조 전극(155)과의 접촉력이 우수하여 격벽(170)의 필링(peeling)되는 것을 방지하고, 패턴의 미세화를 구현하면서 고온에서도 손상되지 않는 공정 안정성을 확보할 수 있는 이점이 있다.
- [0037] 본 발명의 격벽(170)은 전체 두께가 0.3 $\mu$ m 이상으로 이루어져 बैं크층(160)보다 두껍게 이루어진다. 격벽(170)이 제3 층(176), 제1 층(172) 및 제2 층(174)의 3층으로 이루어진 경우, 제3 층(176)의 두께는 전체 격벽(170)의 두께 대비 10 내지 50%로 이루어지고, 제1 층(172)의 두께는 전체 격벽(170)의 두께 대비 10 내지 50%로 이루어지고, 제2 층(174)의 두께는 전체 격벽(170)의 두께 대비 10 내지 50%로 이루어진다. 이는 격벽(170)과 보조 전극(155) 간의 접촉력을 향상시키고, 역테이퍼 형상의 격벽(170)의 신뢰성을 향상시키기 위함이다. 이때, 제1 층(172)과 수평선(L)이 이루는 외각( $\theta_1$ )은 30도 이하로 이루어지거나, 격벽(170)의 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 30도 이하로 이루어지거나, 또는 제1 층(172)과 보조 전극(155)이 만나는 점을 지나는 수평선(L)과 제1 층(172)의 측면이 이루는 외각( $\theta_1$ ) 및 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 둘 다 30도 이하로 이루어질 수 있다. 제1 층(172)과 보조 전극(155)이 만나는 점을 지나는 수평선(L)과 제1 층(172)의 측면이 이루는 외각( $\theta_1$ )과 제2 층(174)의 테이퍼 각도( $\theta_2$ )가 30도 이하이면, 역테이퍼 형상으로 격벽(170)이 잘 형성되어 후속 공정이 유기막층의 증착 공정에서 유기막층이 패터닝될 수 있게 된다.
- [0038] 전술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 보조 전극을 구비함으로써, 제2 전극의 저항을 낮추고 소자의 구동전압을 낮춰 대형화에 용이하고, 저항에 의해 제2 전극의 전압이 불균일하여 휘도 불균일이 발생하는 것을 방지할 수 있다. 또한, 본 발명은 보조 전극 상에 역테이퍼의 도전성 격벽을 구비함으로써, 마스크 없이 유기막층을 형성하여 제조공정의 간소화 및 제조비용의 절감을 구현할 수 있고, 격벽의 신뢰성을 향상시킬 수 있는 이점이 있다.
- [0039] 이하, 전술한 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명하면 다음과 같다. 도 5a 내지 도 5d는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 공정별로 나타낸 도면이다.

하기에서는 전술한 도 2와 동일한 구성에 대해 동일한 도면부호를 붙여 이해를 용이하게 한다.

- [0040] 먼저, 도 5a를 참조하면, 유리, 플라스틱 또는 도전성 물질로 이루어진 기판(110) 상에 비정질 실리콘(a-si)을 적층하고 탈수소화 공정(dehydrogenation)을 거친 후, 비정질 실리콘층에 레이저(laser)를 조사하여 비정질 실리콘층을 다결정 실리콘층으로 결정화한다. 이후, 다결정 실리콘층을 마스크를 이용하여 패터닝하여, 반도체층(115)을 형성한다. 도시하지 않았지만, 반도체층(115)을 형성하기 전에 버퍼층을 더 형성할 수도 있다. 버퍼층은 결정화 공정 시 기판(110) 표면에 존재하는 불순물들이 용출되어 비정질 실리콘층으로 확산하는 것을 방지하며, 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 또는 이들의 적층 구조로 이루어질 수 있다.
- [0041] 이어, 상기 반도체층(115)을 포함하는 기판(110) 상에 게이트 절연막(120)을 형성한다. 게이트 절연막(120)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)로 형성할 수 있으며 이들의 다중층으로도 형성할 수 있다. 게이트 절연막(120) 상에 반도체층(115)과 대응되는 영역에 게이트 전극(125)을 형성하고, 기판(110)의 양측에 캐소드 전원라인(CPL)을 형성한다. 게이트 전극(125)과 캐소드 전원라인(CPL)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다.
- [0042] 이어, 게이트 전극(125)과 캐소드 전원라인(CPL)이 형성된 기판(110) 상에 층간 절연막(130)을 형성한다. 층간 절연막(130)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)로 형성할 수 있으며 이들의 다중층으로도 형성할 수 있다. 다음, 층간 절연막(130)을 식각하여 상기 반도체층(115)의 양측을 노출하는 제1 콘택홀(135)을 형성하고 상기 캐소드 전원라인(CPL)을 노출하는 제2 콘택홀을 형성한다. 그리고, 제1 콘택홀(135)을 통해 상기 반도체층(115)에 연결되는 소스 전극(137a) 및 드레인 전극(137b)을 형성하여, 반도체층(115), 게이트 전극(125) 및 소스 전극(137a) 및 드레인 전극(137b)을 포함하는 박막트랜지스터(TFT)를 형성한다. 소스 전극(137a) 및 드레인 전극(137b)은 알루미늄(Al), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti) 또는 이들의 합금으로 이루어진 단일층일 수 있고, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 다중층으로 형성할 수도 있다.
- [0043] 이어, 도 5b를 참조하면, 박막트랜지스터(TFT)가 형성된 기판(110) 상에 평탄화막(140)을 형성한다. 평탄화막(140)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물로 형성될 수 있다. 그런 다음, 평탄화막(140)을 패터닝하여 박막 트랜지스터(TFT)의 드레인 전극(137b)을 노출하는 비어홀(145)을 형성한다. 이어, 평탄화막(140) 및 비어홀(145) 상에 ITO, IZO 또는 ZnO와 같은 일함수가 높은 물질을 적층하고 패터닝하여 제1 전극(150)과 보조 전극(155)을 형성한다. 제1 전극(150)은 비어홀(145)을 매우며 드레인 전극(137b)과 전기적으로 연결되고, 보조 전극(155)은 제1 전극(150)들의 사이에 이들과 이격되어 형성된다. 또한, 기판(110) 외곽의 보조 전극(155)은 평탄화막(140)을 따라 형성되어 제2 콘택홀(136)에 의해 노출된 캐소드 전원라인(CPL)에 연결된다.
- [0044] 이어, 도 5c를 참조하면, 제1 전극(150)과 보조 전극(155)이 형성된 기판(110) 상에 बैं크층(160)을 형성한다. बैं크층(160)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene resin), 아크릴레이트(acrylate) 등의 유기물로 형성한다. 그런 다음, बैं크층(160)을 패터닝하여 제1 전극(150)과 보조 전극(155)을 노출하는 개구부(165)들을 형성한다.
- [0045] 다음, 개구부(165)에 의해 노출된 보조 전극(155) 상에 격벽(170)을 형성한다. 보다 자세하게, बैं크층(160)이 형성된 기판(110) 상에 ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 제1 물질을 적층하고, ITO, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO에서 제1 물질보다 에칭율이 작은 제2 물질을 적층한 후 식각액으로 에칭하여, 하부에 위치한 제1 층(172) 및 제1 층(172) 상에 위치한 제2 층(174)으로 이루어진 격벽(170)을 형성한다. 식각액에 대한 에칭율이 큰 제1 층(172)은 빠르게 식각되고 에칭율이 작은 제2 층(174)은 느리게 식각되기 때문에 제2 층(174)이 폭이 제1 층(172)보다 넓은 역테이퍼 형상의 격벽(170)이 제조된다. 본 실시예에서는 2층 구조의 격벽(170)을 제조하는 것을 설명하였으나, 3층 구조의 격벽(170)의 경우 제1 물질보다 에칭율이 작은 제3 물질을 먼저 적층하고 그 다음에 제1 물질을 적층한 후 제2 물질을 적층하고 식각액으로 에칭하여 제조할 수 있다. 격벽(170)의 두께, 테이퍼 각도 등은 전술하였으므로 자세한 설명을 생략하기로 한다.
- [0046] 다음, 도 5d를 참조하면, 격벽(170)이 형성된 기판(110) 상에 유기막층(175)을 형성한다. 유기막층(175)은 제1 전극(150), बैं크층(160) 및 격벽(170) 상에 증착되나 역테이퍼 형상의 격벽(170)에 의해 패터닝되고, 격벽(170)의 하부에 위치한 보조 전극(155)에는 유기막층(175)이 증착되지 않는다. 유기막층(175)은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 또는 전자주입층(EIL) 중 적어도 하나를 포함하여 형성할 수

있다. 예를 들어, 유기막층(175)은 증착법(evaporation)을 이용하여 형성한다.

- [0047] 이어, 유기막층(175)이 형성된 기판(110) 상에 제2 전극(180)을 형성한다. 제2 전극(180)은 유기막층(175) 상에 적층되거나 유기막층(175)과는 달리, 격벽(170)의 표면을 따라 적층되면서 보조 전극(155)에도 적층된다. 따라서, 제2 전극(180)은 보조 전극(155)과의 전기적 연결이 이루어지고, 기판(110) 외곽에서 보조 전극(155)과 연결되어 캐소드 전원라인(CPL)에 연결된다. 제2 전극(180)은 마그네슘(Mg), 은(Ag), 알루미늄(Al), 칼슘(Ca) 또는 이들의 합금으로 이루어질 수 있다. 따라서, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)가 제조된다.
- [0048] 도 6과 도 7은 본 발명의 일 실시예에 따라 제조한 3층 구조의 격벽을 나타낸 이미지이다. 도 6과 도 7을 참조하면, 최하부에 ITO가 형성되고, 그 위에 IGZO가 형성되고 최상부에 ITO가 위치한 ITO/IGZO/ITO의 3층 격벽이 형성됨을 확인할 수 있다. 여기서, 격벽의 전체 두께는 3800Å으로 형성되었고, 최하부의 ITO는 1000Å이고 IGZO는 2000Å이며 최상부의 ITO는 800Å으로 형성되었다. ITO와 IGZO의 에칭율의 차이에 의해 에칭율이 작은 ITO들 사이에 에칭율이 큰 IGZO가 형성되어, 모래시계의 단면과 비슷한 역테이퍼 형상의 격벽이 형성됨을 확인할 수 있다.
- [0049] 전술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 보조 전극을 구비함으로써, 제2 전극의 저항을 낮추고 소자의 구동전압을 낮춰 대형화에 용이하고, 저항에 의해 제2 전극의 전압이 불균일하여 휘도 불균일이 발생하는 것을 방지할 수 있다. 또한, 본 발명은 보조 전극 상에 역테이퍼의 도전성 격벽을 구비함으로써, 마스크 없이 유기막층을 형성하여 제조공정의 간소화 및 제조비용의 절감을 구현할 수 있고, 격벽의 신뢰성을 향상시킬 수 있는 이점이 있다.
- [0050] 한편, 전술한 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제2 전극의 저항에 따른 휘도 불균일이 발생할 경우, 레이저 웰딩(laser welding)을 이용하여 휘도 불균일을 리페어할 수 있다.
- [0051] 도 8은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도이고, 도 9 및 도 10은 본 발명의 실시예에 따른 보조 전극과 제2 전극의 컨택 영역을 나타낸 단면도이다.
- [0052] 도 8을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기판(110) 상에 액티브 영역(AA)이 구획되고 액티브 영역(AA)에는 적색(R), 녹색(G) 및 청색(B)의 복수의 화소들이 형성된다. 복수의 화소들은 제1 전극(미도시)과, 제1 전극에 대향하는 캐소드 전극인 제2 전극(180)이 구비된다. 액티브 영역(AA)의 양측에는 제2 전극(180)에 저전위전압을 공급하는 캐소드 전원라인(CPL)이 위치하고, 제2 전극(180)의 저항이 커지는 것을 방지하기 위해, 보조 전극(155)을 포함한다.
- [0053] 상기 유기전계발광표시장치(100)의 일부 영역에 제2 전극(180)의 저항에 따라 휘도 불균일이 발생할 수 있다. 도 8에 도시된 바와 같이, 휘도가 일부 영역에서 불균일하게 나타나는 휘도 불균일 영역(H)이 존재하게 된다. 유기전계발광표시장치(100)에 휘도 불균일 영역(H)이 발생하면, 표시 품질의 저하되어 신뢰성이 떨어지게 된다. 따라서, 본 발명에서는 후술하는 레이저 웰딩을 이용하여 유기전계발광표시장치의 휘도 불균일을 리페어시킬 수 있다. 한편, 도 8에서는 액티브 영역(AA)에 30개의 화소들이 포함된 것으로 도시하고 휘도 불균일 영역(H)을 크게 도시하였지만, 이는 본 발명을 쉽게 이해하기 위해 과장되게 도시한 것일 뿐 본 발명은 이에 한정되지 않는다.
- [0054] 도 9를 참조하여, 도 8의 휘도 불균일 영역(H)에 존재하는 격벽(170) 부분의 구조를 살펴보면 다음과 같다. 보조 전극(155) 상에 격벽(170)이 위치한다. 격벽(170)은 최하부에 위치한 제3 층(176), 제3 층(176) 상에 위치한 제1 층(172) 및 제1 층(172) 상에 위치한 제2 층(174)의 3층 구조로 이루어진다. 격벽(170)의 구체적인 설명은 전술하였으므로 생략한다.
- [0055] 휘도 불균일 영역(H)에서 격벽(170) 부분에 형성된 제2 전극(180)의 구조를 살펴보면, 뱅크층(160)을 따라 형성된 제2 전극(180)은 보조 전극(155)과 격벽(170)의 제3층(176)의 일부에 컨택하나 격벽(170)의 제2 층(174) 및 제1 층(172)의 측면에 컨택되지 않는다. 따라서, 격벽(170)의 제2 층(174) 상면에 위치한 제2 전극(180)과 뱅크층(160)을 따라 형성된 제2 전극(180)이 서로 이격된 구조로 이루어진다. 이와 같은 구조는 제2 전극(180)의 증착 균일성(uniformity)이 낮기 때문에 발생한다. 이 경우, 뱅크층(160)을 따라 형성된 제2 전극(180)이 도전성을 가진 격벽(170)과의 컨택 면적(CS)이 매우 작기 때문에 제2 전극(180)의 저항이 높아지게 된다. 따라서, 제2 전극(180)의 저항이 높아진 영역이 휘도 불균일 현상이 발생하는 휘도 불균일 영역(H)으로 나타난다.
- [0056] 본 발명에서는 휘도 불균일 영역(H)에 내에 위치한 격벽(170)에 레이저를 조사하여 격벽(170)의 일부 층을 녹임으로써, 제2 전극(180)과 격벽(170) 간의 컨택 면적(CS)을 넓혀 제2 전극(180)의 저항을 감소시킨다.

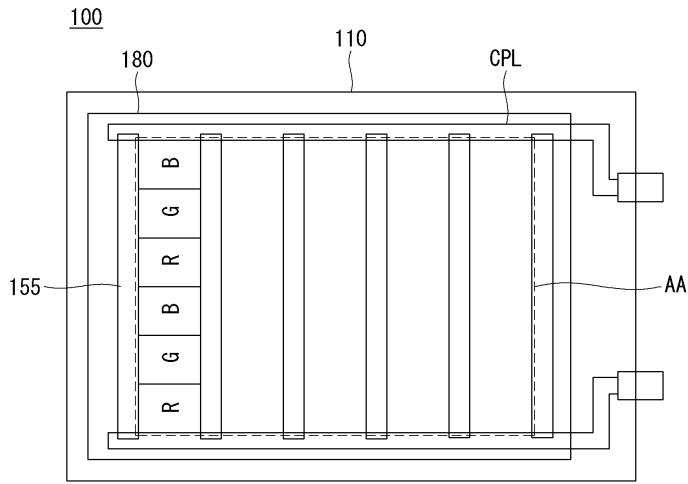
- [0057] 보다 자세하게, 휘도 불균일 영역(H) 내에 위치한 격벽(170)에 레이저를 조사한다. 레이저는 기관(110)의 하부에서 격벽(170)으로 조사하거나, 격벽(170)의 상부에서 격벽(170)으로 조사하거나, 격벽(170)의 양측면에서 조사할 수 있다. 레이저의 조사 방향은 격벽(170)을 녹일 수만 있다면 어느 방향에서 조사해도 크게 상관 없다. 레이저 조사 조건으로는 레이저 발생을 위한 소스, 초점, 파워, 조사 시간 등을 적절히 조절하여 사용할 수 있으며, 격벽(170)의 제1 층(174)을 녹일 수 있다면 어떠한 레이저를 사용하여도 무방하다. 다만, 레이저에 의해 유기전계발광표시장치의 박막트랜지스터 등의 소자에 영향이 최소화할 수 있도록 레이저의 조사 온도는 350℃ 이하로 조절될 수 있다. 또한, 유기전계발광표시장치(100)의 휘도 불균일을 리페어하기 위해, 휘도 불균일 영역(H) 내에 위치한 모든 격벽(170)에 레이저를 조사할 수 있다. 그러나, 본 발명은 이에 한정되지 않으며, 휘도 불균일 영역(H) 내에 위치하지 않으나 매우 인접한 격벽(170)들에도 레이저를 조사할 수 있다.
- [0058] 도 10을 참조하면, 레이저가 조사된 격벽(170)의 최종 구조가 도시되어 있다. 격벽(170)에 레이저가 조사되면, 레이저에 의해 격벽(170)의 최상부에 위치하는 제2 층(174)이 녹아내리고 유기막층(175)은 녹아 제거된다. 제2 층(174)은 IT0, ITZO, IO, SnO, ZnO, ISnO, IZO, IGO, GZO 및 IGZO로부터 선택된 어느 하나로 이루어져 레이저의 조사에 따라 보조 전극(150)과 제3 층(176) 위로 녹아내리게 된다. 그리고, 격벽(170)의 제1 층(172)은 일부 녹지만 흘러내리지는 않는다. 레이저의 조사는 제2 층(174)이 녹아내려 보조 전극(150)과 제3 층(176)을 모두 덮을 수 있을 정도까지 수행된다. 이에 따라, 제2 층(174)은 격벽(170)의 제1 층(172)과 제3 층(176)을 덮게 된다. 레이저 조사에 따라 격벽(170)의 제2 층(174)이 녹으면, 제2 층(174) 상부에 위치한 제2 전극(180)도 어느 정도 녹아내려 인접한 제2 전극(180)과 연결된다. 따라서, 제2 전극(180)이 격벽(170)과 접촉하는 접촉 면적(CS)이 현저히 향상됨에 따라, 제2 전극(180)의 저항을 낮춰 휘도 불균일이 발생하는 것을 리페어할 수 있는 이점이 있다.
- [0059] 전술한 바와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 보조 전극을 구비함으로써, 제2 전극의 저항을 낮추고 소자의 구동전압을 낮춰 대형화에 용이하고, 저항에 의해 제2 전극의 전압이 불균일하여 휘도 불균일이 발생하는 것을 방지할 수 있다. 또한, 본 발명은 보조 전극 상에 역테이퍼의 도전성 격벽을 구비함으로써, 마스크 없이 유기막층을 형성하여 제조공정의 간소화 및 제조비용의 절감을 구현할 수 있고, 격벽의 신뢰성을 향상시킬 수 있는 이점이 있다. 또한, 본 발명은 휘도 불균일이 발생하였을 경우 레이저로 도전성 격벽을 녹여 보조 전극과의 접촉 면적을 증가시킴으로써, 휘도 불균일이 발생한 영역을 치유할 수 있는 이점이 있다.
- [0060] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 부호의 설명

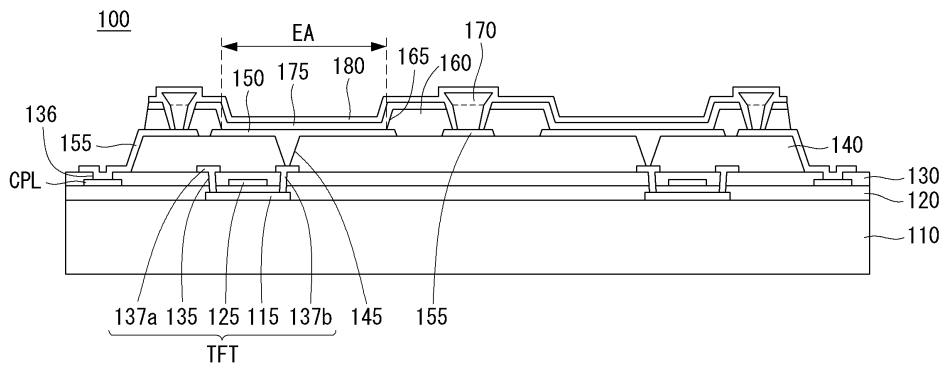
- [0061] 100 : 유기전계발광표시장치 110 : 기관  
 115 : 반도체층 120 : 게이트 절연막  
 125 : 게이트 전극 130 : 층간 절연막  
 137a : 소스 전극 137b : 드레인 전극  
 140 : 평탄화막 150 : 제1 전극  
 155 : 보조 전극 160 : बैं크층  
 170 : 격벽 175 : 발광층  
 180 : 제2 전극 CPL : 캐소드 전원라인

도면

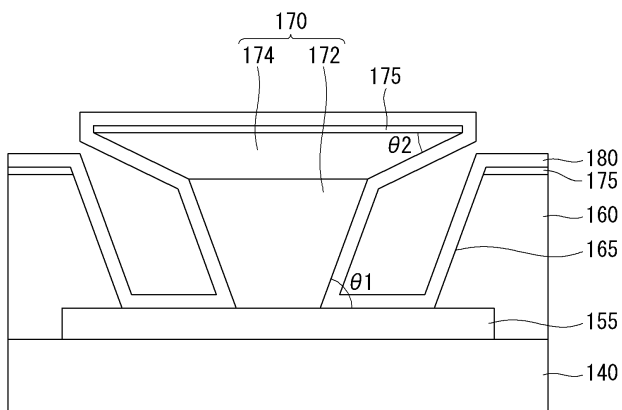
도면1



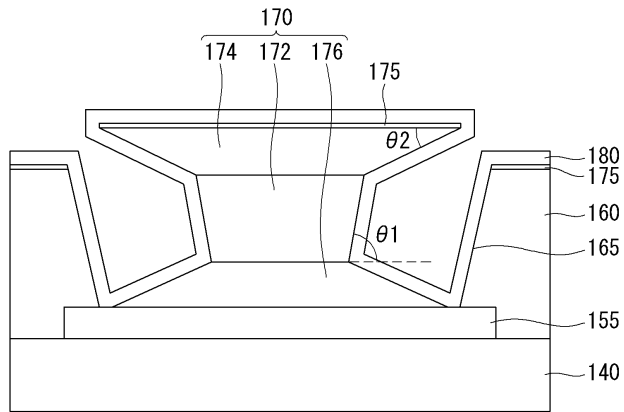
도면2



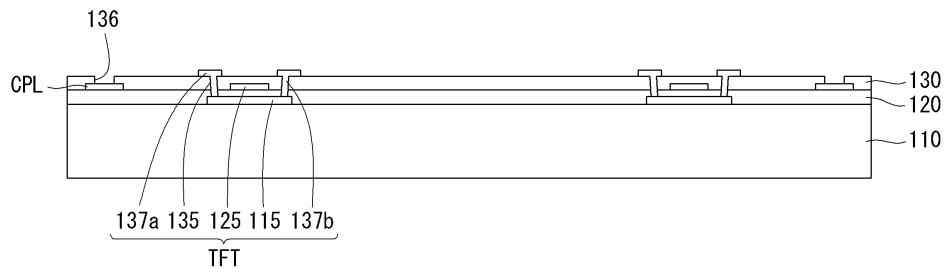
도면3



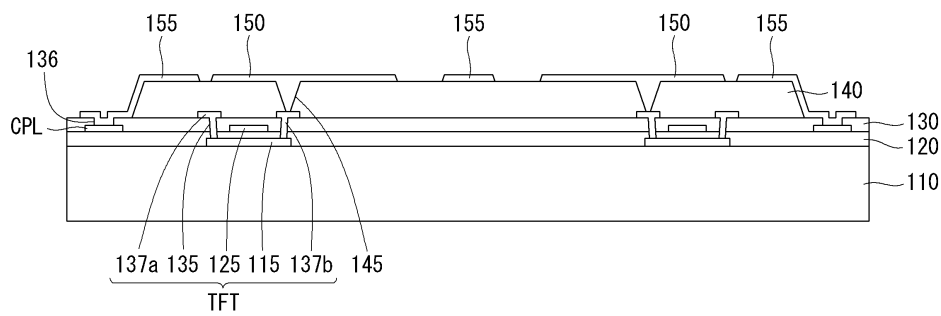
도면4



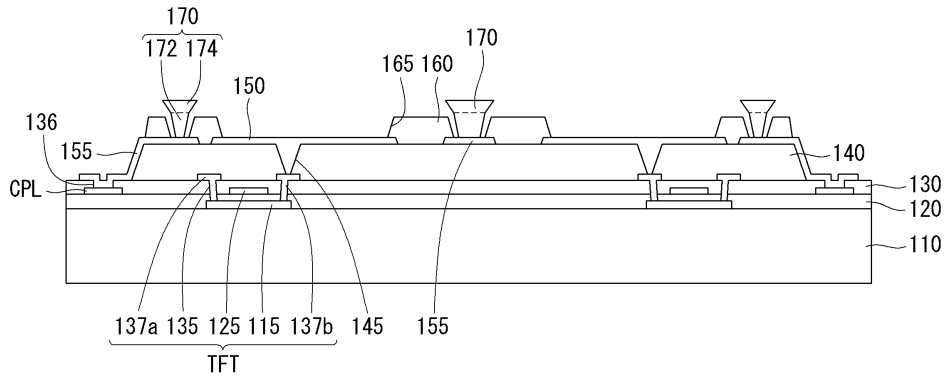
도면5a



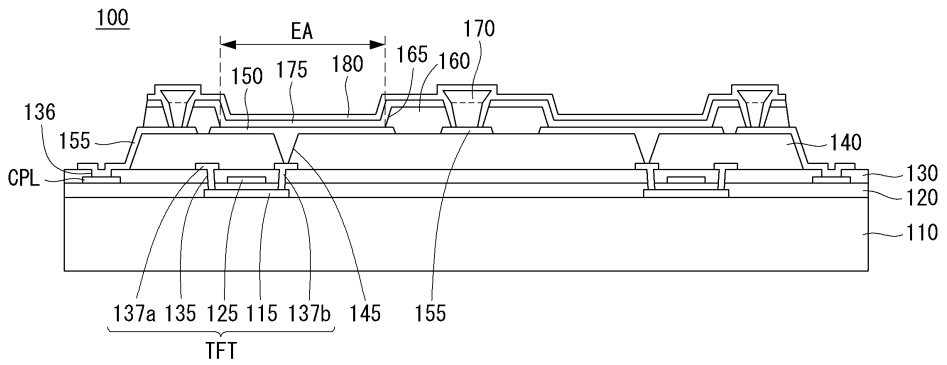
도면5b



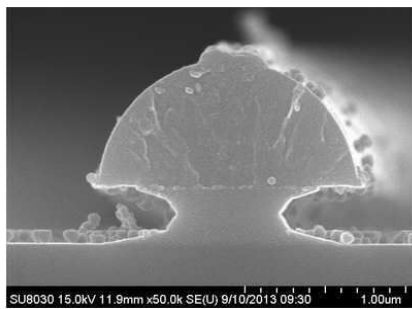
도면5c



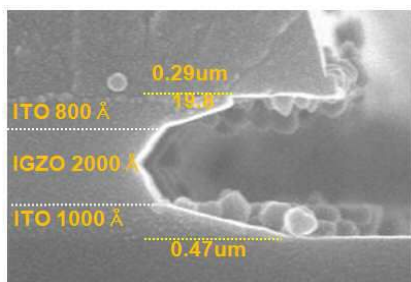
도면5d



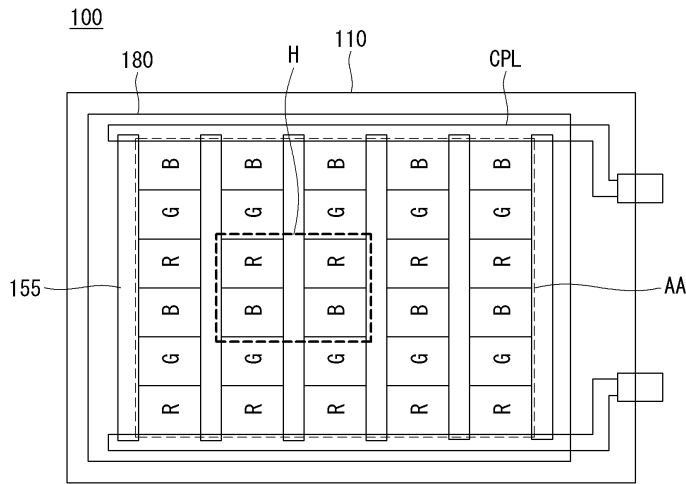
도면6



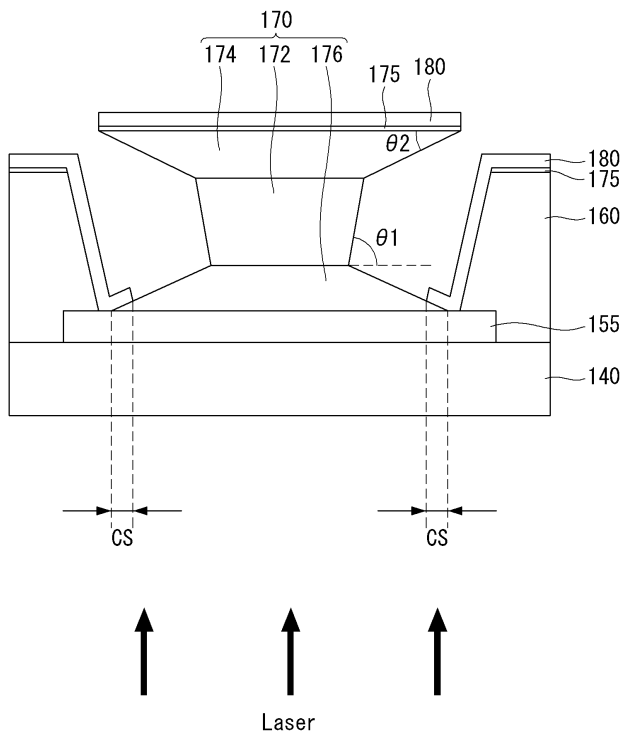
도면7



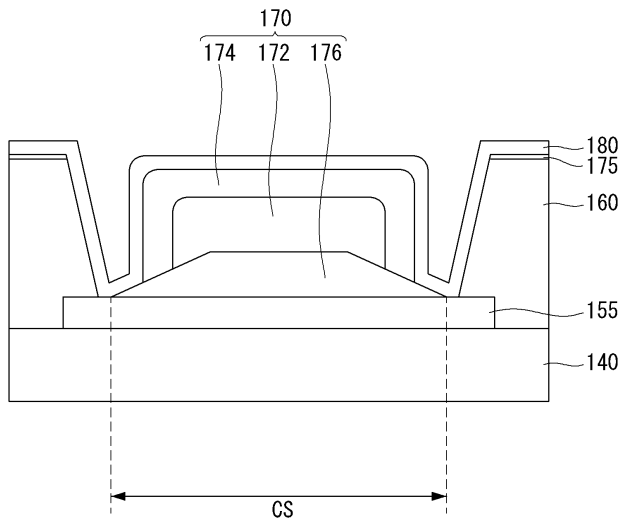
도면8



도면9



도면10



专利名称(译)	标题：有机电致发光显示装置及其修复方法		
公开(公告)号	<a href="#">KR1020150075017A</a>	公开(公告)日	2015-07-02
申请号	KR1020140154589	申请日	2014-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG SEON HUI 황선희 NOH SO YOUNG 노소영 KIM JEONG OH 김정오 HONG GI SANG 홍기상 NAM KYOUNG JIN 남경진		
发明人	황선희 노소영 김정오 홍기상 남경진		
IPC分类号	H01L27/32		
CPC分类号	H01L51/5228 H01L27/3246 H01L51/56		
优先权	1020130161318 2013-12-23 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明的一个实施例的有机发光显示装置包括基板，位于基板上并分离的两个或更多个第一电极，位于第一电极之间的辅助电极，位于第一电极之间的分区所述辅助电极形成有至少两层的倒锥形结构，通过暴露所述第一电极的一部分来限定发光区域的堤层，位于所述发光区域上并由所述分区图案化的有机层，以及位于有机层和隔板上并与辅助电极接触的第二电极。COPYRIGHT KIPO 2015

