



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0073213
(43) 공개일자 2013년07월03일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0140937

(22) 출원일자 2011년12월23일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김지하

서울특별시 동작구 여의대방로22차길 9, 효명빌라 102호 (신대방동)

유재용

서울특별시 강서구 화곡로24길 22, 402호 (화곡동)

류성빈

경기 파주시 교하읍 와동리 A7블럭 두산위브아파트 104동 1904호

(74) 대리인

특허법인로알

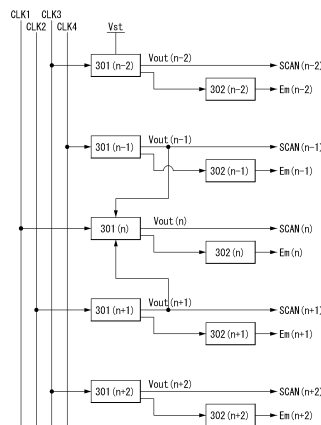
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치의 발광제어신호 발생 장치

(57) 요약

본 발명은 유기발광 표시장치의 발광제어신호 발생 장치에 관한 것으로, 스타트 신호와 다수의 클럭신호들이 입력되고 각각 Q 노드 전압에 따라 제1 출력 채널을 충전시키는 풀업 트랜지스터와, QB 노드 전압에 따라 상기 제1 출력 채널을 방전시키는 풀다운 트랜지스터를 포함하고 종속적으로 접속되어 스캔펄스를 순차적으로 출력하는 다수의 스테이지들; 및 상기 Q 노드의 전압에 따라 제2 출력 채널의 전압을 방전시키고, 상기 클럭신호들 중 어느 하나의 클럭신호 또는 상기 QB 노드의 전압에 응답하여 상기 제2 출력 채널의 전압을 충전시켜 발광제어펄스를 순차적으로 출력하는 다수의 발광제어펄스 발생부들을 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

스타트 신호와 다수의 클럭신호들이 입력되고 각각 Q 노드 전압에 따라 제1 출력 채널을 충전시키는 풀업 트랜지스터와, QB 노드 전압에 따라 상기 제1 출력 채널을 방전시키는 풀다운 트랜지스터를 포함하고 종속적으로 접속되어 스캔펄스를 순차적으로 출력하는 다수의 스테이지들; 및

상기 Q 노드의 전압에 따라 제2 출력 채널의 전압을 방전시키고, 상기 클럭신호들 중 어느 하나의 클럭신호 또는 상기 QB 노드의 전압에 응답하여 상기 제2 출력 채널의 전압을 충전시켜 발광제어펄스를 순차적으로 출력하는 다수의 발광제어펄스 발생부들을 포함하고,

제 n (n 은 자연수) 발광제어펄스 발생부는 제 n 스테이지의 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키는 제1 TFT; 및

제 $n+2$ 클럭신호 또는 상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제2 출력 채널의 전압을 충전시키는 제2 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 2

제 1 항에 있어서,

상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급되며,

상기 제2 TFT는 상기 제 n 스테이지의 QB 노드에 접속되고, 그 드레인 단자는 제2 출력 채널에 접속되고, 상기 제2 TFT의 소스 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급되는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 3

제 1 항에 있어서,

상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급되며,

상기 제2 TFT의 게이트 단자에는 상기 제 $n+2$ 클럭신호가 공급되고, 그 소스 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급되고, 상기 제2 TFT의 드레인 단자는 상기 제2 출력 채널에 접속되는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 4

제 1 항에 있어서,

상기 제 n 발광제어펄스 발생부는 상기 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키는 제3 TFT; 및

상기 제1 및 제2 TFT에 의해 제어되는 게이트 전압에 따라 상기 제2 출력 채널의 전압을 충전시키는 제4 TFT를 더 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 5

제 4 항에 있어서,

상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제4 TFT의 게이트 단자와 상기 제2 TFT의 소스 단자에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급되고,

상기 제2 TFT의 게이트 단자에는 상기 제 $n+2$ 클럭신호가 공급되고, 그 드레인 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급되고,

상기 제3 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제3 TFT의 소스 단자에는 상기 게이트 로우 전압이 공급되고,

상기 제4 TFT의 소스 단자는 상기 제2 출력 채널에 접속되고, 상기 제4 TFT의 드레인 단자에는 상기 게이트 하이 전압이 공급되는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 n 스테이지는,

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드에 고전위 전원전압을 공급하여 상기 제 n 스테이지의 Q 노드를 충전시키는 제1 스테이지 TFT;

제 $n+1$ 스테이지의 출력 전압과 제 $n+2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드를 방전시키는 제2 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제 n 스테이지의 Q 노드의 전압을 방전시키는 제3 스테이지 TFT;

상기 고전위 전원전압을 상기 제 n 스테이지의 QB 노드에 공급하여 상기 제 n 스테이지의 QB 노드를 충전시키는 제4 스테이지 TFT;

상기 제 n 스테이지의 Q 노드 전압에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제5 스테이지 TFT;

상기 제 n 스테이지의 Q 노드의 전압에 응답하여 제 n 클럭의 전압을 상기 제1 출력 채널에 공급하여 상기 제1 출력 채널을 충전시켜 상기 풀업 트랜지스터로 동작하는 제6 스테이지 TFT; 및

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제1 출력 채널을 방전시켜 상기 풀다운 트랜지스터로 동작하는 제7 스테이지 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 n 스테이지는,

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드에 고전위 전원전압을 공급하여 상기 제 n 스테이지의 Q 노드를 충전시키는 제1 스테이지 TFT;

제 $n+1$ 스테이지의 출력 전압과 제 $n+2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드를 방전시키는 제2 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제 n 스테이지의 Q 노드의 전압을 방전시키는 제3 스테이지 TFT;

상기 고전위 전원전압을 상기 제 n 스테이지의 QB 노드에 공급하여 상기 제 n 스테이지의 QB 노드를 충전시키는 제4 스테이지 TFT;

상기 제 n 스테이지의 Q 노드 전압에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제5 스테이지 TFT;

상기 제 n 스테이지의 Q 노드의 전압에 응답하여 제 n 클럭의 전압을 상기 제1 출력 채널에 공급하여 상기 제1 출력 채널을 충전시켜 상기 풀업 트랜지스터로 동작하는 제6 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제1 출력 채널을 방전시켜 상기 풀다운 트랜지스터로 동작하는 제7 스테이지 TFT; 및

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제8 스테이지 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 8

스타트 신호와 다수의 클럭신호들이 입력되고 각각 Q 노드 전압에 따라 제1 출력 채널을 충전시키는 풀업 트랜지스터와, QB 노드 전압에 따라 제2 출력 채널을 방전시키는 풀다운 트랜지스터를 포함하고 종속적으로 접속되어 스캔펄스를 순차적으로 출력하는 다수의 스테이지들; 및

상기 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키고, 상기 클럭신호들 중 어느 하나의 클럭신호에 응답하여 상기 제2 출력 채널의 전압을 충전시켜 발광제어펄스를 순차적으로 출력하는 다수의 발광제어펄스 발생부들을 포함하고,

제 n (n 은 자연수) 발광제어펄스 발생부는 제 n 스테이지의 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키는 제1 TFT; 및

제 $n+2$ 클럭신호에 응답하여 상기 제2 출력 채널의 전압을 충전시키는 제2 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 9

제 8 항에 있어서,

상기 제 n 스테이지는,

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드에 고전위 전원전압을 공급하여 상기 제 n 스테이지의 Q 노드를 충전시키는 제1 스테이지 TFT;

제 $n+1$ 스테이지의 출력 전압과 제 $n+2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드를 방전시키는 제2 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제 n 스테이지의 Q 노드의 전압을 방전시키는 제3 스테이지 TFT;

상기 고전위 전원전압을 상기 제 n 스테이지의 QB 노드에 공급하여 상기 제 n 스테이지의 QB 노드를 충전시키는 제4 스테이지 TFT;

상기 제 n 스테이지의 Q 노드 전압에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제5 스테이지 TFT;

상기 제 n 스테이지의 Q 노드의 전압에 응답하여 제 n 클럭의 전압을 상기 제1 출력 채널에 공급하여 상기 제1 출력 채널을 충전시켜 상기 풀업 트랜지스터로 동작하는 제6 스테이지 TFT; 및

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제2 출력 채널을 방전시켜 상기 풀다운 트랜지스터로 동작하는 제7 스테이지 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

청구항 10

제 8 항에 있어서,

상기 제 n 스테이지는,

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드에 고전위 전원전압을 공급하여 상기 제 n 스테이지의 Q 노드를 충전시키는 제1 스테이지 TFT;

제 $n+1$ 스테이지의 출력 전압과 제 $n+2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 Q 노드를 방전시키는 제2 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제 n 스테이지의 Q 노드의 전압을 방전시키는 제3 스테이지 TFT;

상기 고전위 전원전압을 상기 제 n 스테이지의 QB 노드에 공급하여 상기 제 n 스테이지의 QB 노드를 충전시키는 제4 스테이지 TFT;

상기 제 n 스테이지의 Q 노드 전압에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제5 스테이지 TFT;

상기 제 n 스테이지의 Q 노드의 전압에 응답하여 제 n 클럭의 전압을 상기 제1 출력 채널에 공급하여 상기 제1 출력 채널을 충전시켜 상기 풀업 트랜지스터로 동작하는 제6 스테이지 TFT;

상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제2 출력 채널을 방전시켜 상기 풀다운 트랜지스터로 동작하는 제7 스테이지 TFT; 및

상기 스타트 신호, 제 $n-1$ 스테이지의 출력 전압 및 제 $n-2$ 스테이지의 출력 전압 중 어느 하나에 응답하여 상기 제 n 스테이지의 QB 노드를 방전시키는 제8 스테이지 TFT를 포함하는 것을 특징으로 하는 유기발광 표시장치의 발광제어신호 발생 장치.

명세서

기술분야

[0001] 본 발명은 유기발광 표시장치의 발광제어신호 발생 장치에 관한 것이다.

배경기술

[0002] 유기발광 표시장치(Organic Light Emitting Display)는 액정표시장치(Liquid Crystal Display, LCD)에 비해 전력소모가 작고 영상 재생시에 잔상이 보이지 않고 시야각이 넓은 장점이 있다. 이러한 유기발광 표시장치는 주로 모바일 폰의 표시소자로 적용되고 있었고, 공정 기술이 안정화되면서 대화면 어플리케이션으로 확대 적용되고 있다.

[0003] 유기발광 표시장치(Organic Light Emitting Display)는 픽셀 마다 유기발광 다이오드(Organic Light Emitting Diode, 이하 "OLED"라 함)를 형성한 자발광소자이다. 유기발광 표시장치의 픽셀 어레이는 다수의 데이터라인들, 데이터라인들과 직교되는 스캔라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 OLED와, 그 OLED를 구동하기 위한 픽셀 구동회로를 포함한다. 픽셀 구동회로에는 데이터전압에 따라 OLED에 공급되는 전류를 조절하는 구동소자, 스캔펄스에 응답하여 데이터전압을 구동소자의 게이트전극에 공급하는 스위치소자, 구동소자의 문턱전압을 샘플링하고 구동소자의 게이트전압을 유지시키는 스토리지 커패시터 등을 포함한다. 픽셀 구동회로에는 발광제어펄스에 응답하여 OLED의 발광을 차단하고 허용하는 스위치 소자를 더 포함할 수 있다. 이 경우에, 스캔펄스를 발생하는 제1 스캔 구동회로와는 별도로 발광제어펄스를 발생하는 제2 스캔 구동회로가 필요하다.

[0004] 유기발광 표시장치에 2 개의 스캔 구동회로가 설치되면 회로 비용이 상승하고 회로 면적이 커지게 된다. 스캔 구동회로를 픽셀 어레이와 함께 기판 상에 동시에 형성하는 GIP(Gate In Panel) 공정 기술이 개발되었다. GIP 고정 기술을 이용하여 유기발광 표시장치에 스캔 구동회로를 픽셀 어레이가 형성된 기판 상에 직접 형성하는 방법이 시도되고 있다. 그런데, 유기발광 표시장치에서 스캔 구동회로의 회로 면적이 커지면, 표시패널에서 베젤 사이즈(bezel size)가 커진다. 베젤 사이즈는 비표시 영역으로서 디자인 설계 제약을 초래하므로 가능한 작게 하는 것이 바람직하다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 스캔펄스와 발광제어펄스를 발생하는 스캔 구동회로의 회로 구성을 단순화하고 회로 면적을 줄일 수 있는 유기발광 표시장치의 발광제어신호 발생 장치를 제공한다.

과제의 해결 수단

- [0006] 본 발명의 실시예에 따른 유기발광 표시장치의 발광제어신호 발생 장치는 스타트 신호와 다수의 클럭신호들이 입력되고 각각 Q 노드 전압에 따라 제1 출력 채널을 충전시키는 풀업 트랜지스터와, QB 노드 전압에 따라 상기 제1 출력 채널을 방전시키는 풀다운 트랜지스터를 포함하고 종속적으로 접속되어 스캔펄스를 순차적으로 출력하는 다수의 스테이지들; 및 상기 Q 노드의 전압에 따라 제2 출력 채널의 전압을 방전시키고, 상기 클럭신호들 중 어느 하나의 클럭신호 또는 상기 QB 노드의 전압에 응답하여 상기 제2 출력 채널의 전압을 충전시켜 발광제어펄스를 순차적으로 출력하는 다수의 발광제어펄스 발생부들을 포함한다.
- [0007] 제 n (n 은 자연수) 발광제어펄스 발생부는 제 n 스테이지의 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키는 제1 TFT; 및 제 $n+2$ 클럭신호 또는 상기 제 n 스테이지의 QB 노드의 전압에 응답하여 상기 제2 출력 채널의 전압을 충전시키는 제2 TFT를 포함한다.
- [0008] 상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급된다. 상기 제2 TFT는 상기 제 n 스테이지의 QB 노드에 접속되고, 그 드레인 단자는 제2 출력 채널에 접속되고, 상기 제2 TFT의 소스 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급된다.
- [0009] 상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급된다. 상기 제2 TFT의 게이트 단자에는 상기 제 $n+2$ 클럭신호가 공급되고, 그 소스 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급되고, 상기 제2 TFT의 드레인 단자는 상기 제2 출력 채널에 접속된다.
- [0010] 상기 제 n 발광제어펄스 발생부는 상기 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키는 제3 TFT; 및 상기 제1 및 제2 TFT에 의해 제어되는 게이트 전압에 따라 상기 제2 출력 채널의 전압을 충전시키는 제4 TFT를 더 포함한다.
- [0011] 상기 제1 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제4 TFT의 게이트 단자와 상기 제2 TFT의 소스 단자에 접속되고, 상기 제1 TFT의 소스 단자에는 게이트 로우 전압이 공급된다. 상기 제2 TFT의 게이트 단자에는 상기 제 $n+2$ 클럭신호가 공급되고, 그 드레인 단자에는 상기 게이트 로우 전압 보다 높은 게이트 하이 전압이 공급된다. 상기 제3 TFT의 게이트 단자는 상기 제 n 스테이지의 Q 노드에 접속되고, 그 드레인 단자는 상기 제2 출력 채널에 접속되고, 상기 제3 TFT의 소스 단자에는 상기 게이트 로우 전압이 공급된다. 상기 제4 TFT의 소스 단자는 상기 제2 출력 채널에 접속되고, 상기 제4 TFT의 드레인 단자에는 상기 게이트 하이 전압이 공급된다.
- [0012] 본 발명의 다른 실시예에 따른 유기발광 표시장치의 발광제어신호 발생 장치는 스타트 신호와 다수의 클럭신호들이 입력되고 각각 Q 노드 전압에 따라 제1 출력 채널을 충전시키는 풀업 트랜지스터와, QB 노드 전압에 따라 제2 출력 채널을 방전시키는 풀다운 트랜지스터를 포함하고 종속적으로 접속되어 스캔펄스를 순차적으로 출력하는 다수의 스테이지들; 및 상기 Q 노드의 전압에 따라 상기 제2 출력 채널의 전압을 방전시키고, 상기 클럭신호들 중 어느 하나의 클럭신호에 응답하여 상기 제2 출력 채널의 전압을 충전시켜 발광제어펄스를 순차적으로 출력하는 다수의 발광제어펄스 발생부들을 포함한다.

발명의 효과

- [0013] 본 발명은 스캔펄스를 순차적으로 발생하는 스테이지들의 Q 노드와 QB 노드(또는 클럭신호)의 전압으로 제어되는 최소한의 트랜지스터들을 이용하여 발광제어펄스를 발생할 수 있다. 그 결과, 본 발명은 유기발광 표시장치에서 스캔펄스와 발광제어펄스를 발생하는 스캔 구동회로의 회로 구성을 단순화하고 회로 면적을 줄일 수 있으며, 네로우 베젤(Narrow bezel)을 구현할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 제1 실시예에 따른 유기발광 표시장치를 보여 주는 블록도이다.
- 도 2는 도 1에 도시된 표시패널의 픽셀을 등가적으로 보여 주는 회로도이다.
- 도 3은 도 1에 도시된 표시패널의 픽셀을 구동하기 위한 데이터, 스캔펄스 및 발광제어펄스를 보여 주는 파형도

이다.

도 4는 도 1에 도시된 시프트 레지스터의 회로 구성을 개략적으로 보여 주는 블록도이다.

도 5는 도 4에 도시된 시프트 레지스터에 입력되는 스타트 신호와 클럭신호들을 보여 주는 파형도이다.

도 6은 제 n 스테이지의 Q 노드 전압과 QB 노드 전압, 제 n 스테이지의 출력 전압, 및 제 n 발광제어펄스 발생부로부터 출력되는 발광제어펄스를 보여 주는 파형도이다.

도 7은 본 발명의 제1 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다.

도 8은 본 발명의 제2 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다.

도 9는 본 발명의 제3 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0016] 도 1 내지 도 3을 참조하면, 본 발명의 표시장치는 표시패널, 데이터 구동회로, 스캔 구동회로, 및 타이밍 콘트롤러(22) 등을 포함한다.

[0017] 표시패널의 기판에는 픽셀 어레이(10)와 함께 GIP 공정에 의해 시프트 레지스터(30)가 형성된다. 픽셀 어레이(10)는 데이터라인들, 스캔라인들, 발광제어라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함한다. 스캔라인들과 발광제어라인들은 데이터라인들과 직교한다. 픽셀들 각각은 OLED와, 픽셀 구동회로를 포함한다.

[0018] 픽셀 구동회로는 도 2와 같이 구동 TFT(Thin Film Transistor)(DT), 제1 스위치 TFT(S1), 제2 스위치 TFT(S2), 스토리지 커패시터(Cst) 등을 포함한다.

[0019] 구동 TFT(DT)는 데이터 전압에 따라 픽셀 구동 고전위 전압원(ELVDD)과 기저전압원(GND, 또는 저전위 전원전압원) 사이에서 OLED에 흐르는 전류를 조절한다. 픽셀 구동 고전위 전원전압(ELVDD)은 대략 15V 이상의 전압이다. 제1 스위치 TFT(S1)는 스캔라인으로부터의 스캔펄스(SCAN)의 게이트 하이 전압(Vgh)에 응답하여 턴-온(turn-on)되어 데이터라인을 통해 공급되는 데이터전압을 구동 TFT(DT)의 게이트전극에 공급한다. 제1 스위치 TFT(S1)는 스캔라인의 전압이 게이트 로우 전압(Vgl)일 때 턴-오프(turn-off)된다. 제2 스위치소 TFT(S2)는 발광제어라인으로부터의 발광제어펄스(Em)의 게이트 로우 전압(Vgl)에 응답하여 턴-오프되어 OLED와 기저전압원(GND) 사이의 전류패스를 차단한다. 제2 스위치소 TFT(S2)는 발광제어라인의 전압이 게이트 하이 전압(Vgh)일 때 턴-온되어 OLED와 기저전압원(GND) 사이의 전류패스를 형성한다. 스토리지 커패시터(Cst)는 구동 TFT(DT)의 게이트-소스 간에 연결되어 구동 TFT의 게이트전압을 유지한다.

[0020] 구동 TFT(DT)와 스위치 TFT들(S1, S2)은 도 2와 같이 n type MOSFET(Metal oxide semiconductor field-effect transistor)로 구현될 수 있으나 이에 한정되지 않는다. 예컨대, 구동 TFT(DT)와 스위치 TFT들(S1, S2)은 p type MOSFET로 구현될 수 있다. GIP 공정에서, 픽셀 어레이(10)의 TFT들과 시프트 레지스터(30)의 TFT들은 동일 타입의 MOSFET로 구현될 수 있다.

[0021] 타이밍 콘트롤러(22)는 인쇄회로보드(Printed Circuit Board, PCB)(20) 상에 실장된다. 타이밍 콘트롤러(22)는 외부의 호스트 시스템으로부터 입력되는 디지털 비디오 데이터(RGB)를 데이터 구동회로에 공급하고, 호스트 시스템으로부터 입력되는 타이밍 신호(DE, MCLK)에 기초하여 데이터 구동회로와 스캔 구동회로의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.

[0022] 호스트 시스템은 TV 시스템, 홈 시어터 시스템, 개인용 컴퓨터(PC), 방송 수신용 셋톱 박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 폰 시스템(Phone system) 중 어느 하나일 수 있다. 호스트 시스템은 디지털 비디오 데이터(RGB)와 함께 그 데이터(RGB)에 동기되는 타이밍 신호(DE, MCLK)을 타이밍 콘트롤러(22)에 전송한다.

[0023] 데이터 구동회로는 다수의 소스 드라이브 IC들(Integrated Circuit)(24, 24a)을 포함한다. 소스 드라이브 IC들(24, 24a)은 타이밍 콘트롤러(22)로부터 디지털 비디오 데이터들(RGB)을 입력받는다. 소스 드라이브 IC들(24, 24a)은 타이밍 콘트롤러(22)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 데이터

전압으로 변환한 후에 그 데이터전압을 스캔필스에 동기되도록 데이터라인들에 공급한다. 소스 드라이브 IC들(24, 24a)은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널의 데이터라인들에 접속될 수 있다. 도 1에서 소스 드라이브 IC들(24, 24a)은 TCP(Tape Carrier Package)에 실장되어 있는 예를 보여 준다. 도 1에서, PCB(20)는 TCP를 경유하여 표시패널의 기판에 연결된다.

[0024] 스캔 구동회로는 PCB(20) 상에 실장된 레벨 시프터(Level shifter, 26)와, 표시패널의 기판에 형성된 시프트 레지스터(Shift register, 30)를 포함하여 스캔필스와 발광제어필스를 발생한다.

[0025] 레벨 시프터(26)는 타이밍 콘트롤러(22)로부터 스타트 펄스, 게이트 시프트 클럭 등의 신호를 입력받고, 또한 게이트 하이 전압(Vgh), 게이트 로우 전압(Vgl) 등의 구동 전압을 공급 받는다. 스타트 펄스, 게이트 시프트 클럭 등의 신호는 0V와 3.3V 사이에서 스위칭하는 신호들이다. 게이트 시프트 클럭은 소정의 위상차를 갖는 4 상(phase) 클럭 신호들로 구성될 수 있으나, 이에 한정되지 않고 2상, 6상, 8상 클럭신호들로 발생될 수도 있다. 게이트 하이 전압(Vgh)은 표시패널의 TFT(Thin Film Transistor)의 문턱 전압 이상의 전압으로서 게이트 로우 전압(Vgl) 보다 높은 대략 18V 이상의 전압으로 설정될 수 있다. 게이트 로우 전압(Vgl)은 TFT의 문턱 전압보다 낮은 전압으로서 -5V 로 설정될 수 있다.

[0026] 레벨 시프터(26)는 타이밍 콘트롤러(22)로부터 입력되는 스타트 펄스, 게이트 시프트 클럭 각각을 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl)으로 레벨 쉬프팅한다. 따라서, 레벨 시프터(26)로부터 출력되는 스타트 신호(Vst)와 시프트 클럭신호들(CLK1~4) 각각은 게이트 하이 전압(Vgh)과 게이트 로우 전압(Vgl) 사이에서 스위칭한다. 레벨 시프터(26)는 고전위 전원전압(Vdd)을 발생할 수 있다. 고전위 전원전압(Vdd)은 대략 15V 이상의 전압이고, TFT의 게이트 바이어스 스트레스(gate bias stress)를 완화하고 회복시키기 위하여 소정 시간 주기로 기저전압(GND)이나 부극성 전압으로 낮아질 수 있다. 이러한 레벨 시프터(26)는 공지된 GIP 타입의 레벨 시프터라면 어떤 것이든 적용될 수 있으므로 그에 대한 상세한 회로 구성과 동작 과형을 생략하기로 한다. 레벨 시프터(26)로부터 출력되는 클럭신호들(CLK1~4)은 게이트 시프트 클럭과 동일한 위상으로 발생된다. 클럭신호들(CLK1~4)은 게이트 시프트 클럭이 4상 클럭일 때 도 5와 같이 그 게이트 시프트 클럭과 동일하게 위상이 순차적으로 지연된 4 상 클럭신호일 수 있으나, 이에 한정되지 않고 2 상, 6 상, 8 상 클럭신호들로 발생될 수도 있다.

[0027] 레벨 시프터(26)의 출력 신호들(Vst, CLK1~CLK4)은 표시패널의 상단 좌측에 배치된 첫 번째 소스 드라이브 IC(24a)의 TCP에 형성된 배선들과, 표시패널의 기판에 형성된 LOG(Line on glass) 배선들을 통해 시프트 레지스터(30)에 공급될 수 있다. 시프트 레지스터(30)는 GIP 공정에 의해 표시패널의 기판 상에 직접 형성된다.

[0028] 시프트 레지스터(30)는 레벨 시프터(26)로부터 스타트신호(Vst), 클럭신호들(CLK1~4), 및 고전위 전원전압(Vdd)을 입력받는다. 시프트 레지스터(30)는 클럭신호(CLK1~4)에 응답하여 스타트신호(Vst)를 시프트시켜 도 3과 같은 스캔필스(SCAN)를 출력한다. 스캔필스(SCAN)는 스캔라인들에 순차적으로 공급된다. 또한, 시프트 레지스터(30)는 스캔필스를 출력하는 스테이지의 충전제어노드(또는 Q 노드) 전압과 방전제어노드(또는 QB 노드) 전압에 응답하여 도 3과 같은 발광제어필스(Em)를 출력한다. 발광제어필스(Em)는 발광제어라인들에 순차적으로 공급된다.

[0029] 도 4는 시프트 레지스터(30)의 회로 구성을 개략적으로 보여 주는 블록도이다. 도 5는 시프트 레지스터(30)에 입력되는 스타트 신호(Vst)와 클럭신호들(CLK1~4)을 보여 주는 파형도이다.

[0030] 도 4 및 도 5를 참조하면, 시프트 레지스터(30)는 종속적으로 접속되어 스캔필스(SCAN(n-2)~SCAN(n+2))를 출력하는 다수의 스테이지들(301(n-2)~301(n+2))과, 스테이지들(301(n-2)~301(n+2))의 Q 노드 및 QB 노드 전압에 응답하여 발광제어필스(Em)를 출력하는 발광제어필스 발생부(302(n-2)~302(n+2))를 포함한다.

[0031] 스테이지들(301(n-2)~301(n+2)) 각각은 Q 노드 전압에 따라 출력 채널의 전압을 충전시키는 풀업 트랜지스터(Pull-up transistor)와, QB 노드 전압에 따라 출력 채널의 전압을 방전시키는 풀다운 트랜지스터(Pull-down transistor)를 포함한다. Q 노드와 QB 노드의 전압은 이전 스테이지(또는 스타트 신호)의 출력과 다음 스테이지의 출력에 따라 제어된다.

[0032] 제1 스테이지(301(n-2))는 클럭신호(CLK3)에 응답하여 스타트 신호(Vst)를 시프트시킴으로써 출력 채널을 통해 제1 스캔필스(SCAN(n-2))를 출력하고, 제2 스테이지(301(n-1))로부터 출력되는 제2 스캔필스(SCAN(n-1))에 응답하여 리셋된다. 제1 스테이지를 제외한 제2 스테이지 이하의 스테이지들에서, 제n(n은 자연수) 스테이지(301(n))는 제n-1 스캔필스(SCAN(n-1))를 스타트 신호로서 입력받는다. 제n 스테이지(301(n))는 제n 클럭신호(CLK1)에 응답하여 제n-1 스캔필스(SCAN(n-1))를 시프트시킴으로써 출력 채널을 통해 제n 스캔필스(SCAN(n))를

출력하고, 제 $n+1$ 스테이지(301($n+1$))로부터 출력되는 제 $n+1$ 스캔펄스(SCAN($n+1$))에 응답하여 리셋된다. 도 4에서, "Vout($n-2$)~Vout($n+2$)"는 스테이지들(301($n-2$)~301($n+2$))의 출력 채널을 통해 출력되는 스캔펄스(SCAN($n-2$)~SCAN($n+2$))의 전압이다.

[0033] 제 n 발광제어펄스 발생부(302(n))는 제 n 스테이지(SCAN(n))의 Q 노드와 QB 노드에 접속된다. 제 n 발광제어펄스 발생부(302(n))는 제 n 스테이지(301(n))의 Q 노드 전압과 QB 노드 전압에 응답하여 도 3과 같은 발광제어펄스(Em(n))를 출력한다.

[0034] 도 6은 제 n 스테이지(301(n))의 Q 노드 전압과 QB 노드 전압, 제 n 스테이지(301(n))의 출력 전압(Vout(n)), 및 제 n 발광제어펄스 발생부(302(n))로부터 출력되는 발광제어펄스(Em(n))를 보여 주는 파형도이다. 도 7은 본 발명의 제1 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다.

[0035] 도 6 및 도 7을 참조하면, 제 n 스테이지(301(n))는 제1 내지 제7 TFT들(T1~T7)을 포함한다.

[0036] 제1 TFT(T1)는 제 $n-1$ 스테이지(301($n-1$))의 출력 전압(Vout($n-1$))에 응답하여 Q 노드에 고전위 전원전압(Vdd)을 공급하여 Q 노드를 충전시킨다. 제1 TFT(T1)의 게이트 단자에는 제 $n-1$ 스테이지(301($n-1$))의 출력 전압(Vout($n-1$))이 공급되고, 제1 TFT(T1)의 드레인 단자에는 고전위 전원전압(Vdd)이 공급된다. 제1 TFT(T1)의 소스단자는 Q 노드에 접속된다. 한편, 제1 스테이지의 제1 TFT(T1)는 이전 스테이지의 출력을 받을 수 없으므로 스타트 신호(Vst)를 입력 받아 그 스타트 신호(Vst)에 응답하여 Q 노드를 충전시킨다.

[0037] 제2 TFT(T2)는 제 $n+1$ 스테이지의 출력(Vout($n+1$))에 응답하여 Q 노드를 방전시킨다. 제2 TFT(T2)의 게이트 단자에는 제 $n+1$ 스테이지의 출력(Vout($n+1$))이 공급되고, 제2 TFT(T2)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다. 제2 TFT(T2)의 드레인 단자는 Q 노드에 접속된다.

[0038] 제3 TFT(T3)는 QB 노드 전압에 응답하여 QB 노드가 충전될 때 Q 노드의 전압을 방전시킨다. 제3 TFT(T3)의 게이트 단자는 QB 노드에 접속되고, 그 드레인 단자는 Q 노드에 접속된다. 제3 TFT(T3)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0039] 제4 TFT(T4)는 다이오드로 동작하여 고전위 전원전압(Vdd)을 QB 노드에 공급하여 QB 노드를 충전시킨다. 제4 TFT(T4)의 게이트 단자와 드레인 단자는 서로 연결된다. 제4 TFT(T4)의 게이트 단자와 드레인 단자에는 고전위 전원전압(Vdd)이 공급된다. 제4 TFT(T4)의 소스 단자는 QB 노드에 접속된다.

[0040] 제5 TFT(T5)는 Q 노드 전압에 응답하여 Q 노드가 충전될 때 QB 노드를 방전시킨다. 제5 TFT(T5)의 게이트 단자는 Q 노드에 접속되고, 그 드레인 단자는 QB 노드에 접속된다. 제5 TFT(T5)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0041] 제6 TFT(T6)는 Q 노드의 전압에 응답하여 Q 노드의 전압이 충전될 때 제 n 클럭(CLK(n))이 공급되면 그 클럭(CLK(n))의 전압을 제 n 스캔라인에 연결된 출력 채널에 공급하여 출력 채널을 충전시키는 풀업 트랜지스터이다. 제6 TFT(T6)의 게이트 단자는 Q 노드에 접속되고, 그 소스 단자는 출력 채널에 접속된다. 제6 TFT(T6)의 드레인 단자에는 제 n 클럭(CLK(n))이 공급된다.

[0042] 제7 TFT(T7)는 QB 노드의 전압에 응답하여 QB 노드의 전압이 충전될 때 제 n 스캔라인에 연결된 출력 채널을 방전시키는 풀다운 트랜지스터이다. 제7 TFT(T7)의 게이트 단자는 QB 노드에 접속되고, 그 드레인 단자는 출력 채널에 접속된다. 제7 TFT(T7)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0043] 제 n 스테이지(301(n))는 제8 TFT(T8)를 더 포함할 수 있다.

[0044] 제8 TFT(T8)는 제 $n-1$ 스테이지(301($n-1$))의 출력 전압(Vout($n-1$))에 응답하여 QB 노드를 방전시킨다. 제8 TFT(T8)의 게이트 단자에는 제 $n-1$ 스테이지(301($n-1$))의 출력 전압(Vout($n-1$))이 공급되고, 제8 TFT(T8)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다. 제8 TFT(T8)의 드레인 단자는 QB 노드에 접속된다. 한편, 제1 스테이지의 제8 TFT(T8)는 이전 스테이지의 출력을 받을 수 없으므로 스타트 신호(Vst)를 입력 받아 그 스타트 신호(Vst)에 응답하여 QB 노드를 방전시킨다.

[0045] 제 n 스테이지(301(n))의 회로 구성은 도 7에 한정되지 않는다. 예컨대, 스테이지의 회로 구성은 Q 노드, 풀업 트랜지스터, QB 노드, 풀다운 트랜지스터를 포함하는 공지되는 어떠한 시프트 레지스터의 스테이지 회로 구성도 적용 가능하다.

[0046] 제 n 발광제어펄스 발생부(302(n))에는 스타트 신호(Vst)와 클럭신호들(CLK1~4)이 입력되지 않는다. 제 n 발광제어펄스 발생부(302(n))의 입력 단자들은 제 n 스테이지(301(n))의 Q 노드와 QB 노드에 연결된다. 제 n 발광제어

펄스 발생부(302(n))의 출력 채널은 제n 발광제어라인에 연결된다. 제n 발광제어펄스 발생부(302(n))는 제1 및 제2 TFT(T11, T12)를 포함한다.

- [0047] 제1 TFT(T11)는 제n 스테이지(301(n))의 Q 노드 전압에 응답하여 Q 노드가 충전될 때 제n 발광제어라인에 연결된 출력채널의 전압을 방전시킨다. 제1 TFT(T11)의 게이트 단자는 제n 스테이지(301(n))의 Q 노드에 접속되고, 드레인 단자는 출력 채널에 접속된다. 제1 TFT(T11)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.
- [0048] 제2 TFT(T12)는 제n 스테이지(301(n))의 QB 노드 전압에 응답하여 QB 노드가 충전될 때 제n 발광제어라인에 연결된 출력채널의 전압을 충전시킨다. 제2 TFT(T12)의 게이트 단자는 제n 스테이지(301(n))의 QB 노드에 접속되고, 드레인 단자는 출력 채널에 접속된다. 제2 TFT(T12)의 소스 단자에는 게이트 하이 전압(Vgh)이 공급된다.
- [0049] 제n 스테이지(301(n))와 제n 발광제어펄스 발생부(302(n))의 동작을 시계열적으로 설명하면 다음과 같다.
- [0050] 제n-1 스테이지(301(n-1))의 출력 전압(Vout(n-1))이 t1 시간에 제n 스테이지(301(n))의 제1 TFT(T1)에 입력된다. 제1 TFT(T1)는 t1 시간에 고전위 전원전압(Vdd)을 Q 노드에 공급하여 Q 노드의 전압을 고전위 전원전압(Vdd)까지 충전시킨다. Q 노드의 전압은 t1 시간에 고전위 전원전압(Vdd)까지 충전되어 제6 TFT(T6)의 게이트 전압을 상승시키고 이와 동시에, 제n 발광제어펄스 발생부(302(n))의 제1 TFT(T11)을 턴-온시킨다. t1 시간에 클럭신호(CLK(n))는 제n 스테이지(301(n))에 공급되지 않는다. 따라서, 제n 스테이지(301(n))의 출력 채널은 t1 시간에 충전되지 않는다.
- [0051] 제n 발광제어펄스 발생부(302(n))의 출력 채널은 t1 시간에 제1 TFT(T11)를 통해 게이트 로우 전압(Vg1)까지 방전된다. 제n 스테이지(301(n))의 제5 TFT(T5)는 t1 시간에 Q 노드의 전압에 응답하여 QB 노드의 전압을 방전시켜 제3 및 제7 TFT(T3, T7)를 턴-오프시킨다. 그 결과, 도 6과 같이, t1 시간에 Q 노드의 전압이 게이트 하이 전압(Vgh)까지 상승되는 반면, QB 노드의 전압과 발광제어펄스(Em(n))는 게이트 로우 전압(Vg1)까지 낮아진다.
- [0052] 제n 클럭신호(도 6의 CLK1, 도 7의 CLK(n))은 t2 시간에 제n 스테이지(301(n))에 입력된다. t2 시간에 Q 노드는 충전 상태를 유지한다. 제6 TFT(T6)의 게이트-드레인간 기생용량 전압은 t2 시간에 제n 클럭신호(CLK1, CLK(n))의 게이트 하이전압(Vgh)에 의해 상승한다. 그 결과, 제6 TFT(T6)는 t2 시간에 부트스트래핑(bootstrapping)으로 턴-온되어 출력 채널의 전압(Vout(n))을 상승시킨다. 따라서, t2 시간에 스캔펄스(SCAN(n))는 라이징된다. t2 시간에 QB 노드의 전압과 발광제어펄스(Em(n))의 전압은 게이트 로우 전압(Vg1)을 유지한다.
- [0053] 제n+1 스테이지(301(n+1))의 출력 전압(Vout(n+1))은 t3 시간에 제n 스테이지(301(n))의 리셋 단자에 입력된다. 그 결과, 제2 TFT(T2)는 t3 시간에 Q 노드의 전압을 게이트 로우 전압(Vg1)까지 방전시켜 제n 스테이지(301(n))의 제5 및 제6 TFT들(T5, T6)을 턴-오프시키고 제n 발광제어펄스 발생부(302(n))의 제1 TFT(T11)를 턴-오프시킨다. 이와 동시에, 제2 TFT(T2)는 t3 시간에 제5 TFT(T5)를 턴-오프시켜 QB 노드의 전압을 고전위 전원전압(Vdd)까지 충전시키므로 제n 스테이지(301(n))의 제3 및 제7 TFT들(T3, T7)을 턴-온시켜 Q 노드와 제n 스테이지(301(n))의 출력 전압을 게이트 로우 전압(Vg1)까지 방전시키고 또한, 제n 발광제어펄스 발생부(302(n))의 제2 TFT(T12)를 턴-온시켜 제n 발광제어펄스 발생부(302(n))의 출력 채널 전압을 게이트 하이전압까지 상승시킨다. 그 결과, t3 시간에, 제n 스테이지(301(n))의 출력 전압(Vout(n))은 방전되어 스캔펄스(SCAN(n))를 폴링시키고, 제n 발광제어펄스 발생부(302(n))의 출력 전압은 상승하여 발광제어펄스(Em(n))를 라이징시킨다.
- [0054] 도 6과 같이, 스캔펄스(SCAN(n))는 제n 클럭신호(CLK(n))에 동기되어 게이트 하이 전압(Vgh)으로 발생되어 픽셀 어레이에서 데이터가 기입되는 제n 라인의 제1 스위치 TFT들(S1)을 턴-온시킨다. 스캔펄스(SCAN(n))가 활성화될 때 이외의 시간 동안, 제n 스캔라인의 전압은 게이트 로우 전압(Vg1)을 유지하여 픽셀 어레이에서 제n 라인의 제1 스위치 TFT들(S1)을 오프 상태로 제어한다. 발광제어펄스(Em(n))는 제n 스테이지(301(n))의 QB 노드 전압과 동기되어 게이트 로우 전압(Vg1)으로 발생되어 픽셀 어레이에서 제n 라인의 제2 스위치 TFT들(S2)을 턴-오프시켜 OLED의 발광을 차단한다. 스캔펄스(SCAN(n))가 활성화될 때 이외의 시간 동안, 제n 발광제어라인의 전압은 게이트 하이 전압(Vgh)을 유지하여 픽셀 어레이에서 제n 라인의 제2 스위치 TFT들(S2)을 온 상태로 제어하여 OLED를 발광시킨다.
- [0055] 도 8은 본 발명의 제2 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다. 도 8에서 제n 스테이지(301(n))의 회로 구성에서 제6 및 제7 TFT(T16, T17)을 제외하고는 전술한 도 7과 실질적으로 동일하다.
- [0056] 제n 스테이지(301(n))의 제6 TFT(T16)는 Q 노드의 전압에 응답하여 Q 노드의 전압이 충전될 때 제n 클럭(CLK(n))이 공급되면 그 클럭(CLK(n))의 전압을 제n 스캔라인에 연결된 출력 채널에 공급하여 제n 스테이지

(301(n))의 출력 채널을 충전시키는 풀업 트랜지스터이다. 제6 TFT(T16)의 게이트 단자는 Q 노드에 접속되고, 그 소스 단자는 제n 스테이지(301(n))의 출력 채널에 접속된다. 제6 TFT(T16)의 드레인 단자에는 제n 클럭(CLK(n))이 공급된다. 도 7의 실시예와 비교할 때, 제6 TFT(T16)의 소스 단자는 제7 TFT(T17)의 드레인 단자와 연결되지 않는다는 것에서 도 7의 제6 TFT(T6)와 다르다.

[0057] 제n 스테이지(301(n))의 제7 TFT(T17)는 QB 노드의 전압에 응답하여 QB 노드의 전압이 충전될 때 제n 방전제어 라인에 연결된 출력 채널을 방전시키는 풀다운 트랜지스터이다. 제7 TFT(T17)의 게이트 단자는 QB 노드에 접속되고, 그 드레인 단자는 제n 발광제어펄스 발생부(302(n))의 출력 채널에 접속된다. 제7 TFT(T17)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다. 도 7의 실시예와 비교할 때, 제7 TFT(T17)의 드레인 단자는 제n 스테이지(301(n))의 출력 채널에 연결되지 않고 제n 발광제어펄스 발생부(302(n))의 출력 채널에 연결된다는 점에서 도 7의 제7 TFT(T7)와 다르다.

[0058] 제n 발광제어펄스 발생부(302(n))에는 스타트 신호(Vst)가 입력되지 않는다. 제n 발광제어펄스 발생부(302(n))에는 클럭신호들(CLK1~4) 중에서 제n+2 클럭신호(도 6에서 CLK3, 도 8에서 CLK(n+2))만 입력되고, 제n 스테이지(301(n))의 Q 노드 전압이 입력된다. 제n 발광제어펄스 발생부(302(n))의 출력 채널은 제n 발광제어 라인에 연결된다. 제n 발광제어펄스 발생부(302(n))는 제1 및 제2 TFT(T28, T29)를 포함한다.

[0059] 제1 TFT(T28)는 제n 스테이지(301(n))의 Q 노드 전압에 응답하여 Q 노드가 충전될 때 제n 발광제어 라인에 연결된 출력채널의 전압을 방전시킨다. 제1 TFT(T28)의 게이트 단자는 제n 스테이지(301(n))의 Q 노드에 접속되고, 드레인 단자는 출력 채널에 접속된다. 제1 TFT(T28)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0060] 제2 TFT(T29)는 제n+2 클럭신호(CLK3, CLK(n+2))에 응답하여 제n+2 클럭신호(CLK3, CLK(n+2))가 입력될 때 제n 발광제어 라인에 연결된 제n 발광제어펄스 발생부(302(n))의 출력채널 전압을 충전시킨다. 제2 TFT(T29)의 게이트 단자에는 제n+2 클럭신호(CLK3, CLK(n+2))가 공급되고, 소스 단자에는 게이트 하이 전압(Vgh)이 공급된다. 제2 TFT(T29)의 드레인 단자는 제n 발광제어펄스 발생부(302(n))의 출력 채널에 접속된다.

[0061] 도 8에 도시된 제n 스테이지(301(n))와 제n 발광제어펄스 발생부(302(n))의 동작을 시계열적으로 설명하면 다음과 같다.

[0062] 제n-1 스테이지(301(n-1))의 출력 전압(Vout(n-1))이 t1 시간에 제n 스테이지(301(n))의 제1 TFT(T1)에 입력된다. 제1 TFT(T1)는 t1 시간에 고전위 전원전압(Vdd)을 Q 노드에 공급하여 Q 노드의 전압을 고전위 전원전압(Vdd)까지 충전시킨다. Q 노드의 전압은 t1 시간에 고전위 전원전압(Vdd)까지 충전되어 제6 TFT(T16)의 게이트 전압을 상승시키고 이와 동시에, 제n 발광제어펄스 발생부(302(n))의 제1 TFT(T28)를 턴-온시킨다. t1 시간에 클럭신호(CLK(n))는 제n 스테이지(301(n))에 공급되지 않는다. 따라서, 제n 스테이지(301(n))의 출력 채널은 t1 시간에 충전되지 않는다.

[0063] 제n 발광제어펄스 발생부(302(n))의 출력 채널은 t1 시간에 제1 TFT(T28)를 통해 게이트 로우 전압(Vg1)까지 방전된다. 제n 스테이지(301(n))의 제5 TFT(T5)는 t1 시간에 Q 노드의 전압에 응답하여 QB 노드의 전압을 방전시켜 제3 및 제7 TFT(T3, T17)를 턴-오프시킨다. 그 결과, 도 6과 같이, t1 시간에 Q 노드의 전압이 게이트 하이 전압(Vgh)까지 상승되는 반면, QB 노드의 전압과 발광제어펄스(Em(n))는 게이트 로우 전압(Vg1)까지 낮아진다.

[0064] 제n 클럭신호(도 6의 CLK1, 도 7의 CLK(n))는 t2 시간에 제n 스테이지(301(n))에 입력된다. t2 시간에 Q 노드는 충전 상태를 유지한다. 제6 TFT(T16)의 게이트-드레인간 기생용량 전압은 t2 시간에 n 클럭신호(CLK1, CLK(n))의 게이트 하이전압(Vgh)에 의해 상승한다. 그 결과, 제6 TFT(T16)는 t2 시간에 부트스트래핑으로 턴-온되어 출력 채널의 전압(Vout(n))을 상승시킨다. 따라서, t2 시간에 스캔펄스(SCAN(n))는 라이징된다. t2 시간에 QB 노드의 전압과 발광제어펄스(Em(n))의 전압은 게이트 로우 전압(Vg1)을 유지한다.

[0065] 제n+1 스테이지(301(n+1))의 출력 전압(Vout(n+1))은 제n+1 클럭신호(도 6의 CLK2)에 동기하여 t3 시간에 제n 스테이지(301(n))의 리셋 단자에 입력된다. 그 결과, 제2 TFT(T2)는 t3 시간에 Q 노드의 전압을 게이트 로우 전압(Vg1)까지 방전시켜 제n 스테이지(301(n))의 제5 및 제6 TFT들(T5, T16)을 턴-오프시키고 제n 발광제어펄스 발생부(302(n))의 제1 TFT(T28)를 턴-오프시킨다. 이와 동시에, 제2 TFT(T2)는 t3 시간에 제5 TFT(T5)를 턴-오프시켜 QB 노드의 전압을 고전위 전원전압(Vdd)까지 충전시키므로 제n 스테이지(301(n))의 제3 및 제7 TFT들(T3, T17)을 턴-온시켜 Q 노드와 제n 발광제어펄스 발생부(302(n))의 출력 전압을 게이트 로우 전압(Vg1)까지 방전시킨다.

[0066] 제n 발광제어펄스 발생부(302(n))의 제2 TFT(T29)는 제n+2 클럭신호(도 6의 CLK3)에 응답하여 제n 발광제어펄스

발생부(302(n))의 출력 채널을 충전시켜 제n 발광제어라인의 전압을 상승시킨다.

[0067] 도 9는 본 발명의 제3 실시예에 따른 시프트 레지스터 회로를 보여 주는 회로도이다. 도 9에서 제n 스테이지(301(n))의 회로 구성과 동작은 전술한 도 7과 실질적으로 동일하다.

[0068] 제n 발광제어펄스 발생부(302(n))에는 스타트 신호(Vst)가 입력되지 않는다. 제n 발광제어펄스 발생부(302(n))에는 클럭신호들(CLK1~4) 중에서 제n+2 클럭신호(도 6에서 CLK3, 도 8에서 CLK(n+2))만 입력되고, 제n 스테이지(301(n))의 Q 노드 전압이 입력된다. 제n 발광제어펄스 발생부(302(n))의 출력 채널은 제n 발광제어라인에 연결된다. 제n 발광제어펄스 발생부(302(n))는 제1 내지 제4 TFT(T18~T21)를 포함한다.

[0069] 제1 TFT(T18)는 제n 스테이지(301(n))의 Q 노드 전압에 응답하여 Q 노드가 충전될 때 제4 TFT(T21)의 게이트 전압을 방전시킨다. 제1 TFT(T18)의 게이트 단자는 제n 스테이지(301(n))의 Q 노드에 접속되고, 드레인 단자는 제4 TFT(T21)의 게이트 단자와 제2 TFT(T19)의 소스 단자에 접속된다. 제1 TFT(T18)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0070] 제2 TFT(T19)는 제n+2 클럭신호(CLK3, CLK(n+2))에 응답하여 제n+2 클럭신호(CLK3, CLK(n+2))가 입력될 때 제4 TFT(T21)의 게이트 전압을 충전시킨다. 제2 TFT(T19)의 게이트 단자에는 제n+2 클럭신호(CLK3, CLK(n+2))가 공급되고, 드레인 단자에는 게이트 하이 전압(Vgh)이 공급된다. 제2 TFT(T19)의 소스 단자는 제4 TFT(T21)의 게이트 단자와 제1 TFT(T18)의 드레인 단자에 접속된다.

[0071] 제3 TFT(T20)는 제n 스테이지(301(n))의 Q 노드 전압에 응답하여 Q 노드가 충전될 때 제n 발광제어펄스 발생부(302(n))의 출력 채널 전압을 방전시킨다. 제3 TFT(T20)의 게이트 단자는 제n 스테이지(301(n))의 Q 노드에 접속되고, 드레인 단자는 제n 발광제어펄스 발생부(302(n))의 출력 채널에 접속된다. 제3 TFT(T20)의 소스 단자에는 게이트 로우 전압(Vg1)이 공급된다.

[0072] 제4 TFT(T21)는 제2 TFT(T19)가 턴-온될 때 상승하는 게이트 전압에 의해 턴-온되어 제n 발광제어펄스 발생부(302(n))의 출력 채널 전압을 충전시킨다. 제4 TFT(T21)의 게이트 단자는 제1 TFT(T18)의 드레인 단자와 제2 TFT(T19)의 소스 단자에 연결된다. 제4 TFT(T21)의 소스 단자는 제n 발광제어펄스 발생부(302(n))의 출력 채널에 접속된다. 제4 TFT(T21)의 드레인 단자에는 게이트 하이 전압(Vgh)이 공급된다.

[0073] 도 9에 도시된 제n 스테이지(301(n))와 제n 발광제어펄스 발생부(302(n))의 동작을 시계열적으로 설명하면 다음과 같다.

[0074] 제n-1 스테이지(301(n-1))의 출력 전압(Vout(n-1))이 t1 시간에 제n 스테이지(301(n))의 제1 TFT(T1)에 입력된다. 제1 TFT(T1)는 t1 시간에 고전위 전원전압(Vdd)을 Q 노드에 공급하여 Q 노드의 전압을 고전위 전원전압(Vdd)까지 충전시킨다. Q 노드의 전압은 t1 시간에 고전위 전원전압(Vdd)까지 충전되어 제6 TFT(T6)의 게이트 전압을 상승시키고 이와 동시에, 제n 발광제어펄스 발생부(302(n))의 제1 및 제3 TFT(T18, 20)를 턴-온시킨다. t1 시간에 클럭신호(CLK(n))는 제n 스테이지(301(n))에 공급되지 않는다. 따라서, 제n 스테이지(301(n))의 출력 채널은 t1 시간에 충전되지 않는다.

[0075] 제n 스테이지(301(n))의 제5 TFT(T5)는 t1 시간에 Q 노드의 전압에 응답하여 QB 노드의 전압을 방전시켜 제3 및 제7 TFT(T3, T7)를 턴-오프시킨다. 제n 발광제어펄스 발생부(302(n))의 출력 채널은 t1 시간에 제3 TFT(T20)를 통해 게이트 로우 전압(Vg1)까지 방전된다. 제1 TFT(T18)는 t1 시간에 턴-온되어 제4 TFT(T21)의 게이트 전압을 낮추어 제4 TFT(T21)를 턴-오프시킨다. 그 결과, 도 6과 같이, t1 시간에 Q 노드의 전압이 게이트 하이 전압(Vgh)까지 상승되는 반면, QB 노드의 전압과 발광제어펄스(Em(n))는 게이트 로우 전압(Vg1)까지 낮아진다.

[0076] 제n 클럭신호(도 6의 CLK1, 도 7의 CLK(n))는 t2 시간에 제n 스테이지(301(n))에 입력된다. t2 시간에 Q 노드는 충전 상태를 유지한다. 제6 TFT(T6)의 게이트-드레인간 기생용량 전압은 t2 시간에 n 클럭신호(CLK1, CLK(n))의 게이트 하이전압(Vgh)에 의해 상승한다. 그 결과, 제6 TFT(T6)는 t2 시간에 부트스트래핑으로 턴-온되어 출력 채널의 전압(Vout(n))을 상승시킨다. 따라서, t2 시간에 스캔펄스(SCAN(n))는 라이징된다. t2 시간에 QB 노드의 전압과 발광제어펄스(Em(n))의 전압은 게이트 로우 전압(Vg1)을 유지한다.

[0077] 제n+1 스테이지(301(n+1))의 출력 전압(Vout(n+1))은 제n+1 클럭신호(도 6의 CLK2)에 동기하여 t3 시간에 제n 스테이지(301(n))의 리셋 단자에 입력된다. 그 결과, 제2 TFT(T2)는 t3 시간에 Q 노드의 전압을 게이트 로우 전압(Vg1)까지 방전시켜 제n 스테이지(301(n))의 제5 및 제6 TFT들(T5, T6)을 턴-오프시키고 제n 발광제어펄스 발생부(302(n))의 제1 및 제3 TFT(T18, T20)를 턴-오프시킨다. 이와 동시에, 제2 TFT(T2)는 t3 시간에 제5 TFT(T5)를 턴-오프시켜 QB 노드의 전압을 고전위 전원전압(Vdd)까지 충전시키므로 제n 스테이지(301(n))의 제3

및 제7 TFT들(T3, T7)을 턴-온시켜 Q 노드와 제n+1 스테이지(301(n+1))의 출력 전압(Vout(n+1))을 게이트 로우 전압(Vgl)까지 방전시킨다.

제 n 발광제어펄스 발생부(302(n))의 제2 TFT(T19)는 제 $n+2$ 클럭신호(도 6의 CLK3)에 응답하여 제4 TFT(T21)의 게이트 전압을 상승시켜 제 n 발광제어펄스 발생부(302(n))의 출력 채널을 충전시킨다.

도 7 내지 도 9의 회로에서 제 n 스테이지(301(n))의 제1 및 제8 TFT(T1, T8)는 스타트 신호(Vst) 또는 제 $n-1$ 스테이지(301($n-1$))의 출력 전압(Vout($n-1$))에 의해 제어되지만, 제 $n-2$ 스테이지(301($n-2$))의 출력 전압(Vout($n-2$))에 의해 제어될 수 있다. 이 경우, 제1 및 제8 TFT(T1, T8)의 게이트 단자에는 제 $n-2$ 스테이지(301($n-2$))의 출력 전압(Vout($n-2$))이 인가된다. 또한, 도 7 내지 도 9의 회로에서 제 n 스테이지(301(n))의 제2 TFT(T2)는 제 $n+1$ 스테이지(301($n+1$))의 출력 전압(Vout($n+1$))에 의해 제어되지만, 제 $n+2$ 스테이지(301($n+2$))의 출력 전압(Vout($n+2$))에 의해 제어될 수 있다. 이 경우, 제2 TFT(T2)의 게이트 단자에는 제 $n+2$ 스테이지(301($n+2$))의 출력 전압(Vout($n+2$))이 인가된다.

전술한 실시예들에서 시프트 레지스터(30)의 TFT들(T1~T8, T11~T12, T18~T21, T28~T29)은 n type MOSFET로 예시되었지만 이에 한정되지 않는다. 예컨대, 픽셀 구동회로와 시프트 레지스터(30)의 TFT들은 p type MOSFET로 구현될 수 있다. 이 경우에, 도 6의 파형 전압의 로직 레벨은 반전된다.

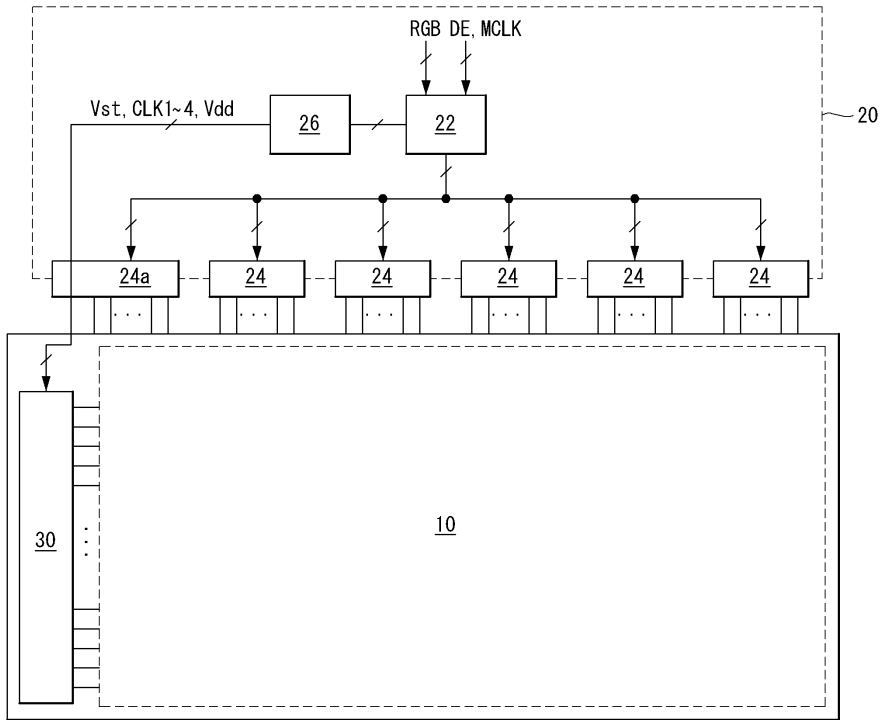
이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

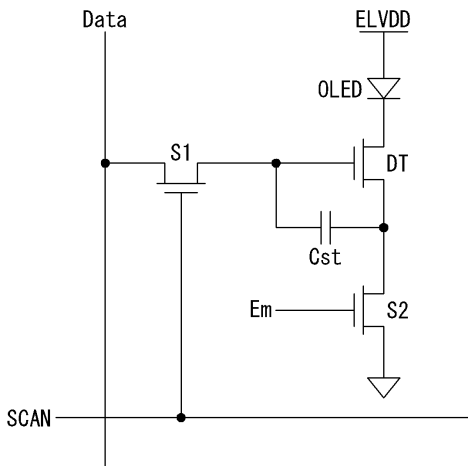
10 : 표시패널의 픽셀 어레이	20 : PCB
22 : 타이밍 콘트롤러	24, 24a : 소스 드라이브 IC
30 : 시프트 레지스터	301(n) : 제n 스테이지
302(n) : 제n 발광제어펄스 발생부	
T1~T8, T11~T12, T18~T21, T28~T29 : 시프트 레지스터의 TFT	

도면

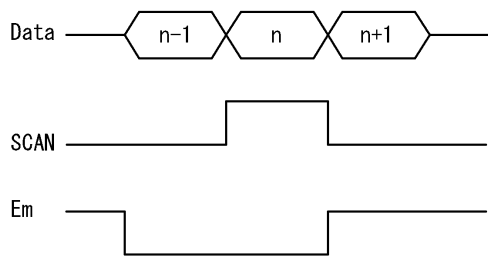
도면1



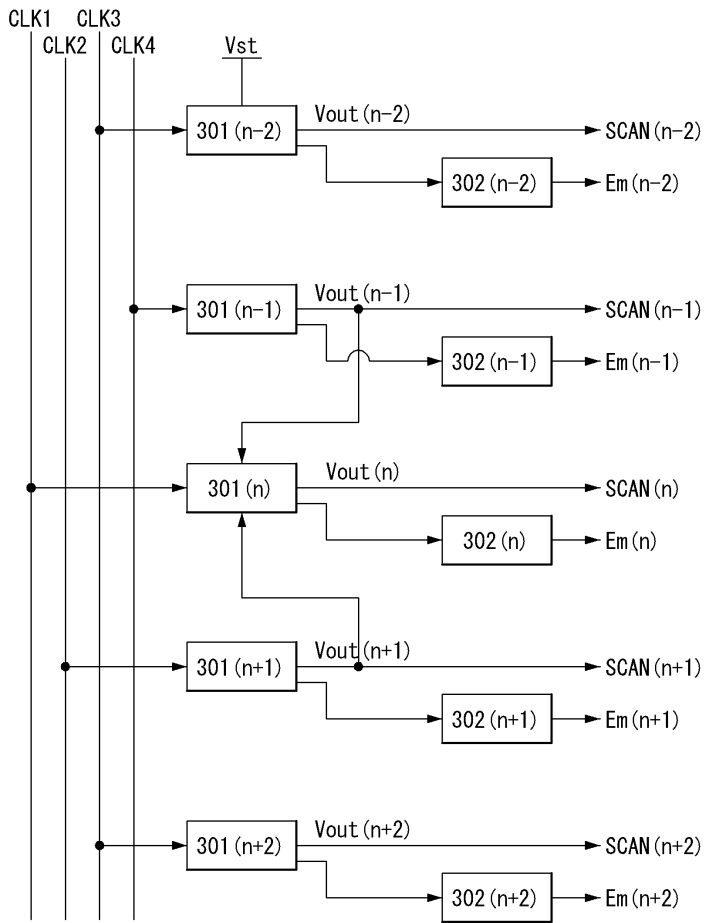
도면2



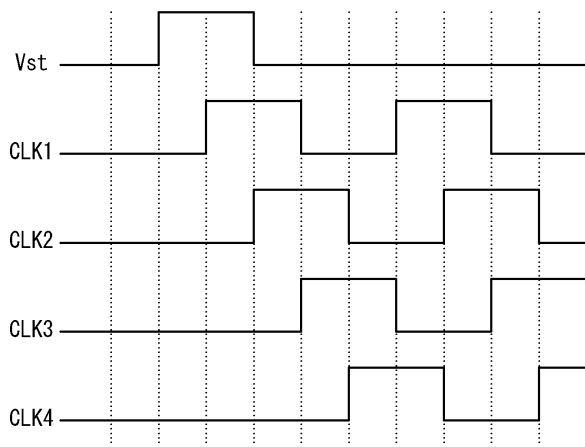
도면3



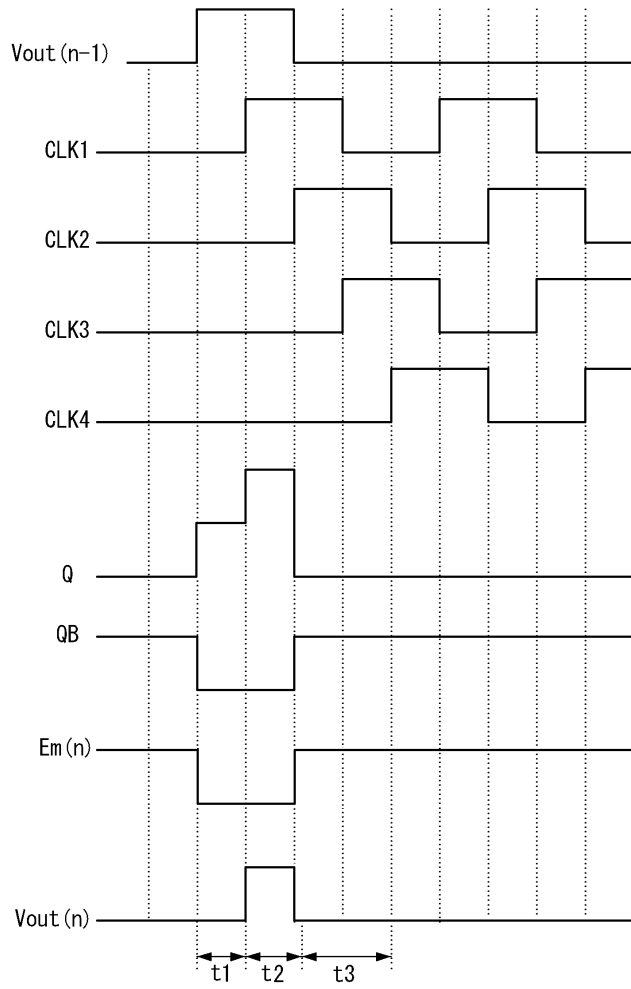
도면4



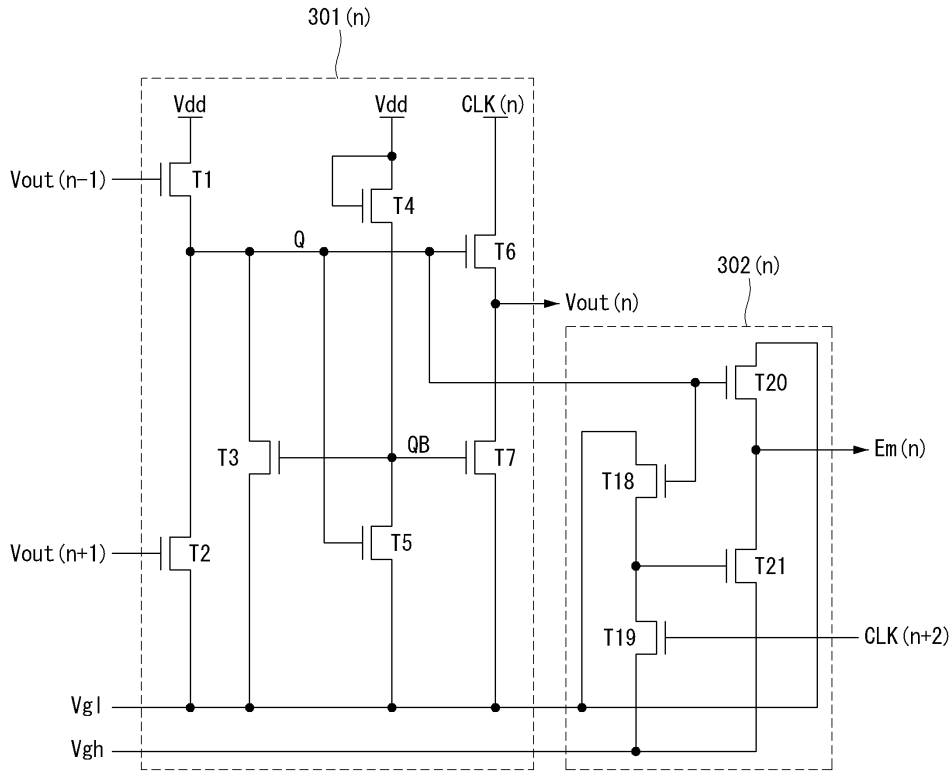
도면5



도면6



도면9



专利名称(译)	有机发光显示器的发光控制信号发生器		
公开(公告)号	KR1020130073213A	公开(公告)日	2013-07-03
申请号	KR1020110140937	申请日	2011-12-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JI HA 김지하 YOU JAE YONG 유재용 RYU SUNG BIN 류성빈		
发明人	김지하 유재용 류성빈		
IPC分类号	G09G3/30 G09G3/3266 G09G3/3225 G11C19/28 H03K19/017		
CPC分类号	G09G3/3266 G09G3/3225 G11C19/28 H03K19/01742 G09G2310/0243 G09G2310/0286 G09G2310/0289		
其他公开文献	KR101889951B1		
外部链接	Espacenet		

摘要(译)

用于有机发光二极管显示器的发射控制信号发生器本发明涉及一种用于有机发光二极管显示器的发射控制信号发生器，更具体地说，涉及一种用于有机发光二极管显示器的发射控制信号发生器，其包括输入起始信号和多个时钟信号的上拉晶体管，多个级包括用于使第一输出通道放电的下拉晶体管，并且以依赖方式连接以顺序输出扫描脉冲；第二控制单元，用于根据Q节点的电压对第二输出通道的电压进行放电，并响应于时钟信号之一的时钟信号或QB节点的电压对第二输出通道的电压进行充电，并且多个发光控制脉冲发生器顺序地输出发光控制脉冲。

