



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0009507
(43) 공개일자 2013년01월23일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H05B 33/26* (2006.01)

H05B 33/10 (2006.01)

(21) 출원번호 10-2011-0070670

(22) 출원일자 2011년07월15일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김현호

경기도 파주시 쇠재로 30, 서원마을아파트 712동
2003호 (금촌동)

이경언

경기도 수원시 장안구 경수대로976번길 22, 한일
타운 113-1703 (조원동)

(뒷면에 계속)

(74) 대리인

서교준

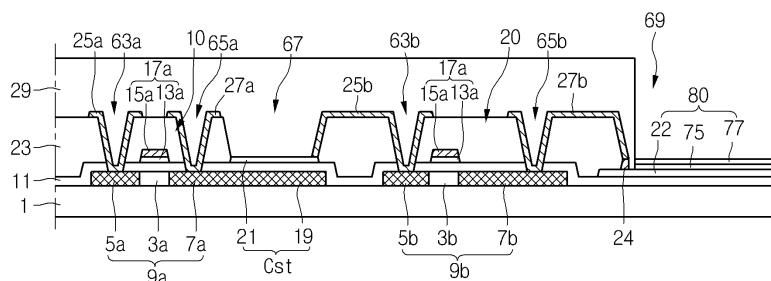
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기전계발광 표시장치 및 그 제조 방법

(57) 요 약

실시예에 따르면, 유기전계발광 표시장치의 제조 방법은, 기판 상에 제1 및 제2 반도체 패턴을 형성하고, 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하고, 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하고, 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하며, 제2 절연막 상에 제2 금속막을 형성하고 패터닝하여 제1 및 제2 소오스 전극 및 제1 및 제2 드레인 전극을 형성한다. 이중층에서 제2 드레인 전극과 연결되는 제1 전극 상에 금속 패턴은 제거된다.

대 표 도 - 도2



(72) 발명자

이상진

경기도 고양시 일산서구 일산로 487, 1810동 1601
호 (일산동, 후곡마을)

조성필

경기도 파주시 쇠재로 30, 서원마을 711동 306호
(금촌동)

신희선

경기도 파주시 월롱면 엘씨디로 201, LG디스플레이
정다운마을 103-403

노상순

전라남도 장흥군 장흥읍 동부로 46

김현진

경기도 파주시 월롱면 엘씨디로 272, LGD 기숙사
희성 106-308

특허청구의 범위

청구항 1

기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계;

상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계;

상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계;

상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계; 및

상기 제2 절연막 상에 제2 금속막을 형성하고 패터닝하여 제1 및 제2 소오스 전극 및 제1 및 제2 드레인 전극을 형성하는 단계

를 포함하고,

상기 이중층에서 상기 제2 드레인 전극과 연결되는 상기 제1 전극 상에 상기 금속 패턴은 제거되는 유기전계발광 표시장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 제1 및 제2 소오스 전극 및 상기 제1 및 제2 드레인 전극을 형성하는 단계는,

상기 개구부에서 상기 제2 금속막과 상기 이중층의 금속 패턴을 패터닝하여 상기 제2 드레인 전극과 상기 제1 전극 사이에 연결 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 3

제2항에 있어서,

상기 제1 및 제2 소오스 전극 및 상기 제1 및 제2 드레인 전극을 형성하는 단계 전에,

상기 개구부에서 상기 이중층의 금속 패턴을 제거하는 단계를 더 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 4

제3항에 있어서,

상기 제1 및 제2 소오스 전극 및 상기 제1 및 제2 드레인 전극을 형성하는 단계는,

상기 개구부에서 상기 제2 금속막을 패터닝하여 상기 제1 전극에 접하도록 상기 제2 드레인 전극을 형성하는 단계를 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 5

제4항에 있어서,

유기전계발광 소자를 형성하기 위해 상기 제1 전극 상에 발광층 및 제2 전극을 형성하는 단계를 더 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 6

제5항에 있어서,

상기 제1 및 제2 소오스 전극 및 상기 제1 및 제2 드레인 전극 상에 제3 절연막을 더 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 제3 절연막의 끝단은,

상기 제1 전극 상의 상기 연결 전극 및 상기 제2 드레인 전극을 커버하는 유기전계발광 표시장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 제1 스토리지 전극은 상기 제1 반도체층으로부터 형성되고,

상기 제2 스토리지 전극은 상기 제2 소오스 전극과 연결되며,

상기 제1 및 제2 스토리지 전극은 상기 제1 절연막과 함께 스토리지 캐패시터를 형성하는 유기전계발광 표시장치의 제조 방법.

청구항 9

제8항에 있어서,

상기 제1 및 제2 게이트 전극은 상기 도전막과 상기 제1 금속막을 포함하고,

상기 제2 스토리지 전극과 상기 제1 전극은 상기 도전막을 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 10

제9항에 있어서,

상기 이중층에서 상기 제1 전극의 예지 영역 상의 금속 패턴은 제거되는 유기전계발광 표시장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 이중층의 금속 패턴은 상기 제1 전극보다 작은 사이즈를 갖는 유기전계발광 표시장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 개구부를 형성하는 상기 제2 절연막의 끝단은 상기 이중층의 금속 패턴의 끝단에 형성되는 유기전계발광 표시장치의 제조 방법.

청구항 13

기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계;

상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계;

상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계;

상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계; 및

상기 제2 절연막 상에 제2 금속막을 형성하고 상기 개구부에서 상기 제2 금속막과 상기 이중층의 금속 패턴을 패터닝하여 드레인 전극과 연결 전극을 형성하는 단계

를 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 14

기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계;

상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계;

상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계;

상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계;

상기 개구부의 상기 이중층의 금속 패턴을 제거하는 단계; 및

상기 제2 절연막 상에 제2 금속막을 형성하고 상기 개구부에서 상기 제2 금속막을 패터닝하여 상기 제1 전극에 연결된 드레인 전극을 형성하는 단계

를 포함하는 유기전계발광 표시장치의 제조 방법.

청구항 15

제13항 또는 제14항에 있어서,

상기 이중층에서 상기 제1 전극의 에지 영역 상의 금속 패턴은 제거되는 유기전계발광 표시장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 이중층의 금속 패턴은 상기 제1 전극보다 작은 사이즈를 갖는 유기전계발광 표시장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 개구부를 형성하는 상기 제2 절연막의 끝단은 상기 이중층의 금속 패턴의 끝단에 형성되는 유기전계발광 표시장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 이중층에서 상기 제2 드레인 전극과 연결되는 상기 제1 전극 상에 상기 금속 패턴은 제거되는 유기전계발광 표시장치의 제조 방법.

청구항 19

제1 트랜지스터;

상기 제1 트랜지스터와 연결된 제2 트랜지스터;

상기 제1 및 제2 트랜지스터 사이에 스토리지 캐페시터; 및

상기 제2 트랜지스터와 연결된 유기전계발광 소자를 포함하고,

상기 유기전계발광 소자의 제1 전극은 상기 제1 및 제2 트랜지스터의 제1 및 제2 게이트 전극과 동일층에 형성되는 유기전계발광 표시장치.

청구항 20

제19항에 있어서,

상기 이중층에서 상기 제2 드레인 전극과 연결되는 상기 제1 전극 상에 상기 금속 패턴은 제거되는 유기전계발광 표시장치.

명세서

기술 분야

- [0001] 실시예는 유기전계발광 표시장치에 관한 것이다.
- [0002] 실시예는 유기전계발광 표시장치의 제조 방법에 관한 것이다.

배경 기술

- [0003] 정보를 표시하기 위한 표시 장치가 다양하게 개발되고 있다.
- [0004] 표시 장치는 유기전계발광 표시장치, 액정표시장치, 플라즈마 디스플레이 패널, 전기영동 표시장치, 전계발광 표시장치 등을 포함한다.
- [0005] 유기전계발광 표시장치는 자발 발광, 얕은 시야각, 고 해상도, 용이한 제조 공정, 빠른 응답 속도, 저전압 구동 등의 장점을 가진다.
- [0006] 이러한 장점으로 인해, 유기전계발광 표시장치는 차세대 표시장치로서 각광 받고 있다.

발명의 내용

해결하려는 과제

- [0007] 유기전계발광 표시장치는 박막 트랜지스터와 유기전계발광 소자를 형성해야 하므로, 공정 수가 많아지고 이에 따라 공정 시간이 길어지는 문제가 있다.
- [0008] 유기전계발광 표시장치는 박막 트랜지스터와 유기전계발광 소자를 형성해야 하므로, 전체적인 두께가 두꺼워지는 문제가 있다.
- [0009] 실시예는 두께를 최소화하는 유기전계발광 표시장치를 제공한다.
- [0010] 실시예는 공정 수를 최소화할 수 있는 유기전계발광 표시장치를 제공한다.

과제의 해결 수단

- [0011] 실시예에 따르면, 유기전계발광 표시장치의 제조 방법은, 기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계; 상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계; 상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계; 상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계; 및 상기 제2 절연막 상에 제2 금속막을 형성하고 패터닝하여 제1 및 제2 소오스 전극 및 제1 및 제2 드레인 전극을 형성하는 단계를 포함하고, 상기 이중층에서 상기 제2 드레인 전극과 연결되는 상기 제1 전극 상에 상기 금속 패턴은 제거된다.
- [0012] 실시예에 따르면, 유기전계발광 표시장치의 제조 방법은, 기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계; 상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계; 상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계; 상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계; 및 상기 제2 절연막 상에 제2 금속막을 형성하고 상기 개구부에서 상기 제2 금속막과 상기 이중층의 금속 패턴을 패터닝하여 드레인 전극과 연결 전극을 형성하는 단계를 포함한다.
- [0013] 실시예에 따르면, 유기전계발광 표시장치의 제조 방법은, 기판 상에 제1 및 제2 반도체 패턴을 형성하는 단계; 상기 기판 상에 제1 절연막, 도전막 및 제1 금속막을 형성하고 패터닝하여 제1 및 제2 게이트 전극, 제2 스토리지 전극 및 제1 전극과 금속 패턴의 이중층을 형성하는 단계; 상기 제1 및 제2 게이트 전극을 마스크로 하여 이온 도핑을 수행하여 상기 제1 및 제2 반도체 패턴으로부터 제1 및 제2 반도체층 및 제1 스토리지 전극을 형성하는 단계; 상기 기판 상에 다수의 콘택홀과 개구부를 포함하는 제2 절연막을 형성하는 단계; 상기 개구부의 상기 이중층의 금속 패턴을 제거하는 단계; 및 상기 제2 절연막 상에 제2 금속막을 형성하고 상기 개구부에서 상기 제2 금속막을 패터닝하여 상기 제1 전극에 연결된 드레인 전극을 형성하는 단계를 포함한다.

[0014] 실시예에 따르면, 유기전계발광 표시장치는, 제1 트랜지스터; 상기 제1 트랜지스터와 연결된 제2 트랜지스터; 상기 제1 및 제2 트랜지스터 사이에 스토리지 캐패시터; 및 상기 제2 트랜지스터와 연결된 유기전계발광 소자를 포함하고, 상기 유기전계발광 소자의 제1 전극은 상기 제1 및 제2 트랜지스터의 제1 및 제2 게이트 전극과 동일 층에 형성된다.

발명의 효과

[0015] 실시예에 의하면, 유기전계발광 소자의 제1 전극이 게이트 전극과 동일 층에 형성하고 그 위에 발광층 및 제2 전극을 더해 유기전계발광 소자를 형성함으로써, 유기전계발광 표시장치의 두께를 최소화할 수 있다.

[0016] 실시예에 의하면, 인접하는 제1 및 제2 화소 영역 사이에 전원 공급 라인이 형성되고, 전원 공급 라인이 제1 및 제2 화소 영역에 공통으로 연결됨으로써, 전원 공급 라인의 개수를 줄이고 비 발광 영역의 면적을 줄여 발광 영역의 면적을 확대할 수 있어 개구율이 향상될 수 있다.

[0017] 실시예에 의하면, 유기전계발광 소자의 제1 전극이 게이트 전극의 도전 패턴과 동일층에 형성되고, 구동 트랜지스터(제2 트랜지스터)의 드레인 전극이 개구부를 통해 유기전계발광 소자의 제1 전극에 연결되므로, 종래와 같이 절연막과 제1 전극이 추가적으로 형성되지 않아도 되므로 공정 수와 공정 시간이 현저히 줄어들 수 있다.

도면의 간단한 설명

[0018] 도 1은 실시예에 따른 유기전계발광 표시장치를 도시한 평면도이다.

도 2는 도 1의 유기전계발광 표시장치의 I-I' 라인을 따라 절단한 단면도이다.

도 3a 내지 도 3i는 제1 실시예에 따른 유기전계발광 표시장치를 제조하기 위한 공정을 도시한 도면이다.

도 4a 내지 도 4d는 제2 실시예에 따른 유기전계발광 표시장치를 제조하기 위한 공정을 도시한 도면이다.

도 5는 도 3e에서 개구부의 예지 영역에 있는 금속막이 제거된 모습을 도시한 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 발명에 따른 실시 예의 설명에 있어서, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)는 두개의 구성 요소들이 서로 직접 접촉되거나 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 배치되어 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)"으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향 뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0020] 도 1은 실시예에 따른 유기전계발광 표시장치를 도시한 평면도이다.

[0021] 도 1을 참조하면, 실시예에 따른 유기전계발광 표시장치는 제1 및 제2 트랜지스터(10, 20), 스토리지 캐패시터(Cst) 및 유기전계발광 소자(80)를 포함할 수 있다.

[0022] 상기 제1 트랜지스터(10)는 상기 게이트 라인(16), 데이터 라인(31) 및 상기 스토리지 캐패시터(Cst)에 전기적으로 연결될 수 있다.

[0023] 상기 게이트 라인(16)과 상기 데이터 라인(31)은 교차하여 화소 영역을 정의할 수 있다. 따라서, 상기 유기전계발광 표시장치에는 다수의 게이트 라인(16)과 다수의 데이터 라인(31)의 교차에 의해 정의된 다수의 화소 영역들이 배열될 수 있다.

[0024] 상기 화소 영역에는 제1 및 제2 트랜지스터(10, 20), 스토리지 캐패시터(Cst) 및 유기전계발광 소자(80)가 형성될 수 있다.

[0025] 상기 제1 트랜지스터(10)는 각 화소 영역을 선택하여 주기 위한 기능을 할 수 있다. 예컨대, 상기 게이트 라인(16)으로 제공된 게이트 신호에 의해 상기 제1 트랜지스터(10)가 턴온되고, 상기 데이터 라인(31)으로 제공된 데이터 신호가 상기 제1 트랜지스터(10)를 경유하여 상기 스토리지 캐패시터(Cst)에 저장될 수 있다.

[0026] 상기 제1 트랜지스터(10)는 화소 영역을 선택하기 위한 스위칭 트랜지스터일 수 있다.

[0027] 상기 스토리지 캐패시터(Cst)는 제1 및 제2 트랜지스터(10, 20) 사이에 전기적으로 연결될 수 있다.

[0028] 상기 제2 트랜지스터(20)에는 전원 공급 라인(28)이 전기적으로 연결될 수 있다. 상기 제2 트랜지스터(20)는 상

기 게이트 라인(16)으로 제공된 게이트 신호에 의해 턴온될 수 있다.

[0029] 상기 제2 트랜지스터(20)가 턴온되면, 상기 전원 공급 라인(28)으로 제공된 전원 전압이 상기 스토리지 캐패시터(Cst)로 공급될 수 있다.

[0030] 따라서, 상기 스토리지 캐패시터(Cst)는 상기 데이터 신호와 상기 전원 전압을 포함하는 구동 전압이 상기 유기전계발광 소자(80)로 공급되어, 상기 유기전계발광 소자(80)로부터 광이 발광될 수 있다.

[0031] 상기 제1 및 제2 트랜지스터(10, 20)는 상기 게이트 라인(16)에 공통으로 연결되어, 상기 게이트 라인(16)으로 제공된 게이트 신호에 의해 동시에 턴온될 수 있다.

[0032] 상기 제2 트랜지스터(20)는 상기 유기전계발광 소자(80)를 발광시키기 위한 구동 전압을 생성하기 위한 구동 트랜지스터일 수 있다.

[0033] 상기 전원 공급 라인(28)은 제1 콘택홀(26)을 통해 상기 제2 트랜지스터(20)의 드레인 영역에 전기적으로 연결될 수 있다.

[0034] 보조 전극 라인(18)이 상기 전원 공급 라인(28)과 평행하게 중첩되어 형성될 수 있다. 상기 보조 전극 라인(18)은 다수의 제2 콘택홀(12)을 통해 상기 전원 공급 라인(28)과 전기적으로 연결될 수 있다.

[0035] 상기 보조 전극 라인(18)은 전원 공급 라인(28)의 저항 성분을 보상하여 주어 보다 더 원활하게 전원 전압이 흐르도록 도와주는 역할을 할 수 있다. 즉, 상기 보조 전극 라인(18)은 상기 게이트 라인(16)과 동일층에 동일 금속 물질로 형성될 수 있다. 따라서, 상기 보조 전극 라인(18)이 상기 전원 공급 라인(28)의 전기적으로 연결됨에 따라, 상기 전원 공급 라인(28)의 전원 전압이 지연되지 않고 원활하게 흐를 수 있다.

[0036] 상기 유기전계발광 소자(80)는 제1 전극 및 발광층 및 제2 전극(미도시)을 포함할 수 있다.

[0037] 상기 제1 전극은 아노드 전극의 기능을 갖고, 제2 전극은 캐소드 전극의 기능을 가질 수 있지만, 이에 한정하지 않는다. 즉, 상기 제1 전극은 캐소드 전극의 기능을 갖고, 상기 제2 전극은 아노드 전극의 기능을 가질 수도 있다.

[0038] 실시예에서는 편의상 제1 전극은 아노드 전극의 기능을 갖고, 제2 전극은 캐소드 전극의 기능을 갖는 것으로 설명한다.

[0039] 상기 제1 전극이 제1 및 제2 트랜지스터(10, 20)의 게이트 전극의 도전 패턴과 동일 층에 동일 물질로 형성될 수 있다.

[0040] 상기 제1 전극 상에 상기 발광층이 형성되고, 상기 발광층 상에 상기 제2 전극이 형성되어, 화소 영역의 유기전계발광 소자(80)가 형성될 수 있다.

[0041] 상기 발광층은 적색 발광 물질에 의한 적색 광을 발광하는 적색 발광층, 녹색 발광 물질에 의한 녹색 광을 발광하는 녹색 발광층 및 청색 발광 물질에 의한 청색 광을 발광하는 청색 발광층을 포함할 수 있다.

[0042] 상기 발광층은 유기 발광 물질일 수 있다.

[0043] 통상적으로 종래에는 구동 트랜지스터의 드레인 전극 위에 절연막을 형성하고, 절연막에 형성된 콘택홀을 통해 드레인 전극과 제1 전극이 연결되었다.

[0044] 실시예에 의하면, 제1 전극이 게이트 전극과 동일 층에 형성하고 그 위에 발광층 및 제2 전극을 더해 유기전계발광 소자(80)를 형성함으로써, 유기전계발광 표시장치의 두께를 최소화할 수 있다.

[0045] 즉, 구동 트랜지스터(제2 트랜지스터)의 드레인 전극이 게이트 전극과 동일 층에 형성된 제1 전극에 연결됨으로써, 절연막과 절연막 위에 제1 전극을 추가로 형성할 필요가 없다.

[0046] 한편, 제1 화소 영역의 왼측에 제1 화소 영역의 데이터 라인이 형성되고, 제2 화소 영역의 오른측에 제2 화소 영역의 데이터 라인이 형성되며, 상기 제1 및 제2 화소 영역 사이에 전원 공급 라인(28)이 형성될 수 있다.

[0047] 상기 전원 공급 라인(28)은 좌우로 인접하는 제1 및 제2 화소 영역에 공통으로 연결될 수 있다.

[0048] 다시 말해, 상기 제1 화소 영역의 제2 트랜지스터의 제2 드레인 영역과 상기 제2 화소 영역의 제2 트랜지스터의 제2 드레인 영역은 일체로 형성될 수 있다.

[0049] 상기 제2 드레인 영역은 상기 제1 및 제2 화소 영역에 공통으로 형성될 수 있다.

- [0050] 상기 제2 드레인 영역은 상기 전원 공급 라인(28)을 교차할 수 있다. 즉, 상기 전원 공급 라인(28)은 상기 데이터 라인과 평행하게 형성되고, 상기 제2 드레인 영역은 상기 게이트 라인과 평행하게 형성될 수 있다. 따라서, 상기 제2 드레인 영역은 상기 전원 공급 라인(28)을 가로질러 형성될 수 있다.
- [0051] 상기 전원 공급 라인(28)은 상기 전원 공급 라인(28)과 제2 드레인 영역이 교차하는 영역에서 상기 제1 콘택홀(26)을 통해 상기 제2 드레인 영역과 전기적으로 연결될 수 있다.
- [0052] 상기 전원 공급 라인(28)을 기준으로 제1 화소 영역의 제1 및 제2 트랜지스터(10, 20)와 유기전계발광 소자(80)와 제2 화소 영역의 제1 및 제2 트랜지스터(10, 20)와 유기전계발광 소자(80)는 대칭적으로 형성될 수 있다.
- [0053] 통상적으로 종래에는 각 화소 영역마다 전원 공급 라인이 형성되었다.
- [0054] 실시예에 의하면, 인접하는 제1 및 제2 화소 영역 사이에 전원 공급 라인(28)이 형성되고, 전원 공급 라인(28)이 제1 및 제2 화소 영역에 공통으로 연결됨으로써, 전원 공급 라인(28)의 개수를 줄이고 비 발광 영역의 면적을 줄여 발광 영역의 면적을 확대할 수 있어 개구율이 향상될 수 있다.
- [0055] 도 2는 도 1의 유기전계발광 표시장치의 I-I' 라인을 따라 절단한 단면도이다.
- [0056] 도 2를 참조하면, 기판(1) 상에 제1 트랜지스터(10)를 위한 제1 반도체층(9a)과 제2 트랜지스터(20)를 위한 제2 반도체층(9b)이 형성될 수 있다.
- [0057] 상기 제1 및 제2 반도체층(9a, 9b)은 폴리 실리콘으로 이루어질 수 있다. 상기 폴리 실리콘은 레이저 등을 이용하여 비정질 실리콘(amorphous silicon)을 결정화하여 형성될 수 있다.
- [0058] 상기 제1 반도체층(9a)은 제1 활성 영역(3a), 제1 소오스 영역(5a) 및 제1 드레인 영역(7a)을 포함할 수 있다. 상기 제2 반도체층(9b)은 제2 활성 영역(3b), 제2 소오스 영역(5b) 및 제2 드레인 영역(7b)을 포함할 수 있다.
- [0059] 상기 제1 및 제2 활성 영역(3a, 3b)은 폴리 실리콘으로 이루어질 수 있다. 다시 말해, 제1 및 제2 활성 영역(3a, 3b)은 어떠한 도편트도 포함되지 않는다.
- [0060] 상기 제1 및 제2 소오스 영역(5a, 5b)과 상기 제1 및 제2 드레인 영역(7a, 7b)은 폴리 실리콘에 이온 도핑된 도편트가 포함되어 형성될 수 있다.
- [0061] 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)은 연장되어 제1 스토리지 전극(19)으로 형성될 수 있다.
- [0062] 상기 제1 및 제2 반도체층(9a, 9b) 및 상기 기판(1) 상에 제1 절연막(11)이 형성될 수 있다. 상기 제1 절연막(11)은 SiNx 또는 SiOx와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제1 절연막(11)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.
- [0063] 상기 제1 절연막(11) 상에 게이트 라인(도 1의 16), 제1 및 제2 게이트 전극(17a, 17b), 보조 전극 라인(도 1의 18), 제2 스토리지 전극(21), 제1 전극(22) 및 연결 전극(24)이 형성될 수 있다.
- [0064] 상기 제1 게이트 전극(17a)은 상기 제1 반도체층(9a)의 제1 활성 영역(3a)에 대응하는 상기 제1 절연막(11) 상에 형성되고, 상기 제2 게이트 전극(17b)은 상기 제2 반도체층(9b)의 제2 활성 영역(3b)에 대응하는 상기 제1 절연막(11) 상에 형성될 수 있다.
- [0065] 상기 제1 게이트 전극(17a)은 제1 도전 패턴(13a)과 상기 제1 도전 패턴(13a) 상에 제1 금속 패턴(15a)을 포함할 수 있다.
- [0066] 상기 제1 게이트 전극(17a)은 게이트 라인(도 1의 16)으로부터 연장 형성될 수 있다.
- [0067] 상기 제2 게이트 전극(17b)은 제2 도전 패턴(13b)과 상기 제2 도전 패턴(13b) 상에 제2 금속 패턴(15b)을 포함할 수 있다.
- [0068] 상기 보조 전극 라인은 제3 도전 패턴 및 상기 제3 도전 패턴 상에 제3 금속 패턴을 포함할 수 있다.
- [0069] 상기 제2 스토리지 전극(21)은 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)으로부터 연장된 상기 제1 스토리지 전극(19)에 중첩하여 형성될 수 있다.
- [0070] 따라서, 상기 제1 스토리지 전극(19)과 상기 제2 스토리지 전극(21)은 상기 제1 스토리지 전극(19)과 상기 제2 스토리지 전극(21) 사이의 제1 절연막(11)과 함께 스토리지 캐패시터(Cst)를 형성할 수 있다.
- [0071] 상기 연결 전극(24)은 상기 제1 전극(22) 상의 예지 영역을 따라 폐루프(closed loop)로 형성될 있다(도 1

참고).

[0072] 상기 연결 전극(24)은 상기 제1 전극(22) 상의 에지 영역을 따라 형성된 라인 형상을 가질 수 있다.

[0073] 상기 제1 전극(22)은 제1 개구부(69)에 형성되고, 상기 제2 스토리지 전극(21)은 제2 개구부(67)에 형성될 수 있다.

[0074] 상기 제1 및 제2 도전 패턴(13a, 13b), 상기 제2 스토리지 전극(21) 및 상기 제1 전극(22)은 동일 층에 투명한 도전 물질로 형성될 수 있다.

[0075] 상기 도전 물질로는 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 및 GZO로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.

[0076] 상기 제1 및 제2 금속 패턴(15a, 15b)은 동일 층에 금속 물질로 형성될 수 있다.

[0077] 상기 금속 물질로는 Cr, Ti, Ni, Al, Pt, Au, W, Cu 및 Mo로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 이들의 합금이 사용될 수 있다.

[0078] 상기 제1 및 제2 게이트 전극(17a, 17b), 상기 제2 스토리지 전극(21), 상기 제1 전극(22), 상기 연결 전극(24) 및 상기 제1 절연막(11) 상에 제2 절연막(23)이 형성될 수 있다.

[0079] 상기 제2 절연막(23)은 투명한 절연 물질로 형성될 수 있다. 상기 제2 절연막(23)은 SiNx 또는 SiO_x와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제2 절연막(23)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.

[0080] 상기 제2 절연막(23)에는 제1 및 제2 소오스 콘택홀(63a, 65a), 제1 및 제2 드레인 콘택홀, 제1 및 제2 콘택홀(도 1의 26, 12) 및 제1 및 제2 개구부(69, 67)가 형성될 수 있다.

[0081] 상기 제1 소오스 콘택홀(63a)은 상기 제1 반도체층(9a)의 상기 제1 소오스 영역(5a)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.

[0082] 상기 제1 드레인 콘택홀(65a)은 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.

[0083] 상기 제2 소오스 콘택홀(63b)은 상기 제2 반도체층(9b)의 상기 제2 소오스 영역(5b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.

[0084] 상기 제2 드레인 콘택홀(65b)은 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.

[0085] 상기 제1 콘택홀(26)은 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.

[0086] 상기 제2 콘택홀(12)은 보조 전극 라인(도 1의 18)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있다.

[0087] 상기 제1 개구부(69)는 상기 제1 전극(22)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있다.

[0088] 상기 제2 개구부(67)는 상기 제2 스토리지 전극(21)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있지만, 이에 한정하지 않는다.

[0089] 도면에는 상기 제2 스토리지 전극(21)의 상면의 전 영역이 노출된 제2 개구부(67)가 도시되고 있지만, 상기 제2 스토리지 전극(21)의 상면의 전 영역이 노출되지 않을 수도 있다. 즉, 상기 제2 스토리지 전극(21)의 상면의 일부 영역이 노출되도록 제2 개구부(67)보다 작은 폭을 갖는 또 다른 콘택홀이 형성될 수도 있다.

[0090] 상기 제2 절연막(23) 상에 데이터 라인(도 1의 31), 제1 및 제2 소오스 전극(25a, 25b), 제1 및 제2 드레인 전극(27a, 27b) 및 전원 공급 라인(도 1의 28)이 형성될 수 있다.

[0091] 상기 제1 소오스 전극(25a)은 상기 데이터 라인으로부터 연장 형성될 수 있다.

[0092] 상기 제1 소오스 전극(25a)은 상기 제1 소오스 콘택홀(63a)을 통해 상기 제1 반도체층(9a)의 상기 제1 소오스 영역(5a)과 전기적으로 연결될 수 있다.

[0093] 상기 제1 드레인 전극(27a)은 상기 제1 드레인 콘택홀(65a)을 통해 상기 제1 반도체층(9a)의 상기 제1 드레인

영역(7a)과 전기적으로 연결될 수 있다.

- [0094] 상기 제1 반도체층(9a), 상기 제1 게이트 전극(17a), 상기 제1 소오스 전극(25a) 및 상기 제1 드레인 전극(27a)에 의해 제1 트랜지스터(10)가 형성될 수 있다.
- [0095] 상기 제2 소오스 전극(25b)은 상기 제2 소오스 콘택홀(63b)을 통해 상기 제2 반도체층(9b)의 상기 제2 소오스 영역(5b)과 전기적으로 연결될 수 있다.
- [0096] 상기 제2 드레인 전극(27b)은 상기 제2 드레인 콘택홀(65b)을 통해 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)과 전기적으로 연결될 수 있다.
- [0097] 상기 제2 반도체층(9b), 상기 제2 게이트 전극(17b), 상기 제2 소오스 전극(25b) 및 상기 제2 드레인 전극(27b)에 의해 제2 트랜지스터(20)가 형성될 수 있다.
- [0098] 상기 전원 공급 라인은 상기 제1 콘택홀(26)을 통해 상기 제2 반도체층(9b)의 제2 드레인 영역(7b)과 전기적으로 연결되고 상기 콘택홀(12)을 통해 상기 보조 전극 라인과 전기적으로 연결될 수 있다.
- [0099] 상기 제1 및 제2 소오스 전극(25a, 25b), 상기 제1 및 제2 드레인 전극(27a, 27b) 및 상기 전원 공급 라인은 금 속 물질로 형성될 수 있다.
- [0100] 상기 금속 물질로는 Cr, Ti, Ni, Al, Pt, Au, W, Cu 및 Mo로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 이들의 합금이 사용될 수 있다.
- [0101] 상기 제1 및 제2 소오스 전극(25a, 25b), 상기 제1 및 제2 드레인 전극(27a, 27b) 및 상기 전원 공급 라인은 상기 게이트 라인의 금속 패턴, 제1 및 제2 게이트 전극(17a, 17b)의 제1 및 제2 금속 패턴(15a, 15b), 보조 전극 라인의 제3 금속 패턴 및 상기 연결 전극(24)과 동일한 금속 물질로 형성되거나 상이한 금속 물질로 형성될 수 있다.
- [0102] 도 3a 내지 도 3i는 제1 실시예에 따른 유기전계발광 표시장치를 제조하기 위한 공정을 도시한 도면이다.
- [0103] 도3a에 도시한 바와 같이, 기판(1) 상에 제1 및 제2 반도체 패턴(51a, 51b)이 형성되고, 상기 제1 및 제2 반도체 패턴(51a, 51b) 상에 제1 절연막(11)이 형성될 수 있다.
- [0104] 상기 제1 및 제2 반도체 패턴(51a, 51b)은 상기 기판(1)의 전 영역 상에 비정질 실리콘을 형성하고, 상기 비정질 실리콘을 결정화하여 폴리실리콘으로 형성한 다음, 상기 폴리실리콘을 패턴하여 형성될 수 있다.
- [0105] 상기 결정화 방법에는 엑시머 레이저 어닐링(Eximer Laser Annealing: ELA), 고상 결정화(Solid Phase Crystallization: SPC), 연속측면 결정화(Sequential Lateral Solidification: SLS), 금속유도 결정화(Metal Induced Crystallization: MIC), 금속유도 측면결정화(Metal Induced Lateral Crystallization: MILC) 및 교변 자장 결정화(Alternative Magnetic Lateral Crystallization: AMLC) 중 어느 하나가 이용될 수 있지만, 이에 한정하지 않는다.
- [0106] 따라서, 상기 제1 및 제2 반도체 패턴(51a, 51b)은 폴리 실리콘을 포함할 수 있다.
- [0107] 비정질 실리콘에 비해 폴리 실리콘의 전자와 정공 이동도가 수천 배 빠르므로, 스위칭이나 구동을 위한 트랜지스터를 형성하기 위해 비정질 실리콘이 결정화 공정을 통해 폴리 실리콘으로 변환될 수 있다.
- [0108] 상기 제1 절연막(11)은 SiNx 또는 SiOx와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제1 절연막(11)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.
- [0109] 도 3b에 도시한 바와 같이, 상기 제1 절연막(11) 상에 투명한 도전 물질로 이루어진 도전막(53)과 금속 물질로 이루어진 제1 금속막(55)이 형성될 수 있다.
- [0110] 상기 도전 물질로는 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 및 GZO로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.
- [0111] 상기 금속 물질로는 Cr, Ti, Ni, Al, Pt, Au, W, Cu 및 Mo로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 이들의 합금이 사용될 수 있다.
- [0112] 이어서, 상기 제1 금속막(55) 상에 감광막(57)이 형성되며, 상기 감광막(57) 상에 하프톤 마스크(halftone mask)(100)가 배치될 수 있다.

- [0113] 상기 감광막(57)은 자외선이나 가시광선에 감광될 수 있는 물질로 형성될 수 있다. 예컨대, 상기 감광막(57)은 포토 레지스트일 수 있다.
- [0114] 상기 하프톤 마스크(100)는 하나의 마스크를 이용하여 서로 상이한 층들을 형성할 때 사용될 수 있다.
- [0115] 상기 하프톤 마스크(100)는 차단 영역(110), 반투과 영역(120) 및 투과 영역(130)을 포함할 수 있다.
- [0116] 상기 차단 영역(110)은 나중에 형성될 제1 및 제2 게이트 전극(17a, 17b) 및 제1 전극(22)이 형성될 위치에 대응되며, 상기 반투과 영역(120)은 나중에 형성될 제2 스토리지 전극(21) 등이 형성될 위치에 대응될 수 있다.
- [0117] 이어서, 상기 하프톤 마스크(100)를 대상으로 광을 조사한다. 상기 광은 자외선이나 가시광선일 수 있다.
- [0118] 도 3c에 도시한 바와 같이, 상기 조사된 광에 의해 상기 감광막(57)이 감광되고, 상기 감광막(57)을 현상하여 제1 감광 패턴(57a)이 형성될 수 있다.
- [0119] 상기 제1 감광 패턴(57a)에서 하프톤 마스크(100)의 차단 영역(110)과 반투과 영역(120)에 대응하는 감광막이 완전하게 남거나 부분적으로 남게 되고, 상기 하프톤 마스크(100)의 투과 영역(130)에 대응하는 감광막은 완전하게 제거될 수 있다.
- [0120] 상기 하프톤 마스크(100)의 차단 영역(110)에 대응하는 제1 감광 패턴(57a)의 높이는 상기 하프톤 마스크(100)의 반투과 영역(120)에 대응하는 제1 감광 패턴(57a)의 높이보다 클 수 있다.
- [0121] 상기 반투과 영역(120)의 회전 패턴의 설계에 따라, 상기 반투과 영역(120)에 대응하는 제1 감광 패턴(57a)의 높이가 상이해질 수 있다. 예컨대, 상기 반투과 영역(120)에 대응하는 제1 감광 패턴(57a)은 상기 차단 영역(110)에 대응하는 제1 감광 패턴(57a)의 반의 높이를 가질 수 있지만, 이에 한정하지 않는다.
- [0122] 상기 제1 감광 패턴(57a)을 마스크로 하여 상기 제1 금속막(55)과 상기 도전막(53)을 식각하여 상기 제1 및 제2 반도체 패턴(51a, 51b) 상에 제1 및 제2 게이트 전극(17a, 17b)이 형성될 수 있다.
- [0123] 도시되지 않았지만, 상기 제1 및 제2 게이트 전극(17a, 17b)과 함께 게이트 라인 및 보조 전극 라인도 형성될 수 있다.
- [0124] 상기 제1 게이트 전극(17a)은 상기 게이트 라인으로부터 연장되어 형성될 수 있다. 상기 게이트 라인은 제1 절연막(11)과 접하는 제1 도전 패턴(13a)과 상기 제2 도전 패턴(13b) 상에 제1 금속 패턴(15a)을 포함할 수 있다.
- [0125] 상기 제1 게이트 전극(17a)은 상기 제1 도전 패턴(13a)과 상기 제1 금속 패턴(15a)을 포함할 수 있다.
- [0126] 상기 보조 전극 라인은 상기 제1 절연막(11)과 접하는 제3 도전 패턴과 상기 제3 도전 패턴 상에 제3 금속 패턴을 포함할 수 있다.
- [0127] 상기 제2 게이트 전극(17b)은 상기 제1 절연막(11)과 접하는 제2 도전 패턴(13b)과 상기 제2 도전 패턴(13b) 상에 제2 금속 패턴(15b)을 포함할 수 있다.
- [0128] 도 3d에 도시한 바와 같이, Ox 플라즈마나 Nx 플라즈마에 의한 애싱(ashing) 공정이 수행되어, 제1 감광 패턴(57a)의 높이를 제거하여 제2 감광 패턴(57b)이 형성될 수 있다.
- [0129] 상기 하프톤 마스크(100)의 반투과 영역(110)에 대응하는 제1 감광 패턴(57a)이 제거될 때까지, 다시 말해 제1 감광 패턴(57a)의 아래에 형성된 제1 금속막(55)이 노출될 때까지, 상기 애싱 공정이 계속 수행될 수 있다.
- [0130] 상기 제2 감광 패턴(57b)은 상기 제1 및 제2 게이트 전극(17a, 17b)과 나중에 제1 전극과 연결 전극이 형성될 영역 상에 형성될 수 있다.
- [0131] 상기 제2 감광 패턴(57b)을 마스크로 하여 식각 공정이 수행되어 상기 제1 게이트 전극(17a)에 인접하고 상기 제1 반도체 패턴(51a) 상에 형성된 금속 패턴이 제거되어 그 아래에 도전 패턴, 즉 제2 스토리지 전극(21)이 노출되고, 나중에 제1 전극과 연결 전극이 형성될 영역의 금속 패턴의 일부가 제거되어 그 아래 제1 전극(22)의 일부가 노출될 수 있다.
- [0132] 도 3e에 도시한 바와 같이, 제1 전극(22)과 금속 패턴(61)이 중첩되는 영역에서는 제1 전극(22)과 금속 패턴(61)의 이중층이 형성될 수 있다.
- [0133] 상기 제2 감광 패턴(57b)이 제거되어, 상기 제1 절연막(11) 상에 제1 및 제2 게이트 전극(17a, 17b), 제2 스토리지 전극(21), 제1 전극(22) 및 제1 전극(22)과 금속 패턴(61)의 이중층이 형성될 수 있다.

- [0134] 상기 제1 게이트 전극(17a)은 제1 도전 패턴(13a)과 제1 금속 패턴(15a)을 포함하고, 상기 제1 반도체 패턴(51a)에 대응하는 제1 절연막(11) 상에 형성될 수 있다.
- [0135] 상기 제2 스토리지 전극(21)은 상기 제1 게이트 전극(17a)과 인접하도록 형성되고, 상기 제1 반도체 패턴(51a)에 대응하는 제1 절연막(11) 상에 형성될 수 있다.
- [0136] 상기 제2 게이트 전극(17b)은 제2 도전 패턴(13b)과 제2 금속 패턴(15b)을 포함하고, 상기 제2 반도체 패턴(51b)에 대응하는 제1 절연막(11) 상에 형성될 수 있다.
- [0137] 도 5에 도시한 바와 같이, 제1 전극(22) 상에 금속 패턴(61)이 형성될 수 있다. 상기 금속 패턴(61)은 상기 제1 전극(22)보다 작은 면적을 가질 수 있다. 상기 금속 패턴(61)은 상기 제1 전극(22)보다 작은 폭을 가질 수 있다.
- [0138] 상기 금속 패턴(61)은 상기 제1 전극(22)과 중첩되며, 상기 제1 전극(22)의 예지 영역은 상기 금속 패턴(61)에 의해 노출될 수 있다. 즉, 상기 제1 전극(22)의 예지 영역 상에는 상기 금속 패턴(61)이 형성되지 않을 수 있다.
- [0139] 상기 제1 전극(22)의 예지 영역을 따라 금속 패턴(61)이 형성되지 않을 수 있다.
- [0140] 상기 제1 전극(22)의 예지 영역 상에 상기 금속 패턴(61)이 형성되지 않게 됨으로써, 상기 제1 전극(22)의 예지 영역은 노출될 수 있다.
- [0141] 도면에 도시되지 않았지만, 상기 제1 전극(22)의 일부 영역 상에 금속 패턴(61)이 제거되어 상기 제1 전극(22)의 일부 영역이 국부적으로 노출될 수도 있다. 즉, 상기 국부적으로 노출된 제1 전극(22)의 일부 영역을 제외한 제1 전극(22)의 나머지 영역 상에는 모두 금속 패턴(61)이 형성될 수 있다.
- [0142] 상기 국부적으로 노출된 제1 전극(22)에 인접한 금속 패턴(61)은 나중에 형성될 제2 트랜지스터의 제2 드레인 전극(27b)과 전기적으로 연결될 수 있다.
- [0143] 상기 제1 및 제2 게이트 전극(17a, 17b)을 마스크로 하여 이온 도핑이 수행될 수 있다.
- [0144] 도 3f에 도시한 바와 같이, 이온들이 제1 게이트 전극(17a)의 좌우측에 있는 제1 반도체 패턴(51a)으로 도핑되어, 제1 소오스 영역(5a)과 제1 드레인 영역(7a)으로 형성될 수 있다. 상기 제1 게이트 전극(17a)에 대응하는 제1 반도체 패턴(51a)은 상기 제1 게이트 전극(17a)에 의해 이온 도핑이 차단되어 어떠한 도편트도 포함하지 않는 제1 활성 영역(3a)으로 형성될 수 있다.
- [0145] 상기 제1 활성 영역(3a), 상기 제1 소오스 영역(5a) 및 상기 제1 드레인 영역(7a)에 의해 제1 반도체층(9a)이 형성될 수 있다.
- [0146] 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)으로부터 연장되고 상기 제2 스토리지 전극(21)과 중첩되어 제1 스토리지 전극(19)이 형성될 수 있다.
- [0147] 상기 제1 스토리지 전극(19)과 상기 제2 스토리지 전극(21)은 상기 제1 및 제2 스토리지 전극(19, 21) 사이의 제1 절연막(11)과 함께 스토리지 캐페시터(Cst)가 형성될 수 있다.
- [0148] 이온들이 제2 게이트 전극(17b)의 좌우측에 있는 제2 반도체 패턴(51b)으로 도핑되어, 제2 소오스 영역(5b)과 제2 드레인 영역(7b)으로 형성될 수 있다. 상기 제2 게이트 전극(17b)에 대응하는 제2 반도체 패턴(51b)은 상기 제2 게이트 전극(17b)에 의해 이온 도핑이 차단되어 어떠한 도편트도 포함하지 않는 제2 활성 영역(3b)으로 형성될 수 있다.
- [0149] 상기 제2 활성 영역(3b), 상기 제2 소오스 영역(5b) 및 상기 제2 드레인 영역(7b)에 의해 제2 반도체층(9b)이 형성될 수 있다.
- [0150] 도 3g에 도시한 바와 같이, 상기 제1 및 제2 게이트 전극(17a, 17b), 상기 제2 스토리지 전극(21), 상기 금속 패턴(61), 상기 제1 전극(22) 및 상기 제1 절연막(11) 상에 제2 절연막(23)이 형성될 수 있다.
- [0151] 상기 제2 절연막(23)은 SiNx 또는 SiO_x와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제2 절연막(23)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.
- [0152] 상기 제2 절연막(23)이 패턴되어, 제1 및 제2 소오스 콘택홀(63a, 63b), 제1 및 제2 드레인 콘택홀(65a, 65b), 제1 및 제2 콘택홀(도 1의 26, 12) 및 제1 및 제2 개구부(69, 67)가 형성될 수 있다.

- [0153] 상기 제1 소오스 콘택홀(63a)은 상기 제1 반도체층(9a)의 상기 제1 소오스 영역(5a)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.
- [0154] 상기 제1 드레인 콘택홀(65a)은 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.
- [0155] 상기 제2 소오스 콘택홀(63b)은 상기 제2 반도체층(9b)의 상기 제2 소오스 영역(5b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.
- [0156] 상기 제2 드레인 콘택홀(65b)은 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.
- [0157] 상기 제1 콘택홀(26)은 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)이 노출되도록 상기 제2 절연막(23) 및 상기 제1 절연막(11)을 관통하여 형성될 수 있다.
- [0158] 상기 제2 콘택홀(12)은 보조 전극 라인(도 1의 18)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있다.
- [0159] 상기 제1 개구부(69)는 상기 제1 전극(22) 상의 금속 패턴(61)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있다.
- [0160] 상기 제1 개구부(69)를 형성하는 상기 제2 절연막(23)의 끝단은 상기 이중층의 금속 패턴(61)의 끝단에 형성될 수 있다.
- [0161] 상기 제2 개구부(67)는 상기 제2 스토리지 전극(21)이 노출되도록 상기 제2 절연막(23)을 관통하여 형성될 수 있지만, 이에 한정하지 않는다.
- [0162] 도 3h에 도시한 바와 같이, 상기 제1 및 제2 소오스 콘택홀(63a, 63b) 안, 상기 제1 및 제2 드레인 콘택홀(65a, 65b) 안, 상기 제1 및 제2 콘택홀(26, 12) 안, 상기 제2 스토리지 캐패시터(Cst) 위, 상기 제1 전극(22) 상의 금속 패턴(61) 위 및 상기 제2 절연막(23) 위에 금속 물질로 이루어진 제2 금속막(73)이 형성되고, 상기 제2 금속막(73) 상에 감광막이 형성된 후, 감광막이 패턴된 감광 패턴(71)이 형성될 수 있다.
- [0163] 상기 금속 물질로는 Cr, Ti, Ni, Al, Pt, Au, W, Cu 및 Mo로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 이들의 합금이 사용될 수 있다.
- [0164] 상기 감광 패턴(71)을 마스크로 하여 식각 공정이 수행될 수 있다.
- [0165] 도 3i에 도시한 바와 같이, 상기 제2 절연막(23) 상에 데이터 라인(도 1의 31), 제1 및 제2 소오스 전극(25a, 25b), 제1 및 제2 드레인 전극(27a, 27b), 전원 공급 라인(도 1의 28) 및 연결 전극(24)(도 1의 24)이 형성될 수 있다.
- [0166] 상기 제1 소오스 전극(25a)은 상기 데이터 라인으로부터 연장 형성될 수 있다.
- [0167] 상기 제1 소오스 전극(25a)은 상기 제1 소오스 콘택홀(63a)을 통해 상기 제1 반도체층(9a)의 상기 제1 소오스 영역(5a)과 전기적으로 연결될 수 있다.
- [0168] 상기 제1 드레인 전극(27a)은 상기 제1 드레인 콘택홀(65a)을 통해 상기 제1 반도체층(9a)의 상기 제1 드레인 영역(7a)과 전기적으로 연결될 수 있다.
- [0169] 상기 제1 반도체층(9a), 상기 제1 게이트 전극(17a), 상기 제1 소오스 전극(25a) 및 상기 제1 드레인 전극(27a)에 의해 제1 트랜지스터(10)가 형성될 수 있다.
- [0170] 상기 게이트 라인으로 제공된 게이트 신호에 의해 상기 제1 트랜지스터(10)가 턴온되면, 상기 데이터 라인으로 제공된 데이터 신호가 상기 제1 트랜지스터(10)를 경유하여 하부 스토리지 전극으로 인가되어 상기 스토리지 캐패시터(Cst)에 저장될 수 있다.
- [0171] 상기 제2 소오스 전극(25b)은 상기 제2 소오스 콘택홀(63b)을 통해 상기 제2 반도체층(9b)의 상기 제2 소오스 영역(5b)과 전기적으로 연결되고, 상기 제2 개구부(67)를 통해 상기 제2 스토리지 전극(21)과 전기적으로 연결될 수 있다.
- [0172] 상기 제2 드레인 전극(27b)은 상기 제2 드레인 콘택홀(65b)을 통해 상기 제2 반도체층(9b)의 상기 제2 드레인 영역(7b)과 전기적으로 연결되고, 상기 제1 개구부(69)를 통해 상기 제1 전극(22) 상의 연결 전극(24)과 전기적

으로 연결될 수 있다.

- [0173] 상기 제2 반도체층(9b), 상기 제2 게이트 전극(17b), 상기 제2 소오스 전극(25b) 및 상기 제2 드레인 전극(27b)에 의해 제2 트랜지스터(20)가 형성될 수 있다.
- [0174] 상기 게이트 라인으로 제공된 게이트 신호에 의해 상기 제2 트랜지스터(20)가 편온되면, 상기 전원 공급 라인으로 제공된 전원 전압이 상기 제2 트랜지스터(20)를 경유하여 상기 제2 스토리지 전극(21)으로 인가되어 상기 스토리지 캐패시터(Cst)에 저장될 수 있다.
- [0175] 따라서, 상기 스토리지 캐패시터(Cst)에 저장된 데이터 신호와 상기 전원 전압에 의한 구동 전압이 상기 제2 트랜지스터(20)를 통해 상기 제1 전극(22)으로 인가될 수 있다.
- [0176] 상기 연결 전극(24)은 상기 제1 전극(22)의 에지 영역을 따라 폐루프로 이루어진 라인 형상을 가질 수 있지만, 이에 한정하지 않는다.
- [0177] 상기 연결 전극(24)에서 상기 제1 전극(22) 상의 금속 패턴(61)의 에지 영역을 제외한 나머지 영역을 제거함으로써 폐루프의 라인 형상이 형성될 수 있다.
- [0178] 상기 제1 개구부(69)에서 상기 금속 패턴(61)의 에지 영역을 제외한 나머지 영역의 제2 금속막(73)과 상기 금속 패턴(61)을 삭각 공정에 의해 연속으로 제거함으로써, 연결 전극(24)과 함께 상기 연결 전극(24)과 전기적으로 연결된 제2 드레인 전극(27b)이 형성될 수 있다.
- [0179] 상기 금속 패턴(61)과 상기 제2 금속막(73)이 동일한 금속 물질로 형성되는 경우, 동일 삭각 용액에 의해 상기 금속 패턴(61)과 상기 제2 금속막(73)이 일괄적으로 제거될 수 있다.
- [0180] 상기 연결 전극(24)은 상기 제1 전극(22)의 상면에 접하도록 형성될 수 있다.
- [0181] 상기 제1 및 제2 소오스 전극(25a, 25b), 상기 제1 및 제2 드레인 전극(27a, 27b), 상기 제2 스토리지 전극(21), 상기 제1 전극(22) 및 상기 제2 절연막(23) 상에 제3 절연막(29)이 형성되고, 상기 제1 전극(22)의 일부 영역 상의 제3 절연막(29)은 제거될 수 있다. 상기 제3 절연막(29)이 제거되어 제1 전극(22)이 노출된 영역이 실질적인 영상을 표시하기 위한 개구부가 될 수 있다.
- [0182] 상기 제3 절연막(29)은 SiNx 또는 SiO_x와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제3 절연막(29)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.
- [0183] 상기 제1 개구부(69)에서 상기 제3 절연막(29)의 끝단은 상기 제1 전극(22) 상의 상기 연결 전극(24) 및 상기 제2 드레인 전극(27b)을 커버하도록 형성될 수 있다.
- [0184] 상기 노출된 제1 전극(22) 상에 발광층(75)과 제2 전극(77)이 형성되어, 상기 제1 전극(22), 상기 발광층(75) 및 상기 제2 전극(77)을 포함하는 유기전계발광 소자(80)가 형성될 수 있다.
- [0185] 상기 제1 전극(22)으로 데이터 신호와 전원 전압에 의한 구동 전압이 인가되고, 제2 전극(77)으로 공통 전압, 예컨대 그라운드 전압이 인가되는 경우, 상기 구동 전압에 의해 발광층(75)에서 광이 발광될 수 있다.
- [0186] 상기 제1 전극(22)이 아노드 전극의 기능을 갖는 경우, 상기 제2 전극(77)은 캐소드 전극의 기능을 가질 수 있다.
- [0187] 이와 반대로, 상기 제1 전극(22)이 캐소드 전극의 기능을 갖는 경우, 상기 제2 전극(77)은 아노드 전극의 기능을 가질 수 있다.
- [0188] 하부 발광 방식의 유기전계발광 표시장치인 경우, 상기 제1 전극(22)은 투명 도전 물질로 형성되고, 제2 전극(77)은 불투명한 금속 물질로 형성될 수 있다.
- [0189] 상부 발광 방식의 유기전계발광 표시장치인 경우, 상기 제1 전극(22)의 위 또는 아래에 광을 반사시킬 수 있는 반사 물질로 이루어진 반사막이 형성되고, 제2 전극(77)은 투명한 도전 물질로 형성될 수 있다.
- [0190] 상기 금속 물질로는 Cr, Ti, Ni, Al, Pt, Au, W, Cu 및 Mo로 이루어지는 그룹으로부터 선택된 적어도 하나 또는 이들의 합금이 사용될 수 있다.
- [0191] 상기 도전 물질로는 ITO, IZO, IZTO, IAZO, IGZO, IGTO, AZO, ATO 및 GZO로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.

- [0192] 상기 반사 물질로는 은(Ag), 알루미늄(Al), 백금(Pt) 및 팔라듐(Pd)로 이루어지는 그룹으로부터 선택된 적어도 하나가 사용될 수 있다.
- [0193] 상기 전원 공급 라인은 상기 제1 콘택홀(26)을 통해 상기 제2 반도체층(9b)의 제2 드레인 영역(7b)과 전기적으로 연결되고 상기 제2 콘택홀(12)을 통해 상기 보조 전극 라인과 전기적으로 연결될 수 있다.
- [0194] 통상적으로 종래에는 유기전계발광 소자의 제1 전극이 유기전계발광 소자의 아래에 형성된 절연막을 관통하여 구동 트랜지스터의 드레인 전극에 전기적으로 연결될 수 있다. 따라서, 드레인 전극 위에 절연막과 유기전계발광 소자의 제1 전극이 형성되므로, 공정 수와 공정 시간이 증가되었다.
- [0195] 실시예에 의하면, 유기전계발광 소자(80)의 제1 전극(22)이 제1 및 제2 트랜지스터(10, 20)의 게이트 전극(17a, 17b)의 도전 패턴(13a, 13b)과 동일층에 형성되고, 제2 트랜지스터(20)의 제2 드레인 전극(27b)이 제1 개구부(69)를 통해 유기전계발광 소자(80)의 제1 전극(22)에 연결되므로, 종래와 같이 절연막과 제1 전극이 추가적으로 형성되지 않아도 되므로 공정 수와 공정 시간이 현저히 줄어들 수 있다.
- [0196] 도 4a 내지 도 4d는 제2 실시예에 따른 유기전계발광 표시장치를 제조하기 위한 공정을 도시한 도면이다.
- [0197] 제2 실시예는 금속 패턴(61)과 금속막(73)을 개별적으로 제거하는 것을 제외하고는 제1 실시예와 거의 유사하다.
- [0198] 제2 실시예에서 제1 실시예와 동일한 구성 요소에 대한 설명은 생략한다.
- [0199] 도 4a는 제1 실시예의 도 3g와 동일하다.
- [0200] 따라서, 제2 실시예에서 제2 절연막(23)을 형성하기 전까지의 제조 공정에 대해서는 제1 실시예의 도 3a 내지 도 3f를 참조할 수 있다.
- [0201] 도 4a에 도시한 바와 같이, 제1 및 제2 게이트 전극(17a, 17b), 제2 스토리지 전극(21), 금속 패턴(61)과 제1 전극(22)의 이중 층 및 제1 절연막(11) 상에 제2 절연막(23)이 형성될 수 있다.
- [0202] 상기 제2 절연막(23)은 SiNx 또는 SiOx와 같은 투명한 무기 절연 물질일 수 있지만, 이에 한정하지 않는다. 즉, 상기 제2 절연막(23)은 BCB(Benzocyclobutene)와 같은 유기 절연 물질일 수 있다.
- [0203] 상기 제2 절연막(23)이 패턴되어, 제1 및 제2 소오스 콘택홀(63a, 63b), 제1 및 제2 드레인 콘택홀(65a, 65b), 제1 및 제2 콘택홀(도 1의 26, 12) 및 제1 및 제2 개구부(69, 63)가 형성될 수 있다.
- [0204] 도 4b에 도시한 바와 같이, 식각 공정을 수행하여, 상기 제1 개구부(69)의 상기 이중 층에서 상기 제1 개구부(69)에 노출된 금속 패턴(61)이 제거되어 제1 전극(22)만 남게 된다.
- [0205] 도 4c에 도시한 바와 같이, 상기 제1 및 제2 소오스 콘택홀(63a, 63b) 안, 상기 제1 및 제2 드레인 콘택홀(65a, 65b) 안, 상기 제1 및 제2 콘택홀(26, 12) 안, 상기 제2 스토리지 캐페시터(Cst) 위, 상기 제1 전극(22) 위 및 상기 제2 절연막(23) 위에 금속 물질로 이루어진 제2 금속막(73)이 형성되고, 상기 제2 금속막(73) 상에 감광막이 형성된 후, 감광막이 패턴된 감광 패턴(71)이 형성될 수 있다.
- [0206] 상기 감광 패턴(71)을 마스크로 하여 식각 공정이 수행될 수 있다.
- [0207] 도 4d에 도시한 바와 같이, 상기 제2 절연막(23) 상에 데이터 라인(도 1의 31), 제1 및 제2 소오스 전극(25a, 25b), 제1 및 제2 드레인 전극(27a, 27b) 및 전원 공급 라인이 형성될 수 있다.
- [0208] 도 4b에서 금속 패턴(61)이 제거되었으므로, 제1 실시예의 연결 전극(24)은 도 4d의 식각 공정에서 형성되지 않는다.
- [0209] 상기 제2 드레인 전극(27b)은 제2 드레인 콘택홀(65b)을 통해 제2 반도체층(9b)의 제2 드레인 영역(7b)과 전기적으로 연결되고, 상기 제1 개구부(69)를 통해 상기 제1 전극(22)과 전기적으로 연결될 수 있다.
- [0210] 상기 제1 반도체층(9a), 상기 제1 게이트 전극(17a), 상기 제1 소오스 전극(25a) 및 상기 제1 드레인 전극(27a)에 의해 제1 트랜지스터(10)가 형성될 수 있다.
- [0211] 상기 제2 반도체층(9b), 상기 제2 게이트 전극(17b), 상기 제2 소오스 전극(25b) 및 상기 제2 드레인 전극(27b)에 의해 제2 트랜지스터(20)가 형성될 수 있다.
- [0212] 상기 제1 및 제2 소오스 전극(25a, 25b), 상기 제1 및 제2 드레인 전극(27a, 27b), 상기 제2 스토리지 전극

(21), 상기 제1 전극(22) 및 상기 제2 절연막(23) 상에 제3 절연막(29)이 형성되고, 상기 제1 전극(22)의 일부 영역 상의 제3 절연막(29)은 제거될 수 있다. 상기 제3 절연막(29)이 제거되어 제1 전극(22)이 노출된 영역이 실질적인 영상을 표시하기 위한 개구부가 될 수 있다.

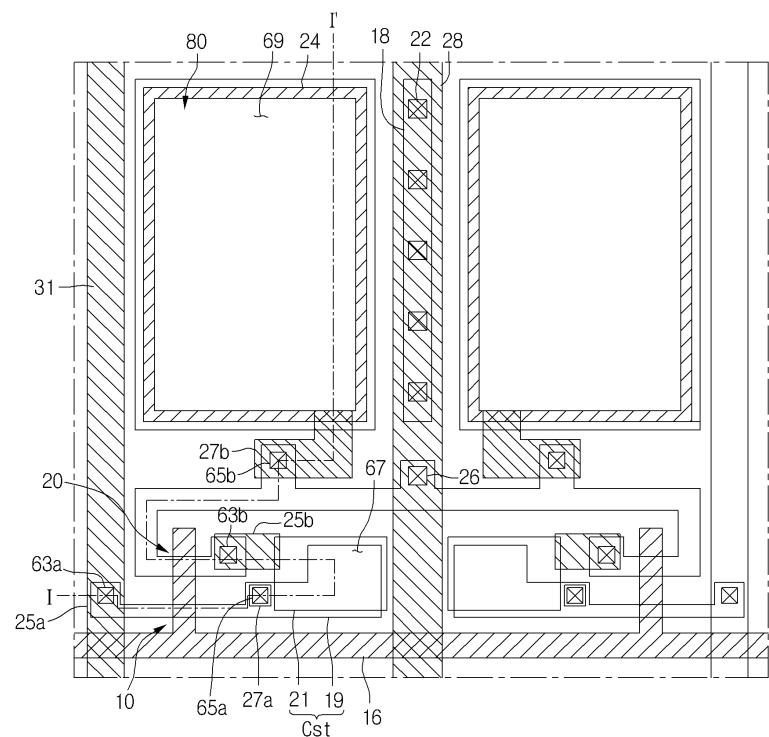
- [0213] 상기 제1 개구부(69)에서 상기 제3 절연막(29)의 끝단은 상기 제1 전극(22) 상의 상기 제2 드레인 전극(27b)을 커버하도록 형성될 수 있다.
- [0214] 상기 노출된 제1 전극(22) 상에 발광층(75)과 제2 전극(77)이 형성되어, 상기 제1 전극(22), 상기 발광층(75) 및 상기 제2 전극(77)을 포함하는 유기전계발광 소자(80)가 형성될 수 있다.
- [0215] 통상적으로 종래에는 유기전계발광 소자의 제1 전극이 유기전계발광 소자의 아래에 형성된 절연막을 관통하여 구동 트랜지스터의 드레인 전극에 전기적으로 연결될 수 있다. 따라서, 드레인 전극 위에 절연막과 유기전계발광 소자의 제1 전극이 형성되므로, 공정 수와 공정 시간이 증가되었다.
- [0216] 실시예에 의하면, 유기전계발광 소자(80)의 제1 전극(22)이 게이트 전극의 도전 패턴과 동일층에 형성되고, 구동 트랜지스터(제2 트랜지스터)의 드레인 전극이 개구부를 통해 유기전계발광 소자(80)의 제1 전극(22)에 연결되므로, 종래와 같이 절연막과 제1 전극이 추가적으로 형성되지 않아도 되므로 공정 수와 공정 시간이 현저히 줄어들 수 있다.

부호의 설명

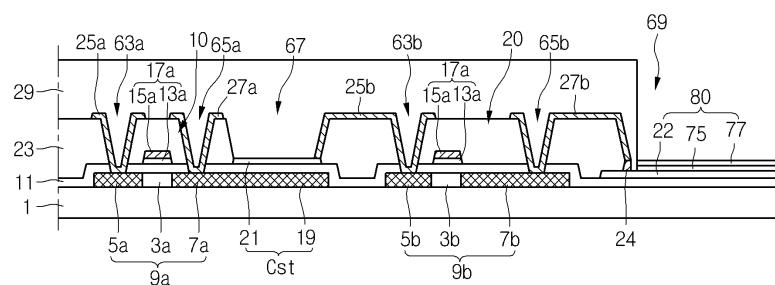
[0217]	1: 기판	3a, 3b: 활성 영역
	5a, 5b: 소오스 영역	7a, 7b: 드레인 영역
	9a, 9b: 반도체층	10: 제1 트랜지스터
	11: 제1 절연막	13a, 13b: 도전 패턴
	15a, 15b: 금속 패턴	17a, 17b: 게이트 전극
	18: 보조 전극 라인	19: 제1 스토리지 전극
	20: 제2 트랜지스터	21: 제2 스토리지 전극
	22: 제1 전극	23: 제2 절연막
	24: 연결 전극	25a, 25b: 소오스 전극
	27a, 27b: 드레인 전극	29: 제3 절연막
	12, 26, 63a, 63b, 65a, 65b: 콘택홀	28: 전원 공급 라인
	67, 69: 개구부	75: 발광층
	77: 제2 전극	80: 유기전계발광 소자
	Cst: 스토리지 캐패시터	

도면

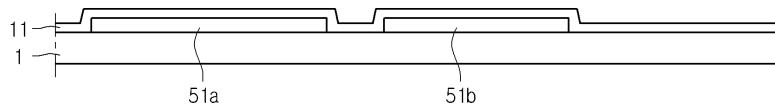
도면1



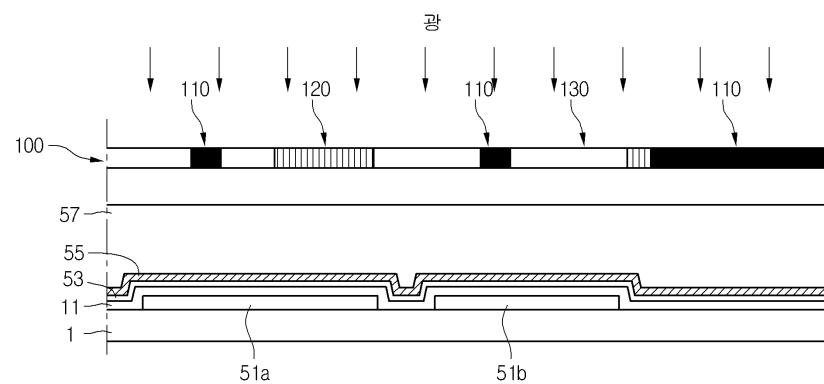
도면2



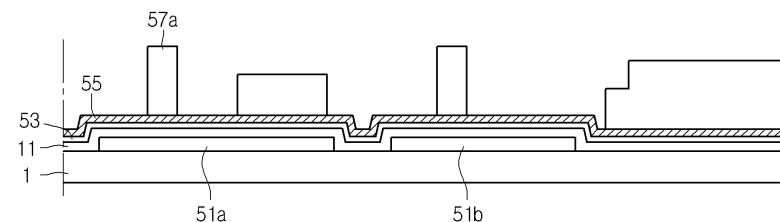
도면3a



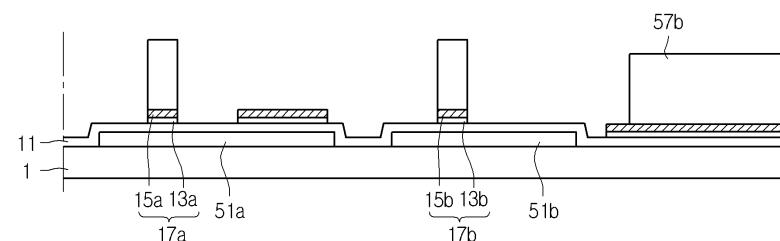
도면3b



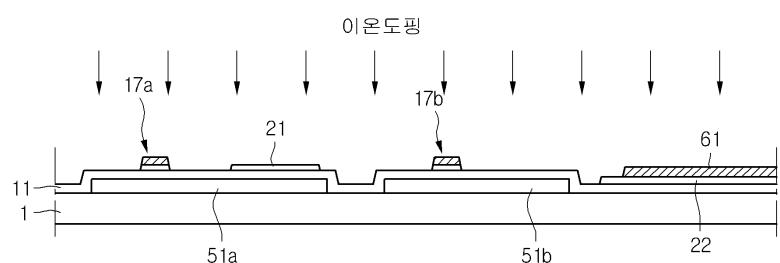
도면3c



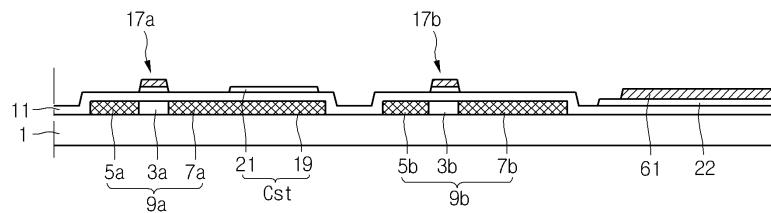
도면3d



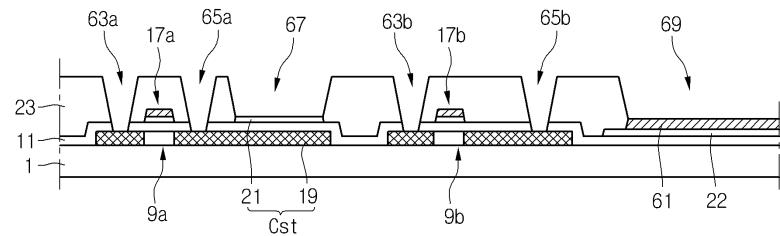
도면3e



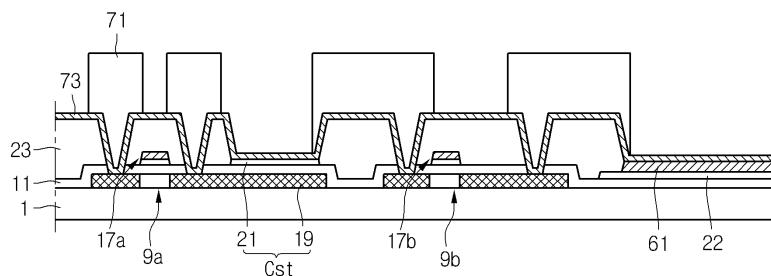
도면3f



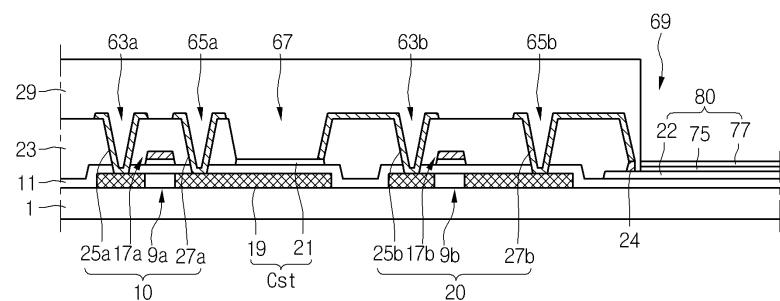
도면3g



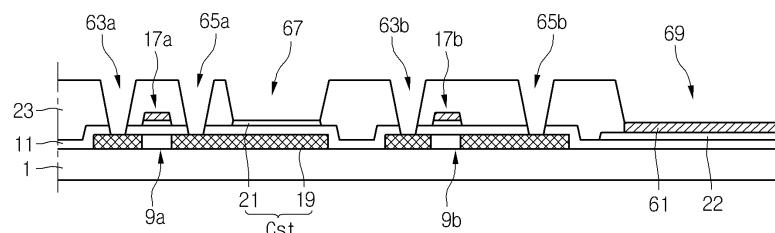
도면3h

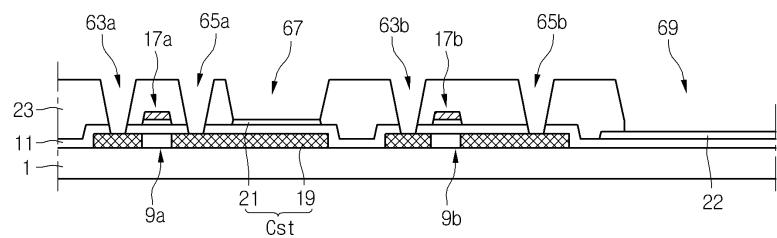
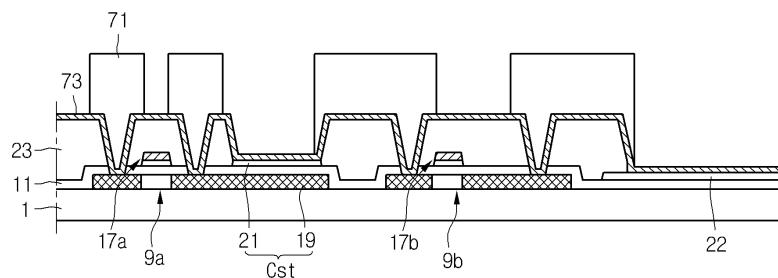
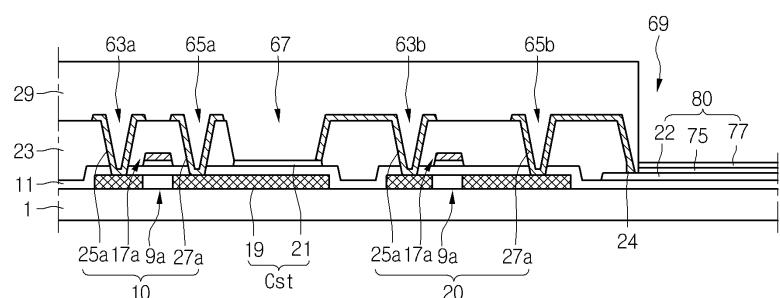
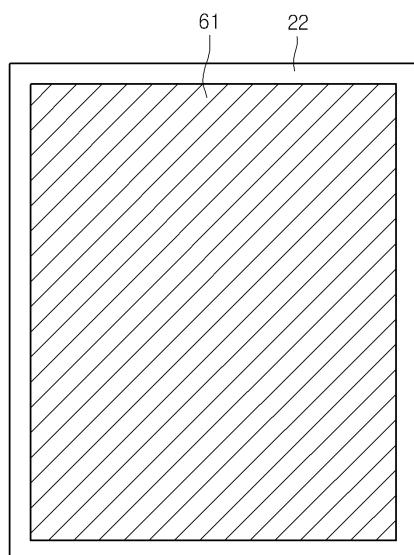


도면3i



도면4a



도면4b**도면4c****도면4d****도면5**

专利名称(译)	标题 : 有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020130009507A	公开(公告)日	2013-01-23
申请号	KR1020110070670	申请日	2011-07-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN HO 김현호 LEE KYUNG EON 이경언 LEE SANG JIN 이상진 CHO SEONG PIL 조성필 SHIN HEE SUN 신희선 NOH SANG SOON 노상순 KIM HYUN JIN 김현진		
发明人	김현호 이경언 이상진 조성필 신희선 노상순 김현진		
IPC分类号	H01L51/50 H05B33/26 H05B33/10		
CPC分类号	H01L27/124 H01L29/786 H01L27/1259 H01L2251/558 H01L2227/323 H01L2227/32		
其他公开文献	KR101757481B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机发光显示装置及其制造方法，通过将电源线共同连接到第一像素区域和第二像素区域来增加发光面积，以减小非发光区域。组成：第一半导体图案和第二半导体图案形成在基板(1)上。通过图案化第一绝缘层(11)，导电层和导电层，形成第一栅电极，第二栅电极，第二存储电极(21)，第一电极(22)和金属图案(15a)。基板上的第一金属层。从第一半导体图案和第二半导体图案在基板上形成第一存储电极(19)和第二半导体层。在基板上形成包括多个接触孔和开口部分的第二绝缘层(23)。在第二绝缘层上形成第一源电极，第二源电极，第一漏电极和第二漏电极。COPYRIGHT KIPO 2013

