



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년06월25일  
(11) 등록번호 10-1992665  
(24) 등록일자 2019년06월19일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/30* (2006.01) *H01L 51/50* (2006.01)  
(21) 출원번호 10-2012-0153718  
(22) 출원일자 2012년12월26일  
심사청구일자 2017년12월15일  
(65) 공개번호 10-2014-0083680  
(43) 공개일자 2014년07월04일  
(56) 선행기술조사문헌  
JP2010113153 A\*  
KR1020100047505 A\*  
JP2012519881 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
정재훈  
경기 안산시 단원구 원선1로 9, D동 205호 (원곡동, 라성1차)  
윤재환  
경기 성남시 수정구 남문로86번길 16, (태평동)  
(74) 대리인  
특허법인천문

전체 청구항 수 : 총 6 항

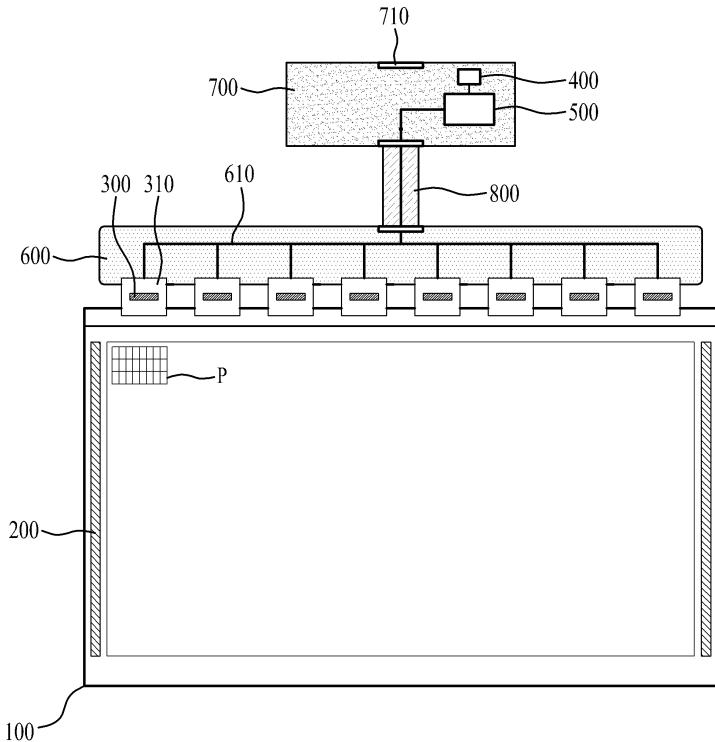
심사관 : 이승민

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 구동 방법

### (57) 요 약

아날로그-디지털 컨버터 간의 출력 편차를 최소화할 수 있도록 한 본 발명에 따른 유기 발광 표시 장치는 게이트 라인들과 데이터 라인들 및 센싱 라인들의 교차 영역에 형성된 복수개의 화소를 포함하는 표시 패널; 상기 게이트 라인들에 게이트 신호를 공급하기 위한 게이트 구동부; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 (뒷면에 계속)

### 대 표 도 - 도3



구동부, 및 상기 센싱 라인들을 통해 복수개의 화소 각각에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 센싱 데이터를 생성하는 복수개의 아날로그-디지털 컨버터를 가지는 센싱부를 포함하는 복수개의 데이터 구동 칩적 회로; 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차와 오프셋 오차가 저장되어 있는 메모리; 및 상기 개인 오차와 상기 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하고, 보정된 센싱 데이터에 기초하여 입력되는 입력 데이터를 변조하여 상기 복수개의 데이터 구동 칩적 회로에 공급하는 타이밍 제어부를 포함하여 구성되는 것을 특징으로 한다.

---

## 명세서

### 청구범위

#### 청구항 1

게이트 라인들과 데이터 라인들 및 센싱 라인들의 교차 영역에 형성된 복수개의 화소를 포함하는 표시 패널;

상기 게이트 라인들에 게이트 신호를 공급하기 위한 게이트 구동부;

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부, 및 상기 센싱 라인들을 통해 복수개의 화소 각각에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 센싱 데이터를 생성하는 복수개의 아날로그-디지털 컨버터를 가지는 센싱부를 포함하는 복수개의 데이터 구동 집적 회로;

상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차와 오프셋 오차가 저장되어 있는 메모리; 및

상기 개인 오차와 상기 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하고, 보정된 센싱 데이터에 기초하여 입력되는 입력 데이터를 변조하여 상기 복수개의 데이터 구동 집적 회로에 공급하는 타이밍 제어부를 포함하고,

상기 타이밍 제어부는 ADC 편차 보정 모드 동안 상기 센싱부를 프리차징 구간과 센싱 구간으로 나누어 구동시키고,

상기 센싱부는 상기 프리차징 구간 동안 상기 센싱 라인들 각각에 테스트 전압을 공급하고, 상기 센싱 구간 동안 상기 아날로그-디지털 컨버터로부터 출력되는 측정 데이터를 상기 타이밍 제어부에 공급하고,

상기 타이밍 제어부는 상기 테스트 전압의 전압 레벨을 단계적으로 증가시키고, 상기 아날로그-디지털 컨버터로부터 출력되는 전압 레벨에 따른 측정 데이터를 취득하여 외부의 오차 보정 장치에 제공하고, 상기 오차 보정 장치로부터 제공되는 상기 개인 오차 및 오프셋 오차를 상기 메모리에 저장하고,

영상이 표시되는 표시 모드에서 상기 센싱 라인들 각각에는 기준 전압이 공급되며, 구동 트랜지스터의 특성 변화 정보를 센싱하는 센싱 모드에서 상기 센싱 라인들 각각에는 프리차징 전압이 공급되는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 타이밍 제어부는 상기 센싱 데이터에서 상기 오프셋 오차를 감산 연산하고, 감산 연산의 결과 값을 상기 개인 오차로 제산 연산하여 상기 보정된 센싱 데이터를 산출하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

제 1 항에 있어서,

상기 센싱부는 상기 센싱 라인들을 통해 표시 구간 중 선택된 수평 라인의 화소들에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 상기 센싱 데이터를 상기 타이밍 제어부에 공급하고,

상기 타이밍 제어부는 상기 개인 오차와 상기 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하고, 보정된 센싱 데이터에 기초하여 상기 수평 라인의 화소들에 공급될 입력 데이터를 변조하는 것을 특징으로 하는 유기 발광 표시 장치.

#### 청구항 6

케이트 라인들과 데이터 라인들 및 센싱 라인들의 교차 영역에 형성된 복수개의 화소를 가지는 표시 패널; 및 상기 센싱 라인들에 선택적으로 연결되는 복수개의 아날로그-디지털 컨버터를 가지는 센싱부가 내장된 복수개의 데이터 구동 접적 회로를 포함하는 유기 발광 표시 장치의 구동 방법에 있어서,

ADC 편차 보정 모드 동안 상기 센싱 라인 각각에 공급된 테스트 전압에 따른 상기 복수개의 아날로그-디지털 컨버터 각각의 출력 데이터에 기초하여 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차 및 오프셋 오차를 산출하는 단계(A);

상기 복수개의 아날로그-디지털 컨버터 각각을 통해 복수개의 화소 각각에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 각 화소의 센싱 데이터를 생성하는 단계(B);

상기 개인 오차 및 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하는 단계(C); 및

보정된 센싱 데이터에 기초하여 입력되는 입력 데이터를 변조하여 상기 복수개의 데이터 구동 접적 회로에 공급하는 단계(D)를 포함하고,

상기 단계(A)는,

상기 케이트 라인들에 케이트 오프 전압 레벨의 케이트 신호를 공급하는 단계(A1);

상기 센싱 라인들에 테스트 전압을 공급하고, 상기 복수개의 아날로그-디지털 컨버터 각각을 이용하여 상기 테스트 전압이 공급된 상기 센싱 라인들 각각의 전압을 센싱하는 단계(A2);

상기 복수개의 아날로그-디지털 컨버터 각각으로부터 출력되는 상기 테스트 전압에 따른 측정 데이터를 취득하는 단계(A3); 및

상기 측정 데이터에 기초한 최소 차승법을 이용하여 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차 및 오프셋 오차를 산출하여 메모리에 저장하는 단계(A4)를 포함하며,

상기 단계(A2)는 상기 테스트 전압의 전압 레벨을 단계적으로 증가시키고, 상기 복수개의 아날로그-디지털 컨버터 각각을 이용하여 단계적으로 증가되는 테스트 전압이 공급된 상기 센싱 라인들 각각의 전압을 센싱하고,

상기 단계(A4)는 테스트 전압의 일정 구간별로 상기 개인 오차 및 오프셋 오차를 산출하고,

영상이 표시되는 표시 모드에서 상기 센싱 라인들 각각에는 기준 전압이 공급되며, 구동 트랜지스터의 특성 변화 정보를 센싱하는 센싱 모드에서 상기 센싱 라인들 각각에는 프리차징 전압이 공급되는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

## 청구항 7

제 6 항에 있어서,

상기 단계(C)는 상기 센싱 데이터에서 상기 오프셋 오차를 감산 연산하고, 상기 감산 연산의 결과 값을 상기 개인 오차로 제산 연산하여 상기 보정된 센싱 데이터를 산출하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

## 청구항 8

삭제

## 청구항 9

삭제

## 청구항 10

제 6 항에 있어서,

상기 단계(A4)는 상기 복수개의 아날로그-디지털 컨버터 각각에 동일한 개인 오차 및 오프셋 오차를 산출하고,

상기 단계(C)는 상기 복수개의 아날로그-디지털 컨버터 각각의 센싱 데이터에 동일한 개인 오차 및 오프셋 오차를 적용하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로, 보다 구체적으로는, 구동 트랜지스터의 특성 변화를 보상하여 영상의 휘도 균일도를 향상시킬 수 있도록 한 유기 발광 표시 장치 및 이의 구동 방법에 관한 것이다.

### 배경 기술

[0002] 최근, 멀티미디어의 발달과 함께 평판 표시 장치의 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치, 플라즈마 표시 장치, 유기 발광 표시 장치 등의 평판 표시 장치가 상용화되고 있다.

[0003] 평판 표시 장치 중에서 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 소자를 이용하여 영상을 표시하는 것으로, 고속의 응답속도를 가지며, 자체 발광이므로 시야각에 문제가 없어 차세대 평판 표시 장치로 주목받고 있다.

[0004] 일반적인 유기 발광 표시 장치의 한 화소는 유기 발광 소자와 이를 구동하기 위한 구동 트랜지스터를 포함하는 화소 회로로 이루어진다. 그러나, 일반적인 유기 발광 표시 장치는 박막 트랜지스터의 제조 공정의 불균일 및 구동 시간에 따라 각 화소마다 구동 트랜지스터의 문턱 전압/이동도 특성이 다르기 때문에 동일한 데이터 전압을 인가하더라도 각 화소의 구동 트랜지스터에 흐르는 전류 양이 서로 달라지게 된다. 이러한 각 화소의 구동 트랜지스터에 흐르는 전류 양 편차는 각 화소 간의 휘도 편차를 유발시켜 화질의 균일도를 저하시킨다. 이와 같은 문제점을 해결하기 위한 방법은, 대한민국 공개특허공보 제10-2010-0047505호(이하, "선행특허문현 1"이라 함), 대한민국 공개특허공보 제10-2011-0066506호(이하, "선행특허문현 2"라 함), 및 대한민국 등록특허공보 제10-1073226호(이하, "선행특허문현 3"이라 함) 등에 개시된 바와 있다.

[0005] 상기 선행특허문현들은 각 화소에 센싱 트랜지스터와 센싱 라인을 형성하고, 데이터 구동부, 즉 데이터 구동 집적 회로에 포함된 센싱부의 아날로그-디지털 컨버터를 이용하여 구동 트랜지스터의 구동에 따라 센싱 라인에 충전되는 전압을 센싱하고, 센싱된 전압에 따라 데이터를 보정함으로써 구동 트랜지스터의 특성 변화를 보상하여 각 화소 간의 휘도 편차로 인한 화질 저하를 방지한다.

[0006] 그러나, 일반적으로 아날로그-디지털 컨버터는 개인 오차(gain error) 및 오프셋 오차(offset error)를 가지고, 데이터 구동 집적 회로의 제조 공정에 의해 데이터 구동 집적 회로 간의 공정 편차에 따라 아날로그-디지털 컨버터에서 출력되는 출력 데이터의 편차가 발생되고, 나아가 데이터 구동 집적 회로 내의 아날로그-디지털 컨버터 간에서도 편차가 발생되게 된다.

[0007] 상기 개인 오차란 아날로그 입력에 대한 이상적인 디지털 출력과 비교하여 실제의 디지털 출력이 일정한 비율만큼 벗어나는 오차를 말하는 것으로서, 아날로그 입력 범위의 중심부에서 정확하게 맞던 값이 아날로그 입력 범위의 최저치와 최고치에 근접함에 따라 발생하는 오차이다.

[0008] 오프셋 오차란 아날로그 입력에 대한 이상적인 디지털 출력에 대하여 실제의 디지털 출력이 일정한 양만큼 벗어나는 오차를 말하는 것으로서, 사용자가 알고 있는 신호를 계측하였을 때 측정값이 전체적으로 높거나 또는 낮게 나오는 정도를 의미한다.

[0009] 도 1은 아날로그-디지털 컨버터의 입력 전압에 따른 출력 데이터를 나타내는 파형도이며, 도 2는 일반적인 유기 발광 표시 장치에 있어서, 복수의 데이터 구동 집적 회로 간의 출력 편차를 설명하기 위한 파형도이다.

[0010] 도 1에서 A 그래프는 입력 전압에 따른 이상적인 출력 데이터를 나타내는 그래프이며, B 그래프는 입력 전압에 따른 실제 출력 데이터를 나타내는 그래프이다.

[0011] 도 1에서 알 수 있듯이, 아날로그-디지털 컨버터의 입력 단자에 동일한 입력 전압을 인가하여도 아날로그-디지털 컨버터의 출력 데이터에 편차가 발생하게 된다. 즉, 개인 오차 및 오프셋 오차가 없는 이상적인 아날로그-디지털 컨버터의 출력 데이터는, A 그래프와 같이, 입력 전압(x)과 이상적인 개인 오차(a)의 승산 연산( $\times$ )에 의해 결정된다. 그러나, 일반적으로 아날로그-디지털 컨버터는 개인 오차 및 오프셋 오차를 가지므로, 실제 아날로그-디지털 컨버터의 출력 데이터는, B 그래프와 같이, 입력 전압(x)과 실제 개인 오차의 승산 연산( $\times$ ) 값( $x \times a'$ )과 실제 오프셋 오차(즉, 0의 입력 전압에 따른 출력)(b)의 합에 의해 결정된다.

[0012] 이와 같은, 아날로그-디지털 컨버터 간의 출력 편차는, 도 2에서 알 수 있듯이, 데이터 구동 집적 회로(D-IC #1

~ #8) 간에서도 발생됨을 확인할 수 있다.

[0013] 따라서, 상기 선행특허문헌들은 전술한 아날로그-디지털 컨버터의 센싱 데이터의 편차로 인한 왜곡된 센싱 데이터에 기초하여 데이터를 보정하므로 구동 트랜지스터의 특성 변화를 보다 정확하게 보상할 수 없다는 문제점이 있다.

[0014] 결과적으로, 구동 트랜지스터의 특성 변화를 센싱하는 아날로그-디지털 컨버터 간의 출력 편차를 최소화하는 방안이 요구된다.

## 발명의 내용

### 해결하려는 과제

[0015] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 아날로그-디지털 컨버터 간의 출력 편차를 최소화할 수 있도록 한 유기 발광 표시 장치 및 이의 구동 방법을 제공하는 것을 기술적 과제로 한다.

### 과제의 해결 수단

[0016] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 게이트 라인들과 데이터 라인들 및 센싱 라인들의 교차 영역에 형성된 복수개의 화소를 포함하는 표시 패널; 상기 게이트 라인들에 게이트 신호를 공급하기 위한 게이트 구동부; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부, 및 상기 센싱 라인들을 통해 복수개의 화소 각각에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 센싱 데이터를 생성하는 복수개의 아날로그-디지털 컨버터를 가지는 센싱부를 포함하는 복수개의 데이터 구동 집적 회로; 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차와 오프셋 오차가 저장되어 있는 메모리; 및 상기 개인 오차와 상기 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하고, 보정된 센싱 데이터에 기초하여 입력되는 입력 데이터를 변조하여 상기 복수개의 데이터 구동 집적 회로에 공급하는 타이밍 제어부를 포함하여 구성되는 것을 특징으로 한다.

[0017] 상기 타이밍 제어부는 상기 센싱 데이터에서 상기 오프셋 오차를 감산 연산하고, 감산 연산의 결과 값을 상기 개인 오차로 제산 연산하여 상기 보정된 센싱 데이터를 산출하는 것을 특징으로 한다.

[0018] 상기 타이밍 제어부는 ADC 편차 보정 모드 동안 상기 센싱부를 프리차징 구간과 센싱 구간으로 나누어 구동시키며, 상기 센싱부는 상기 프리차징 구간 동안 상기 센싱 라인들 각각에 테스트 전압을 공급하고, 상기 센싱 구간 동안 상기 아날로그-디지털 컨버터로부터 출력되는 측정 데이터를 상기 타이밍 제어부에 공급하는 것을 특징으로 한다.

[0019] 상기 타이밍 제어부는 상기 테스트 전압의 전압 레벨을 단계적으로 증가시키고, 상기 아날로그-디지털 컨버터로부터 출력되는 전압 레벨에 따른 측정 데이터를 취득하여 외부의 오차 보정 장치에 제공하고, 상기 오차 보정 장치로부터 제공되는 상기 개인 오차 및 오프셋 오차를 상기 메모리에 저장하는 것을 특징으로 한다.

[0020] 상기 센싱부는 상기 센싱 라인들을 통해 표시 구간 중 선택된 수평 라인의 화소들에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 상기 센싱 데이터를 상기 타이밍 제어부에 공급하고, 상기 타이밍 제어부는 상기 개인 오차와 상기 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하고, 보정된 센싱 데이터에 기초하여 상기 수평 라인의 화소들에 공급될 입력 데이터를 변조하는 것을 특징으로 한다.

[0021] 전술한 기술적 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치의 구동 방법은 게이트 라인들과 데이터 라인들 및 센싱 라인들의 교차 영역에 형성된 복수개의 화소를 가지는 표시 패널; 및 상기 센싱 라인들에 선택적으로 연결되는 복수개의 아날로그-디지털 컨버터를 가지는 센싱부가 내장된 복수개의 데이터 구동 집적 회로를 포함하는 유기 발광 표시 장치의 구동 방법에 있어서, 상기 센싱 라인 각각에 공급된 테스트 전압에 따른 상기 복수개의 아날로그-디지털 컨버터 각각의 출력 데이터에 기초하여 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차 및 오프셋 오차를 산출하는 단계(A); 상기 복수개의 아날로그-디지털 컨버터 각각을 통해 복수개의 화소 각각에 포함된 구동 트랜지스터의 특성 변화 정보를 센싱하여 각 화소의 센싱 데이터를 생성하는 단계(B); 상기 개인 오차 및 오프셋 오차에 기초하여 상기 센싱 데이터를 보정하는 단계(C); 및 보정된 센싱 데이터에 기초하여 입력되는 입력 데이터를 변조하여 상기 복수개의 데이터 구동 집적 회로에 공급하는 단계(D)를 포함하여 이루어지는 것을 특징으로 한다.

[0022] 상기 단계(C)는 상기 센싱 데이터에서 상기 오프셋 오차를 감산 연산하고, 상기 감산 연산의 결과 값을 상기 개인 오차로 제산 연산하여 상기 보정된 센싱 데이터를 산출하는 것을 특징으로 한다.

인 오차로 제산 연산하여 상기 보정된 센싱 데이터를 산출하는 것을 특징으로 한다.

[0023] 상기 단계(A)는 상기 게이트 라인들에 게이트 오프 전압 레벨의 게이트 신호를 공급하는 단계(A1); 상기 센싱 라인들에 테스트 전압을 공급하고, 상기 복수개의 아날로그-디지털 컨버터 각각을 이용하여 상기 테스트 전압이 공급된 상기 센싱 라인들 각각의 전압을 센싱하는 단계(A2); 상기 복수개의 아날로그-디지털 컨버터 각각으로부터 출력되는 상기 데이터 전압에 따른 측정 데이터를 취득하는 단계(A3); 및 상기 측정 데이터에 기초한 최소 자승법을 이용하여 상기 복수개의 아날로그-디지털 컨버터 각각의 개인 오차 및 오프셋 오차를 산출하여 메모리에 저장하는 단계(A4)를 포함하여 이루어지는 것을 특징으로 한다.

[0024] 상기 단계(A2)는 상기 테스트 전압의 전압 레벨을 단계적으로 증가시키고, 상기 복수개의 아날로그-디지털 컨버터 각각을 이용하여 단계적으로 증가되는 테스트 전압이 공급된 상기 센싱 라인들 각각의 전압을 센싱하고, 상기 단계(A4)는 테스트 전압의 일정 구간별로 상기 개인 오차 및 오프셋 오차를 산출하는 것을 특징으로 한다.

[0025] 상기 단계(A4)는 상기 복수개의 아날로그-디지털 컨버터 각각에 동일한 개인 오차 및 오프셋 오차를 산출하고, 상기 단계(C)는 상기 복수개의 아날로그-디지털 컨버터 각각의 센싱 데이터에 동일한 개인 오차 및 오프셋 오차를 적용하는 것을 특징으로 한다.

### 발명의 효과

[0026] 상기 과제의 해결 수단에 의하면, 본 발명에 따른 유기 발광 표시 장치 및 이의 구동 방법은 구동 트랜지스터의 특성 변화를 센싱하는 아날로그-디지털 컨버터 간의 출력 편차에 따른 센싱 데이터의 왜곡을 최소화할 수 있으며, 각 화소에 포함된 구동 트랜지스터의 특성 변화를 보다 정확하게 보상할 수 있다.

### 도면의 간단한 설명

[0027] 도 1은 아날로그-디지털 컨버터의 입력 전압에 따른 출력 데이터를 나타내는 과정도이다.

도 2는 일반적인 유기 발광 표시 장치에 있어서, 복수의 데이터 구동 접적 회로 간의 출력 편차를 설명하기 위한 과정도이다.

도 3은 본 발명의 실시 예에 따른 유기 발광 표시 장치를 설명하기 위한 도면이다.

도 4는 도 3에 도시된 한 화소의 구조를 도면이다.

도 5는 도 3에 도시된 데이터 구동 접적 회로를 설명하기 위한 도면이다.

도 6은 본 발명의 실시 예에 따른 아날로그-디지털 컨버터의 오차 보정 장치를 설명하기 위한 도면이다.

도 7은 도 8에 도시된 오차 보정 장치의 구성을 설명하기 위한 도면이다.

도 8은 본 발명에 따른 오차 보정 장치를 이용한 ADC 편차 보정 모드시 회로 동작 및 개인 오차 및 오프셋 오차를 산출하는 과정을 설명하기 위한 도면이다.

도 9는 도 8에 도시된 아날로그-디지털 컨버터의 테스트 전압에 따른 측정 데이터를 나타내는 과정도이다.

도 10 및 도 11은 테스트 전압의 구간별 개인 오차 및 오프셋 오차의 연산 보정을 설명하기 위한 도면이다.

도 12는 본 발명에 따른 개인 오차 및 오프셋 오차의 적용 전후의 센싱 데이터를 데이터 구동 접적 회로별로 비교하여 나타내는 도면이다.

도 13은 복수의 데이터 구동 접적 회로의 센싱 데이터 간의 편차를 설명하기 위한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0028] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.

[0029] "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분 품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야

한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다.

- [0031] 이하에서는 본 발명에 따른 유기 발광 표시 장치 및 그의 구동 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명한다.
- [0032] 도 3은 본 발명의 실시 예에 따른 유기 발광 표시 장치를 설명하기 위한 도면이고, 도 4는 도 3에 도시된 한 화소의 구조를 도면이며, 도 5는 도 3에 도시된 데이터 구동 접적 회로를 설명하기 위한 도면이다.
- [0033] 도 3 내지 도 5를 참조하면, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 표시 패널(100), 게이트 구동부(200), 복수의 데이터 구동 접적 회로(300), 메모리(400), 및 타이밍 제어부(500)를 포함한다.
- [0034] 상기 표시 패널(100)은 복수개의 화소(P)를 포함한다. 상기 복수개의 화소(P)는 서로 교차하는 복수개의 게이트 라인 그룹(GL), 복수개의 데이터 라인(DLi), 및 상기 복수개의 데이터 라인(DLi)에 나란한 복수개의 센싱 라인(SLi)에 의해 정의되는 화소 영역에 형성된다.
- [0035] 상기 복수개의 게이트 라인 그룹(GLi) 각각은 상기 표시 패널(100)의 제 1 방향, 예컨대 수평 방향을 따라 나란하게 형성된다. 이때, 상기 복수개의 게이트 라인 그룹(GLi) 각각은 서로 인접한 제 1 및 제 2 게이트 라인(GLa, GLb)으로 이루어진다. 이러한, 각 게이트 라인 그룹(GLi)의 제 1 및 제 2 게이트 라인(GLa, GLb)에는 상기 게이트 구동부(200)로부터 제 1 및 제 2 게이트 신호(GSa, GSb)가 개별적으로 공급된다.
- [0036] 상기 복수개의 데이터 라인(DLi) 각각은 복수의 게이트 라인 그룹(GLi) 각각과 교차하도록 표시 패널(100)의 제 2 방향, 예컨대 수직 방향을 따라 나란하게 형성된다. 이러한, 각 데이터 라인(DLi)에는 상기 데이터 구동 접적 회로(300)로부터 데이터 전압(Vdata)이 개별적으로 공급된다. 이때, 상기 복수개의 데이터 라인(DLi) 각각에는 해당 화소(P)에 포함된 구동 트랜지스터의 문턱 전압과 이동도 각각이 보상된 데이터 전압(Vdata)이 공급된다.
- [0037] 상기 복수개의 센싱 라인(SLi) 각각은 복수개의 데이터 라인(DLi) 각각과 나란하게 형성된다. 이러한, 각 센싱 라인(SLi)에는 상기 데이터 구동 접적 회로(300)로부터 기준 전압(Vref) 또는 프리차징 전압(Vpre)이 선택적으로 공급된다. 즉, 상기 기준 전압(Vref)은 표시 모드시 각 센싱 라인(SLi)에 선택적으로 공급되며, 상기 프리차징 전압(Vpre)은 센싱 모드시 센싱 라인(SLi)에 선택적으로 공급된다. 한편, 각 센싱 라인(SLi)에는 아날로그-디지털 컨버터의 편차 보정 모드(이하, "ADC 편차 보정 모드"라 함)시 테스트 전압이 공급된다.
- [0038] 상기 표시 패널(100)에는 복수개의 데이터 라인(DLi) 각각에 나란하게 형성된 복수개의 구동 전압 라인(PLi)이 형성되어 있다. 상기 복수개의 구동 전압 라인(PLi) 각각에는 전압 공급부(미도시)로부터 구동 전압(VDD)이 공급된다.
- [0039] 상기 복수개의 화소(P) 각각은 유기 발광 소자(OLED), 및 화소 회로(PC)를 포함한다.
- [0040] 상기 유기 발광 소자(OLED)는 화소 회로(PC)의 구동에 따라 구동 전압 라인(PLi)으로부터 캐소드 전압(VSS) 라인으로 흐르는 데이터 전류(Ioled)에 비례하여 발광한다. 이를 위해, 유기 발광 소자(OLED)는 애노드 전극(미도시), 애노드 전극 상에 형성된 유기층(미도시), 및 유기층 상에 형성된 캐소드 전극(CE)을 포함한다. 이때, 유기층은 정공 수송층/유기 발광층/전자 수송층의 구조 또는 정공 주입층/정공 수송층/유기 발광층/전자 수송층/전자 주입층의 구조를 가지도록 형성될 수 있다. 나아가, 상기 유기층은 유기 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층을 더 포함하여 이루어질 수 있다. 그리고, 캐소드 전극(CE)은 복수의 화소(P) 각각에 개별적으로 형성되거나, 복수의 화소(P)에 공통적으로 접속되도록 형성될 수 있다.
- [0041] 상기 화소 회로(PC)는 제 1 스위칭 트랜지스터(Tsw1), 제 2 스위칭 트랜지스터(Tsw2), 구동 트랜지스터(Tdr), 및 커패시터(Cst)를 포함할 수 있다. 여기서, 트랜지스터(Tsw1, Tsw2, Tdr)는 N형 박막 트랜지스터(TFT)로서 a-Si TFT, poly-Si TFT, Oxide TFT, Organic TFT 등이 될 수 있다.
- [0042] 상기 제 1 스위칭 트랜지스터(Tsw1)는 게이트 라인 그룹(GLi)의 제 1 게이트 라인(GLa)에 접속된 게이트 전극, 인접한 데이터 라인(DLi)에 접속된 제 1 전극, 및 구동 트랜지스터(Tdr)의 게이트 전극인 제 1 노드(n1)에 접속된 제 2 전극을 포함한다. 이러한 상기 제 1 스위칭 트랜지스터(Tsw1)는 상기 제 1 게이트 라인(GLa)에 공급되는 게이트 온 전압 레벨의 제 1 게이트 신호(GSa)에 따라 데이터 라인(DLi)에 공급되는 상기 데이터 전압(Vdata)을 제 1 노드(n1), 즉 구동 트랜지스터(Tdr)의 게이트 전극에 공급한다.

- [0043] 상기 제 2 스위칭 트랜지스터(Tsw2)는 게이트 라인 그룹(GLi)의 제 2 게이트 라인(GLb)에 접속된 게이트 전극, 인접한 센싱 라인(SLi)에 접속된 제 1 전극, 및 구동 트랜지스터(Tdr)의 소스 전극인 제 2 노드(n2)에 접속된 제 2 전극을 포함한다. 이러한 제 2 스위칭 트랜지스터(Tsw2)는 상기 제 2 게이트 라인(GLb)에 공급되는 게이트 온 전압 레벨의 제 2 게이트 신호(GSb)에 따라 센싱 라인(SLi)에 공급되는 상기 기준 전압(Vref)(또는 프리차징 전압(Vpre))을 제 2 노드(n2), 즉 구동 트랜지스터(Tdr)의 소스 전극에 공급한다.
- [0044] 상기 커패시터(Cst)는 구동 트랜지스터(Tdr)의 게이트 전극과 소스 전극, 즉 제 1 및 제 2 노드(n1, n2) 간에 접속되는 제 1 및 제 2 전극을 포함한다. 이러한 커패시터(Cst)는 제 1 및 제 2 노드(n1, n2) 각각에 공급되는 전압의 차 전압을 충전한 후, 충전된 전압에 따라 구동 트랜지스터(Tdr)를 스위칭시킨다.
- [0045] 상기 구동 트랜지스터(Tdr)는 제 1 스위칭 트랜지스터(Tsw1)의 제 2 전극과 커패시터(Cst)의 제 1 전극에 공통적으로 접속된 게이트 전극, 제 2 스위칭 트랜지스터(Tsw2)의 제 1 전극과 커패시터(Cst)의 제 2 전극 및 유기 발광 소자(OLED)에 공통적으로 접속된 소스 전극, 및 구동 전압 라인(PLi)에 접속된 드레인 전극을 포함한다. 이러한 구동 트랜지스터(Tdr)는 커패시터(Cst)의 전압에 의해 턴-온됨으로써 구동 전압 라인(PLi)으로부터 유기 발광 소자(OLED)로 흐르는 전류 량을 제어한다.
- [0046] 이와 같은 화소 회로(PC)는 상기 게이트 구동부(200)로부터 공급되는 게이트 신호에 따른 데이터 충전 기간과 발광 기간으로 동작한다. 즉, 상기 화소 회로(PC)는 상기 데이터 충전 기간 동안 상기 커패시터(Cst)에 데이터 전압(Vdata)과 기준 전압(Vref)의 차 전압(Vdata-Vref)을 충전하고, 상기 발광 기간 동안 상기 커패시터(Cst)에 저장된 전압에 따라 구동 트랜지스터(Tdr)를 턴-온시켜 데이터 전압(Vdata)과 기준 전압(Vref)의 차 전압(Vdata-Vref)에 의해 결정되는 데이터 전류(Ioled)로 유기 발광 소자(OLED)를 발광시킨다.
- [0047] 상술한 실시 예에 있어서는 화소 회로(PC)가 3개의 트랜지스터와 하나의 커패시터로 구성되는 것으로 설명하였지만, 화소 회로(PC)를 구성하는 트랜지스터 및 커패시터의 개수는 다양하게 변형 가능할 것이다.
- [0048] 상기 게이트 구동부(200)는 상기 표시 패널(100)의 일측 및/또는 양측 비표시 영역에 형성되어 게이트 라인(GL)들에 연결된다. 이때, 상기 게이트 구동부(200)는 각 화소(P)의 트랜지스터 형성 공정과 함께 표시 패널(100)의 기판에 직접 형성되어 상기 게이트 라인(GL) 각각의 일측 또는 양측에 연결될 수 있다.
- [0049] 상기 게이트 구동부(200)는 상기 타이밍 제어부(500)의 제어에 따라 1 수평 기간마다 게이트 온 전압 레벨의 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 게이트 라인 그룹(GLi)에 순차적으로 공급한다. 이때, 상기 제 1 및 제 2 게이트 신호(GSa, GSb) 각각은 각 화소(P)의 데이터 충전 기간 동안 게이트 온 전압 레벨을 가지고, 각 화소(P)의 발광 기간 동안 게이트 오프 전압 레벨을 갖는다.
- [0050] 또한, 상기 게이트 구동부(200)는 상기 타이밍 제어부(500)의 제어에 따라 한 프레임 기간 중 일부 수평 기간에 설정된 센싱 구간 동안, 선택된 수평 라인의 각 화소(P)들을 초기화 기간과 전압 충전 기간 및 전압 센싱 기간으로 구동하기 위한 제 1 및 제 2 게이트 신호(GSa, GSb)를 생성하여 해당 게이트 라인 그룹(GLi)에 공급한다. 이때, 상기 제 1 게이트 신호(GSa)는 상기 초기화 기간과 전압 충전 기간 동안에만 게이트 온 전압 레벨을 가지고, 상기 제 2 게이트 신호(GSb)는 센싱 구간 동안 게이트 온 전압 레벨을 갖는다.
- [0051] 한편, 상기 게이트 구동부(200)는 접적 회로(IC) 형태로 형성되어 표시 패널(110)의 일측 및/또는 양측 비표시 영역에 실장되거나, 접적 회로(IC) 형태로 형성되어 게이트 연성 회로 필름(미도시)에 실장될 수 있다. 이때, 상기 게이트 연성 회로 필름은 필름 부착 공정에 의해 표시 패널(300)에 부착된다.
- [0052] 상기 복수개의 데이터 구동 접적 회로(300) 각각은 상기 데이터 라인(DL)들과 상기 센싱 라인(SL)들 각각에 연결된다. 이러한 상기 복수개의 데이터 구동 접적 회로(300) 각각은 상기 타이밍 제어부(500)의 제어에 따라 각 화소(P)에 데이터 전압과 기준 전압을 공급하고, 센싱 라인을 이용하여 수평 라인 중 선택된 수평 라인의 각 화소에 포함된 구동 트랜지스터(Tdr)의 문턱 전압 및 이동도 특성 변화를 센싱하여 구동 트랜지스터(Tdr)의 문턱 전압 센싱 데이터와 이동도 센싱 데이터를 생성하여 타이밍 제어부(500)에 제공한다. 이와 같은, 상기 복수개의 데이터 구동 접적 회로(300) 각각은 데이터 연성 회로 필름(310)에 실장된다. 상기 복수개의 데이터 연성 회로 필름(310)의 일측은 필름 부착 공정에 의해 표시 패널(300)에 형성된 데이터 패드부에 부착되고, 복수개의 데이터 연성 회로 필름(310)의 타측은 필름 부착 공정에 의해 데이터 인쇄 회로 기판(600)에 부착된다.
- [0053] 상기 복수개의 데이터 구동 접적 회로(300) 각각은 데이터 구동부(310), 및 센싱부(320)를 포함한다.
- [0054] 상기 데이터 구동부(310)는 1 수평 기간마다 상기 타이밍 제어부(500)로부터 각 화소(P)의 화소 데이터(DATA)를 공급받아 데이터 전압(Vdata)으로 변환하여 데이터 라인(DLi)에 공급한다. 그리고, 상기 데이터 구동부(310)는

상기 센싱 구간 동안 상기 타이밍 제어부(500)로부터 공급되는 센싱용 데이터(DATA)를 센싱용 데이터 전압(Vdata)으로 변환하여 데이터 라인(DLi)에 공급한다. 결과적으로, 상기 데이터 구동부(310)는 각 수평 기간의 데이터 충전 기간 동안 데이터 전압(Vdata)을 데이터 라인(DLi)에 공급하고, 상기 센싱 구간의 초기화 기간, 또는 초기화 기간 및 전압 충전 기간 동안에 센싱용 데이터 전압(Vdata)을 데이터 라인(DLi)에 공급한다. 이를 위해, 상기 데이터 구동부(310)는 상기 타이밍 제어부(500)로부터 공급되는 데이터 스타트 신호와 데이터 쉬프트 신호에 기초하여 샘플링 신호를 생성하는 쉬프트 레지스터, 샘플링 신호에 따라 화소 데이터(DATA)를 래치하는 래치부, 복수의 기준 감마 전압을 이용하여 복수의 계조 전압을 생성하는 계조 전압 생성부, 복수의 계조 전압 중에서 래치된 데이터에 대응되는 계조 전압을 데이터 전압(Vdata)으로 선택하여 출력하는 디지털-아날로그 컨버터, 및 데이터 출력 신호에 따라 상기 데이터 전압(Vdata)을 데이터 라인(DLi)으로 출력하는 출력부를 포함하여 구성될 수 있다.

[0055] 한편, 도 5에서는 상기 데이터 구동부(310)가 하나의 데이터 라인(DLi)에 접속되는 것으로 도시하였지만, 설정된 채널 수에 대응되는 데이터 라인에 접속된다.

[0056] 상기 센싱부(320)는 각 화소(P)의 센싱 라인(SLi)마다 접속되는 것으로, 스위칭부(322), 및 아날로그-디지털 컨버터(324)를 포함한다.

[0057] 상기 스위칭부(322)는 기준 전압(Vref)이 공급되는 기준 전압 공급 라인(RVL), 프리차징 전압(Vpre)이 공급되는 프리차징 전압 공급 라인(PVL), 및 아날로그-디지털 컨버터(324)를 상기 타이밍 제어부(128)의 제어에 따라 선택적으로 센싱 라인(SLi)에 접속시킨다. 즉, 상기 스위칭부(322)는 상기 각 수평 기간 동안 기준 전압 공급 라인(RVL)을 센싱 라인(SLi)에 접속시킨다. 반면에, 상기 스위칭부(322)는 상기 센싱 구간의 초기화 기간을 동안 프리차징 전압 공급 라인(PVL)을 센싱 라인(SLi)에 접속시키고, 상기 센싱 구간의 데이터 충전 기간 동안 상기 센싱 라인(SLi)을 플로팅(floating)시키며, 상기 센싱 구간의 전압 센싱 구간 동안 상기 센싱 라인(SLi)을 아날로그-디지털 컨버터(324)에 접속시킨다.

[0058] 상기 기준 전압(Vref)은 상기 데이터 구동부(310)의 계조 전압 생성부에서 출력되는 계조 전압 중 어느 한 전압일 수 있으며, 이 경우 기준 전압 공급 라인(RVL)은 상기 계조 전압 생성부에 연결된다. 여기서, 상기 기준 전압(Vref)은 0(Zero)의 전압 레벨을 가지거나, 상기 유기 발광 소자(OLED)의 도통 전압 미만의 전압 레벨을 가질 수 있다.

[0059] 또한, 상기 프리차징 전압(Vpre) 역시 계조 전압 생성부에서 출력되는 계조 전압 중 어느 한 전압일 수 있으며, 이 경우 프리차징 전압 공급 라인(PVL)은 상기 계조 전압 생성부에 연결된다.

[0060] 상기 아날로그-디지털 컨버터(324)는 상기 스위칭부(322)의 스위칭에 의해 센싱 라인(SLi)에 접속되면, 상기 센싱 라인(SLi)에 충전된 전압을 센싱하고, 센싱된 전압을 디지털 변환하여 센싱 데이터(Sdata)를 생성하고, 생성된 센싱 데이터(Sdata)를 타이밍 제어부(500)에 공급한다. 여기서, 상기 센싱 데이터(Sdata)는 인쇄 회로 기판(600)에 형성된 센싱 데이터 전송 라인(610)과 신호 전송 부재(800)를 통해 제어 기판(700)에 실장된 타이밍 제어부(500)에 공급된다.

[0061] 상기 메모리(400)는 제어 기판(700)에 실장되어 전술한 센싱부(324)에 포함된 각 아날로그-디지털 컨버터(324)에 대한 개인 오차 및 오프셋 오차가 저장되어 있다. 이러한 각 아날로그-디지털 컨버터(324)에 대한 개인 오차 및 오프셋 오차는 유기 발광 표시 장치의 제품 출하전 최종 검사 공정에서 수행되는 ADC 편차 보정 모드에 의해 각 아날로그-디지털 컨버터(324)로부터 출력되는 측정 데이터에 기초한 보정 연산 과정을 통해 산출되어 상기 메모리(400)에 저장되게 된다. 이때, 상기 보정 연산 과정은 복수의 데이터 구동 접적 회로(310) 각각에 내장된 모든 아날로그-디지털 컨버터(324) 각각의 개인 오차 및 오프셋 오차를 개별적으로 산출하거나, 데이터 구동 접적 회로(310) 단위로 아날로그-디지털 컨버터(324) 각각의 개인 오차 및 오프셋 오차를 산출하거나, 모든 아날로그-디지털 컨버터(324)에 동일한 개인 오차 및 오프셋 오차를 산출할 수 있다. 이와 같은, ADC 편차 보정 모드와 보정 연산 과정에 대해서는 후술하기로 한다.

[0062] 한편, 상기 메모리(400)는 타이밍 제어부(500)에 내장될 수 있다.

[0063] 상기 타이밍 제어부(500)는 상기 제어 기판(700)에 실장되어 상기 유저 커넥터(710)를 통해 외부의 시스템 본체(미도시) 또는 그래픽 카드(미도시)로부터 입력되는 타이밍 동기 신호 및 영상 데이터를 공급받는다.

[0064] 먼저, 상기 타이밍 제어부(500)는 수직 동기 신호, 수평 동기 신호, 데이터 인에이블 신호, 클럭 신호 등의 타이밍 동기 신호를 기초하여 게이트 구동부(200)와 복수의 데이터 구동 접적 회로(300) 각각의 구동 타이밍을 제

어한다.

[0065] 상기 타이밍 제어부(500)는 1 수평 기간 단위로 상기 각 게이트 라인 그룹(GLi)에 접속된 각 화소(P)가 데이터 충전 기간과 발광 기간으로 구동되도록 게이트 구동부(200)의 구동 타이밍을 제어하고, 데이터 충전 기간 동안 데이터 라인(DLi)에 데이터 전압(Vdata)이 공급되고 기준 전압(Vref)이 센싱 라인(SLi)에 공급되도록 복수의 데이터 구동 접속 회로(300)의 구동 타이밍을 제어한다.

[0066] 상기 타이밍 제어부(500)는 상기 센싱 구간 동안 선택된 수평 라인의 각 화소(P)들이 초기화 기간, 전압 충전 기간, 및 전압 센싱 기간으로 구동되도록 게이트 구동부(200)의 구동을 제어하고, 초기화 기간 또는 초기화 기간 및 전압 충전 기간 동안 데이터 라인(DLi)에 센싱용 데이터 전압(Vdata)이 공급되도록 복수의 데이터 구동 접속 회로(300) 각각의 구동을 제어한다. 여기서, 상기 센싱 구간 동안 선택된 수평 라인의 각 화소(P)들에 포함된 구동 트랜지스터(Tdr)의 문턱 전압 및 이동도 특성 변화를 센싱하는 방법은, 선행특허문현 1 내지 3에 상세하게 기재되어 있으므로 이에 대한 설명은 생략하기로 한다.

[0067] 상기 타이밍 제어부(500)는 상기 메모리(400)에 저장된 개인 오차 및 오프셋 오차에 기초하여 복수의 데이터 구동 접속 회로(300)의 센싱부(324)로부터 공급된 각 화소(P)의 구동 트랜지스터(Tdr)의 문턱 전압 및 이동도 특성 변화에 대응되는 센싱 데이터(Sdata)를 보정하여 보정된 센싱 데이터를 산출하고, 산출된 각 화소(P)의 보정된 센싱 데이터를 별도의 메모리부(미도시)에 저장한다. 이때, 상기 타이밍 제어부(500)는, 아래의 수학식 1과 같이, 개인 오차 및 오프셋 오차에 따라 센싱 데이터(Sdata)를 보정할 수 있다.

## 수학식 1

$$y = \frac{(x - b)}{a}$$

[0068]

[0069] 수학식 1에서, y는 보정된 센싱 데이터를 의미하고, x는 센싱 데이터(Sdata)를 의미하고, a는 아날로그-디지털 컨버터의 개인 오차를 의미하며, b는 아날로그-디지털 컨버터의 오프셋 오차를 의미한다. 이러한 상기 보정된 센싱 데이터(y)는 상기 아날로그-디지털 컨버터(324)의 입력 전압에 대한 측정 데이터의 오차가 보상된 값을 갖는다.

[0070] 그리고, 상기 타이밍 제어부(500)는 외부로부터 입력 데이터가 입력되면, 상기 메모리부에 저장된 해당 화소의 보정된 센싱 데이터에 따라 해당 화소(P)의 입력 데이터를 변조하여 복수의 데이터 구동 접속 회로(300)에 공급한다. 이에 따라, 타이밍 제어부(500)는 보정된 센싱 데이터에 기초하여 구동 트랜지스터(Tdr)의 문턱 전압 및 이동도 특성 변화를 입력 데이터에 반영하여 변조 데이터를 생성하게 된다.

[0071] 한편, 상기 타이밍 제어부(500)는 외부로부터 공급되는 측정 동기 신호에 따라 게이트 구동부(200)와 복수의 데이터 구동 접속 회로(300) 각각을 ADC 편차 보정 모드로 동작시킨다.

[0072] 구체적으로, 상기 ADC 편차 보정 모드시, 상기 타이밍 제어부(500)는 모든 게이트 라인 그룹(GLi)에 게이트 오프 전압 레벨의 게이트 신호(GS)가 공급되도록 게이트 구동부(200)의 구동을 제어한다. 그런 다음, 상기 타이밍 제어부(500)는 복수의 데이터 구동 접속 회로(300) 각각에 내장된 센싱부(320)를 프리차징 구간과 센싱 구간으로 구동시킨다. 그런 다음, 상기 타이밍 제어부(500)는 상기 센싱 구간에 의해 센싱부(320)의 아날로그-디지털 컨버터(324)로부터 출력되는 측정 데이터를 외부의 오차 보정 장치로 출력하고, 상기 오차 보정 장치로부터 공급되는 아날로그-디지털 컨버터(324) 각각의 개인 오차 및 오프셋 오차, 데이터 구동 접속 회로(300) 단위의 개인 오차 및 오프셋 오차, 모든 아날로그-디지털 컨버터(324)에 동일한 개인 오차 및 오프셋 오차를 메모리(400)에 저장한다.

[0073] 상기 ADC 편차 보정 모드시, 상기 센싱부(320)는 상기 프리차징 구간 동안 센싱 라인(SLi)들에 테스트 전압(Vtest)을 공급하고, 상기 센싱 구간 동안 상기 아날로그-디지털 컨버터(324)로부터 출력되는 측정 데이터를 타이밍 제어부(500)에 공급한다. 이때, 상기 타이밍 제어부(500)는 상기 프리차징 구간 동안 상기 센싱 라인(DLi)들에 공급되는 테스트 전압(Vtest)을 복수의 구간 단위로 증가시킬 수 있다.

[0074] 이와 같은, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 메모리(400)에 저장된 센싱부(320)의 아날로그-디지털 컨버터(324)의 개인 오차 및 오프셋 오차에 기초하여 선택된 수평 라인의 화소들에 포함된 구동 트랜지스

터(Tdr)의 문턱 전압 및 이동도 특성에 대응되는 센싱 데이터를 보정하고, 보정된 센싱 데이터에 따라 입력 데이터를 변조함으로써 아날로그-디지털 컨버터(324) 간의 출력 편차에 따른 센싱 데이터의 왜곡을 최소화할 수 있으며, 각 화소에 포함된 구동 트랜지스터의 특성 변화를 보다 정확하게 보상할 수 있다.

[0075] 도 6은 본 발명의 실시 예에 따른 아날로그-디지털 컨버터의 오차 보정 장치를 설명하기 위한 도면이며, 도 7은 도 6에 도시된 오차 보정 장치의 구성을 설명하기 위한 도면이다.

[0076] 도 6 및 도 7을 참조하면, 본 발명에 따른 오차 보정 장치(900)는 전술한 유기 발광 표시 장치의 제어 기판(800)에 실장된 유저 커넥터(710)를 통해 전술한 타이밍 제어부(500)와 통신하면서 전술한 ADC 편차 보정 모드를 수행한다. 이를 위해, 본 발명에 따른 오차 보정 장치(900)는 측정 동기 신호 생성부(910), 테스트 전압 설정부(920), 및 오차 산출부(930)를 포함한다.

[0077] 상기 측정 동기 신호 생성부(910)는 ADC 편차 보정 모드를 생성하기 위한 측정 동기 신호(Msync)를 생성하여 타이밍 제어부(500)에 공급한다. 이에 따라, 타이밍 제어부(500)는 측정 동기 신호(Msync)에 따라 표시 패널(100)의 구동 모드를 ADC 편차 보정 모드로 설정하고, 전술한 게이트 구동부(200)와 복수의 데이터 구동 집적 회로(300) 각각을 ADC 편차 보정 모드로 동작시킨다.

[0078] 상기 테스트 전압 설정부(920)는 상기 측정 동기 신호(Msync)에 기초하여 센싱 라인(SLi)에 공급될 테스트 전압(Vtest)의 전압 값을 설정하기 위한 전압 설정 신호(TVS)를 생성하여 타이밍 제어부(500)에 공급한다. 이에 따라, 타이밍 제어부(500)는 상기 전압 설정 신호(TVS)에 대응되는 테스트 전압(Vtest)이 센싱 라인(SLi)에 공급되도록 전압 공급부를 제어하거나 전술한 기준 감마 전압 생성부의 출력 전압을 제어한다.

[0079] 상기 오차 산출부(930)는 타이밍 제어부(500)로부터 데이터 집적 회로(300) 단위로 공급되는 측정 데이터(Msensing)를 분석하여 아날로그-디지털 컨버터(324)의 개인 오차(a) 및 오프셋 오차(b)를 산출한다. 이때, 상기 오차 산출부(930)는 측정 데이터(Msensing)에 기초한 최소 자승법을 이용하여 개인 오차(a) 및 오프셋 오차(b)를 산출할 수 있다.

[0080] 그리고, 상기 오차 산출부(930)는 산출된 개인 오차(a) 및 오프셋 오차(b)를 타이밍 제어부(500)에 공급한다. 이에 따라, 타이밍 제어부(500)는 상기 오차 산출부(930)로부터 공급되는 상기 개인 오차(a) 및 오프셋 오차(b)를 메모리(400)에 저장한다.

[0081] 도 8은 본 발명에 따른 오차 보정 장치를 이용한 ADC 편차 보정 모드시 회로 동작 및 개인 오차 및 오프셋 오차를 산출하는 과정을 설명하기 위한 도면이다.

[0082] 먼저, 상기 타이밍 제어부(500)는 상기 측정 동기 신호(Msync)의 프리차징 구간에 따라 상기 게이트 구동부(200)의 구동을 제어하여 표시 패널(100)의 모든 게이트 라인 그룹(GLi)에 게이트 오프 전압 레벨의 게이트 신호(GSa, GSb)가 공급되도록 한다. 이와 동시에 상기 타이밍 제어부(500)는 상기 전압 설정 신호(TVS)에 대응되는 테스트 전압(Vtest)이 프리차징 전압 공급 라인(PVL)에 공급되도록 하고, 이와 동시에 복수의 데이터 구동 집적 회로(300)에 내장된 센싱부(320)의 스위칭부(322)를 제어하여 센싱 라인(SLi)을 프리차징 전압 공급 라인(PVL)에 연결시킴으로써 각 센싱 라인(SLi)에 테스트 전압(Vtest)을 충전한다.

[0083] 이어서, 상기 타이밍 제어부(500)는 상기 측정 동기 신호(Msync)의 센싱 구간에 따라 센싱부(320)의 스위칭부(322)를 제어하여 센싱 라인(SLi)을 아날로그-디지털 컨버터(324)에 연결시킨다. 이에 따라, 각 센싱 라인(SLi)에 연결된 아날로그-디지털 컨버터(324) 각각은 해당 센싱 라인(SLi)의 전압을 디지털 변환하여 측정 데이터(Msensing)를 생성하고, 생성된 측정 데이터(Msensing)를 타이밍 제어부(500)에 공급하며, 타이밍 제어부(500)는 측정 데이터(Msensing)를 오차 산출부(930)에 공급한다.

[0084] 이어서, 상기 타이밍 제어부(500)는 상기 전압 설정 신호(TVS)에 따라 상기 테스트 전압(Vtest)의 전압 레벨을 단계적으로 증가시키면서 전압 레벨에 따른 구간별로 전술한 과정을 반복적으로 수행함으로써, 도 9에 도시된 바와 같이, 테스트 전압(Vtest)의 전압 레벨에 따른 측정 데이터(Msensing)를 오차 산출부(930)에 공급한다.

[0085] 이어서, 상기 오차 산출부(930)는 상기 테스트 전압(Vtest)의 전압 레벨에 따른 측정 데이터(Msensing)에 기초한 최소 자승법(least square method)을 이용하여 측정 데이터(Msensing)의 산포도에 따라 X와 Y 사이에 존재하는 표본 회귀선( $y=ax+b$ )에서 개인 오차(a) 및 오프셋 오차(b)를 산출한다.

[0086] 구체적으로, 상기 테스트 전압(Vtest)의 전압 레벨에 따른 측정 데이터(Msensing)에 따른 표본 회귀선이 " $y=ax+b$ "라면, 오차의 제곱의 합은, 아래의 수학식 2와 같다.

## 수학식 2

$$f = \sum_{i=1}^n (ax + b - yi)^2$$

[0087]

[0088] 상기 오차 산출부(930)는, 하기의 수학식 3과 같이, 상기의 수학식 2의 함수( $f$ )의  $a$ ,  $b$ 에 대한 편미분값이 0인  $a$ ,  $b$ 를 구함으로써 상기 개인 오차(a) 및 오프셋 오차(b)를 산출한다.

## 수학식 3

$$f_a = \sum_{i=1}^n (2ax_i^2 + 2bx_i - 2x_i y_i), f_b = \sum_{i=1}^n (2ax_i + 2b - 2y_i)$$

$$f_a = f_b = 0$$

$$(\sum_{i=1}^n x_i^2)a + (\sum_{i=1}^n x_i)b = \sum_{i=1}^n x_i y_i$$

$$(\sum_{i=1}^n x_i)a + \sum_{i=1}^n b = \sum_{i=1}^n y_i$$

$$\begin{pmatrix} \sum_{i=1}^n x_i^2 & \sum_{i=1}^n x_i \\ \sum_{i=1}^n x_i & n \end{pmatrix} \begin{pmatrix} a \\ b \end{pmatrix} = \begin{pmatrix} \sum_{i=1}^n x_i y_i \\ \sum_{i=1}^n y_i \end{pmatrix}$$

[0089]

[0090] 이때, 상기 오차 산출부(930)는 상기 테스트 전압(Vtest)의 전압 레벨에 따라 반복적으로 측정된 측정 데이터(Msensing)를 평균화하여, 상기의 수학식 2의 함수의 종속 변수  $y_i$ 에 대입함으로써 상기 테스트 전압(Vtest)의 전압 레벨에 따라 간헐적으로 발생되는 측정 데이터(Msensing)의 오류 값을 보정하게 된다. 즉, 상기 오차 산출부(930)는 가산되는 측정 데이터(Msensing)와 이전 측정 데이터(Msensing)를 비교하여 정상 범위를 넘어서면 해당 측정 데이터(Msensing) 값에 평균 측정 데이터(Msensing) 값을 가산하고, 정상 범위일 때는 가산되는 측정 데이터(Msensing)와 이전 측정 데이터(Msensing)를 가산하게 된다.

[0091]

한편, 상기 아날로그-디지털 컨버터(342) 자체의 개인 오차 및 오프셋 오차로 인해 선형성 문제로 단일 개인 오차(a) 및 오프셋 오차(b)의 보정 값은 이상적으로 보정되어야 할 측정 데이터(Msensing) 값에 왜곡을 줄 수 있다. 이러한 왜곡을 방지하기 위해, 상기 오차 산출부(930)는, 도 10에 도시된 C 그래프와 같이, 상기 테스트 전압(Vtest)의 전압 레벨에 따른 측정 데이터(Msensing)의 선형성이 유지되는 구간으로 분할하여 구간별로 개인 오차(a) 및 오프셋 오차(b)를 연산하여 보정한다. 이와 같이, 상기 구간별로 개인 오차(a) 및 오프셋 오차(b)를 연산하여 보정하게 되면, 보정된 측정 데이터(Msensing) 값은 도 11에 도시된 구간별로 연산 보정을 수행하지 않은 D 그래프 대비 E 그래프와 같이 오차가 감소되어 이상적인 A 그래프에 근사화되게 된다.

[0092]

한편, 상기 오차 산출부(930)는 데이터 구동 접적 회로(300) 간의 개인 오차(a) 및 오프셋 오차(b)를 보정하여 모든 아날로그-디지털 컨버터에 동일한 개인 오차(a) 및 오프셋 오차(b)를 산출할 수 있으며, 이 경우, 타이밍 제어부(500)는 수평 라인의 센싱 구간시 복수개의 아날로그-디지털 컨버터(324) 각각으로부터 공급되는 센싱 데이터(Sdata)에 동일한 개인 오차(a) 및 오프셋 오차(b)를 적용하여 보정된 센싱 데이터를 생성하게 된다.

[0093]

전술한 바와 같은, 상기 오차 산출부(930)는 최소 자승법을 이용한 회귀 분석을 통해 산출된 각 아날로그-디지털 컨버터(342)에 대한 개인 오차(a) 및 오프셋 오차(b)를 타이밍 제어부(500)에 제공한다. 이에 따라, 상기 타이밍 제어부(500)는 오차 산출부(930)에 의해 제공되는 상기 개인 오차(a) 및 오프셋 오차(b)를 메모리(400)에 저장하고, 전술한 ADC 편차 보정 모드를 종료한다. 여기서, 각 아날로그-디지털 컨버터(342)에 대한 개인

오차(a) 및 오프셋 오차(b)는 룩 업 테이블(Look Up Table)을 생성되어 메모리(400)에 저장될 수 있다.

[0094] 도 12는 본 발명에 따른 개인 오차 및 오프셋 오차의 적용 전후의 센싱 데이터를 데이터 구동 집적 회로별로 비교하여 나타내는 도면으로서, 도 12의 (a)는 상기 센싱 데이터에 개인 오차 및 오프셋 오차를 적용한 보정된 센싱 데이터를 나타내고, 도 12의 (b)는 상기 센싱 데이터에 개인 오차 및 오프셋 오차가 적용되지 않은 센싱 데이터를 나타낸다.

[0095] 도 12의 (a)에서 알 수 있듯이, 상기 개인 오차 및 오프셋 오차가 적용되어 보정된 센싱 데이터의 경우, 데이터 구동 집적 회로의 간의 편차가 감소된 것을 알 수 있다.

[0096] 도 13은 복수의 데이터 구동 집적 회로의 센싱 데이터 간의 편차를 설명하기 위한 도면이다.

[0097] 도 13에서 알 수 있듯이, 복수의 데이터 구동 집적 회로 각각에서 출력되는 센싱 데이터(Sdata)의 경우, 아날로그-디지털 컨버터(324)의 개인 오차 및 오프셋 오차로 인해 데이터 구동 집적 회로(D-IC #1 ~ #8)마다 편차가 발생되지만, 전술한 ADC 편차 보정 모드에 의해 산출된 개인 오차(a) 및 오프셋 오차(b)에 의해 보정된 센싱 데이터(Sdata')의 경우, 데이터 구동 집적 회로(D-IC #1 ~ #8)마다 편차가 감소된 것을 확인할 수 있다.

[0098] 한편, 본 발명의 실시 예에 따른 유기 발광 표시 장치에서, 표시 패널(100)에 형성된 각 화소(P)의 구조는 선행 특허문현 1 내지 3에 개시된 화소 구조로 이루어질 수 있다. 이 경우, 본 발명의 실시 예에 따른 유기 발광 표시 장치는 전술한 바와 같이, 선행특허문현 1 내지 3에 개시된 센싱 방법에 의해 센싱된 각 화소에 포함된 구동 트랜지스터의 특성 변화에 대한 센싱 데이터를 보정함으로써 아날로그-디지털 컨버터의 출력 편차로 인한 문제점을 해결할 수 있다.

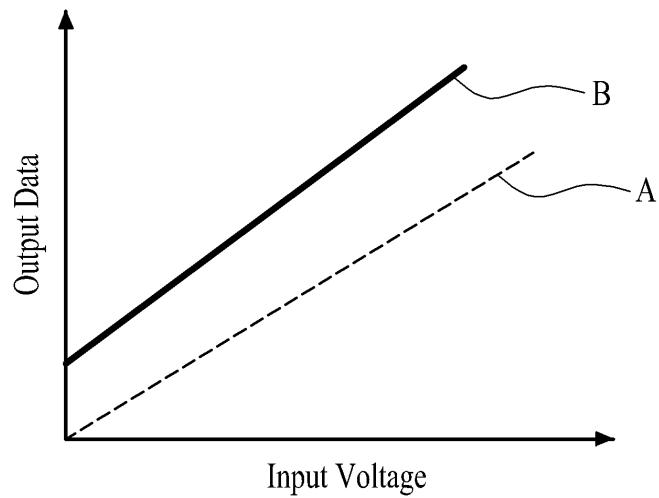
[0099] 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 부호의 설명

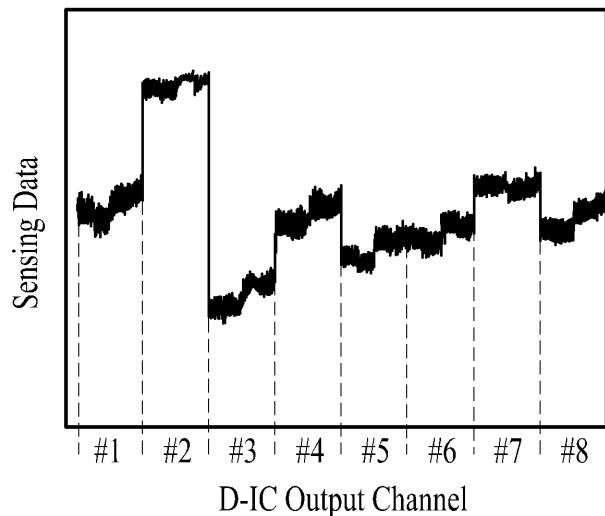
100: 표시 패널	200: 게이트 구동부
300: 데이터 구동 집적 회로	310: 데이터 구동부
320: 센싱부	322: 스위칭부
324: 아날로그-디지털 컨버터	400: 메모리
500: 타이밍 제어부	600: 인쇄 회로 기판
700: 제어 기판	900: 오차 보정 장치
910: 측정 동기 신호 생성부	920: 테스트 전압 설정부
930: 오차 산출부	

도면

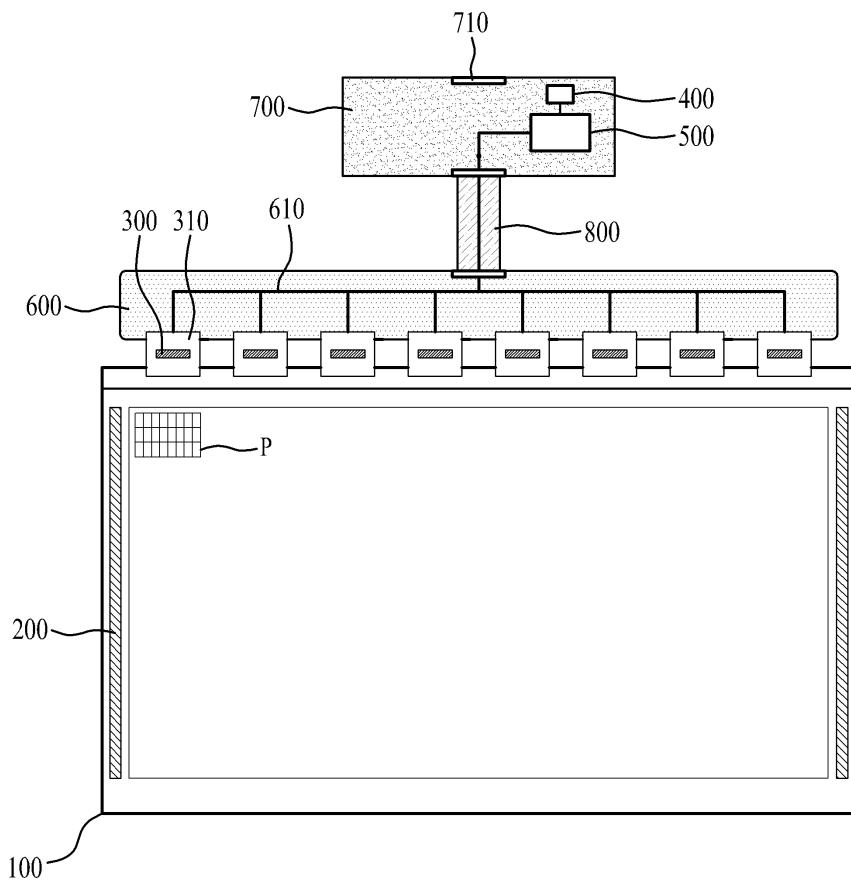
도면1



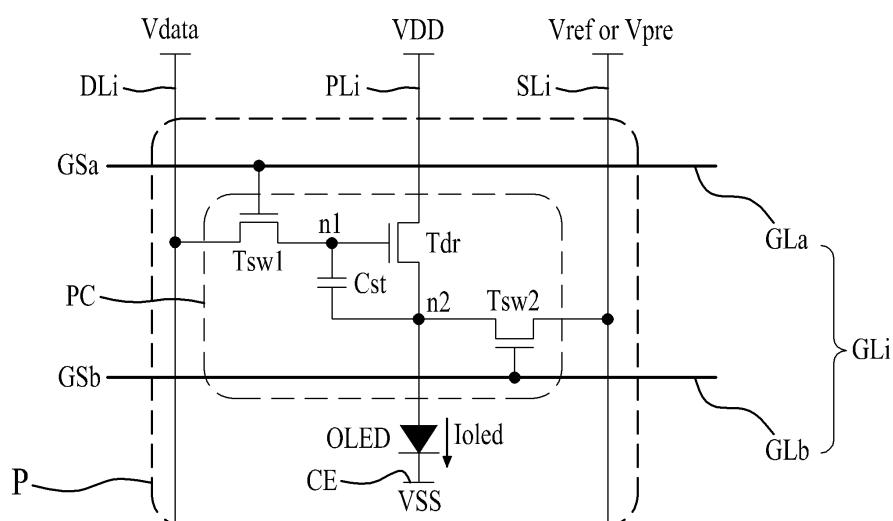
도면2



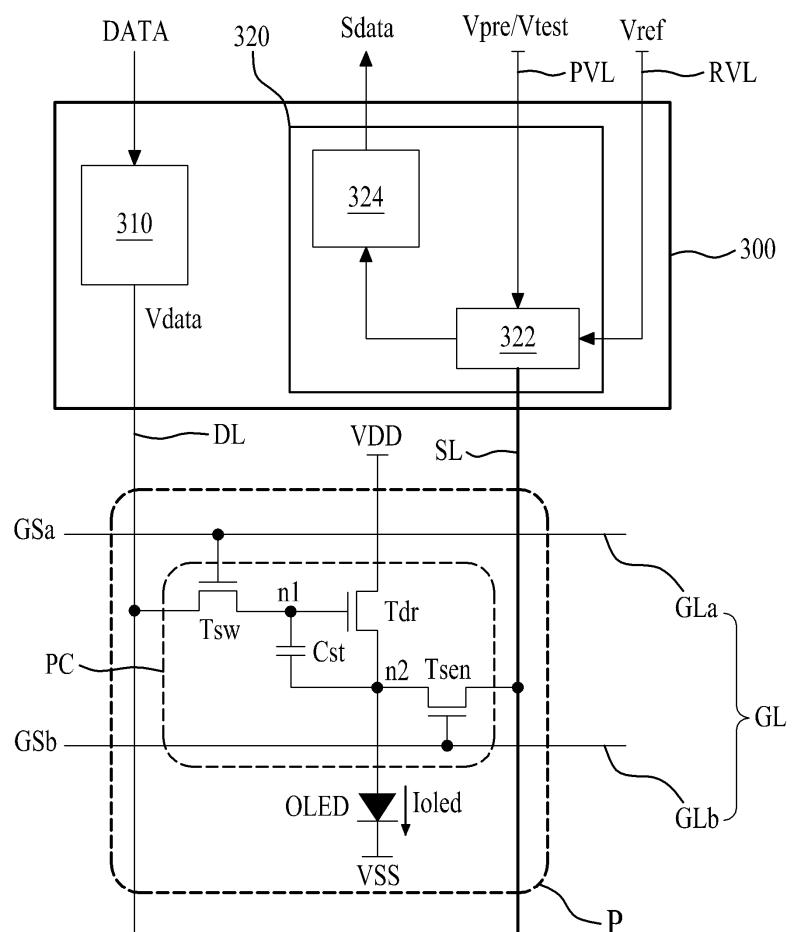
## 도면3



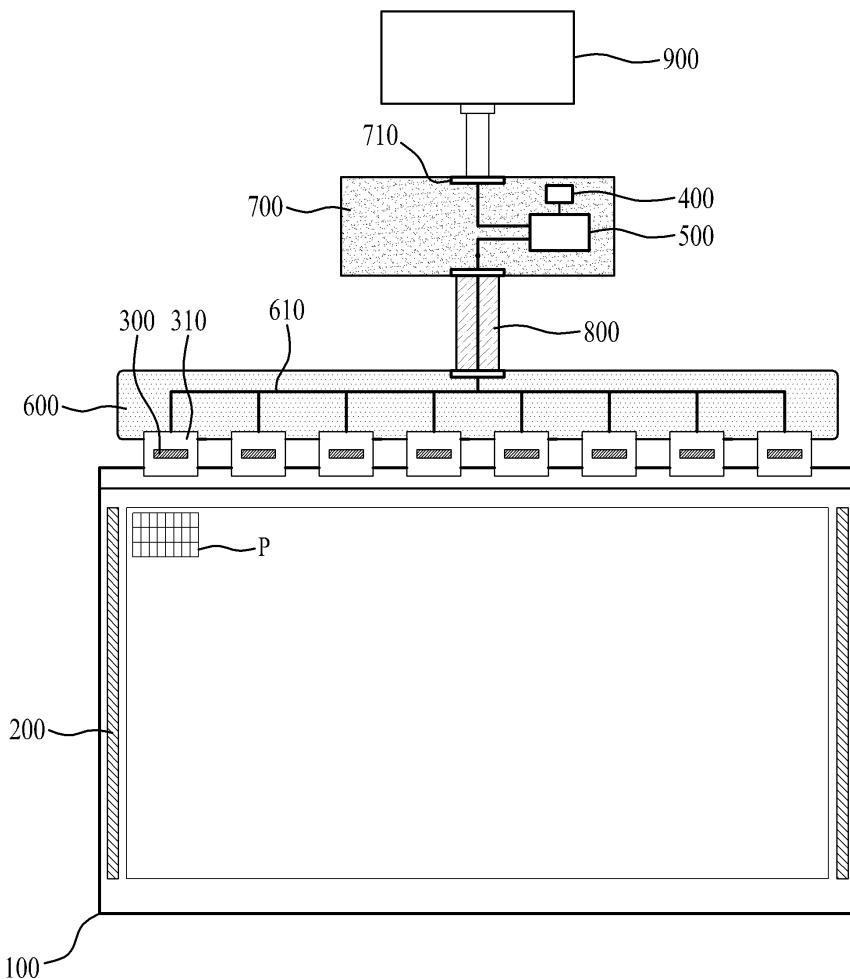
## 도면4



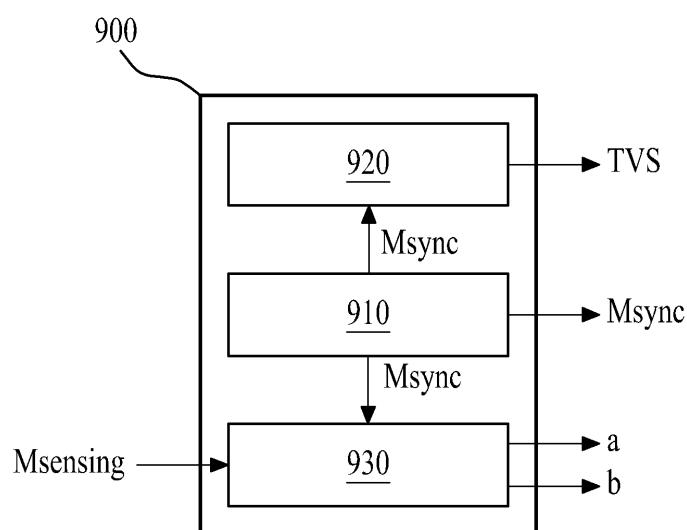
## 도면5



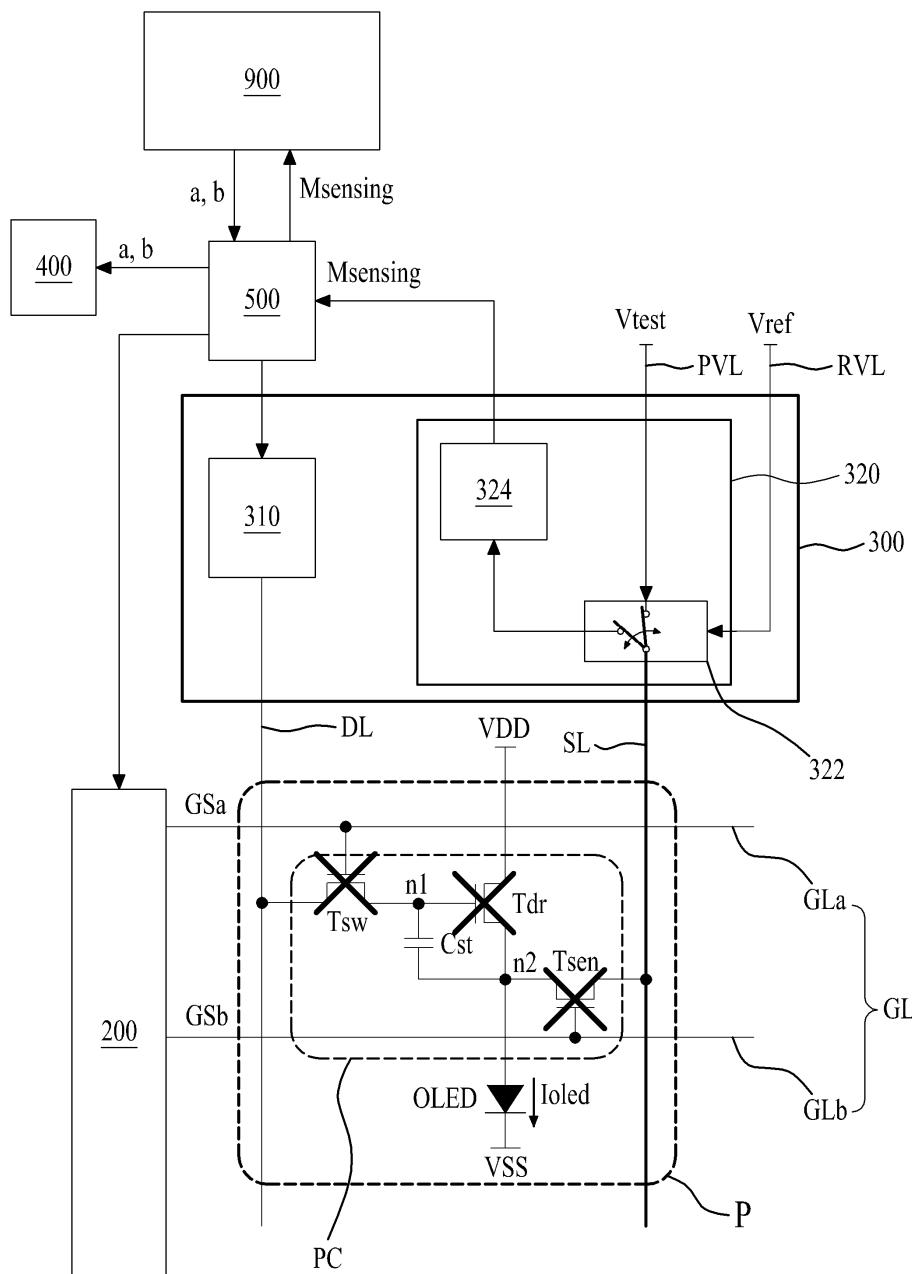
도면6



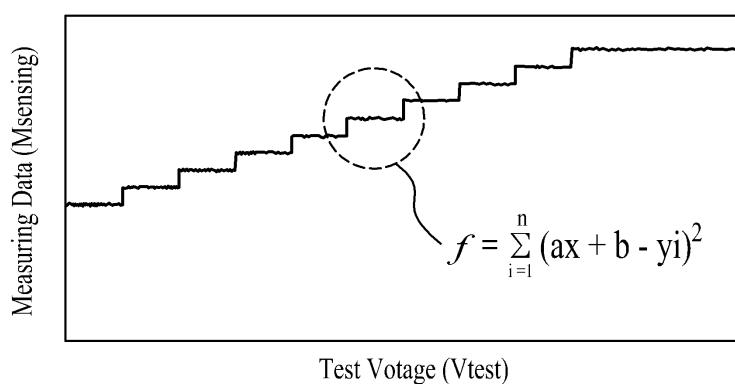
도면7



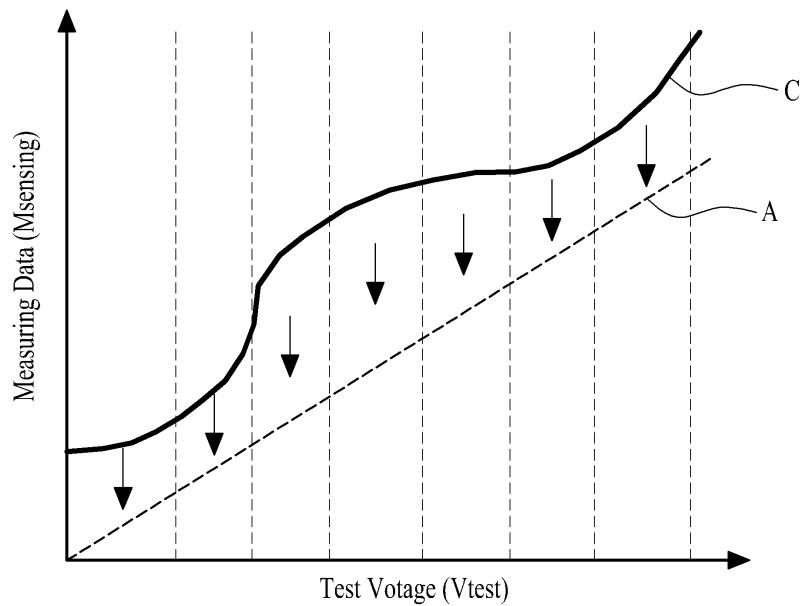
도면8



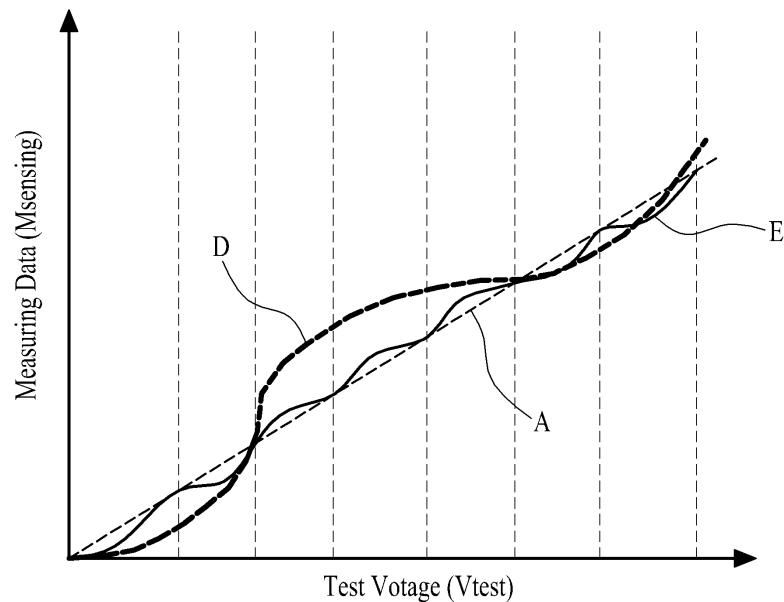
도면9



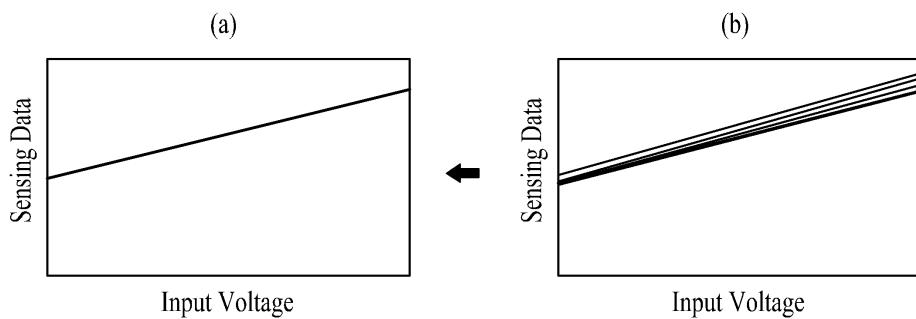
도면10



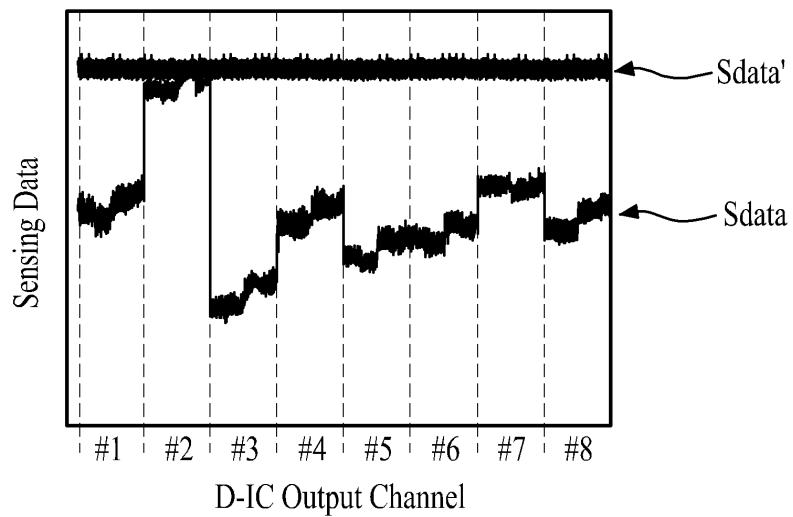
도면11



도면12



도면13



专利名称(译)	OLED显示装置及其驱动方法		
公开(公告)号	<a href="#">KR101992665B1</a>	公开(公告)日	2019-06-25
申请号	KR1020120153718	申请日	2012-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정재훈 윤재환		
发明人	정재훈 윤재환		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	G09G3/3208 G09G3/3233 G09G2300/0842 G09G2320/0295 G09G2320/043		
审查员(译)	李升 - 最小		
其他公开文献	KR1020140083680A		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

公开了一种有机发光显示装置。有机发光显示装置包括：显示面板，其包括形成在多条栅极线，多条数据线和多条感测线之间的相交区域中的多个像素；栅极驱动器，向栅极线提供栅极信号。存储器，存储器等构成。存储每个ADC的增益误差和失调误差，以及时序控制器，基于该增益误差和失调误差来校正感测数据，基于校正的感测数据来调制输入数据，并将调制后的数据提供给该数据驱动IC。

