



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년02월15일
 (11) 등록번호 10-1948897
 (24) 등록일자 2019년02월11일

- (51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
H01L 51/56 (2006.01)
- (52) CPC특허분류
H01L 51/5253 (2013.01)
H01L 27/3211 (2013.01)
- (21) 출원번호 10-2017-0122708
- (22) 출원일자 2017년09월22일
 심사청구일자 2017년09월22일
- (56) 선행기술조사문헌
 KR1020120064648 A*
 JP2005197027 A*
 JP2012248453 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
최호원
 경기도 파주시 월롱면 엘지로 245
- (74) 대리인
특허법인로얄

전체 청구항 수 : 총 18 항

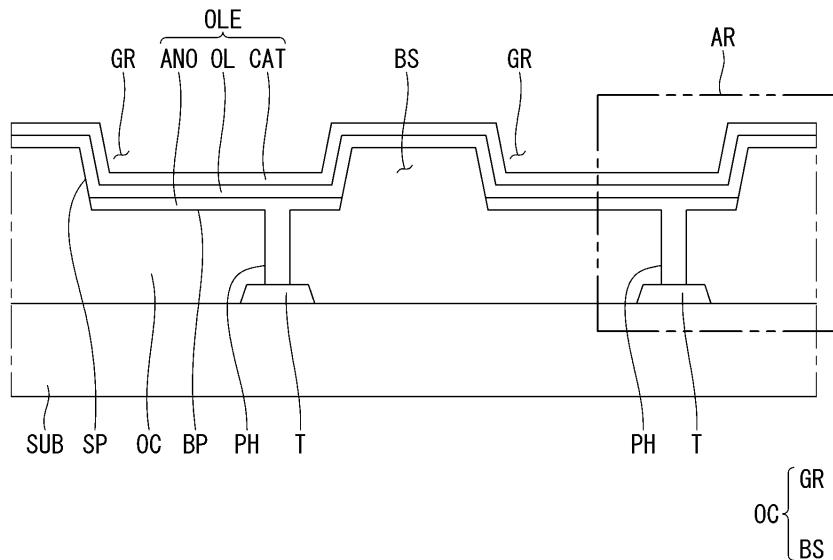
심사관 : 이우리

(54) 발명의 명칭 유기발광 다이오드 표시장치 및 그 제조 방법

(57) 요약

본 발명에 따른 유기발광 다이오드 표시장치는 기판; 상기 기판 상에 배치되며, 그루브들 및 이웃하는 상기 그루브들 사이에 위치하는 보스를 갖는 오버 코트층; 상기 그루브들 내에 각각 수용되는 제1 전극들; 상기 제1 전극들 상에 배치되는 유기 발광층; 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함한다.

대표 도 - 도4



(52) CPC특허분류

H01L 27/322 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

기판;

상기 기판 상에 배치되며, 그루브들 및 이웃하는 상기 그루브들 사이에 위치하는 보스를 갖는 오버 코트층;

상기 그루브들 내에 각각 수용되는 제1 전극들;

상기 제1 전극들 상에 배치되는 유기 발광층;

상기 유기 발광층 상에 배치되는 제2 전극; 및

상기 제2 전극 상에 배치되며, 상기 제1 전극들이 수용된 상기 그루브들 내에 각각 수용된 컬러 필터들을 포함하는, 유기발광 다이오드 표시장치.

청구항 2

제 1 항에 있어서,

상기 그루브의 형상은,

바닥면 및 상기 바닥면의 양단으로부터 연장된 두 측면에 의해 정의되며,

상기 제1 전극의 끝단은,

상기 그루브의 측면과 맞닿는, 유기발광 다이오드 표시장치.

청구항 3

제 1 항에 있어서,

상기 기판 상에 배치되는 트랜지스터를 더 포함하고,

상기 제1 전극은,

상기 오버 코트층을 관통하며 상기 그루브와 수직 방향으로 중첩된 픽셀 콘택홀을 통해, 상기 트랜지스터와 연결되는, 유기발광 다이오드 표시장치.

청구항 4

제 1 항에 있어서,

상기 기판 상에 배치되는 트랜지스터;

상기 오버 코트층을 관통하며 상기 그루브와 수직 방향으로 중첩된 픽셀 콘택홀을 통해, 상기 트랜지스터의 적어도 일부와 직접 접촉하는 보조 전극; 및

상기 보조 전극과 상기 제1 전극 사이에 개재되며, 상기 픽셀 콘택홀 내에 충진되는 충진층을 더 포함하고,

상기 제1 전극은,

상기 보조 전극 상에 배치되어, 상기 보조 전극을 통해 상기 트랜지스터와 전기적으로 연결되는, 유기발광 다이오드 표시장치.

청구항 5

제 4 항에 있어서,
상기 보조 전극은,
ITO(Indium Tin Oxide)로 이루어진, 유기발광 다이오드 표시장치.

청구항 6

제 4 항에 있어서,
상기 제1 전극은,
평탄한 상부 표면을 갖는, 유기발광 다이오드 표시장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,
상기 컬러 필터들은,
제1 색을 발광하는 제1 컬러 필터; 및
상기 제1 색과 상이한 제2 색을 발광하는 제2 컬러 필터를 포함하고,
상기 그루브들은,
상기 제1 컬러 필터를 수용하는 제1 그루브; 및
상기 제2 컬러 필터를 수용하며, 상기 제1 그루브와 상이한 깊이를 갖는 제2 그루브를 포함하는, 유기발광 다이오드 표시장치.

청구항 9

제 1 항에 있어서,
상기 제2 전극과 상기 컬러 필터 사이에 개재되는 보호막을 더 포함하는, 유기발광 다이오드 표시장치.

청구항 10

제 1 항에 있어서,
상기 그루브들 중 어느 하나는,
다른 하나와 다른 깊이를 갖는, 유기발광 다이오드 표시장치.

청구항 11

트랜지스터가 형성된 기판 상에 감광성 유기 절연 물질을 도포하고, 풀-톤 영역, 하프-톤 영역, 및 투과 영역이 정의된 하프톤 마스크를 마련하는 단계;

하나의 상기 하프톤 마스크를 통해 상기 감광성 유기 절연 물질을 패터닝하여, 상기 투과 영역에 대응하는 영역에 구비되며 상기 트랜지스터의 적어도 일부를 노출하는 핵셀 콘택홀, 상기 하프-톤 영역에 대응하여 구비된 그루브, 및 상기 풀-톤 영역에 대응하여 구비된 보스를 모두 갖는 오버 코트층을 형성하는 단계;

상기 오버 코트층이 형성된 상기 기판 상에 도전 물질 및 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 감광막 중 상기 그루브 내에 수용된 감광막만을 잔류시키는 단계;

상기 잔류한 감광막을 이용한 식각 공정을 통해, 상기 도전 물질을 패터닝하여, 상기 트랜지스터와 전기적으로 연결되는 제1 전극을 형성하는 단계; 및

상기 제1 전극이 형성된 기판 상에 유기 발광층 및 제2 전극을 차례로 형성하는 단계를 포함하는, 유기발광 다이오드 표시장치 제조방법.

청구항 12

트랜지스터가 형성된 기판 상에 감광성 유기 절연 물질을 도포하고, 풀-톤 영역, 하프-톤 영역, 및 투과 영역이 정의된 하프톤 마스크를 마련하는 제1 단계;

하나의 상기 하프톤 마스크를 통해 상기 감광성 유기 절연 물질을 패터닝하여, 상기 투과 영역에 대응하는 영역에 구비되며 상기 트랜지스터의 적어도 일부를 노출하는 핵셀 콘택홀, 상기 하프-톤 영역에 대응하여 구비된 그루브, 및 상기 풀-톤 영역에 대응하여 구비된 보스를 모두 갖는 오버 코트층을 형성하는 제2 단계;

상기 오버 코트층이 형성된 상기 기판 상에 제1 도전 물질 및 제1 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 제1 감광막 중 상기 핵셀 콘택홀 및 상기 그루브 내에 수용된 감광막만을 잔류시키는 단계;

상기 제1 감광막 중 잔류한 감광막을 이용한 식각 공정을 통해, 상기 제1 도전 물질을 패터닝하여, 상기 트랜지스터와 전기적으로 연결되는 보조 전극을 형성하는 단계;

애싱 공정을 통해 상기 잔류한 제1 감광막 중 상기 핵셀 콘택홀에 수용된 감광막만을 잔류시켜 충진층을 형성하는 단계;

상기 보조 전극 및 상기 충진층이 형성된 상기 기판 상에 제2 도전 물질 및 제2 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 제2 감광막 중 상기 그루브 내에 수용된 제2 감광막만을 잔류시키는 단계;

상기 잔류한 제2 감광막을 이용한 식각 공정을 통해, 상기 제2 도전 물질을 패터닝하여, 상기 보조 전극을 통해 상기 트랜지스터와 전기적으로 연결되는 제1 전극을 형성하는 단계; 및

상기 제1 전극이 형성된 기판 상에 유기 발광층 및 제2 전극을 차례로 형성하는 단계를 포함하는, 유기발광 다이오드 표시장치 제조방법.

청구항 13

제 11 항 또는 제 12 항에 있어서,

상기 제2 전극 상에 배치되며, 상기 그루브 내에 수용되는 컬러 필터를 형성하는 단계를 더 포함하는, 유기발광 다이오드 표시장치 제조방법.

청구항 14

제 13 항에 있어서,

상기 제2 전극과 상기 컬러 필터 사이에 개재되는 보호막을 형성하는 단계를 더 포함하는, 유기발광 다이오드 표시장치 제조방법.

청구항 15

제 13 항에 있어서,

상기 그루브들 중 어느 하나는,

다른 하나와 상이한 깊이를 갖도록 형성되는, 유기발광 다이오드 표시장치 제조방법.

청구항 16

제 4 항에 있어서,

상기 보조 전극은,

상기 그루브 상에 연장되어 배치되며,

상기 그루브 상에서, 상기 제1 전극과 직접 접촉하는, 유기발광 다이오드 표시장치.

청구항 17

제 4 항에 있어서,

상기 충진층은,

감광성 물질을 포함하는, 유기발광 다이오드 표시장치.

청구항 18

제 1 항에 있어서,

이웃하는 컬러 필터들은, 상기 보스에 의해 구획되는, 유기발광 다이오드 표시장치.

청구항 19

제 1 항에 있어서,

상기 그루브 내에 수용된 컬러 필터들의 상부 표면은, 동일 평면 상에 위치하는, 유기발광 다이오드 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기발광 다이오드 표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 다이오드 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003]

이들 표시장치 중에서 유기발광 다이오드 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기 전계발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004]

유기발광 다이오드 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이를 사이에 배치되는 유기 발광층을

포함한다. 유기발광 다이오드 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 액시톤(exciton)을 형성하고, 형성된 액시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 최근에는, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 유기발광 다이오드 표시장치에 대한 수요가 증가하고 있다. 높은 PPI를 갖는 고 해상도의 유기발광 다이오드 표시장치를 구현하기 위해서는, 제한된 면적의 표시패널 상에 많은 픽셀들을 배치하여야 하기 때문에, 픽셀들 사이의 간격이 상대적으로 좁아진다. 이 경우, 한정된 공간 내에 소자들이 집적되기 때문에, 소자들의 미세한 오정렬(misalign)에 의해서도 표시장치의 화질 불량 및/또는 구동 불량이 발생하기 쉽다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 오정렬을 최소화하여 화질 불량 및 구동 불량을 개선한 유기발광 다이오드 표시장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명에 따른 유기발광 다이오드 표시장치는 기판; 상기 기판 상에 배치되며, 그루브들 및 이웃하는 상기 그루브들 사이에 위치하는 보스를 갖는 오버 코트층; 상기 그루브들 내에 각각 수용되는 제1 전극들; 상기 제1 전극들 상에 배치되는 유기 발광층; 및 상기 유기 발광층 상에 배치되는 제2 전극을 포함한다.

[0008] 본 발명에 따른 유기발광 다이오드 표시장치 제조방법은, 트랜지스터가 형성된 기판 상에 감광성 유기 절연 물질을 도포하고, 풀-톤 영역, 하프-톤 영역, 및 투과 영역이 정의된 하프톤 마스크를 마련하는 단계; 상기 하프톤 마스크를 통해 상기 감광성 유기 절연 물질을 패터닝하여, 상기 투과 영역에 대응하는 영역에 구비되며 상기 트랜지스터의 적어도 일부를 노출하는 픽셀 콘택홀, 상기 하프-톤 영역에 대응하여 구비된 그루브, 및 상기 풀-톤 영역에 대응하여 구비된 보스를 갖는 오버 코트층을 형성하는 단계; 상기 오버 코트층이 형성된 상기 기판 상에 도전 물질 및 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 감광막 중 상기 그루브 내에 수용된 감광막만을 잔류시키는 단계; 상기 잔류한 감광막을 이용한 식각 공정을 통해, 상기 도전 물질을 패터닝하여, 상기 트랜지스터와 전기적으로 연결되는 제1 전극을 형성하는 단계; 및 상기 제1 전극이 형성된 기판 상에 유기 발광층 및 제2 전극을 차례로 형성하는 단계를 포함한다.

[0009] 본 발명에 따른 유기발광 다이오드 표시장치 제조방법은, 트랜지스터가 형성된 기판 상에 감광성 유기 절연 물질을 도포하고, 풀-톤 영역, 하프-톤 영역, 및 투과 영역이 정의된 하프톤 마스크를 마련하는 제1 단계; 상기 하프톤 마스크를 통해 상기 감광성 유기 절연 물질을 패터닝하여, 상기 투과 영역에 대응하는 영역에 구비되며 상기 트랜지스터의 적어도 일부를 노출하는 픽셀 콘택홀, 상기 하프-톤 영역에 대응하여 구비된 그루브, 및 상기 풀-톤 영역에 대응하여 구비된 보스를 갖는 오버 코트층을 형성하는 제2 단계; 상기 오버 코트층이 형성된 상기 기판 상에 제1 도전 물질 및 제1 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 제1 감광막 중 상기 픽셀 콘택홀 및 상기 그루브 내에 수용된 감광막만을 잔류시키는 단계; 상기 제1 감광막 중 잔류한 감광막을 이용한 식각 공정을 통해, 상기 제1 도전 물질을 패터닝하여, 상기 트랜지스터와 전기적으로 연결되는 보조 전극을 형성하는 단계; 애싱 공정을 통해 상기 잔류한 제1 감광막 중 상기 픽셀 콘택홀에 수용된 감광막만을 잔류시켜 충진층을 형성하는 단계; 상기 보조 전극 및 상기 충진층이 형성된 상기 기판 상에 제2 도전 물질 및 제2 감광막을 차례로 도포하고, 애싱 공정을 통해 상기 제2 감광막 중 상기 그루브 내에 수용된 제2 감광막만을 잔류시키는 단계; 상기 잔류한 제2 감광막을 이용한 식각 공정을 통해, 상기 제2 도전 물질을 패터닝하여, 상기 보조 전극을 통해 상기 트랜지스터와 전기적으로 연결되는 제1 전극을 형성하는 단계; 및 상기 제1 전극이 형성된 기판 상에 유기 발광층 및 제2 전극을 차례로 형성하는 단계를 포함한다.

발명의 효과

[0010] 본 발명은, 오버 코트층에 형성된 그루브와 보스를 이용하여 제1 전극을 기 설정된 위치에 정확히 열라인 할 수 있는 이점을 갖는다. 본 발명에서, 오버 코트층에 형성된 보스는 이웃하는 픽셀을 구획하는 픽셀 정의막으로 기능할 수 있다. 이에 따라, 본 발명은, 픽셀 정의막을 형성하기 위한 추가 공정이 요구되지 않기 때문에, 공정 추가에 따른 공정 시간, 공정 비용을 저감할 수 있고, 공정 불량률을 저감할 수 있어 공정 수율을 현저히 향상 시킬 수 있는 이점을 갖는다.

도면의 간단한 설명

[0011]

도 1은 본 발명에 따른 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다.

도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다.

도 3은 도 2의 구체적인 예시를 나타내는 구성도들이다.

도 4는 본 발명의 제1 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 두 픽셀의 구조를 개략적으로 나타낸 단면도이다.

도 5a 내지 도 5e는 본 발명의 제1 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다.

도 6은 도 4의 AR 영역을 확대 도시한 단면도이다.

도 7은 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 도시한 단면도이다.

도 8a 내지 도 8e는 본 발명의 제2 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다.

도 9는 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 세 픽셀의 구조를 개략적으로 나타낸 단면도이다.

도 10은 본 발명의 제4 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 세 픽셀의 구조를 개략적으로 나타낸 단면도이다.

도 11 및 도 12는 종래 기술에 따른 유기발광 다이오드 표시장치를 개략적으로 도시한 것으로, 본 발명의 그것과 비교 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0012]

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0013]

제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0014]

도 1은 본 발명에 따른 유기발광 다이오드 표시장치를 개략적으로 나타낸 블록도이다. 도 2는 도 1에 도시된 픽셀을 개략적으로 나타낸 구성도이다. 도 3은 도 2의 구체적인 예시를 나타내는 구성도들이다.

[0015]

도 1을 참조하면, 본 발명에 의한 유기발광 다이오드 표시장치(10)는 디스플레이 구동 회로, 표시 패널(DIS)을 포함한다.

[0016]

디스플레이 구동 회로는 데이터 구동회로(12), 게이트 구동회로(14) 및 타이밍 콘트롤러(16)를 포함하여 입력 영상의 비디오 데이터전압을 표시 패널(DIS)의 픽셀(PXL)들에 기입한다. 데이터 구동회로(12)는 타이밍 콘트롤러(16)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 감마보상전압으로 변환하여 데이터전압을 발생한다. 데이터 구동회로(12)로부터 출력된 데이터전압은 데이터 배선들(D1~Dm)에 공급된다. 게이트 구동회로(14)는 데이터전압에 동기되는 게이트 신호를 게이트 배선들(G1~Gn)에 순차적으로 공급하여 데이터 전압이 기입되는 표시 패널(DIS)의 픽셀(PXL)들을 선택한다.

[0017]

타이밍 콘트롤러(16)는 호스트 시스템(19)으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(MCLK) 등의 타이밍신호를 입력받아 데이터 구동회로(12)와 게이트 구동회로(14)의 동작 타이밍을 동기시킨다. 데이터 구동회로(12)를 제어하기 위한 데이터 타이밍 제어신호는 소스 샘플링 클럭(Source Sampling Clock, SSC), 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 게이트 구동회로(14)를 제어하기 위한 게이트 타이밍 제어신호는 게이트 스트트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다.

- [0018] 호스트 시스템(19)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(19)은 스케일러(scaler)를 내장한 SoC(System on chip)을 포함하여 입력 영상의 디지털 비디오 데이터(RGB)를 표시 패널(DIS)에 표시하기에 적합한 포맷으로 변환한다. 호스트 시스템(19)은 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(16)로 전송한다.
- [0019] 표시 패널(DIS)은 다양한 평면 형상을 가질 수 있다. 즉, 표시 패널(DIS)은 장방형, 정방형의 형상을 가질 수 있음은 물론, 원형, 타원형, 다각형 등 다양한 이형(free form)의 평면 형상을 가질 수 있다.
- [0020] 표시 패널(DIS)은 픽셀(PXL) 어레이를 포함한다. 픽셀(PXL) 어레이는 복수의 픽셀(PXL)들을 포함한다. 픽셀(PXL)들 각각은 데이터 배선들(D1~Dm, m은 양의 정수)과 게이트 배선들(G1~Gn, n은 양의 정수)의 교차 구조에 의해 정의될 수 있으나, 이에 한정되는 것은 아니다. 픽셀(PXL)들 각각은 자발광 소자인 유기발광 다이오드(Organic Light Emitting Diode)를 포함한다. 표시 패널(DIS)은 적색(R), 청색(B) 및 녹색(G)을 발광하는 적색(R), 청색(B) 및 녹색(G) 픽셀(PXL)을 포함한다.
- [0021] 픽셀(PXL)은 다양한 형상을 가질 수 있다. 즉, 픽셀(PXL)은 원형, 타원형, 다각형 다양한 평면 형상을 가질 수 있다. 픽셀(PXL)들 중 어느 하나는 다른 하나와 상이한 크기 및/또는 평면 형상을 가질 수 있다.
- [0022] 도 2를 더 참조하면, 표시 패널(DIS)에는 다수의 데이터 배선들(D)과, 다수의 게이트 배선들(G)이 교차되고, 이 교차영역마다 픽셀(PXL)들이 매트릭스 형태로 배치된다. 픽셀(PXL) 각각은 유기발광 다이오드(OLED), 유기발광 다이오드(OLED)에 흐르는 전류량을 제어하는 구동 박막 트랜지스터(Thin Film Transistor)(DT), 구동 박막 트랜지스터(DT)의 게이트-소스간 전압을 설정하기 위한 프로그래밍부(SC)를 포함한다.
- [0023] 프로그래밍부(SC)는 적어도 하나 이상의 스위치 박막 트랜지스터와, 적어도 하나 이상의 스토리지 커패시터를 포함할 수 있다. 스위치 박막 트랜지스터는 게이트 배선(G)으로부터의 게이트 신호에 응답하여 턴 온 됨으로써, 데이터 배선(D)으로부터의 데이터전압을 스토리지 커패시터의 일측 전극에 인가한다. 구동 박막 트랜지스터(DT)는 스토리지 커패시터에 충전된 전압의 크기에 따라 유기발광 다이오드(OLED)로 공급되는 전류량을 제어하여 유기발광 다이오드(OLED)의 발광량을 조절한다. 유기발광 다이오드(OLED)의 발광량은 구동 박막 트랜지스터(DT)로부터 공급되는 전류량에 비례한다. 이러한 픽셀(PXL)은 고전위 전압원(Evdd)과 저전위 전압원(Evss)에 연결되어, 도시하지 않은 전원 발생부로부터 각각 고전위 전원 전압과 저전위 전원 전압을 공급받는다. 픽셀(PXL)을 구성하는 박막 트랜지스터들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 픽셀(PXL)을 구성하는 박막 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는 반도체층이 산화물을 포함하는 경우를 예로 들어 설명한다. 유기 발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 박막 트랜지스터(DT)와 접속된다.
- [0024] 도 3의 (a)에 도시된 바와 같이, 서브 픽셀은 앞서 설명한 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED) 뿐만 아니라 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 보상신호라인(INIT)에 연결된 하나 이상의 트랜지스터들을 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다. 이 경우, 스캔라인(GL1)은 스위칭 트랜지스터(SW)와 내부보상회로(CC)의 트랜지스터들을 제어하기 위해 적어도 2개의 스캔라인(GL1a, GL1b)을 포함하게 된다.
- [0025] 도 3의 (b)에 도시된 바와 같이, 서브 픽셀은 스위칭 트랜지스터(SW1), 구동 트랜지스터(DR), 센싱 트랜지스터(SW2), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함할 수 있다. 센싱 트랜지스터(SW2)는 내부보상회로(CC)에 포함될 수 있는 트랜지스터로서, 서브 픽셀의 보상 구동을 위해 센싱 동작을 수행한다.
- [0026] 스위칭 트랜지스터(SW1)는 제1스캔라인(GL1a)을 통해 공급된 스캔신호에 응답하여, 데이터라인(DL1)을 통해 공급되는 데이터전압을 제1노드(N1)에 공급하는 역할을 한다. 그리고 센싱 트랜지스터(SW2)는 제2스캔라인(GL1b)을 통해 공급된 센싱신호에 응답하여, 구동 트랜지스터(DR)와 유기 발광다이오드(OLED) 사이에 위치하는 제2노드(N2)를 초기화하거나 센싱하는 역할을 한다.
- [0027] 본 발명의 픽셀의 구조는 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.

<제1 실시예>

[0029] 도 4는 본 발명의 제1 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 두 픽셀의 구조를 개략적으로 나타낸 단면도이다.

[0030] 도 4를 참조하면, 본 발명의 바람직한 실시예에 의한 유기발광 다이오드 표시장치는 박막 트랜지스터 기판(SUB)을 포함한다. 박막 트랜지스터 기판(SUB) 상에는, 픽셀들 각각에 할당된 박막 트랜지스터(T), 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 배치된다. 후술하겠으나, 이웃하는 픽셀들은 오버 코트층(OC)의 보스(BS)(boss)에 의해 구획될 수 있다.

[0031] 박막 트랜지스터(T)는 바텀 게이트(bottom gate), 탑 게이트(top gate), 더블 게이트(double gate) 구조 등 다양한 방식의 구조로 구현될 수 있다. 즉, 박막 트랜지스터(TR1, TR2)는 반도체층, 게이트 전극, 소스/드레인 전극을 포함할 수 있고, 반도체층, 게이트 전극, 소스/드레인 전극은 적어도 하나의 절연층을 사이에 두고 서로 다른 층에 배치될 수 있다.

[0032] 박막 트랜지스터(T)와 유기발광 다이오드(OLE) 사이에는 적어도 하나 이상의 절연막이 개재될 수 있다. 절연막은 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐(photosensitive benzocyclobutene resin), 아크릴레이트계 수지(acrylate)와 같은 유기 물질로 이루어진 오버 코트층(OC)을 포함할 수 있다. 오버 코트층(OC)은 박막 트랜지스터(T)와 여러 신호 배선들이 형성된 기판(SUB)의 표면을 평탄화시킬 수 있다. 도시하지는 않았으나, 절연막은, 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다층으로 이루어진 보호층을 더 포함할 수 있고, 보호층은 오버 코트층(OC)과 박막 트랜지스터(T) 사이에 개재될 수 있다. 이하에서는, 설명의 편의를 위해 절연막이 오버 코트층(OC)만을 포함하는 경우를 예로 들어 설명한다.

[0033] 오버 코트층(OC)은 그루브(groove)(GR) 및 보스(boss)(BS)를 포함한다. 그루브(GR)는 오버 코트층(OC)의 상부 표면으로부터 내측으로 일부 함몰되어 마련된 내부 공간이다. 후술하겠으나, 그루브(GR)는 유기발광 다이오드(OLE)의 제1 전극(ANO)을 수용할 수 있는 충분한 깊이를 갖도록 형성된다. 그루브(GR)가 형성된 영역은 발광 영역과 대응될 수 있다.

[0034] 보스(BS)는 이웃하는 그루브(GR)들 사이에 마련된다. 보스(BS)는 오버 코트층(OC)에 그루브(GR)들이 소정 간격으로 이격되어 형성됨에 따라, 이웃하는 그루브(GR)들 사이에 잔류하는 오버 코트층(OC)의 일 부분이다. 보스(BS)는 이웃하는 픽셀을 구획하는 픽셀 정의막으로 기능할 수 있다. 보스(BS)가 형성된 영역은 비발광 영역과 대응될 수 있다. 본 발명의 바람직한 실시예는 이웃하는 픽셀들을 구획하기 위한 픽셀 정의막을 별도로 형성하기 위한 별도의 추가 공정을 실시할 필요가 없기 때문에, 공정 추가에 따른 공정 시간, 공정 비용을 저감할 수 있고, 공정 불량률을 저감할 수 있어 공정 수율을 현저히 향상시킬 수 있는 이점을 갖는다.

[0035] 박막 트랜지스터(T)와 유기발광 다이오드(OLE)는, 오버 코트층(OC)을 관통하는 픽셀 콘택홀(PH)을 통해 전기적으로 연결될 수 있다. 픽셀 콘택홀(PH)은 그루브(GR)의 하부에 형성되어, 박막 트랜지스터(T)의 적어도 일부를 노출한다. 따라서, 픽셀 콘택홀(PH)은 그루브(GR)와 수직 방향(또는, 상/하 방향)으로 중첩 되도록 배치된다.

[0036] 유기발광 다이오드(OLE)는 서로 대향하는 제1 전극(ANO), 제2 전극(CAT), 및 제1 전극(AN01, AN02)과 제2 전극(CAT) 사이에 개재된 유기 발광층(OL)을 포함한다. 제1 전극은 애노드(anode)일 수 있고, 제2 전극은 캐소드(cathode)일 수 있다.

[0037] 제1 전극(ANO)은 단일층 또는 다중층으로 이루어질 수 있다. 제1 전극(ANO)은 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(A1), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다. 일 예로, 제1 전극(ANO)은 ITO(Indium Tin Oxide)/Ag alloy/ITO로 이루어진 삼중층으로 형성될 수 있다. 이 경우, 하부 ITO는, 오버 코트층(OC)과 Ag alloy과의 접착 특성을 개선하기 위한 목적으로 형성될 수 있다.

[0038] 제1 전극(ANO)은 각 픽셀에 대응되도록 분할되어, 각 픽셀당 하나씩 할당될 수 있다. 제1 전극(ANO)들 각각은 대응하는 그루브(GR)의 내부 공간에 수용된다. 따라서, 제1 전극(ANO)들은 각각 기 설정된 위치에 정확히 얼라인(align)될 수 있다. 이웃하는 제1 전극(ANO)들 사이에는, 보스(BS)가 위치한다. 이웃하는 제1 전극(ANO)들은, 보스(BS)에 의해 수평 방향(또는 좌/우 방향)으로 기 설정된 간격만큼 이격되도록 얼라인될 수 있다. 이와 같이, 본 발명의 바람직한 실시예는, 오버 코트층(OC)의 그루브(GR)와 보스(BS)를 이용하여 제1 전극(ANO)을 기 설정된 위치에 정확히 얼라인 할 수 있는 이점을 갖는다.

[0039] 제2 전극(CAT)는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명 도전 물질

로 이루어지거나, 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag)과 같은 불투명 도전 물질이 얇게 형성되어 투과 전극으로 기능할 수 있다. 제2 전극(CAT)는 픽셀들을 덮도록 박막 트랜지스터 기판(SUB) 상에 일체로 연장되어 배치될 수 있다.

[0040] 유기 발광층(OL)은 픽셀들을 덮도록 박막 트랜지스터 기판(SUB) 상에 연장되어 배치된다. 본 발명에 다른 유기 발광 다이오드 표시장치는 적색(R), 녹색(G) 및 청색(B)을 구현하기 위해, 백색(W)을 발광하는 유기 발광층(OL) 및 적색(R), 청색(B) 및 녹색(G)의 컬러 필터(color filter)를 포함한다. 즉, 유기발광 다이오드 표시장치는, 유기 발광층(OL)으로부터 방출된 백색(W)광이 적색(R), 녹색(G) 및 청색(B) 픽셀(PXL)에 대응되는 영역에 각각 구비된 적색(R), 녹색(G) 및 청색(B)의 컬러 필터(color filter)를 통과함으로써, 적색(R), 녹색(G) 및 청색(B)을 구현할 수 있다.

[0041] 본 발명에 따른 유기발광 다이오드 표시장치의 경우, 백색(W)을 발광하는 유기 발광층(OL)을 패널 전면(全面)의 대부분을 덮도록 넓게 형성하면 충분하기 때문에, 적색(R), 청색(B) 및 녹색(G)의 유기 발광층(OL) 각각을 구분하여 대응하는 픽셀들 내에 할당하기 위해 FMM 마스크를 이용할 필요가 없다. 따라서, 본 발명은 전술한 FMM을 사용함에 따른 문제점 예를 들어, 고 해상도 구현 시 공정 수율의 저하, 유기 발광층(OL)이 제 위치 형성되지 못하는 얼라인(alignment)불량 등을 방지할 수 있는 이점을 갖는다.

[0042] 백색(W)을 발광하는 유기 발광층(OL)은 n(n은 1 이상의 정수)스택(stack)구조와 같은 다중 스택 구조를 가질 수 있다. 일 예로, 2 스택 구조는, 애노드(ANO)와 캐소드(CAT) 사이에 배치된 전하 생성층(Charge Generation Layer, CGL), 및 전하 생성층을 사이에 두고 전하 생성층 하부 및 상부에 각각 배치된 제1 스택 및 제2 스택을 포함할 수 있다. 제1 스택 및 제2 스택은 각각 발광층(Emission layer)을 포함하며, 정공주입층(Hole injection layer), 정공수송층(Hole transport layer), 전자수송층(Electron transport layer) 및 전자주입층(Electron injection layer)과 같은 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다. 제1 스택의 발광층과 제2 스택의 발광층은 서로 다른 색의 발광 물질을 포함할 수 있다.

[0043] 다른 예로, 백색(W)을 발광하는 유기 발광층(OL)은 단일 스택 구조를 가질 수 있다. 단일 스택은 각각 발광층(Emission layer, EML)을 포함하며, 상기 공통층(common layer) 들 중 적어도 어느 하나를 더 포함할 수 있다.

[0044] 이하, 도 5a 내지 도 5e를 참조하여, 본 발명의 제1 실시예에 의한 유기발광 다이오드 표시장치 제조 방법을 설명한다. 도 5a 내지 도 5e는 본 발명의 제1 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다. 본 발명에 따른 제조 방법을 설명함에 있어서, 단계를 구분하고 있으나, 이는 설명의 편의를 위한 것으로, 각 단계들이 더 세분화될 수 있음에 주의하여야 한다. 또한, 이하에서는, 본 발명의 주된 특징인 오버 코트층(OC) 및 오버 코트층(OC) 상의 유기발광 다이오드를(OLE) 형성하는 공정만을 설명하기로 한다.

[0045] 도 5a를 참조하면, 박막 트랜지스터(T)가 형성된 기판(SUB) 상에 유기 절연 물질(OM)을 도포한다. 유기 절연 물질(OM)은 포지티브 타입(positive type)의 감광성 물질일 수 있다. 마스크 공정으로, 유기 절연 물질을 패터닝 하기 위해, 하프톤 마스크(Half tone mask)(HM)가 마련된다. 하프톤 마스크(HM)는 조사된 모든 광을 차단하는 풀-톤 영역(FA), 조사된 광의 일부만 투과시키고 일부는 차단하는 하프-톤 영역(HA) 및 조사된 광을 전부 투과시키는 투과 영역(GA)을 포함한다. 이어서, 준비된 하프톤 마스크(HM)를 통해 선택적으로 광을 조사한다.

[0046] 하프톤 마스크(HM)를 통해 노광된 유기 절연 물질(OM)을 현상하면, 투과 영역(GA)의 유기 절연 물질(OM)은 제거되고, 풀-톤 영역(FA)과 하프-톤 영역(HA)의 유기 절연 물질(OM)은 잔류한다. 이때, 풀-톤 영역(FA)의 유기 절연 물질(OM)이 하프-톤 영역(HA)의 유기 절연 물질(OM)보다 두껍게 형성된다.

[0047] 투과 영역(GA)에 대응하는 영역에서, 유기 절연 물질(OM)이 제거됨에 따라 마련된 공간은, 픽셀 콘택홀(PH)이 된다. 픽셀 콘택홀(PH)은 박막 트랜지스터(T)의 적어도 일부를 노출한다. 풀-톤 영역(FA)과 하프-톤 영역(HA)에 대응하여 잔류하는 유기 절연 물질(OM)은, 오버 코트층(OC)이 된다. 이때, 풀-톤 영역(FA)의 유기 절연 물질(OM)과 하프-톤 영역(HA)의 유기 절연 물질(OM)의 두께 차에 의해, 그루브(GR)가 형성된다. 그루브(GR)는 오버 코트층(OC)의 상부 표면으로부터 내측으로 일부 함몰되어 마련된 내부 공간이다. 이웃하는 그루브(GR)들 사이에는 보스(BS)가 형성된다. 보스(BS)는 오버 코트층(OC)에 그루브(GR)들이 소정 간격으로 이격되어 형성됨에 따라, 이웃하는 그루브(GR)들 사이에 잔류하는 오버 코트층(OC)의 일 부분이다. 그루브(GR)는 하프-톤 영역(HA)과 대응되고, 보스(BS)는 풀-톤 영역(FA)에 대응될 수 있다. 오버 코트층(OC)의 보스(BS)는 이웃하는 픽셀을 구획하는 픽셀 정의막으로 기능할 수 있다. 이에 따라, 본 발명의 바람직한 실시예는, 픽셀 정의막을 형성하기 위한 추가 공정이 요구되지 않기 때문에, 공정 추가에 따른 공정 시간, 공정 비용을 저감할 수 있고, 공정 불량을 저감할 수 있어 공정 수율을 현저히 향상시킬 수 있는 이점을 갖는다.

- [0048] 도 5b를 참조하면, 오버 코트층(OC)이 형성된 기판(SUB) 상에 도전 물질(AM)을 도포한다. 마스크 공정으로 도전 물질(AM)을 패터닝하기 위해, 포토 레지스트(photo resist)와 같은 감광성 물질로 이루어진 감광막(PR)을 도전 물질(AM) 상에 코팅한다.
- [0049] 도 5c를 참조하면, 감광막(PR)의 두께 일부를 제거하는 애싱(ashing)공정을 진행한다. 본 발명에서는, 애싱 공정을 통해, 도전 물질(AM) 상에 코팅된 감광막(PR) 중 오버 코트층(OC)의 그루브(GR) 내에 수용된 감광막(PR1)만을 잔류시킨다. 즉, 오버 코트층(OC)의 보스(BS) 상부에는 감광막(PR)이 잔류하지 않는다.
- [0050] 도 5d를 참조하면, 잔류한 감광막(PR1)을 이용한 식각(etch) 공정으로 도전 물질(AM)을 패터닝하여 제1 전극(ANO)을 형성한다. 즉, 식각 공정 이후 감광막(PR1) 아래에 잔류하는 도전 물질(AM)은, 제1 전극(ANO)이 되며, 오버 코트층(OC)의 그루브(GR) 내에 수용되어 자체 얼라인(self-align) 된다. 이에 따라, 제1 전극(ANO)은, 얼라인을 위한 별도의 시도 없이, 각 픽셀에 대응되도록 구분되어 각 픽셀당 하나씩 할당될 수 있고, 픽셀 정의막으로 기능하는 보스(BS)의 위치에 대응하여 기 설정된 위치에 배치될 수 있다.
- [0051] 이와 같이, 본 발명의 바람직한 실시예는, 제1 전극(ANO)과 픽셀 정의막을 얼라인하기 위한 추가 공정이 요구되지 않기 때문에, 공정 추가에 따른 공정 시간, 공정 비용을 저감할 수 있고, 공정 불량률을 저감할 수 있어 공정 수율을 현저히 향상시킬 수 있는 이점을 갖는다. 또한, 본 발명의 바람직한 실시예에서는, 종래와 달리 제1 전극(ANO)을 패터닝하기 위한 별도의 마스크가 마련될 필요가 없기 때문에, 공정 비용을 현저히 저감할 수 있는 이점을 갖는다.
- [0052] 제1 전극(ANO)의 끝단은 그루브(GR)의 측면(VP)과 맞닿도록 형성되는 것이 바람직하다. 제1 전극(ANO)의 끝단의 위치를 제어하기 위해, 공정 시간 및 공정 물질 등의 공정 조건은 적절히 선택될 수 있다. 제1 전극(ANO)은, 그루브(GR)와 중첩되어 배치된 픽셀 콘택홀(PH)을 통해 박막 트랜지스터(T)와 전기적으로 연결된다.
- [0053] 도 5e를 참조하면, 제1 전극(ANO)이 형성된 기판(SUB) 상에 유기 발광층(OL) 및 제2 전극(CAT)를 차례로 형성한다. 이로써, 제1 전극(ANO), 유기 발광층(OL) 및 제2 전극(CAT)을 포함하는 유기발광 다이오드(OLE)가 완성된다.
- [0054] 도 11은 종래 기술에 따른 유기발광 다이오드에 관한 것으로, 본 발명의 효과를 비교 설명하기 위한 도면이다.
- [0055] 도 11의 (a)를 참조하면, 종래와 같이, 픽셀 정의막(BN)을 오버 코트층(OC)과 구별하여 별도로 형성하는 경우에 는, 픽셀 정의막(BN)과 제1 전극(ANO)을 얼라인하기 위한 추가 노력이 요구될 뿐만 아니라, 높은 PPI(Pixel Per Inch)를 갖는 고 해상도 표시장치일수록 픽셀 정의막(BN)의 폭이 상대적으로 줄어들기 때문에 정확한 얼라인이 용이하지 않다.
- [0056] 도 11의 (b)를 참조하면, 픽셀 정의막(BN)과 제1 전극(ANO) 사이의 얼라인이 틀어지는 경우, 유기 발광층(OL)이 제1 전극(ANO)의 에지부에서 제1 전극(ANO)의 단차에 의해 얇게 형성된다. 이 경우, 유기 발광층(OL)이 얇게 형성된 부분에서 전류가 집중됨에 따라, 제1 전극(ANO)과 제2 전극(CAT) 사이에 쇼트(short)가 발생할 수 있어, 문제된다.
- [0057] 이와 달리, 본 발명은 제1 전극(ANO)을 오버 코트층(OC)의 그루브(GR) 내부의 정확한 위치에 자체 얼라인시킬 수 있기 때문에, 얼라인을 위한 추가 공정을 진행할 필요가 없다. 나아가, 본 발명의 바람직한 실시예에서는, 제1 전극(ANO)이 제1 그루브(GR)의 측면(VP)과 맞닿거나 가능한 인접하도록 형성되기 때문에, 제1 전극(ANO)의 에지부에서 유기 발광층(OL)이 얇게 형성되지 않는다. 이에 따라, 제1 전극(ANO)과 제2 전극(CAT) 사이에서 발생할 수 있는 쇼트 불량을 방지할 수 있는 이점을 갖는다.
- [0058] <제2 실시예>
- [0059] 도 6은 도 4의 AR 영역을 확대 도시한 단면도이다. 도 7은 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치를 개략적으로 도시한 단면도이다.
- [0060] 도 6을 참조하면, 제1 전극(ANO)은 오버 코트층(OC)을 관통하는 픽셀 콘택홀(PH)을 통해 박막 트랜지스터(T)와 연결된다. 즉, 제1 전극(ANO)은, 오버 코트층(OC)의 그루브(GR) 내에 배치되고, 그루브(GR)와 수직 방향으로 중첩되어 배치된 픽셀 콘택홀(PH)을 통해 박막 트랜지스터(T)와 연결된다. 따라서, 제1 전극(ANO)은, 그루브(GR) 내에서 픽셀 콘택홀(PH)의 단차를 따라 형성되기 때문에, 평평하게 형성되지 않을 수 있다. 다시 말해, 제1 전극(ANO)은 발광 영역 내에서 평평한 상부 표면을 유지하지 못하고, 단차를 가질 수 있다.

- [0061] 이 경우, 발광 영역 내에서 제1 전극(ANO) 상에 위치하는 유기 발광층(OL) 또한 단차를 갖게 되기 때문에, 위치에 따른 휘도 불균일이 발생할 수 있다. 좀 더 구체적으로, 도 12를 참조하면, 종래와 같이, 픽셀 정의막(BN)을 오버 코트층(OC)과 구별하여 별도로 형성하는 경우에는, 픽셀 콘택홀(PH)이 형성되는 영역을 픽셀 정의막(BN)으로 차폐함으로써, 상기 단차를 보상할 수 있다. 이와 달리, 본원 발명은, 그루브(GR)와 대응되는 영역에서 픽셀 콘택홀(PH)을 통해 제1 전극(ANO)과 박막 트랜지스터(T)를 연결하기 때문에, 픽셀 정의막으로 기능하는 보스(BS)를 이용하여서는 픽셀 콘택홀(PH)을 차폐할 수 없는 구조를 갖는다.
- [0062] 도 7을 참조하면, 본 발명의 제2 실시예에 따른 유기발광 다이오드 표시장치는, 제1 전극을 발광 영역 내에서 평탄한 형상을 갖도록 형성하기 위해, 충진층(Fl) 및 보조 전극(AE)을 더 포함한다.
- [0063] 구체적으로, 박막 트랜지스터 기판(SUB) 상에는, 픽셀들 각각에 할당된 박막 트랜지스터(T), 및 박막 트랜지스터(T)와 연결된 유기발광 다이오드(OLE)가 배치된다. 박막 트랜지스터(T)와 유기발광 다이오드(OLE) 사이에는 오버 코트층(OC)이 개재된다.
- [0064] 오버 코트층(OC)은 그루브(groove)(GR) 및 보스(boss)(BS)를 포함한다. 그루브(GR)는 오버 코트층(OC)의 상부 표면으로부터 내측으로 일부 함몰되어 마련된 내부 공간이다. 보스(BS)는 이웃하는 그루브(GR)들 사이에 마련된다. 보스(BS)는 오버 코트층(OC)에 그루브(GR)들이 소정 간격으로 이격되어 형성됨에 따라, 이웃하는 그루브(GR)들 사이에 잔류하는 오버 코트층(OC)의 일 부분이다. 보스(BS)는 이웃하는 픽셀을 구획하는 픽셀 정의막으로 기능할 수 있다. 그루브(GR)의 하부에는, 박막 트랜지스터(T)의 적어도 일부를 노출하는 픽셀 콘택홀(PH)이 배치된다. 그루브(GR)의 형상은, 바닥면(BP)과 바닥면(BP)의 양단으로부터 각각 연장되는 두 측면(SP)에 의해 정의될 수 있다.
- [0065] 보조 전극(AE)은 그루브(GR)의 내부에 수용되어 그루브(GR)의 바닥면(BP) 상에 형성되어, 픽셀 콘택홀(PH)을 통해 박막 트랜지스터(T)의 적어도 일부와 직접 접촉된다. 달리 표현하면, 보조 전극(AE)은 그루브(GR)의 내부에 수용되어, 그루브(GR)의 바닥면(BP) 및 픽셀 콘택홀(PH)에 의해 마련된 단차를 따라 형성되어 픽셀 콘택홀(PH)에 의해 노출된 박막 트랜지스터(T)의 일부와 직접 접촉된다. 보조 전극(AE)은 도전 물질을 포함한다. 바람직하게, 보조 전극(AE)은, 직접 접촉되는 오버 코트층(OC)과의 접착 특성을 확보하기 위해, ITO(Indium Tin Oxide)와 같은 투명 도전 물질로 형성될 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0066] 보조 전극(AE) 상에는 유기발광 다이오드(OLE)가 배치된다. 유기발광 다이오드(OLE)는 서로 대향하는 제1 전극(ANO), 제2 전극(CAT), 및 제1 전극(ANO)과 제2 전극(CAT) 사이에 개재된 유기 발광층(OL)을 포함한다. 박막 트랜지스터(T)와 유기발광 다이오드(OLE)의 제1 전극(ANO)은, 보조 전극(AE)을 통해 전기적으로 연결될 수 있다.
- [0067] 평평한 표면 상태를 갖는 제1 전극(ANO)을 형성하기 위해, 픽셀 콘택홀(PH) 내부에는 충진층(Fl)이 배치된다. 충진층(Fl)은 포토아크릴(photo acryl), 폴리이미드(polyimide), 벤조사이클로부텐(resin), 아크릴레이트 수지(acrylate), 및 포토 레지스트(photo resist)와 같은 유기 물질을 포함할 수 있다.
- [0068] 충진층(Fl)은 픽셀 콘택홀(PH) 내에서, 제1 전극(ANO)과 보조 전극(AE) 사이에 개재된다. 충진층(Fl)은 제1 전극(ANO)의 하부에서 픽셀 콘택홀(PH) 내에 충진되어, 픽셀 콘택홀(PH)에 의한 단차를 보상한다. 이에 따라, 제1 전극(ANO)은 오버 코트층(OC)의 그루브(GR) 내에서 평평한 형상을 가질 수 있다. 본 발명의 제2 실시예는 발광 영역 내에서 제1 전극(ANO)의 상부 표면을 평탄하게 형성함으로써, 위치에 따른 휘도 불균일 불량을 최소화 할 수 있다. 이에 따라, 본 발명의 제2 실시예는 제1 실시예 대비 표시 품질을 현저히 개선한 유기발광 다이오드 표시장치를 제공할 수 있는 이점을 갖는다.
- [0069] 이하, 도 8a 내지 도 8e를 참조하여, 본 발명의 제2 실시예에 의한 유기발광 다이오드 표시장치 제조 방법을 설명한다. 도 8a 내지 도 8e는 본 발명의 제2 실시예에 의한 제조 방법을 시계열적으로 나타낸 도면들이다. 본 발명에 따른 제조 방법을 설명함에 있어서, 단계를 구분하고 있으나, 이는 설명의 편의를 위한 것으로, 각 단계들이 더 세분화될 수 있음에 주의하여야 한다.
- [0070] 도 8a를 참조하면, 박막 트랜지스터(T)가 형성된 기판(SUB) 상에는 오버 코트층(OC)이 형성된다. 오버 코트층(OC)은, 박막 트랜지스터(T)의 적어도 일부를 노출하는 픽셀 콘택홀(PH), 픽셀 콘택홀(PH)과 중첩되는 그루브(GR), 및 이웃하는 그루브(GR)들 사이의 보스(BS)를 포함한다.
- [0071] 도 8b를 참조하면, 오버 코트층(OC)가 형성된 기판(SUB) 상에 도전 물질(CM)을 도포한다. 마스크 공정으로 도전 물질(CM)을 패터닝하기 위해, 감광막(PR)을 도전 물질(CM) 상에 코팅한다.

- [0072] 도 8c를 참조하면, 감광막(PR)의 두께 일부를 제거하는 애싱 공정을 진행한다. 본 발명에서는, 애싱 공정을 통해, 도전 물질(CM) 상에 코팅된 감광막(PR) 중 오버 코트층(OC)의 그루브(GR) 및 픽셀 콘택홀(PH) 내에 수용된 감광막(PR1)만을 잔류시킨다. 즉, 오버 코트층(OC)의 보스(BS) 상부에는 감광막(PR)이 잔류하지 않는다.
- [0073] 도 8d를 참조하면, 잔류한 감광막(PR1)을 이용한 식각 공정으로 도전 물질(CM)을 패터닝하여 보조 전극(AE)을 형성한다. 즉, 식각 공정 이후 감광막(PR1) 아래에 잔류하는 도전 물질(CM)은, 보조 전극(AE)이 된다. 보조 전극(AE)의 끝단은 그루브(GR)의 측면과 맞닿도록 형성되는 것이 바람직하다. 보조 전극(AE)의 끝단의 위치를 제어하기 위해, 공정 시간 및 공정 물질 등의 공정 조건은 적절히 선택될 수 있다. 보조 전극(AE)은, 그루브(GR)와 중첩되어 배치된 픽셀 콘택홀(PH)을 통해 박막 트랜지스터(T)와 전기적으로 연결된다.
- [0074] 이어서, 감광막(PR1)의 두께 일부를 제거하는 애싱 공정을 진행한다. 본 발명에서는, 애싱 공정을 통해, 보조 전극(AE) 상에 코팅된 감광막(PR1) 중 픽셀 콘택홀(PH) 내에 수용된 감광막(PR1)만을 잔류시킨다. 잔류한 감광막(PR1)은, 충진층(FL)이 된다. 충진층(FL)은, 픽셀 콘택홀(PH)에 의한 단차를 보상한다. 따라서, 충진층(FL)의 상부 표면과 그루브(GR)의 바닥면(BP)의 상부 표면은, 실질적으로 동일 평면 상에 위치할 수 있다.
- [0075] 도 8e를 참조하면, 보조 전극(AE)과 충진층(FL)이 형성된 기판(SUB) 상에 박막 트랜지스터(T)와 전기적으로 연결되는 제1 전극(ANO)을 형성한다. 제1 전극(ANO)은 도 5b 내지 도 5d에 기재된 방법과 실질적으로 동일한 방법으로 형성될 수 있다. 제1 전극(ANO)은, 보조 전극(AE) 위에서 보조 전극(AE)과 직접 접촉되며, 보조 전극(AE)을 통해 박막 트랜지스터(T)와 전기적으로 연결된다. 제1 전극(ANO)은, 충진층(FL)에 의해 픽셀 콘택홀(PH)에 기인한 단차가 보상되어, 평평한 표면 상태를 가질 수 있다.
- [0076] 제1 전극(ANO)은 단일층 또는 다중층으로 이루어질 수 있다. 제1 전극(ANO)은 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(A1), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.
- [0077] 예로, 제1 전극(ANO)은 ITO/Ag alloy/ITO로 이루어진 삼중층으로 형성될 수 있다. 이 경우, 하부 ITO(Indium Tin Oxide)는, 오버 코트층(OC)과 Ag alloy과의 접착 특성을 개선하기 위한 목적으로 형성될 수 있다. 제1 전극(ANO)과 오버 코트층(OC) 사이에 개재되는 보조 전극(AE)이 ITO로 형성되는 경우 오버 코트층(OC)과의 접착 특성을 확보할 수 있기 때문에, 제1 전극(ANO)은 ITO/Ag alloy 이중층으로 형성될 수 있다. 이때, 이중층 중 보조 전극(AE)과 직접 접촉되는 층은 Ag alloy층이다.
- [0078] 이어서, 제1 전극(ANO)이 형성된 기판(SUB) 상에 유기 발광층(OL) 및 제2 전극(CAT)를 차례로 형성한다. 이로써, 제1 전극(ANO), 유기 발광층(OL) 및 제2 전극(CAT)을 포함하는 유기발광 다이오드(OLED)가 완성된다. 전술한 바와 같이, 본 발명은 제1 전극의 상부 표면을 평坦하게 형성할 수 있기 때문에, 발광 영역 내에서 위치에 따라 휙도 불균일이 발생하는 것을 최소화할 수 있다. 이에 따라, 본 발명의 제2 실시예는 제1 실시예 대비 표시 품질을 현저히 개선한 유기발광 다이오드 표시장치를 제공할 수 있는 이점을 갖는다.
- [0079] <제3 실시예>
- [0080] 도 9는 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 세 픽셀의 구조를 개략적으로 나타낸 단면도이다. 이웃하는 세 픽셀들은, 서로 다른 색의 광을 방출하는 서로 다른 픽셀일 수 있다. 본 발명의 제3 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.
- [0081] 본 발명의 제3 실시예에 따른 유기발광 표시장치는, 기판 상에 배치되는 오버 코트층(OC), 유기발광 다이오드(OLED) 및 컬러 필터(CF)를 포함한다. 오버 코트층(OC)은 그루브(GR) 및 보스(BS)를 포함한다. 그루브(GR)는 오버 코트층(OC)의 상부 표면으로부터 내측으로 일부 함몰되어 마련된 내부 공간이다. 후술하겠으나, 그루브(GR)는 유기발광 다이오드(OLED)의 제1 전극(ANO)을 수용할 수 있는 충분한 깊이를 갖도록 형성된다. 그루브(GR)가 형성된 영역은 발광 영역과 대응될 수 있다.
- [0082] 보스(BS)는 이웃하는 그루브(GR)들 사이에 마련된다. 보스(BS)는 오버 코트층(OC)에 그루브(GR)들이 소정 간격으로 이격되어 형성됨에 따라, 이웃하는 그루브(GR)들 사이에 잔류하는 오버 코트층(OC)의 일 부분이다. 보스(BS)는 이웃하는 픽셀을 구획하는 픽셀 정의막으로 기능할 수 있다. 보스(BS)가 형성된 영역은 비발광 영역과 대응될 수 있다.
- [0083] 오버 코트층(OC) 상에는, 유기발광 다이오드(OLED)가 배치된다. 유기발광 다이오드(OLED)는 서로 대향하는 제1 전극(ANO), 제2 전극(CAT), 및 제1 전극(ANO)과 제2 전극(CAT) 사이에 개재된 유기 발광층(OL)을 포함한다. 제

1 전극(ANO)은 대응되는 그루브(GR) 내에 수용된다. 유기 발광층(OL)과 제2 전극(CAT)은 제1 전극(ANO) 상에 차례로 형성되며, 그루브(GR)와 보스(BS)에 의해 마련된 단차를 따라 형성된다. 유기 발광층(OL)은 백색을 발광한다.

[0084] 유기발광 다이오드(OLE) 상에는, 컬러 필터(CF)가 배치된다. 컬러 필터(CF)는 그루브(GR) 내에 수용된다. 그루브(GR) 내에 수용된 컬러 필터(CF)의 상부 표면과 보스(BS)의 상부 표면은, 실질적으로 동일 평면 상에 위치한다. 컬러 필터(CF)는 적색(R), 녹색(G) 및 청색(B)의 광을 투과 시키는 적색(R), 녹색(G) 및 청색(B) 컬러 필터(CF1, CF2, CF3)를 포함할 수 있다. 적색(R), 녹색(G) 및 청색(B) 컬러 필터(CF1, CF2, CF3) 각각은, 대응되는 적색(R), 녹색(G) 및 청색(B) 픽셀에 할당된다.

[0085] 컬러 필터(CF1, CF2, CF3)들 각각은 대응하는 그루브(GR1, GR2, GR3)의 내부 공간에 수용되기 때문에, 그루브(GR1, GR2, GR3) 내에서 제1 전극(ANO)과 함께 기 설정된 위치에 정확히 열라인될 수 있다. 이웃하는 컬러 필터(CF1, CF2, CF3)들 사이에는, 보스(BS)가 위치한다. 이웃하는 컬러 필터(CF1, CF2, CF3)들은, 보스(BS)에 의해 수평 방향(또는 좌/우 방향)으로 기 설정된 간격만큼 이격되도록 열라인될 수 있다. 즉, 본 발명의 바람직한 실시예는, 오버 코트층(OC)의 그루브(GR)와 보스(BS)를 이용하여, 제1 전극(ANO)과 함께 컬러 필터(CF1, CF2, CF3)를 기 설정된 위치에 정확히 열라인 할 수 있는 이점을 갖는다.

[0086] 본 발명의 제3 실시예에 따른 유기발광 다이오드 표시장치는, 유기 발광층(OL)으로부터 방출된 백색(W)광이 적색(R), 녹색(G) 및 청색(B) 픽셀에 대응되는 영역에 각각 구비된 적색(R), 녹색(G) 및 청색(B)의 컬러 필터(CF1, CF2, CF3)를 통과함으로써, 적색(R), 녹색(G) 및 청색(B)을 구현한다. 이때, 타겟(target)이 되는 색좌표를 맞추기 위해서는, 컬러 필터(CF)의 두께가 픽셀 별로 서로 다르게 설정될 필요가 있다. 즉, 적색(R), 녹색(G) 및 청색(B) 컬러 필터(CF1, CF2, CF3) 중 적어도 어느 하나는, 다른 하나와 상이한 두께를 가질 수 있다.

[0087] 본 발명의 제3 실시예는, 기 설정된 두께를 갖는 컬러 필터(CF1, CF2, CF3)를 형성하기 위해, 오버 코트층(OC)의 그루브(GR1, GR2, GR3)의 깊이(D1, D2, D3)(또는 그루브(GR)의 두께, 또는 그루브(GR)의 측면의 너비)를 제어한다. 즉, 그루브들(GR) 중 어느 하나는 다른 하나와 다른 깊이(D)를 가질 수 있다. 본 발명의 제3 실시예는, 제1 픽셀의 그루브(GR1) 깊이(D1)와 제2 픽셀의 그루브(GR2) 깊이(D2)를 제어함으로써, 제1 픽셀의 제1 컬러 필터(CF1)와 제2 픽셀의 제2 컬러 필터(CF)를 기 설정된 두께를 갖도록 형성할 수 있다. 깊이(D1, D2, D3)가 다른 그루브들(GR1, GR2, GR3)은, 멀티톤 마스크(Multi-tone mask)를 이용하여 하나의 마스크 공정을 통해 형성될 수 있다.

[0088] 본 발명의 제3 실시예는, 그루브(GR) 및 보스(BS)를 갖는 오버 코트층(OC)을 구비함으로써, 컬러 필터(CF)를 그루브(GR) 내에서 용이하게 열라인할 수 있고, 그루브(GR)의 형상을 제어하여 컬러 필터(CF)를 기 설정된 두께를 갖도록 용이하게 형성할 수 있는 이점을 갖는다.

[0089] <제4 실시예>

[0090] 도 10은 본 발명의 제4 실시예에 따른 유기발광 다이오드 표시장치에 관한 것으로, 이웃하는 세 픽셀의 구조를 개략적으로 나타낸 단면도이다. 이웃하는 세 픽셀들은, 서로 다른 색의 광을 방출하는 서로 다른 픽셀일 수 있다. 본 발명의 제4 실시예를 설명함에 있어서, 제1 및 제3 실시예와 실질적으로 동일한 구성에 대한 설명은 생략하기로 한다.

[0091] 도 10을 참조하면, 본 발명의 제4 실시예에 따른 유기발광 표시장치는, 유기발광 다이오드(OLE)와 컬러 필터(CF) 사이에 개재되는 보호막(PAS)을 더 포함한다. 보호막(PAS)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx)과 같은 무기 물질로 이루어질 수 있다.

[0092] 본 발명의 제4 실시예는 유기발광 다이오드(OLE)의 제1 전극(CAT)상에 보호막(PAS)을 더 형성함으로써, 컬러 필터(CF) 형성 공정 시 제공된 환경에, 유기발광 다이오드(OLE)가 노출되어 열화되는 문제를 최소화할 수 있다. 또한, 본 발명의 제4 실시예는 보호막(PAS)을 더 포함함으로써, 유기발광 다이오드(OLE)로 유입될 수 있는 이물을 효과적으로 차단할 수 있기 때문에, 유기발광 다이오드(OLE)의 수명 저하 및 휘도 저하를 방지할 수 있는 이점을 갖는다. 또한, 본 발명의 제4 실시예는 보호막(PAS)을 더 포함함으로써, 제공된 스트레스를 효과적으로 완충(또는, 완화)할 수 있다. 이에 따라, 브리틀(brITTLE)한 성질을 갖는 제2 전극(CAT) 등에 크랙이 발생하는 문제를 방지할 수 있고, 크랙을 통해 산소 및 수분이 유입되는 것을 차단할 수 있는 이점을 갖는다.

[0093] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것

이 아니라 특히 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

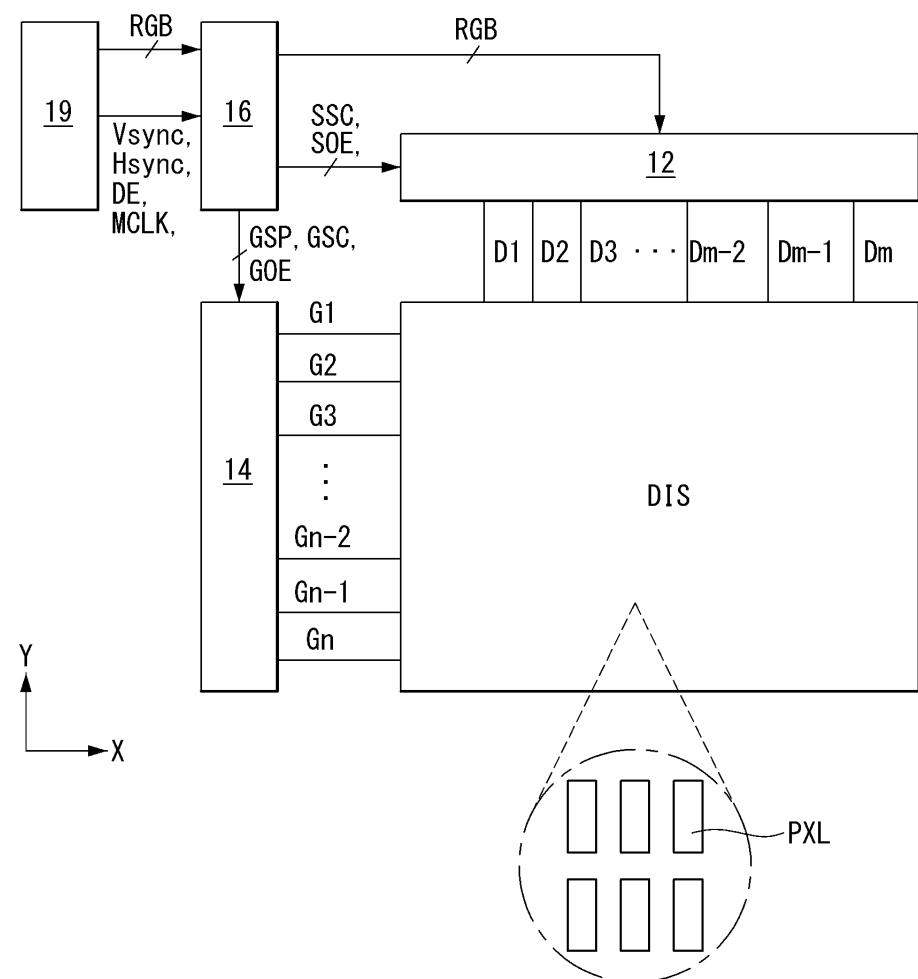
[0094]

SUB : 기판	OC : 오버 코트층
GR : 그루브	BS : 보스
OLE : 유기발광 다이오드	ANO : 제1 전극
OL : 유기 발광층	CAT : 제2 전극
AE : 보조 전극	GL : 충진층
CF : 컬러 필터	

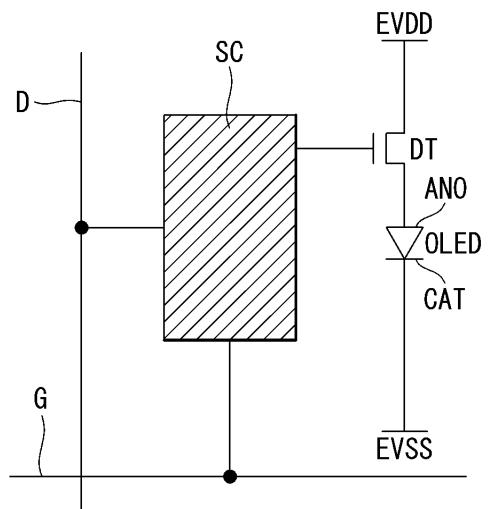
도면

도면1

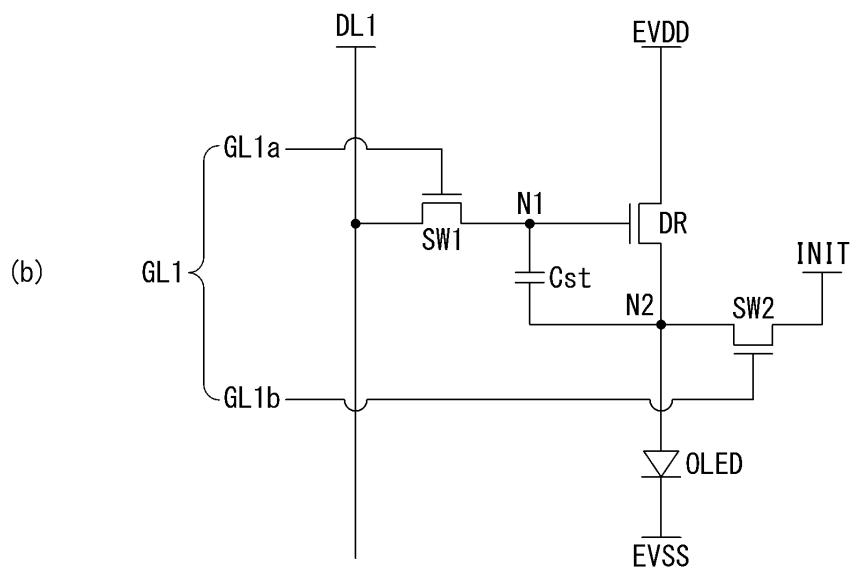
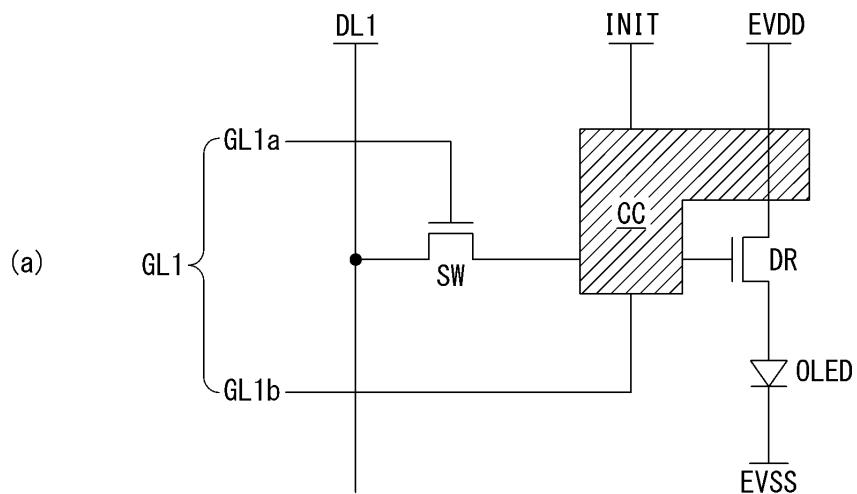
10



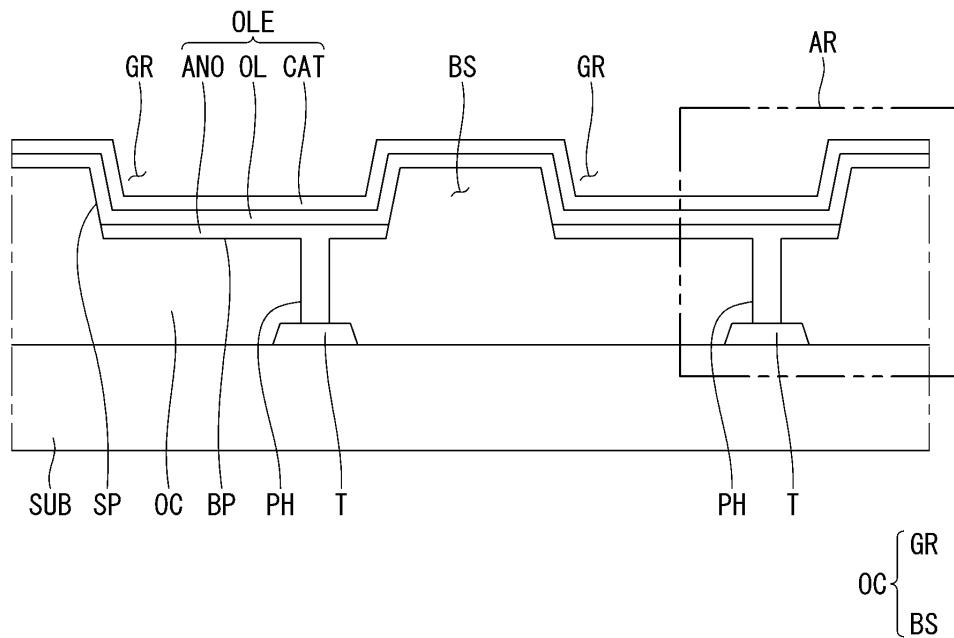
도면2



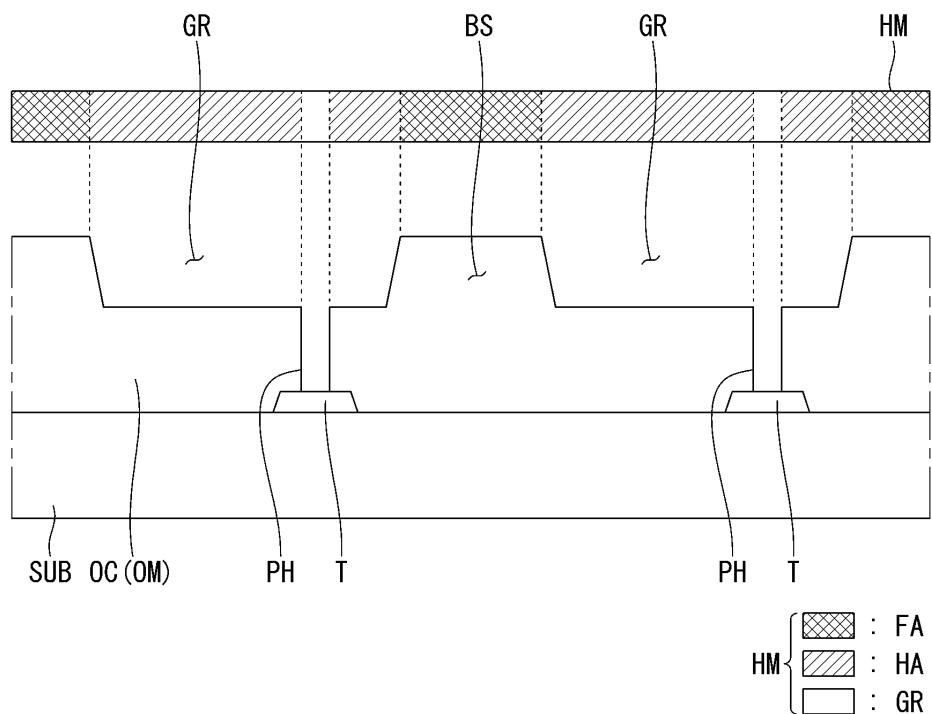
도면3



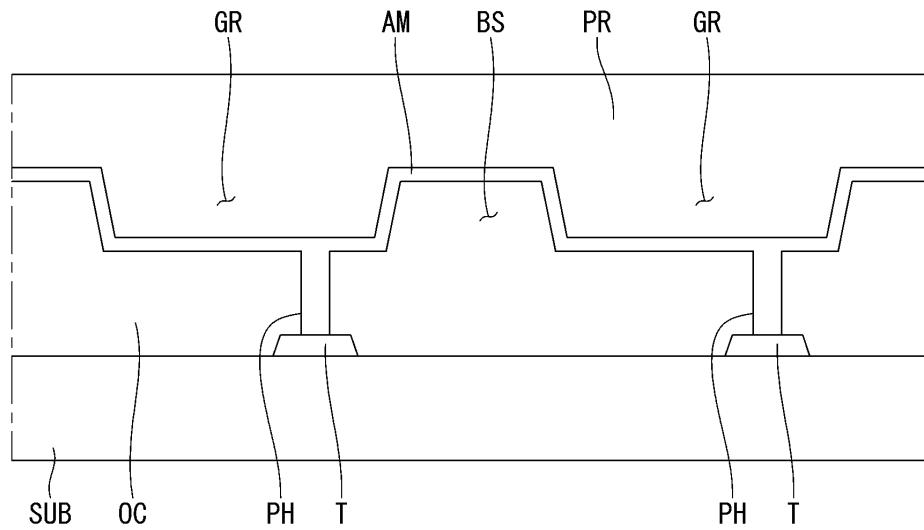
도면4



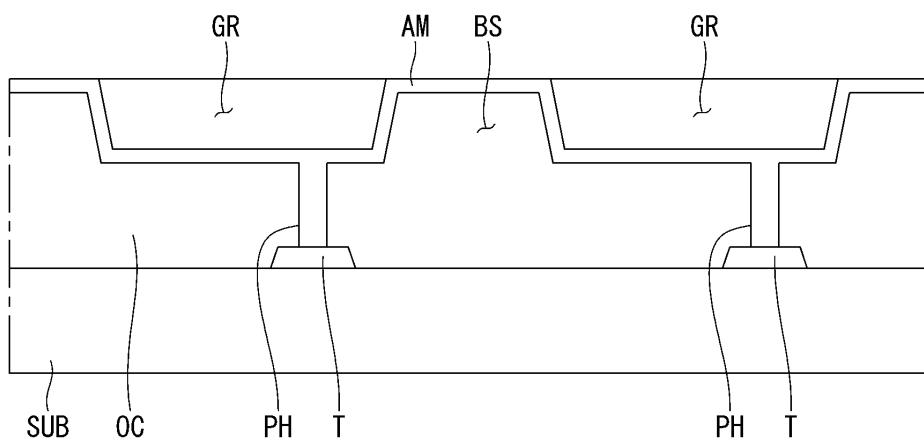
도면5a



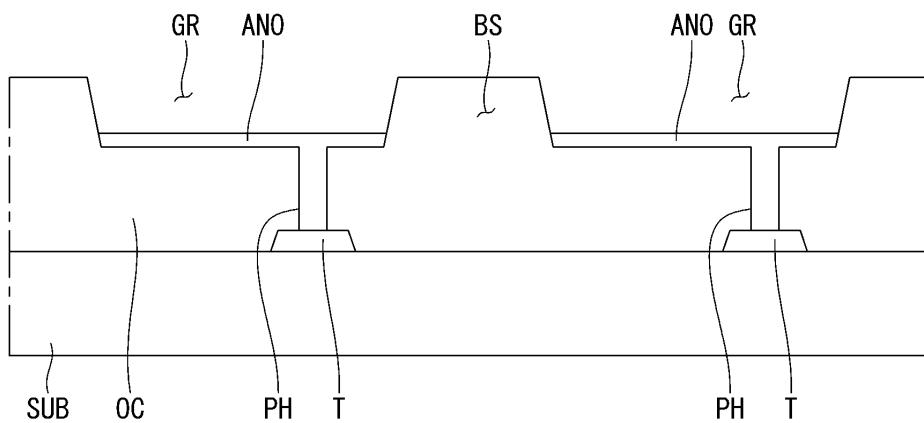
도면5b



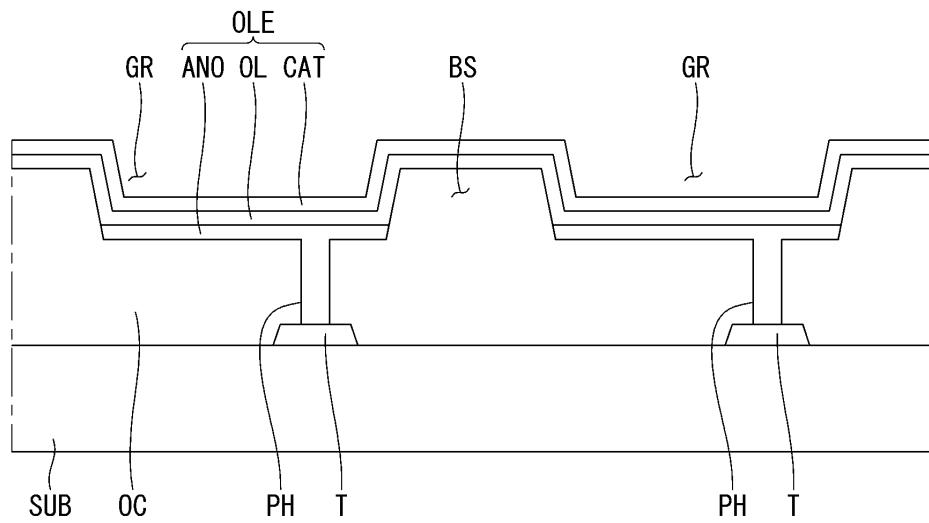
도면5c



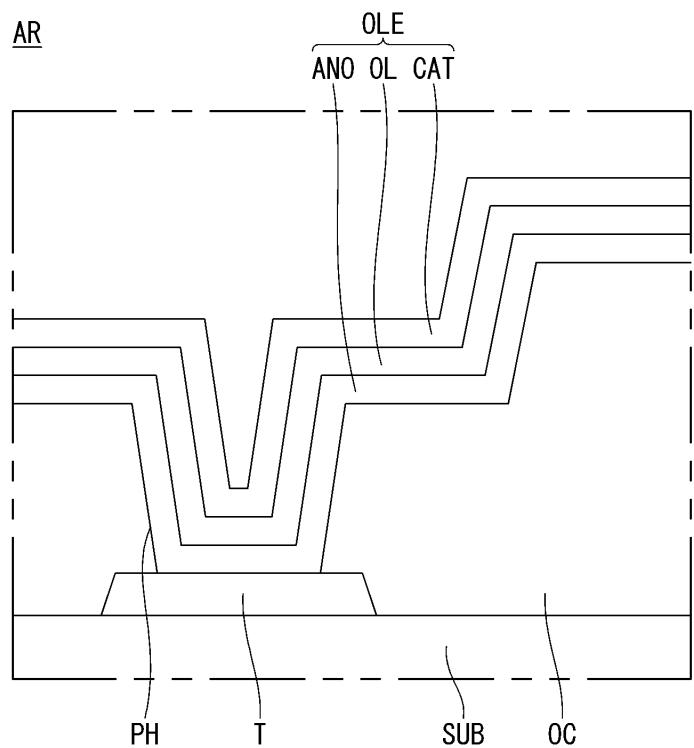
도면5d



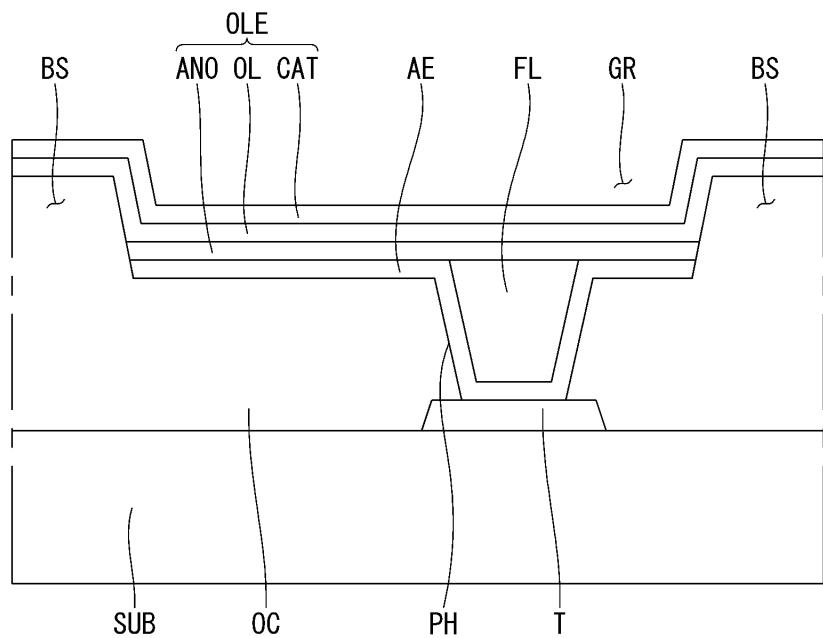
도면5e



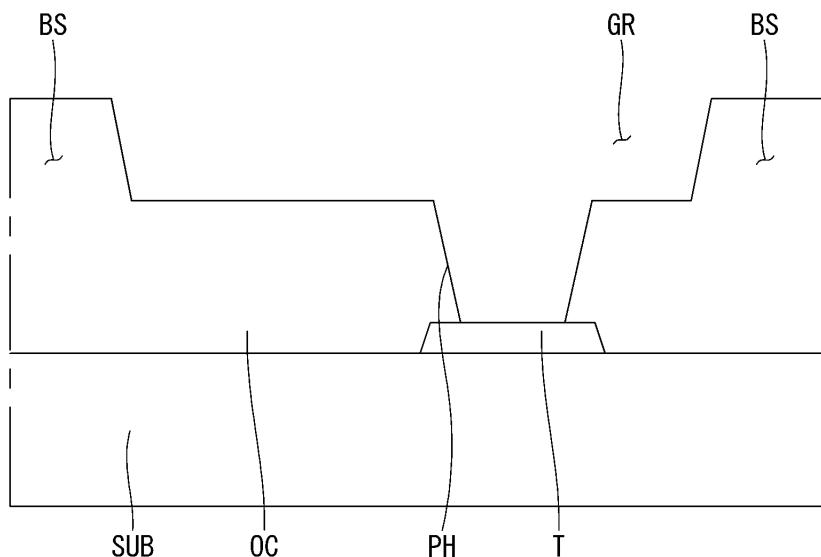
도면6



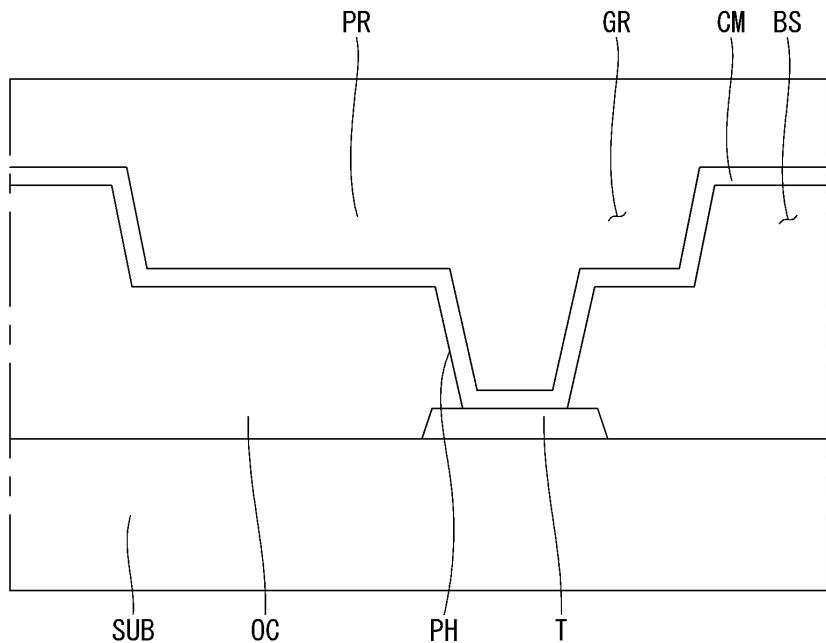
도면7



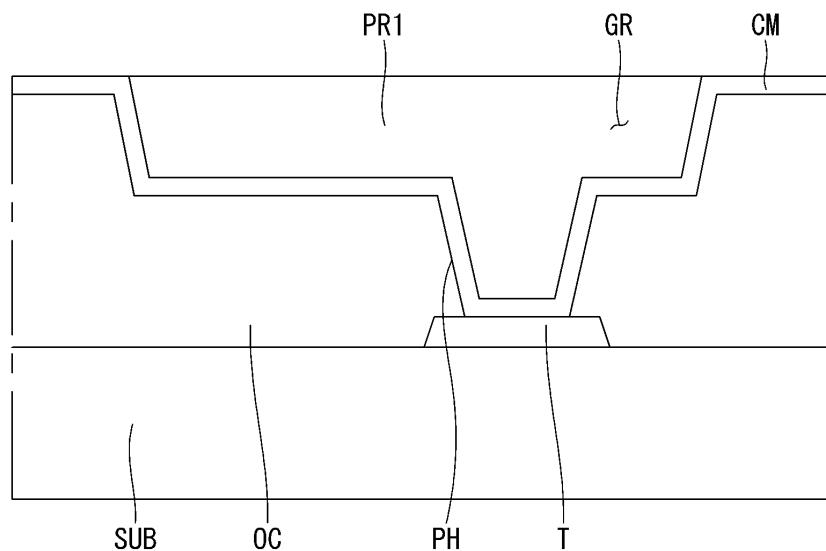
도면8a



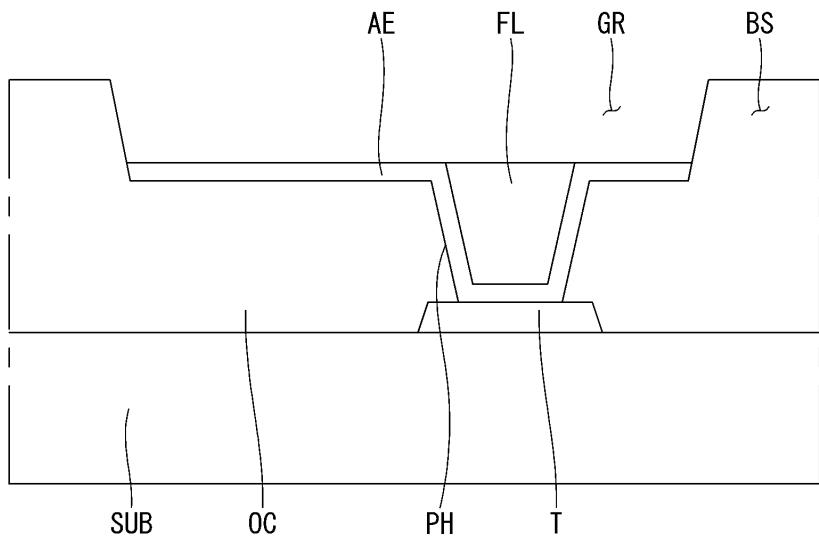
도면8b



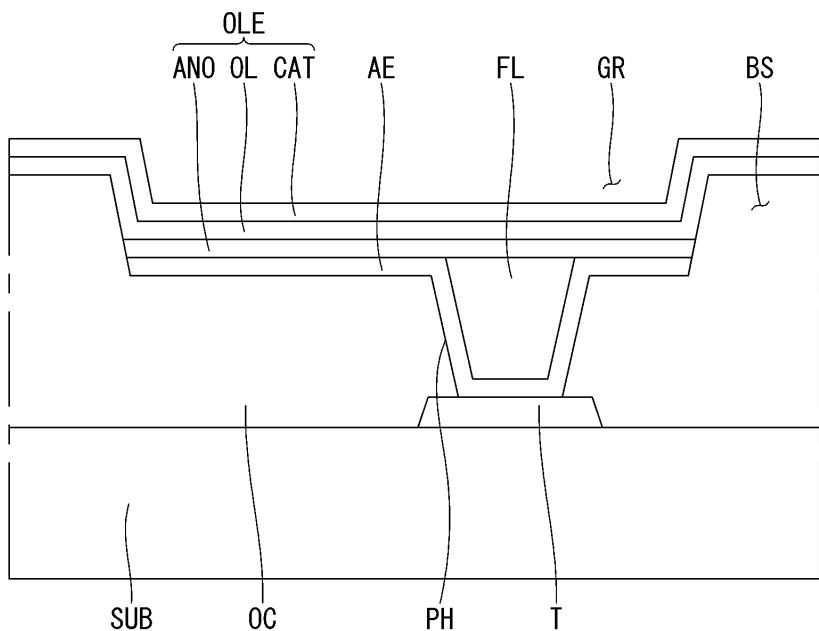
도면8c



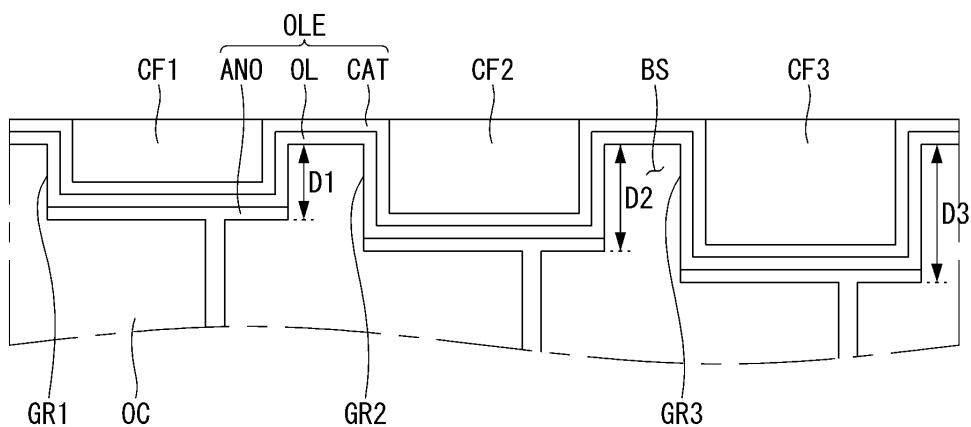
도면8d



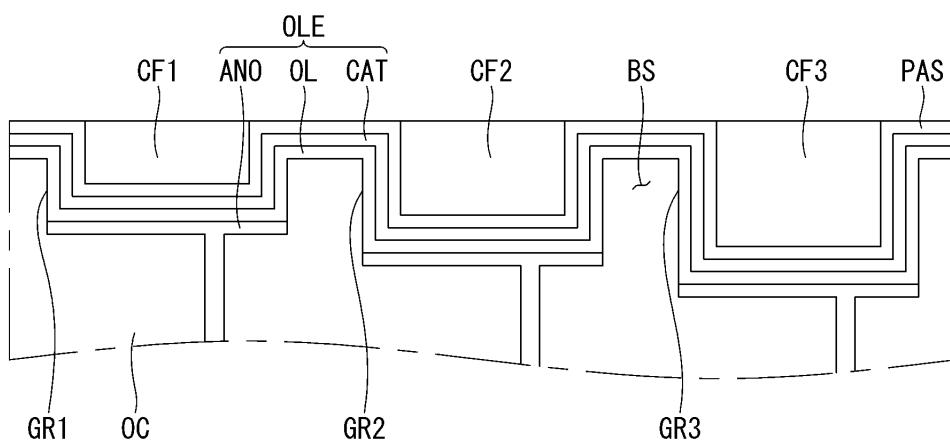
도면8e



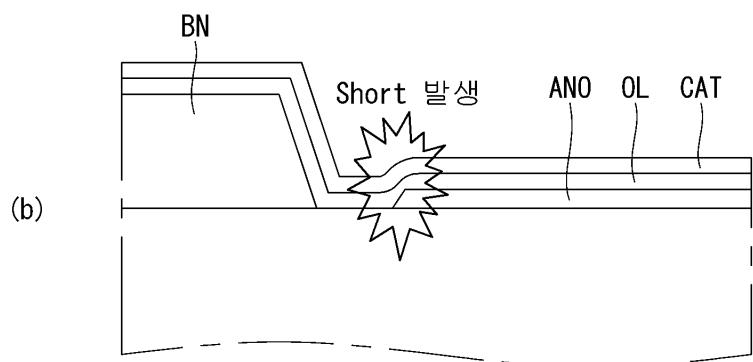
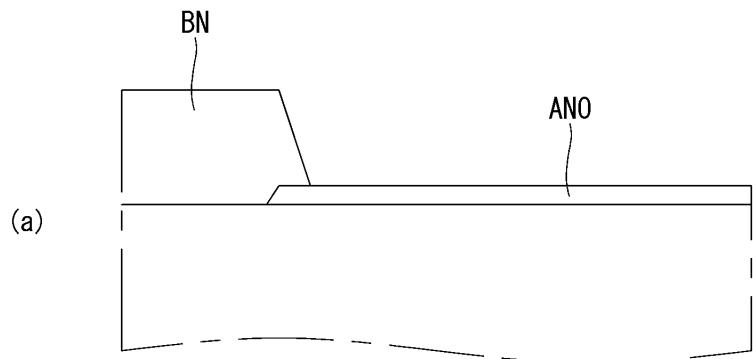
도면9



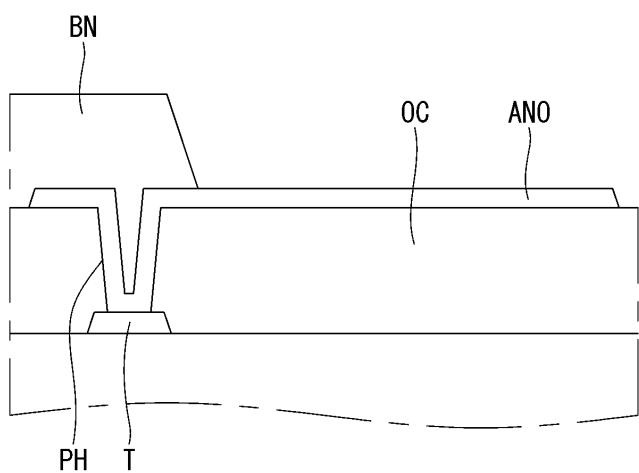
도면10



도면11



도면12



专利名称(译)	有机发光二极管显示装置及其制造方法		
公开(公告)号	KR101948897B1	公开(公告)日	2019-02-15
申请号	KR1020170122708	申请日	2017-09-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최호원		
发明人	최호원		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5253 H01L27/3211 H01L27/322 H01L27/3262 H01L51/5203 H01L51/56		
审查员(译)	Yiwoori		
外部链接	Espacenet		

摘要(译)

根据本发明，一种有机发光二极管显示装置包括：基板；和外涂层，其设置在基板上并具有凹槽和位于凹槽之间的凸台；分别容纳在凹槽中的第一电极；有机发光层设置在第一电极上；第二电极设置在有机发光层上。

