



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월10일
(11) 등록번호 10-2086496
(24) 등록일자 2020년03월03일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0064588
(22) 출원일자 2014년05월28일
심사청구일자 2019년03월27일
(65) 공개번호 10-2015-0020502
(43) 공개일자 2015년02월26일
(30) 우선권주장
1020130095140 2013년08월12일 대한민국(KR)
1020130145631 2013년11월27일 대한민국(KR)
(56) 선행기술조사문헌
CN103022080 A
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
백정선
경기도 파주시 쇠재로 30,708동 905호(금촌동, 서원마을아파트)
김민주
서울특별시 영등포구 선유로43가길 24 104동 801호 (양평동3가, 거성파스텔아파트)
(뒷면에 계속)
(74) 대리인
네이트특허법인

전체 청구항 수 : 총 18 항

심사관 : 구분재

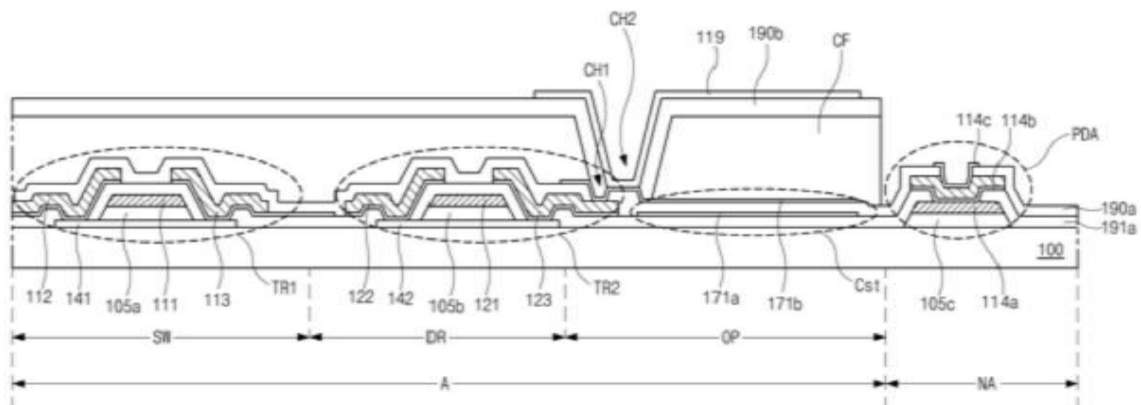
(54) 발명의 명칭 유기 발광 디스플레이 장치용 어레이 기판 및 이의 제조 방법

(57) 요약

본 발명은, 유기 발광 디스플레이 장치의 어레이 기판에 투명 커패시터 전극을 형성해 개구율을 확장하기 위한 것으로 스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 다수의 화소가 배열된 기판에 있어서, 제 1 반도체 물질, 제 1 게이트 전극 및 투명 도전성 물질 과 불투명 도전성 물질로 이루어진 이중 층으로 형성되는 제 1 소스

(뒷면에 계속)

대표도 - 도2



및 드레인 전극을 포함하며, 상기 기판 상의 스위칭 영역에 형성되는 제 1 박막 트랜지스터; 제 2 반도체 물질, 제 2 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 2 소스 및 드레인 전극을 포함하며, 상기 기판 상의 드라이빙 영역에 형성되는 제 2 박막 트랜지스터; 상기 제 1 드레인 전극을 구성하는 투명 도전성 물질로부터 연장되어 형성되는 제 1 투명 커패시터 전극; 상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 1 층간 절연막; 상기 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되며, 상기 제 1 층간 절연막 상에 형성되는 제 2 투명 커패시터 전극; 상기 제 2 투명 커패시터 전극을 노출시키는 제 2 콘택홀이 형성된 제 2 층간 절연막; 및 상기 제 2 층간 절연막 상에 형성되며, 상기 제 2 콘택홀을 통해 상기 제 2 투명 커패시터 전극과 연결되는 어노드 전극을 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.

(72) 발명자

김정오

경기도 고양시 일산서구 고양대로 624 106동 1503호 (일산동, 일산태영테시앙1단지아파트)

윤정기

경기도 파주시 월롱면 덕은리 파주LCD산업단지 엘씨디로 201,F동 1304호

김용민

경기도 안양시 동안구 학의로 120, 307동 2202호(관양동, 한가람한양아파트)

(56) 선행기술조사문헌

US20020000551 A1

US20070152217 A1

KR1020120069457 A

KR1020110057062 A

명세서

청구범위

청구항 1

스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 다수의 화소가 배열된 기관에 있어서,

제 1 반도체 패턴, 제 1 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 1 소스 및 드레인 전극을 포함하며, 상기 기관 상의 상기 스위칭 영역에 형성되는 제 1 박막 트랜지스터;

제 2 반도체 패턴, 제 2 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 2 소스 및 드레인 전극을 포함하며, 상기 기관 상의 상기 드라이빙 영역에 형성되는 제 2 박막 트랜지스터;

상기 제 1 드레인 전극을 구성하는 투명 도전성 물질로부터 연장되어 형성되는 제 1 투명 커패시터 전극;

상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 1 보호막;

상기 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되며, 상기 제 1 보호막 상에 형성되는 제 2 투명 커패시터 전극;

상기 제 2 투명 커패시터 전극을 노출시키는 제 2 콘택홀이 형성된 제 2 보호막; 및

상기 제 2 보호막 상에 형성되며, 상기 제 2 콘택홀을 통해 상기 제 2 투명 커패시터 전극과 연결되는 어노드 전극

을 포함하는 유기 발광 디스플레이 장치용 어레이 기관.

청구항 2

스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 다수의 화소가 배열된 기관에 있어서,

제 1 반도체 패턴, 제 1 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 1 소스 및 드레인 전극을 포함하며, 상기 기관 상의 상기 스위칭 영역에 형성되는 제 1 박막 트랜지스터;

제 2 반도체 패턴, 제 2 게이트 전극 및 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 2 소스 및 드레인 전극을 포함하며, 상기 기관 상의 상기 드라이빙 영역에 형성되는 제 2 박막 트랜지스터;

상기 제 1 및 제 2 반도체 패턴과 이격되며, 동일층에 형성되는 제 1 투명 커패시터 전극;

상기 제 2 드레인 전극과 연결되며, 층간 절연막 상에 상기 제 2 드레인 전극의 투명 도전성 물질과 동일층 및 동일물질로 형성되는 제 2 투명 커패시터 전극;

상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 1 보호막;

상기 제 1 보호막 상에 형성되며, 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 2 보호막; 및

상기 제 2 보호막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되는 어노드 전극

을 포함하는 유기 발광 디스플레이 장치용 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 개구 영역은 상기 제 1 및 제 2 투명 커패시터 전극과, 상기 제 1 보호막에 의해 형성되는 스토리지 커패시터 영역을 포함하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 4

제 2 항에 있어서,

상기 개구 영역은 상기 제 1 및 제 2 투명 커패시터 전극과, 상기 층간 절연막에 의해 형성되는 스토리지 커패시터 영역을 포함하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 5

제 2 항에 있어서,

상기 제 1 투명 커패시터 전극은 도체화 가능한 산화물 반도체 물질로 이루어진 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 6

제 1 항 또는 제 2항에 있어서,

상기 기판의 외부에 제 1 내지 제 3 패드 전극으로 형성되는 패드부를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 7

제 1 항 또는 제 2항에 있어서,

상기 어노드 전극과 상기 제 2 투명 커패시터 전극 사이에 형성되는 컬러필터를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 8

제 1 항 또는 제 2항에 있어서,

상기 제 1 및 제 2 투명 커패시터 전극은 500Å의 두께로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 어노드 전극은 1200Å의 두께로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 10

제 1 항 또는 제 2항에 있어서,

상기 제 1 보호막은 SiO₂로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 11

제 1 항에 있어서,

상기 제 1 보호막은 4000Å의 두께로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판.

청구항 12

스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 어레이 기판의 제조 방법에 있어서,

상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴을 형성하는 단계;

상기 제 1 및 제 2 반도체 패턴 상에 각각 제 1 및 제 2 절연막 패턴 및 제 1 및 제 2 게이트 전극을 형성하는 단계;

상기 어레이 기판 상에 층간 절연막을 적층하는 단계;

상기 층간 절연막 상에 투명 도전성 물질층 및 불투명 도전성 물질층을 순차로 적층하는 단계;

상기 투명 도전성 물질층 및 상기 불투명 도전성 물질층을 식각하여 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중 층의 제 1 및 제 2 소스 전극 및 제 1 및 제 2 드레인 전극과, 상기 제 1 드레인 전극을 이루는 투명 도전성 물질이 연장되어 이루어진 제 1 투명 커패시터 전극을 동시에 형성하는 단계;

상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀을 갖는 제 1 보호막을 형성하는 단계;

상기 제 1 보호막의 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되며, 상기 제 1 보호막 상에 제 2 투명 커패시터 전극을 형성하는 단계;

상기 제 2 투명 커패시터 전극을 노출시키는 제 2 콘택홀을 갖는 제 2 보호막을 형성하는 단계; 및

상기 제 2 보호막 상에 상기 제 2 투명 커패시터 전극과 연결되는 어노드 전극을 형성하는 단계

를 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 및 제 2 소스 전극과 상기 제 1 및 제 2 드레인 전극과 상기 제 1 투명 커패시터 전극을 동시에 형성하는 단계에서 상기 제 1 투명 커패시터 전극은 반투과 마스크를 사용하여 형성하는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 14

스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 어레이 기판의 제조 방법에 있어서,

상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴과 제 1 투명 커패시터 전극을 형성하는 단계;

상기 제 1 및 제 2 반도체 패턴 상에 각각 제 1 및 제 2 절연막 패턴 및 제 1 및 제 2 게이트 전극을 형성하는 단계;

상기 어레이 기판 상에 층간 절연막을 적층하는 단계;

상기 층간 절연막 상에 투명 도전성 물질층 및 불투명 도전성 물질층을 순차로 적층하는 단계;

상기 투명 도전성 물질층 및 상기 불투명 도전성 물질층을 식각하여 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중층의 제 1 및 제 2 소스 전극 및 제 1 및 제 2 드레인 전극과, 상기 제 2 드레인 전극을 이루는 투명 도전성 물질이 연장되어 이루어지는 제 2 투명 커패시터 전극을 동시에 형성하는 단계; 및

상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀을 갖는 제 1 보호막을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 제 1 보호막을 형성하는 단계 이후 상기 제 1 보호막 상에 상기 제 2 드레인 전극을 노출시키는 제 2 콘택홀을 갖는 제 2 보호막을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제 2 보호막을 형성하는 단계 이후 상기 제 2 보호막 상에 상기 제 2 드레인 전극과 연결되는 어노드 전극을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 17

제 14 항에 있어서,

상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴과 제 1 투명 커패시터 전극을 형성하는 단계는 상기 제 1 투명 커패시터 전극을 플라즈마(Plasma) 처리를 통해 도체화 시켜 형성하는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

청구항 18

제 14 항에 있어서,

상기 제 1 및 제 2 소스 전극과 상기 제 1 및 제 2 드레인 전극과 상기 제 2 투명 커패시터 전극을 동시에 형성하는 단계에서 상기 제 2 투명 커패시터 전극은 반투과 마스크를 사용하여 형성하는 것을 특징으로 하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 투명 스토리지 커패시터가 형성된 유기 발광 디스플레이 장치용 어레이 기판 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래에 주로 브라운관을 사용하던 디스플레이 장치는 기술의 발전에 따라 액정 디스플레이 패널(Liquid Crystal Display Panel)을 활용한 장치에서 현재는 유기 발광 디스플레이(Organic Light Emitting Diode Display) 장치로 발전했다.

[0003] 유기 발광 디스플레이 장치는 배면광을 필요로 하는 액정 디스플레이 장치와 달리 자가 발광이 가능하여 별도의 광원장치를 요구하지 않는 것으로, 초기에는 주로 소형 디스플레이 장치에 적용되었으나 점차 대형 디스플레이 장치에도 적용되어 여러 분야에 걸쳐 사용되고 있다.

- [0004] 유기 발광 디스플레이 장치는 유기발광층에서 발생한 빛이 어레이 회로가 형성되는 기판을 통과하는 것으로, 이는 도 1을 참조하여 설명하도록 한다.
- [0005] 도 1은 종래의 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 단면도이다.
- [0006] 도 1에 도시된 바와 같이, 종래의 유기 발광 디스플레이 장치의 어레이 기판은 서로 교차하여 다수의 화소 영역을 정의하는 게이트 배선(미도시) 및 데이터 배선(32)이 형성되어 있으며, 이때, 데이터 배선(32)과 나란하게 각 화소 영역별로 공통 전압선(미도시)이 형성되어 있다.
- [0007] 그리고, 게이트 배선(미도시)과 데이터 배선(32)이 교차하는 영역에는 제 1 및 제 2 게이트 전극(11, 21)과, 게이트 절연막(14)에 의해 상기 제 1 및 제 2 게이트 전극(11, 21)과 이격된 제 1 및 제 2 반도체 물질(17, 27), 층간 절연막(31)에 형성된 콘택홀을 통해 상기 제 1 및 제 2 반도체 물질(17, 27) 각각과 연결되는 제 1 및 제 2 소스 전극(12, 22), 그리고 제 1 및 제 2 드레인 전극(13, 23)으로 구성된 스위칭 소자인 제 1 및 제 2 박막 트랜지스터(TR1, TR2)가 형성되어 있다.
- [0008] 이때, 제 1 소스 전극(12) 및 제 2 소스 전극(22)은 각각 데이터 배선(32)과 공통 전압선(미도시)에서 연장되어 형성된 것이다.
- [0009] 스위칭 박막 트랜지스터인 제 1 박막 트랜지스터(TR1)의 제 1 드레인 전극(13)은 제 2 커패시터 전극(16)과 연결되도록 형성되고, 드라이빙 박막 트랜지스터인 제 2 박막 트랜지스터(TR2)의 제 2 드레인 전극(23)은 제 1 커패시터 전극(15)과 연결되도록 형성됨으로써, 제 1 커패시터 전극(15)과 중첩하는 부분에 제 2 커패시터 전극(16)이 위치하게 되어 스토리지 커패시터(Cst)가 형성된다.
- [0010] 이러한 유기 발광 디스플레이 장치의 어레이 기판의 어노드 전극(19) 상에 유기발광층(EL)과 캐소드 전극(미도시)을 더욱 형성하여 자가 발광이 가능한 유기 발광 디스플레이 장치를 형성할 수 있게 된다.
- [0011] 즉, 유기 발광 디스플레이 장치는 어노드 전극(19)에서 전달하는 정공과 캐소드 전극(미도시)에서 전달하는 전자가 유기발광층(EL) 내에서 재결합되어 빛을 발생시키는 것으로, 캐소드 전극(미도시)이 불투명한 금속으로 형성되는 경우, 유기발광층(EL) 내에서 발생한 빛이 어레이 기판으로 반사되어 제 1 및 제 2 박막 트랜지스터(TR1, TR2)가 형성된 어레이 기판을 통해 방출된다.
- [0012] 이 과정에서, 스토리지 커패시터(Cst)는 공급된 전압을 신호에 따라 다음번 전압이 공급되기 전까지 유지시키기 위해서 사용되는데, 구동 안정성을 위해 스토리지 커패시터(Cst)영역을 확장하면 불투명 금속으로 형성되는 제 1 및 제 2 커패시터 전극(15, 16)에 의해 개구율이 감소하는 문제가 발생한다.
- [0013] 이러한 문제를 해결하기 위해, 스토리지 커패시터(Cst)를 화소 구동에 요구되는 최소 영역에 맞춰 형성하였으나, 근래에 들어 해상도가 점차 증가함에 따라 1 인치 내 화소 수(PPI)가 증가하고, 이에 따른 화소 영역이 점차 좁아지고 있어 스토리지 커패시터 영역을 형성하는데 어려움이 커지고 있으며, 이를 해결하기 위한 다층 구조의 스토리지 커패시터 구조도 제안되었으나, 이를 형성하기 위한 공정의 복잡도가 높아지게 되어 유기 발광 디스플레이 장치 제조의 수율이 감소하는 문제점과 불량률이 증가하는 문제점을 나타내고 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명에 따른 유기 발광 디스플레이 장치용 어레이 기판 및 이의 제조 방법은 불투명 금속 재질의 커패시터 전극과 이를 포함하는 스토리지 커패시터로 인해 개구율이 감소하여 저해상도 유기 발광 디스플레이 장치과 동일한 휘도를 나타내기 위해 소모하는 전력량이 증가하는 문제와, 종래의 저해상도 유기 발광 디스플레이 장치에 비해 유기발광층으로 전달되는 전력량이 증가함에 따라 유기발광층에 누적되는 스트레스가 증가하여 장치의 수명이 단축되는 문제를 해결할 뿐만 아니라, 어레이 기판에 투명 커패시터 전극을 형성하기 위한 별도의 공정을 추가하지 않아 유기 발광 디스플레이 장치의 생산 비용 및 시간을 절감할 수 있다.

과제의 해결 수단

- [0015] 상기한 문제를 해결하기 위하여, 본 발명은 스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 다수의 화소가 배열된 기판에 있어서, 제 1 반도체 패턴, 제 1 게이트 전극 및 투명 도전성 물질 과 불투명 도전성 물질로 이루어진 이중 층으로 형성되는 제 1 소스 및 드레인 전극을 포함하며, 상기 기판 상의 상기 스위칭 영역에 형성되는 제 1 박막 트랜지스터; 제 2 반도체 패턴, 제 2 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 2 소스 및 드레인 전극을 포함하며, 상기 기판 상의 상기 드라이빙 영역에 형성되는 제 2 박막 트랜지스터; 상기 제 1 드레인 전극을 구성하는 투명 도전성 물질로부터 연장되어 형성되는 제 1 투명 커패시터 전극; 상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 1 보호막; 상기 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되며, 상기 제 1 보호막 상에 형성되는 제 2 투명 커패시터 전극; 상기 제 2 투명 커패시터 전극을 노출시키는 제 2 콘택홀이 형성된 제 2 보호막; 및 상기 제 2 보호막 상에 형성되며, 상기 제 2 콘택홀을 통해 상기 제 2 투명 커패시터 전극과 연결되는 어노드 전극을 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0016] 또한, 상기 개구 영역은 상기 제 1 및 제 2 투명 커패시터 전극과, 상기 제 1 보호막에 의해 형성되는 스토리지 커패시터 영역을 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0017] 한편, 본 발명은 스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 다수의 화소가 배열된 기판에 있어서, 제 1 반도체 패턴, 제 1 게이트 전극 및 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중 층으로 형성되는 제 1 소스 및 드레인 전극을 포함하며, 상기 기판 상의 상기 스위칭 영역에 형성되는 제 1 박막 트랜지스터; 제 2 반도체 패턴, 제 2 게이트 전극 및 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중층으로 형성되는 제 2 소스 및 드레인 전극을 포함하며, 상기 기판 상의 상기 드라이빙 영역에 형성되는 제 2 박막 트랜지스터; 상기 제 1 및 제 2 반도체 패턴과 이격되며, 동일층에 형성되는 제 1 투명 커패시터 전극; 상기 제 2 드레인 전극과 연결되며, 층간 절연막 상에 상기 제 2 드레인 전극의 투명 도전성 물질과 동일층 및 동일물질로 형성되는 제 2 투명 커패시터 전극; 상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 1 보호막; 상기 제 1 보호막 상에 형성되며, 제 2 드레인 전극을 노출시키는 제 1 콘택홀이 형성된 제 2 보호막; 및 상기 제 2 보호막 상에 형성되며, 상기 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되는 어노드 전극을 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0018] 또한, 상기 개구 영역은 상기 제 1 및 제 2 투명 커패시터 전극과, 상기 층간 절연막에 의해 형성되는 스토리지 커패시터 영역을 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0019] 상기 제 1 및 제 2 반도체 패턴은 도체화 가능한 투명 도전성 물질로 이루어진 것을 특징으로 한다.
- [0020] 상기 기판의 외부에 제 1 내지 제 3 패드 전극으로 형성되는 패드부를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0021] 상기 어노드 전극과 상기 제 2 투명 커패시터 전극 사이에 형성되는 컬러필터를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판을 제공한다.
- [0022] 상기 제 1 및 제 2 투명 커패시터 전극은 500Å의 두께로 형성되는 것을 특징으로 한다.
- [0023] 상기 어노드 전극은 1200Å의 두께로 형성되는 것을 특징으로 한다.
- [0024] 상기 제 1 보호막은 SiO₂로 형성되는 것을 특징으로 한다.
- [0025] 상기 제 1 보호막은 4000Å의 두께로 형성되는 것을 특징으로 한다.
- [0026] 다른 한편, 본 발명은 스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 어레이 기판의 제조 방법에 있어서, 상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴을 형성하는 단계; 상기 제 1 및 제 2 반도체 패턴 상에 각각 제 1 및 제 2 절연막 패턴 및 제 1 및 제 2 게이트 전극을 형성하는 단계; 상기 어레이 기판 상에 층간 절연막을 적층하는 단계; 상기 층간 절연막 상에 투명 도전성 물질층 및 불투명 도전성 물질층을 순차로 적층하는 단계; 상기 투명 도전성 물질층 및 상기 불투명 도전성 물질층을 식각하여 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중 층의 제 1 및 제 2 소스 전극 및 제 1 및 제 2 드레인 전극과, 상기 제 1 드레인 전극을 이루는 투명 도전성 물질이 연장되어 이루어진 제 1 투명 커패시터 전극을 동시에 형성하는 단계; 상기 제 2 드레

인 전극을 노출시키는 제 1 콘택홀을 갖는 제 1 보호막을 형성하는 단계; 상기 제 1 보호막의 제 1 콘택홀을 통해 상기 제 2 드레인 전극과 연결되며, 상기 제 1 보호막 상에 제 2 투명 커패시터 전극을 형성하는 단계; 상기 제 2 투명 커패시터 전극을 노출시키는 제 2 콘택홀을 갖는 제 2 보호막을 형성하는 단계; 및 상기 제 2 보호막 상에 상기 제 2 투명 커패시터 전극과 연결되는 어노드 전극을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법을 제공한다.

[0027] 또한, 상기 제 1 및 제 2 소스 전극과 상기 제 1 및 제 2 드레인 전극과 상기 제 1 투명 커패시터 전극을 동시에 형성하는 단계에서 상기 제 1 투명 커패시터 전극은 반투과 마스크를 사용하여 형성하는 것을 특징으로 한다.

[0028] 또 다른 한편, 본 발명은 스위칭 영역과 드라이빙 영역, 개구 영역이 정의된 어레이 기판의 제조 방법에 있어서, 상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴과 제 1 투명 커패시터 전극을 형성하는 단계; 상기 제 1 및 제 2 반도체 패턴 상에 각각 제 1 및 제 2 절연막 패턴 및 제 1 및 제 2 게이트 전극을 형성하는 단계;

[0029] 상기 어레이 기판 상에 층간 절연막을 적층하는 단계; 상기 층간 절연막 상에 투명 도전성 물질층 및 불투명 도전성 물질층을 순차로 적층하는 단계; 상기 투명 도전성 물질층 및 상기 불투명 도전성 물질층을 식각하여 투명 도전성 물질 및 불투명 도전성 물질로 이루어진 이중층의 제 1 및 제 2 소스 전극 및 제 1 및 제 2 드레인 전극과, 상기 제 2 드레인 전극을 이루는 투명 도전성 물질이 연장되어 이루어지는 제 2 투명 커패시터 전극을 동시에 형성하는 단계; 및 상기 제 2 드레인 전극을 노출시키는 제 1 콘택홀을 갖는 제 1 보호막을 형성하는 단계를 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법을 제공한다.

[0030] 또한, 상기 제 1 보호막을 형성하는 단계 이후 상기 제 1 보호막 상에 상기 제 2 드레인 전극을 노출시키는 제 2 콘택홀을 갖는 제 2 보호막을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법을 제공한다.

[0031] 또한, 상기 제 2 보호막을 형성하는 단계 이후 상기 제 2 보호막 상에 상기 제 2 드레인 전극과 연결되는 어노드 전극을 형성하는 단계를 더 포함하는 유기 발광 디스플레이 장치용 어레이 기판의 제조 방법을 제공한다.

[0032] 또한, 상기 어레이 기판 상에 제 1 및 제 2 반도체 패턴과 제 1 투명 커패시터 전극을 형성하는 단계는 상기 제 1 및 제 2 반도체 패턴의 양측면과 상기 제 1 투명 커패시터 전극을 수소(H₂) 또는 아르곤(Ar) 플라즈마(Plasma) 처리를 통해 도체화시켜 형성하는 것을 특징으로 한다.

[0033] 또한, 상기 제 1 및 제 2 소스 전극과 상기 제 1 및 제 2 드레인 전극과 상기 제 2 투명 커패시터 전극을 동시에 형성하는 단계에서 상기 제 2 투명 커패시터 전극은 반투과 마스크를 사용하여 형성하는 것을 특징으로 한다.

발명의 효과

[0034] 본 발명에 따른 유기 발광 디스플레이 장치용 어레이 기판 및 이의 제조 방법은 커패시터 전극을 투명 전극으로 형성하여, 개구 영역 상에도 스토리지 커패시터를 형성하는 구조 및 이의 제조 방법을 제공한다.

[0035] 이에 따라 화소 영역 내에서 박막 트랜지스터가 형성된 영역을 제외한 모든 영역에 스토리지 커패시터를 형성할 수 있어 높은 해상도로 설계된 유기 발광 다이오드 디스플레이 장치에서도 안정적인 구동을 수행할 수 있다.

[0036] 또한, 투명 전극으로 형성되는 커패시터 전극과 소스 전극 및 드레인 전극을 하나의 제조 공정을 통해 형성함으로써 공정 난이도를 감소시켜 제조시 수율을 높이고, 불량률을 감소시키는 효과를 나타낸다.

[0037] 또한, 어레이 기판에 투명 커패시터 전극을 형성하기 위해 별도의 공정을 추가하지 않아 유기 발광 디스플레이 장치의 생산 비용 및 시간을 절감시키는 효과를 나타낸다.

도면의 간단한 설명

[0038] 도 1은 종래의 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 도면이다.

도 2는 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 단면도이다.

도 3a 내지 도 3h 는 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판의 일부 제조 공정을 나타낸 도면이다.

도 4는 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 단면도이다.

도 5a 내지 도 5h 는 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판의 일부 제조 공정을 나타낸 도면이다.

도 6a 내지 도 6c는 종래 및 본 발명의 제 1 및 제 2 실시예에 따른 유기 발광 디스플레이 장치의 구조를 비교하기 위한 개구 영역의 단면도를 나타낸 것이다.

도 7은 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 커패시터 면적 변화 별 발광 휘도를 나타낸 그래프이다.

도 8a 내지 도 8c는 각각 개구 영역의 75%, 63%, 50%를 차지하는 투명 커패시터를 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 도면을 참조하여 본 발명의 실시예에 따른 유기 발광 디스플레이 장치용 어레이 기판 및 이의 제조 방법을 설명하도록 한다.
- [0040] 도 2는 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 단면도이다.
- [0041] 도 2에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판(100)은 표시 영역(A)과 비표시 영역(NA)으로 구분되는데, 표시 영역(A)을 이루는 다수의 화소 각각은 제 1 박막 트랜지스터(TR1)가 형성되는 스위칭 영역(SW)과, 제 2 박막 트랜지스터(TR2)가 형성되는 드라이빙 영역(DR)과, 스토리지 커패시터(Cst)가 형성되는 개구 영역(OP)으로 나뉘며, 비표시 영역(NA)에는 게이트 신호, 또는 데이터 신호를 인가받는 패드부(PAD)가 형성될 수 있다.
- [0042] 제 1 박막 트랜지스터(TR1)는 어레이 기판(100)상에 형성된 제 1 반도체 패턴(141)과, 제 1 반도체 패턴(141)의 상부에 위치하며, 제 1 게이트 절연막 패턴(105a)에 의해 이격된 제 1 게이트 전극(111)과, 상기 제 1 게이트 전극(111) 및 제 1 게이트 절연막 패턴(105a)과 제 1 반도체 패턴(141)을 덮도록 형성되는 층간 절연막(191a)과, 상기 층간 절연막(191a)의 상부에 형성되며, 제 1 반도체 물질(141)과 전기적으로 연결되는 제 1 소스 전극(112) 및 제 1 드레인 전극(113)으로 형성된다.
- [0043] 그리고, 제 2 박막 트랜지스터(TR2)는 어레이 기판(100)상에 형성된 제 2 반도체 패턴(142)과, 제 2 반도체 패턴(142)의 상부에 위치하며, 제 2 게이트 절연막 패턴(105b)에 의해 이격된 제 2 게이트 전극(121)과, 상기 제 2 게이트 전극(121) 및 제 2 게이트 절연막 패턴(105b)과 제 2 반도체 패턴(142)을 덮도록 형성되는 층간 절연막(191a) 및 이의 상부에 형성되며, 제 2 반도체 패턴(142)과 전기적으로 연결되는 제 2 소스 전극(122) 및 제 2 드레인 전극(123)으로 형성된다.
- [0044] 그리고, 스토리지 커패시터(Cst)는 층간 절연막(191a) 상부에 형성되는 제 1 투명 커패시터 전극(171a)과, 상기 제 1 투명 커패시터 전극(171a)과 중첩되도록 제 1 보호막(190a) 상에 형성되는 제 2 투명 커패시터 전극(171b)으로 이루어진다.
- [0045] 또한, 패드부(PAD)는 어레이 기판(100) 상부에 형성되는 제 3 게이트 절연막 패턴(105c) 및 제 1 패드전극(114a)과, 제 1 패드전극(114a) 상에 형성되며 제 1 패드전극(114a) 노출시키는 콘택홀이 형성된 층간 절연막(191a)과, 층간 절연막(191a) 상에 형성되며 콘택홀을 통해 제 1 패드 전극(114a)과 전기적으로 연결되는 제 2 패드 전극(114b)과, 제 2 패드 전극(114b)상에 형성되며 제 2 패드 전극(114b)을 노출시키는 콘택홀이 형성된 제 1 보호막(190a)과, 제 1 보호막(190a) 상에 형성되며 콘택홀을 통해 제 2 패드 전극(114b)과 전기적으로 연결되는 제 3 패드 전극(114b)을 포함하여 형성된다.
- [0046] 유기 발광 디스플레이 장치의 어레이 기판(100)은 상기한 스위칭 영역(SW)과, 드라이빙 영역(DR)과, 개구 영역(OP)상에 컬러필터(CF)가 적층되고, 컬러필터(CF) 상부에 제 2 투명 커패시터 전극(171b)을 노출시키는 제 2 콘택홀(CH2)이 형성된 제 2 보호막(190b)이 형성되고, 제 2 보호막(190b) 상부에 제 2 콘택홀(CH2)을 통해 드라이빙 영역(DR)의 제 2 투명 커패시터 전극(171b)과 연결되는 어노드 전극(119)이 형성된다.
- [0047] 이러한 구조를 갖는 유기 발광 디스플레이 장치의 어레이 기판(100)상에는 유기발광층(EL)과 캐소드 전극(미도

시)이 형성되어 유기 발광 디스플레이 장치를 이루게 된다.

- [0048] 이때, 유기발광층(EL)의 산화를 방지하기 위하여 유기 발광 디스플레이 장치의 어레이 기판(100)을 캡슐화할 수 있다.
- [0049] 유기 발광 디스플레이 장치의 어레이 기판(100)을 구성하는 제 1 박막 트랜지스터(TR1)는 화소의 온/오프 동작을 수행하는 스위칭 박막 트랜지스터의 역할을 하는 것으로, 제 1 게이트 전극(111)과 제 1 소스 전극(112)에 전압이 인가된 경우, 제 1 반도체 패턴(141)을 통해 전압을 제 1 드레인 전극(113)으로 인가한다.
- [0050] 제 1 소스 전극(112)과 제 1 드레인 전극(113)은 투명 도전성 물질층과 불투명 도전성 물질층으로 이루어지는 이중 구조로 형성되는데, 제 1 드레인 전극(113)의 불투명 도전성 물질층 하부의 투명 도전성 물질층은 일 화소 영역 내에서 제 1 및 제 2 박막 트랜지스터(TR1, TR2) 영역을 제외한 표시 영역 전체로 확장되어 제 1 투명 커패시터 전극(171a)의 역할을 수행하게 된다.
- [0051] 그리고, 드라이빙 트랜지스터의 역할을 하는 제 2 박막 트랜지스터(TR2)의 제 2 게이트 전극(121)은 제 1 드레인 전극(113)과 전기적으로 연결된 것으로, 제 2 게이트 전극(121)에 제 1 드레인 전극(113)으로부터 전압이 인가될 때, 제 2 소스 전극(122)은 공통 전압 배선(미도시)과 연결되어 전압을 인가받고, 제 2 반도체 패턴(142)을 통해 제 2 드레인 전극(123)으로 전압을 인가한다.
- [0052] 제 2 투명 커패시터 전극(171b)은 제 1 보호막(190a)에 형성된 제 1 콘택홀(CH1)을 통해 제 2 드레인 전극(123)과 서로 전기적으로 연결되어 제 2 드레인 전극(123)으로부터 전압을 인가 받게 된다.
- [0053] 이때, 제 1 및 제 2 박막 트랜지스터(TR1, TR2)를 구성하는 제 1 및 제 2 반도체 패턴(141, 142)은 LTPS(Low Temperature Poly Silicon), 또는 산화물 반도체(Oxide Semiconductor) 등으로 형성될 수 있다.
- [0054] 제 2 투명 커패시터 전극(171b)은 제 1 및 제 2 박막 트랜지스터(TR1, TR2) 영역을 제외한 일 화소 영역 전체로 확장될 수 있는데, 이는 제 1 보호막(190a)에 의해 이격된 제 1 투명 커패시터 전극(171a)과 더불어 투명 스토리지 커패시터(Cst)를 형성한다.
- [0055] 이때, 형성된 투명 스토리지 커패시터(Cst)는 일 화소 영역 내에서 제 1 및 제 2 박막 트랜지스터(TR1, TR2)의 영역을 제외한 화소 영역 전체에 형성될 수 있으며, 투명 전극으로 형성되어 빛의 투과율이 높아 화소 영역을 차지하는 비율에 무관하게 높은 개구율을 나타낼 수 있다.
- [0056] 상기 투명 스토리지 커패시터(Cst)를 형성하는 제 1 투명 커패시터 전극(171a)과 제 2 투명 커패시터 전극(171b)은 ITO(Indium Tin Oxide, 이하 ITO)로 형성되는 것이 일반적이거나, ITO는 빛의 투과율이 70% 이상이고, 전기 도전성이 있는 물질을 대표하여 작성한 것으로, 이는 동일한 조건, 또는 그 이상을 나타내는 물질이면 얼마든지 대체하여 사용할 수 있다.
- [0057] 또한, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판(100)은 제 1 및 제 2 박막 트랜지스터(TR1, TR2)는 코플러너(Coplanar) 구조의 박막 트랜지스터로 형성되나, 이는 하나의 실시예로 구조 설계 시 변경할 수 있는 사항이다.
- [0058] 본 발명의 제 1 실시예의 특징인 투명 커패시터 제조 공정은 아래 도 4a 내지 도 4h를 참조하여 설명하도록 한다.
- [0059] 도 4a 내지 도 4h 는 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판 제조 공정의 일부를 나타낸 도면이다.
- [0060] 도 4a에 도시된 바와 같이 어레이 기판(100)의 표시 영역(A) 중 스위칭 영역(SW)에는 제 1 반도체 패턴(141), 제 1 게이트 절연막 패턴(105a), 제 1 게이트 전극(111)과 층간 절연막(191a) 및 제 1 반도체 패턴(141)의 양 측면을 노출시키는 콘택홀이 형성되고, 드라이빙 영역(DR)에는 제 2 반도체 패턴(142), 제 2 게이트 절연막 패턴(105b), 제 2 게이트 전극(121)과 층간 절연막(191a) 및 제 2 반도체 패턴(142)의 양 측면을 노출시키는 콘택홀이 형성되고, 비표시 영역(NA)에는 제 3 게이트 절연막 패턴(105c)과, 제 3 게이트 전극(114a)과, 층간 절연막(191a)과 상기 제 1 패드 전극(114a)을 노출시키는 콘택홀이 형성된다.
- [0061] 한편, 제 1 박막 트랜지스터(TR1)와 제 2 박막 트랜지스터(TR2)는 코플러너 구조(Coplanar Type)의 박막 트랜지스터가 어레이 기판(100)상에 형성되는 것을 나타내기 위한 것으로, 박막 트랜지스터의 구조를 변경할 시 스위

칭 영역(SW)과 드라이빙 영역(DR)에 형성된 물질은 변경될 수 있다.

- [0062] 이후, 도 4b에 도시된 바와 같이, 어레이 기관(100)에 제 1 투명 도전성 물질층(115)이 적층된다.
- [0063] 제 1 투명 도전성 물질층(115)은 개구 영역(OP)에 제 1 투명 커패시터 전극(도 2의 171a)을 형성하기 위한 것으로, 제 1 박막 트랜지스터(TR1)에 형성되는 콘택홀과 제 2 박막 트랜지스터(TR2)에 형성되는 콘택홀에 의해 각각 노출되는 제 1 반도체 패턴(141)과 제 2 반도체 패턴(142)에 전기적으로 연결될 수 있다.
- [0064] 또한, 제 1 투명 도전성 물질층(115)은 ITO(Indium Tin Oxide, 이하 ITO)를 나타내는 것으로, ITO와 동등한 수준의 전기 전도율 및 투과도를 가진 물질이 적용될 수 있다.
- [0065] 이후, 도 4b에 도시된 바와 같이, 제 1 투명 도전성 물질층(115)이 적층된 어레이 기관(100)에 불투명 도전성 물질층(116)이 적층된다.
- [0066] 이후, 도 4c에 도시된 바와 같이, 불투명 도전성 물질층(도 4b의 116)과 제 1 투명 도전성 물질층(도 4b의 115)이 패터닝된다.
- [0067] 이에 따라, 스위칭 영역(SW)에 형성된 불투명 도전성 물질층(도 4b의 116)과 제 1 투명 도전성 물질층(도 4b의 115)은 제 1 소스 전극(112)과 제 1 드레인 전극(113)으로 패터닝된다.
- [0068] 제 1 소스 전극(112)은 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로, 제 1 반도체 패턴(141) 상부의 일측면을 노출하는 콘택홀을 통하여 제 1 반도체 패턴(141)과 연결된다.
- [0069] 그리고, 제 1 드레인 전극(113) 또한 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로 형성되며, 제 1 반도체 패턴(141)의 타측면을 노출하는 콘택홀을 통하여 제 1 반도체 패턴(141)과 연결된다.
- [0070] 그리고, 드라이빙 영역(DR)에 형성된 불투명 도전성 물질층(도 4b의 116)과 제 1 투명 도전성 물질층(도 4b의 115)은 제 2 소스 전극(122)과 제 2 드레인 전극(123)으로 패터닝된다.
- [0071] 제 2 소스 전극(122)은 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로, 제 2 반도체 패턴(142) 상부에 형성된 콘택홀을 통하여 제 2 반도체 패턴(142)의 일측면과 연결된다.
- [0072] 그리고, 제 2 드레인 전극(123) 또한 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로 형성되며, 제 2 반도체 패턴(142)의 상부에 형성된 콘택홀을 통하여 제 2 반도체 패턴(142)의 타측면과 연결된다.
- [0073] 이와 같이 형성되는 제 1 및 제 2 소스 전극(112, 122)과 제 1 및 제 2 드레인 전극(113, 123)은 투명 도전성 물질층(도면 4b의 115)의 상부에 형성되는 불투명 도전성 물질층(도면 4b의 116)에 의해 저항값이 감소하는 효과를 가질 수 있다.
- [0074] 또한, 제 1 드레인 전극(113) 하부에 위치하는 투명 도전성 물질은 드라이빙 영역(DR)에 형성된 제 2 박막 트랜지스터(TR2)와 전기적으로 연결되지 않도록 개구 영역(OP)으로 연장되어 제 1 투명 커패시터 전극(171a)으로 형성된다.
- [0075] 이때, 2개 이상의 두께를 갖는 포토 레지스트 패턴을 형성할 수 있는 반투과 마스크를 사용하여 불투명 도전성 물질층(도 4b의 116)만이 식각될 수 있다.
- [0076] 이후, 도 4d에 도시된 바와 같이 제 1 보호막(190a)이 적층된다.
- [0077] 제 1 보호막(190a)은 제 1 및 제 2 소스 전극(112, 122)과 제 1 및 제 2 드레인 전극(113, 123), 제 1 투명 커패시터 전극(171a)의 상부에 형성된다.
- [0078] 도 4e에 도시된 바와 같이, 상기 제 1 보호막(190a) 적층 후, 제 1 보호막(190a)이 적층된 패드부(PAD)에 제 2 패드 전극(114b)을 노출시키는 콘택홀이 형성되고, 제 2 드레인 전극(123)을 노출시키는 제 1 콘택홀(CH1)이 형성된다.
- [0079] 이후, 도 4f에 도시된 바와 같이 제 2 투명 도전성 물질층(115b)이 적층되어 제 1 콘택홀(CH1)을 통하여 제 2 투명 도전성 물질층(115b)이 제 2 드레인 전극(123)에 연결되고, 콘택홀을 통하여 제 2 투명 도전성 물질층

(115b)이 제 2 패드 전극에 연결된다.

- [0080] 이후, 도 4g에 도시된 바와 같이, 제 2 투명 도전성 물질층(115b)이 식각되어 제 2 투명 커패시터 전극(171b)과 제 3 패드 전극(114b)으로 패터닝된다.
- [0081] 이때, 제 2 투명 커패시터 전극(171b)은 스위칭 영역(SW)과 드라이빙 영역(DR)을 제외한 개구 영역(OP) 전체에 형성될 수 있는 것으로, 제 1 층간 절연막(190a) 및 제 1 투명 커패시터 전극(171a)에 의해 스토리지 커패시터(Cst)가 형성된다.
- [0082] 이후, 도 4g에 도시된 바와 같이 제 2 투명 도전성 물질층(115b)은 식각되어 제 2 투명 커패시터 전극(171b)과 제 3 패드 전극(114b) 상부에 제 2 보호막(190b)과 컬러필터(CF)가 형성될 수 있다.
- [0083] 이후, 제 2 투명 커패시터 전극(171b)을 노출 시키는 제 2 콘택홀(CH2)이 형성된 제 2 보호막(190b)이 형성되고, 제 2 보호막(190b) 상에 제 2 콘택홀(CH2)을 통해 제 2 투명 커패시터 전극(171b)과 연결되는 어노드 전극(119)이 형성된다.
- [0084] 전술한 내용은 본 발명의 제 1 실시예에 따른 제조 공정의 일부로, 제 1 및 제 2 소스 전극(112, 122)과 제 1 및 제 2 드레인 전극(113, 123), 그리고 제 1 투명 커패시터 전극(171a)을 형성하는데 필요한 마스크 레이어 공정 횟수가 1회 적용되어 커패시터 전극을 불투명 금속으로 형성하던 종래의 공정과 동일한 횟수로 유기 발광 디스플레이 장치의 어레이 기판을 제조할 수 있으며, 종래에 개구율이 감소하는 원인이었던 커패시터 영역을 따로 정할 필요 없이 개구 영역(OP) 전체와 공유가 가능하여 개구율이 종래에 비해 약 24% 이상 증가하는 효과가 나타난다.
- [0085] 특히, 제 1 투명 커패시터 전극(171a)과 제 2 투명 커패시터 전극(171b)으로 형성되는 스토리지 커패시터(Cst)의 면적을 종래에 비하여 더욱 넓게 형성할 수 있어 스토리지 커패시터(Cst)의 용량이 증가함에 따라 장치의 성능이 향상되는 효과가 있다.
- [0086] 한편, 도 4a 내지 도 4h를 참조하여 전술한 내용은 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 형성하기 위한 제조 공정의 일부를 도시한 것으로, 유기물층(미도시)과 캐소드 전극(미도시)을 형성하는 공정은 종래와 동일하게 진행할 수 있다.
- [0087] 도 3은 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 단면도이다.
- [0088] 도 3에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판(200)은 표시 영역(A)과 비표시 영역(NA)으로 구분되는데, 표시 영역(A)을 이루는 다수의 화소 각각은 제 1 박막 트랜지스터(TR1)가 형성되는 스위칭 영역(SW)과, 제 2 박막 트랜지스터(TR2)가 형성되는 드라이빙 영역(DR)과, 스토리지 커패시터(Cst)가 형성되는 개구 영역(OP)으로 나뉘며, 비표시 영역(NA)에는 게이트 신호, 또는 데이터 신호를 인가받는 패드부(PAD)가 형성될 수 있다.
- [0089] 제 1 박막 트랜지스터(TR1)는 어레이 기판(200)상에 형성된 제 1 반도체 패턴(241)과, 제 1 반도체 패턴(241)의 상부에 위치하며, 제 1 게이트 절연막 패턴(205a)에 의해 이격된 제 1 게이트 전극(211)과, 상기 제 1 게이트 전극(211) 및 제 1 게이트 절연막 패턴(205a)과 제 1 반도체 패턴(241)을 덮도록 형성되는 층간 절연막(291a)과, 상기 층간 절연막(291a)의 상부에 형성되며, 제 1 반도체 패턴(241)과 전기적으로 연결되는 제 1 소스 전극(212) 및 제 1 드레인 전극(213)으로 형성된다.
- [0090] 그리고, 제 2 박막 트랜지스터(TR2)는 어레이 기판(200)상에 형성된 제 2 반도체 패턴(242)과, 제 2 반도체 패턴(242)의 상부에 위치하며, 제 2 게이트 절연막 패턴(205b)에 의해 이격된 제 2 게이트 전극(221)과, 상기 제 2 게이트 전극(221) 및 제 2 게이트 절연막 패턴(205b)과 제 2 반도체 패턴(242)을 덮도록 형성되는 층간 절연막(291a) 및 이의 상부에 형성되며, 제 2 반도체 패턴(242)과 전기적으로 연결되는 제 2 소스 전극(222) 및 제 2 드레인 전극(223)으로 형성된다.
- [0091] 그리고, 스토리지 커패시터(Cst)는 제 1 및 제 2 반도체 패턴(241, 242)과 이격되며 동일층 및 동일물질로 형성되는 제 1 투명 커패시터 전극(271a), 제 1 투명 커패시터 전극(271a)과 중첩되도록 층간 절연막(291a) 상에 형성되는 제 2 투명 커패시터 전극(271b)으로 이루어진다.
- [0092] 또한, 패드부(PAD)는 어레이 기판(200) 상부에 형성되는 제 3 게이트 절연막 패턴(205c) 및 제 1 패드전극(214a)과, 제 1 패드전극(214a) 상에 형성되며 제 1 패드전극(214a) 노출시키는 콘택홀이 형성된 층간 절연막

(291a)과, 층간 절연막(291a) 상에 형성되며 콘택홀을 통해 제 1 패드 전극(214a)과 전기적으로 연결되는 제 2 패드 전극(214b)과, 제 2 패드 전극(214b)상에 형성되며 제 2 패드 전극(214b)을 노출시키는 콘택홀이 형성된 제 1 보호막(290a)과, 제 1 보호막(290a) 상에 형성되며 콘택홀을 통해 제 2 패드 전극(214b)과 전기적으로 연결되는 제 3 패드 전극(214c)을 포함하여 형성된다.

- [0093] 유기 발광 디스플레이 장치의 어레이 기관(200)은 상기한 스위칭 영역(SW)과, 드라이빙 영역(DR)과, 개구 영역(OP)상에 제 2 드레인 전극(223)을 노출시키는 제 1 콘택홀(CH1)이 형성된 제 1 보호막(290a)이 형성되고, 상기 제 1 보호막(290a) 상에 컬러필터(CF)가 적층되고, 컬러필터(CF) 상부에 제 2 드레인 전극(223)을 노출시키는 제 1 콘택홀(CH1)이 형성된 제 2 보호막(290b)이 형성되고, 제 2 보호막(290b) 상부에 제 1 콘택홀(CH1)을 통해 드라이빙 영역(DR)의 제 2 투명 커패시터 전극(271b)과 연결되는 어노드 전극(219)이 형성된다.
- [0094] 이러한 구조를 갖는 유기 발광 디스플레이 장치의 어레이 기관(200)상에는 유기발광층(EL)과 캐소드 전극(미도시)이 형성되어 유기 발광 디스플레이 장치를 이루게 된다.
- [0095] 이때, 유기발광층(EL)의 산화를 방지하기 위하여 유기 발광 디스플레이 장치의 어레이 기관(200)을 캡슐화할 수 있다.
- [0096] 유기 발광 디스플레이 장치의 어레이 기관(200)을 구성하는 제 1 박막 트랜지스터(TR1)는 화소의 온/오프 동작을 수행하는 스위칭 박막 트랜지스터의 역할을 하는 것으로, 제 1 게이트 전극(211)과 제 1 소스 전극(212)에 전압이 인가된 경우, 제 1 반도체 패턴(241)을 통해 전압을 제 1 드레인 전극(213)으로 인가한다.
- [0097] 제 1 소스 전극(212)과 제 1 드레인 전극(213)은 투명 도전성 물질층과 불투명 도전성 물질층으로 이루어지는 이중 구조로 형성된다.
- [0098] 제 1 및 제 2 반도체 패턴(241, 242)과 이격되며 동일층에 형성된 투명 도전성 물질층은 제 1 투명 커패시터 전극(271a)의 역할을 수행하게 된다.
- [0099] 그리고, 드라이빙 트랜지스터의 역할을 하는 제 2 박막 트랜지스터(TR2)의 제 2 게이트 전극(221)은 제 1 드레인 전극(213)과 전기적으로 연결된 것으로, 제 2 게이트 전극(221)에 제 1 드레인 전극(213)으로부터 전압이 인가될 때, 제 2 소스 전극(222)은 공통 전압 배선(미도시)과 연결되어 전압을 인가받고, 제 2 반도체 패턴(242)을 통해 제 2 드레인 전극(223)으로 전압을 인가한다.
- [0100] 제 2 소스 전극(212)과 제 2 드레인 전극(213)은 층간 절연막(291a) 상부에 투명 도전성 물질층과 불투명 도전성 물질층으로 이루어지는 이중 구조로 형성되는데, 제 2 투명 커패시터 전극(271b)은 제 2 드레인 전극(223)의 투명 도전성 물질층으로부터 연장되어 서로 전기적으로 연결되며, 제 2 드레인 전극(223)으로부터 전압을 인가받게 된다.
- [0101] 이때, 제 1 및 제 2 박막 트랜지스터(TR1, TR2)를 구성하는 제 1 및 제 2 반도체 패턴(241, 242) 및 제 1 투명 커패시터 전극(271a)은 도체화 가능한 산화물 반도체(Oxide Semiconductor) 물질로 형성될 수 있다. 이때 산화물 반도체 물질은 IGZO(Indium Gallium Zinc Oxide, 이하 IGZO)가 일반적으로 사용될 수 있다.
- [0102] 제 2 투명 커패시터 전극(271b)은 제 1 및 제 2 박막 트랜지스터(TR1, TR2) 영역을 제외한 일 화소 영역 전체로 확장될 수 있는데, 이는 층간 절연막(291a)에 의해 이격된 제 1 투명 커패시터 전극(271a)과 더불어 투명 스토리지 커패시터(Cst)를 형성한다.
- [0103] 이때, 형성된 투명 스토리지 커패시터(Cst)는 일 화소 영역 내에서 제 1 및 제 2 박막 트랜지스터(TR1, TR2)의 영역을 제외한 화소 영역 전체에 형성될 수 있으며, 투명 전극으로 형성되어 빛의 투과율이 높아 화소 영역을 차지하는 비율에 무관하게 높은 개구율을 나타낼 수 있다.
- [0104] 상기 투명 스토리지 커패시터(Cst)를 형성하는 제 2 투명 커패시터 전극(271b)은 ITO(Indium Tin Oxide, 이하 ITO)로 형성되는 것이 일반적이나, ITO는 빛의 투과율이 70% 이상이고, 전기 도전성이 있는 물질을 대표하여 작성한 것으로, 이는 동일한 조건, 또는 그 이상을 나타내는 물질이면 얼마든지 대체하여 사용할 수 있다.
- [0105] 또한, 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기관(200)은 제 1 및 제 2 박막 트랜지스터(TR1, TR2)는 코플러너(Coplanar) 구조의 박막 트랜지스터로 형성되나, 이는 하나의 실시예로 구조 설계 시 변경할 수 있는 사항이다.

- [0106] 도 5a 내지 도 5h 는 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판 제조 공정의 일부를 나타낸 도면이다.
- [0107] 도 5a에 도시된 바와 같이 어레이 기판(200)의 표시 영역(A) 중 스위칭 영역(SW)에는 제 1 반도체 패턴(241), 제 1 게이트 절연막 패턴(205a), 제 1 게이트 전극(211)과 층간 절연막(291a) 및 제 1 반도체 패턴(241)의 양 측면을 노출시키는 콘택홀이 형성되고, 드라이빙 영역(DR)에는 제 2 반도체 패턴(242), 제 2 게이트 절연막 패턴(205b), 제 2 게이트 전극(221)과 층간 절연막(291a) 및 제 2 반도체 패턴(242)의 양 측면을 노출시키는 콘택홀이 형성되고, 개구 영역(OP)에는 제 1 투명 커패시터 전극(271a) 및 층간 절연막(291a)이 형성되고, 비표시 영역(NA)에는 제 3 게이트 절연막 패턴(205c)과, 제 1 패드 전극(214a)과, 층간 절연막(291a)과 상기 제 1 패드 전극(214a)을 노출시키는 콘택홀이 형성된다.
- [0108] 여기서, 제 1 및 제 2 소스 및 드레인 전극(도 3의 242, 213, 222, 223)과 접촉하는 제 1 및 제 2 반도체 패턴(241, 242)의 양측면을 수소(H₂) 또는 아르곤(Ar) 플라즈마(Plasma) 처리를 실시하여 도체화 시킴으로써, 소스 및 드레인 전극층이 저항이 높은 물질일 경우 저항을 낮출 수 있고, 저저항 물질과도 오믹 콘택 특성을 향상시킬 수 있게 된다. 이때 제 1 및 제 2 반도체 패턴(241, 242)의 양측면의 도체화 과정에서 제 1 투명 커패시터 전극(271a)도 함께 도체화 된다.
- [0109] 따라서, 제 1 투명 커패시터 전극(271a)은 제 1 및 제 2 반도체 패턴(241, 242)과 동일층에 형성되며, 도체화할 수 있는 산화물 반도체 물질로 형성되는 것이 바람직하다.
- [0110] 한편, 제 1 박막 트랜지스터(TR1)와 제 2 박막 트랜지스터(TR2)는 코플러너 구조(Coplanar Type)의 박막 트랜지스터가 어레이 기판(200)상에 형성되는 것을 나타내기 위한 것으로, 박막 트랜지스터의 구조를 변경할 시 스위칭 영역(SW)과 드라이빙 영역(DR)에 형성된 물질은 변경될 수 있다.
- [0111] 이후, 도 5b에 도시된 바와 같이, 어레이 기판(200)에 제 1 투명 도전성 물질층(215)이 적층된다.
- [0112] 제 1 투명 도전성 물질층(215)은 개구 영역(OP)에 제 2 투명 커패시터 전극(도 3의 272a)을 형성하기 위한 것으로, 제 1 박막 트랜지스터(TR1)에 형성되는 콘택홀과 제 2 박막 트랜지스터(TR2)에 형성되는 콘택홀에 의해 각각 노출되는 제 1 반도체 패턴(241)과 제 2 반도체 패턴(242)에 전기적으로 연결될 수 있다.
- [0113] 또한, 제 1 투명 도전성 물질층(115)은 ITO(Indium Tin Oxide, 이하 ITO)를 나타내는 것으로, ITO와 동등한 수준의 전기 전도율 및 투과도를 가진 물질일 수 있다.
- [0114] 이후, 도 5c에 도시된 바와 같이, 제 1 투명 도전성 물질층(215)이 적층된 어레이 기판(200) 상에 불투명 도전성 물질층(216)이 적층된다.
- [0115] 이후, 도 5d에 도시된 바와 같이, 불투명 도전성 물질층(도 5c의 216)과 제 1 투명 도전성 물질층(도 5c의 215)이 패터닝된다.
- [0116] 이에 따라, 스위칭 영역(SW)에 형성된 불투명 도전성 물질층(도 5c의 216)과 제 1 투명 도전성 물질층(도 5c의 215)은 제 1 소스 전극(212)과 제 1 드레인 전극(213)으로 패터닝된다.
- [0117] 제 1 소스 전극(212)은 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로, 제 1 반도체 패턴(241) 상부의 일측면을 노출하는 콘택홀을 통하여 도체화 된 제 1 반도체 패턴(241)과 연결된다.
- [0118] 그리고, 제 1 투명 커패시터 전극(271a)은 제 1 드레인 전극(213)에 연결되거나, 제 1 반도체 패턴(241)이 연장되어 형성 될 수 있다.
- [0119] 그리고, 제 1 드레인 전극(213) 또한 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로 형성되며, 제 1 반도체 패턴(241)의 타측면을 노출하는 콘택홀을 통하여 도체화 된 제 1 반도체 패턴(241)과 연결된다.
- [0120] 그리고, 드라이빙 영역(DR)에 형성된 불투명 도전성 물질층(도 5c의 216)과 제 1 투명 도전성 물질층(도 5c의 215)은 제 2 소스 전극(222)과 제 2 드레인 전극(223)으로 패터닝된다.

- [0121] 제 2 소스 전극(222)은 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로, 제 2 반도체 물질(242) 상부에 형성된 콘택홀을 통하여 도체화 된 제 2 반도체 물질(242)의 일측면과 연결된다.
- [0122] 그리고, 제 2 드레인 전극(223) 또한 투명 도전성 물질과 불투명 도전성 물질로 이루어진 이중층 구조로 형성되며, 제 2 반도체 패턴(242)의 상부에 형성된 콘택홀을 통하여 제 2 반도체 패턴(242)의 타측면과 연결되고, 제 2 드레인 전극(223)과 연결되며 투명 도전성 물질로 이루어진 제 2 투명 커패시터 전극(271b)이 형성된다.
- [0123] 이와 같이 형성된 제 1 및 제 2 소스 전극(212, 222)과 제 1 및 제 2 드레인 전극(213, 223)은 투명 도전성 물질층의 상부에 형성되는 불투명 도전성 물질층(216)에 의해 저항값이 감소하는 효과를 가질 수 있다.
- [0124] 이때, 2개 이상의 두께를 갖는 포토 레지스트 패턴을 형성할 수 있는 반투과 마스크를 사용하여 불투명 도전성 물질층(도 5c의 216)만이 식각될 수 있다.
- [0125] 이후, 도 5e에 도시된 바와 같이 제 1 보호막(290a)이 적층된다.
- [0126] 제 1 보호막(290a)은 제 1 및 제 2 소스 전극(212, 222)과 제 1 및 제 2 드레인 전극(213, 223), 제 1 투명 커패시터 전극(271a)의 상부에 형성된다.
- [0127] 도 5f에 도시된 바와 같이, 상기 제 1 보호막(290a)을 적층 후, 제 1 보호막(290a)이 적층된 패드부(PAD)에 콘택홀이 형성되고, 제 2 투명 커패시터 전극과 연결된 제 2 드레인 전극(223)을 노출시키는 제 1 콘택홀(CH1)이 형성된다.
- [0128] 이때, 제 2 투명 커패시터 전극(271b)은 스위칭 영역(SW)과 드라이빙 영역(DR)을 제외한 개구 영역(OP) 전체에 형성될 수 있는 것으로, 중간 절연막(291a) 및 제 1 투명 커패시터 전극(271a)에 의해 스토리지 커패시터(Cst)가 형성된다.
- [0129] 이후, 도 5g에 도시된 바와 같이 제 1 보호막(290a) 상에 제 2 보호막(290b)과 컬러필터(CF)가 형성될 수 있고, 제 2 투명 커패시터 전극(271b)과 연결된 제 2 드레인 전극(223)을 노출시키는 제 2 콘택홀(CH2)이 형성된 제 2 보호막(290b)이 형성된다.
- [0130] 이후, 도 5h에 도시된 바와 같이 제 2 보호막(290b) 상에 제 2 콘택홀(CH2)을 통해 제 2 투명 커패시터 전극(271b) 및 제 2 드레인 전극(223)과 연결되는 어노드 전극(219)이 형성되고, 제 2 패드 전극(214b)과 연결되는 제 3 패드 전극(214c)이 형성된다.
- [0131] 전술한 내용은 본 발명의 제 2 실시예에 따른 제조 공정의 일부로, 제 1 실시예의 개구율 향상 및 커패시터 용량 증가의 효과를 그대로 가지면서도 제 1 및 제 2 투명 커패시터 전극을 패터닝하기 위해 마스크 공정이 추가되는 제 1 실시예와 비교하여 제 2 실시예는 제 1 투명 커패시터 전극을 따로 형성하지 않고 제 1 및 제 2 반도체 물질 형성시 함께 패터닝 함으로써 마스크 공정 수가 저감되는 효과가 있다.
- [0132] 제 1 및 제 2 실시예의 유기 발광 디스플레이 장치의 어레이 기관(100,200)은 일정 커패시터 용량을 유지하기 위하여 커패시터 전극을 불투명 도전성 물질로 형성하여 개구율이 감소하는 종래의 유기 발광 디스플레이 장치과 달리, 제 1 및 제 2 투명 커패시터 전극(171a, 171b, 271a, 272b)을 투명 도전성 물질로 형성하여 스위칭 및 드라이빙 영역(SW, DR)을 제외한 개구 영역(OP) 전체에서 빛을 투과할 수 있어 개구율이 종래에 비해 크게 증가하여 높은 해상도에서도 휘도 향상이 용이하다.
- [0133] 이와 같이 형성된 유기 발광 디스플레이 장치는 종래의 유기 발광 디스플레이 장치에 비해 넓은 개구 영역과 큰 용량의 커패시터를 구비할 수 있으며, 종래의 유기 발광 디스플레이 장치와 비교할 경우에도 유사한 수준의 색좌표를 나타내는데, 이는 아래 도 6a, 도 6b 및 도 7를 들어 설명하도록 한다.
- [0134] 도 6a 내지 도 6c는 종래 및 본 발명의 제 1 및 제 2 실시예에 따른 유기 발광 디스플레이 장치의 구조를 비교하기 위한 개구 영역의 단면도를 나타낸 것이고, 도 7은 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 커패시터 면적 변화 별 발광 휘도를 나타낸 그래프이며, 도 8a 내지 도 8c 각각은 개구 영역의 75%,

63%, 50%를 차지하는 투명 커패시터를 나타낸 평면도이다.

[0135] 유기 발광 디스플레이 장치의 개구 영역을 나타낸 도 6a 내지 도 6c에 도시된 바와 같이, 종래의 기술에 따른 유기 발광 디스플레이 장치의 어레이 기관(10)은 커패시터의 영역을 좁혀 개구 영역을 넓힌 구조로, 어노드 전극을 제외한 다른 층에 투명 전극 물질이 형성되지 않은 것이고, 본 발명의 제 1 및 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기관(100, 200)에서 발광된 빛은 제 1 투명 커패시터 전극(171a, 271a) 및 제 2 투명 커패시터 전극(171b, 271b)으로 형성된 스토리지 커패시터(Cst)와 어노드 전극(119, 219)을 통과하는 것이다.

[0136] 도면 6a에 도시된 바와 같이 종래의 기술에 따른 유기 발광 디스플레이 장치는 개구 영역은 좁은 편이나, 개구 영역에 SiO₂로 형성되는 3000Å 두께의 버퍼층(10b)과, SiO₂로 형성되는 4000Å 두께의 층간 절연막(8)과, SiO₂로 형성되는 3500Å 두께의 제 1 보호막(90a)과, 2.2 μ m 두께의 제 2 보호막(90b) 및 ITO로 형성되는 1200Å 두께의 어노드 전극(19)이 위치하는 것이다.

[0137] 상기와 같이 종래의 기술에 따른 유기 발광 디스플레이 장치에서 측정되는 전류별 휘도(cd/A)와 색 좌표를 기준으로 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기관(100)에 대하여 설명하도록 한다

[0138] 도면 6b에 도시된 바와 같이 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치의 개구 영역은 종래에 비해 넓은 편이나, 개구 영역에 SiO₂로 형성되는 3000Å 두께의 버퍼층(100b)과, SiO₂로 형성되는 4000Å 두께의 층간 절연막(108)과, ITO로 형성되는 500Å 두께의 제 1 투명 커패시터 전극(171a)과, SiO₂로 형성되는 제 1 보호막(190a)과, ITO로 형성되는 500Å 두께의 제 2 투명 커패시터 전극(171b)과, 2.2 μ m 두께의 제 2 보호막(190b) 및 ITO로 형성되는 1200Å 두께의 어노드 전극(119)이 위치하는 것으로, 종래에 비해 빛을 굴절시키는 층이 더 많아지게 되어 빛의 특성이 변할 수 있다.

[0139] 이때, 제 1 투명 커패시터 전극(171a)과 제 2 투명 커패시터 전극(171b) 및 이들의 사이에 위치한 제 1 보호막(190a)의 두께 변화에 따라 휘도 특성 또한 변화가 발생하는데, 이를 측정한 결과는 아래 표 1과 같다.

표 1

제 1 보호막 두께	종래 구조	(A) 3000Å	(B) 3500Å	(C) 4000Å	(D) 4500Å
광효율(cd/A)	67.06	65.51	65.89	66.78	66.15
색좌표(CIE, (x,y))	(0.3342, 0.3671)	(0.3354, 0.3666)	(0.3340, 0.3663)	(0.3370, 0.3722)	(0.3384, 0.3716)
$\Delta u'v'(60^\circ)$	0.014	0.015	0.020	0.012	0.015

[0141] 상기 표 1의 '제 1 보호막 두께'에서, '종래 구조'는 SiO₂로 형성되는 3500Å의 제 1 보호막(190a)을 포함하는 종래에 따른 유기 발광 디스플레이를 나타내고, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 구조를 나타낸 (A)~(D) 중 '(A) 3000Å'은 제 1 보호막(190a)이 3000Å의 SiO₂로 형성된 경우를, '(B) 3500Å'은 제 1 보호막(190a)이 3500Å의 SiO₂로 형성된 경우를, '(C) 4000Å'은 제 1 보호막(190a)이 4000Å의 SiO₂로 형성된 경우를, '(D) 4500Å'은 제 1 보호막이 4500Å의 SiO₂로 형성된 경우를 각각 측정하여 그 결과를 나타낸 것이다.

[0142] 그리고 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기관(200)에 대하여 설명하도록 한다

[0143] 도면 6c에 도시된 바와 같이 본 발명의 제 2 실시예에 따른 유기 발광 디스플레이 장치의 개구 영역은 종래에 비해 넓은 편이나, 개구 영역에 SiO₂로 형성되는 3000Å 두께의 버퍼층(200b)과, IGZO로 형성되는 650Å 두께의 제 1 투명 커패시터 전극(271a)과, SiO₂로 형성되는 4800Å 두께의 층간 절연막(208)과, SiO₂로 형성되는 4000Å 두께의 제 1 보호막(290a)과, ITO로 형성되는 500Å 두께의 제 2 투명 커패시터 전극(271b)과, 2.2 μ m 두께의 제 2 보호막(290b) 및 ITO로 형성되는 1150Å 두께의 어노드 전극(219)이 위치하는 것으로, 종래에 비해 빛을 굴절시키는 층이 더 많아지게 되어 빛의 특성이 변할 수 있다.

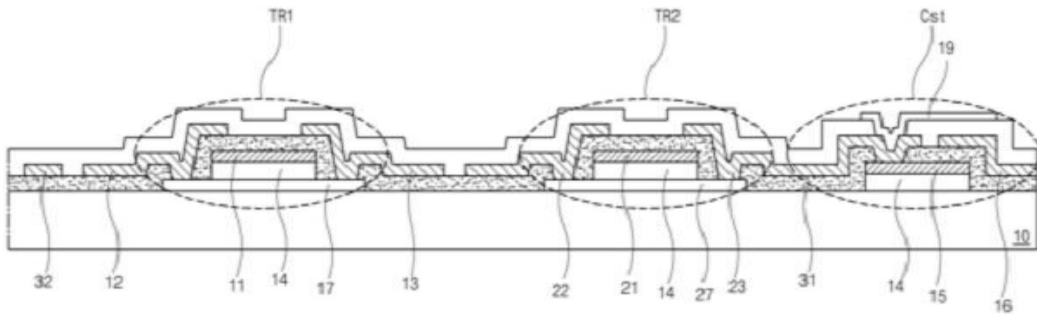
- [0144] 광 효율 부문에서, 종래에 따른 유기 발광 디스플레이 장치의 개구 영역에 형성되는 투명 전극은 어노드 전극(19) 하나인 것으로, 투과율이 높기 때문에 어노드 전극(19)에 전압을 인가하여 빛을 발생시킬 경우, 1A 당 67.06cd의 광도를 나타낸다.
- [0145] 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치는 제 1 및 제 2 투명 커패시터 전극(171a, 171b)과 어노드 전극(119)이 형성되어 종래에 비해 빛의 진행을 방해하는 물질이 많은 편이다.
- [0146] 본 발명에 따른 유기 발광 디스플레이 장치에서, 제 1 보호막(190a)을 3000Å 두께로 형성한 '(A) 3000Å의 경우', 1A 당 65.51cd의 광도를 나타내고 있고, 제 1 보호막(190a)을 3500Å 두께로 형성한 '(B) 3500Å의 경우', 1A 당 65.89cd의 광도를 나타내고 있고, 제 1 보호막(190a)을 4000Å 두께로 형성한 '(C) 4000Å'의 경우, 1A 당 66.78cd의 광도를 나타내고 있으며, 제 1 보호막(190a)을 4500Å 두께로 형성한 '(D) 4500Å의 경우', 1A 당 66.15cd의 광도를 나타내고 있는 것을 볼 수 있다.
- [0147] 상기 결과에 따라, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치에 구비되는 제 1 및 제 2 투명 커패시터 전극(171a, 171b)의 사이에 '(C) 4000Å'과 같이 제 1 보호막(190a)을 형성할 경우, 광 효율이 1A 당 0.32cd수준에 불과한 정도의 광도 차이를 나타내는 유기 발광 디스플레이 장치를 형성할 수 있음을 알 수 있다.
- [0148] 또한, 본 발명의 제 2 실시예의 경우 IGZO로 형성된 650Å 두께의 제 1 투명 커패시터 전극을 구비한 것으로 1A 당 69.15cd의 광도를 나타내고, 동일 조건 하에 제 1 실시예의 경우 ITO로 형성된 500Å 두께의 제 2 투명 커패시터 전극을 구비한 것으로 1A 당 70.79cd의 광도를 나타낸다.
- [0149] 따라서, 제 2 실시예의 유기 발광 디스플레이 장치는 제 1 실시예의 유기 발광 디스플레이 장치와 광 효율이 1A 당 1.64cd수준에 불과한 정도의 광도 차이를 나타내는 동등 수준의 유기 발광 디스플레이 장치를 형성할 수 있음을 알 수 있다.
- [0150] 그리고, 색 좌표 부문에서, 종래에 따른 유기 발광 디스플레이 장치는 CIE 색 좌표에 따른 (x, y) 좌표가 (0.3342, 0.3671)을 나타내고 있다.
- [0151] 이와 유사한 수준의 색 좌표를 나타내기 위한 본 발명에 따른 유기 발광 디스플레이 장치에서, 제 1 보호막(190a)을 3000Å 두께로 형성한 '(A) 3000Å'의 경우, CIE 색 좌표에 따른 (x, y) 좌표가 (0.3354, 0.3668)를 나타내고 있고, 제 1 보호막(190a)을 3500Å 두께로 형성한 '(B) 3500Å'의 경우, CIE 색 좌표에 따른 (x, y) 좌표가 (0.3340, 0.3663)를 나타내고 있고, 제 1 보호막(190a)을 4000Å의 두께로 형성한 '(C) 4000Å'의 경우, CIE 색 좌표에 따른 (x, y) 좌표가 (0.3370, 0.3722)를 나타내고 있으며, 제 1 보호막(190a)을 4500Å 두께로 형성한 '(D) 4500Å'의 경우, CIE 색 좌표에 따른 (x, y) 좌표가 (0.3384, 0.3716)를 나타내고 있는 것을 볼 수 있다.
- [0152] 상기 결과에 따라, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치에 구비되는 제 1 및 제 2 투명 커패시터 전극(171a, 171b)의 사이에 '(B) 3500Å'과 같이 제 1 보호막(190a)을 형성할 경우, 색 좌표가 (0.0008, 0.0008)수준에 불과한 정도의 광도 차이를 나타내는 유기 발광 디스플레이 장치를 형성할 수 있음을 알 수 있다.
- [0153] 그리고, 시야각 부문에서, 종래에 따른 유기 발광 디스플레이 장치는 CIE UCS UV 색 좌표에 따라 기관의 정 중앙과 수직인 위치를 나타내는 0° 에서 측정된 색 좌표와, 기관의 정 중앙에서 60° 기울어진 위치에서 측정된 색 좌표의 차이($\Delta u'v'$)가 0.014인 것을 나타내고 있다.
- [0154] 이때, $\Delta u'v'$ 는 CIE UCS UV 색 좌표에 따른 값을 나타낸다.
- [0155] 이와 유사한 수준의 $\Delta u'v'$ 를 나타내기 위한 본 발명에 따른 유기 발광 디스플레이 장치에서, 제 1 보호막(190a)을 3000Å의 두께로 형성한 '(A) 3000Å'의 경우, CIE UCS UV 색 좌표에 따른 $\Delta u'v'$ 가 0.015를 나타내고 있고, 제 1 보호막(190a)을 3500Å 두께로 형성한 '(B) 3500Å'의 경우, CIE UCS UV 색 좌표에 따른 $\Delta u'v'$ 가 0.020를 나타내고 있고, 제 1 보호막(190a)을 4000Å 두께로 형성한 '(C) 4000Å'의 경우, CIE UCS UV 색 좌표에 따른 $\Delta u'v'$ 가 0.012를 나타내고 있으며, 제 1 보호막(190a)을 4500Å 두께로 형성한 '(D) 4500Å'의 경우, CIE UCS UV 색 좌표에 따른 $\Delta u'v'$ 가 0.015를 나타내고 있는 것을 볼 수 있다.
- [0156] 상기 결과에 따라, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치에 구비되는 제 1 및 제 2 투명 커패시터 전극(171a, 171b)의 사이에 '(B) 3500Å'과 같이 제 1 보호막(190a)을 형성할 경우, 색 좌표가 (0.0008, 0.0008)수준에 불과한 정도의 광도 차이를 나타내는 유기 발광 디스플레이 장치를 형성할 수 있음을 알 수 있다.

패시터 전극(171a, 171b)의 사이에 '(B) 4000Å'과 같이 제 1 보호막(190a)을 형성할 경우, 종래와 본 발명의 $\Delta u'v'$ 차이값이 0.012 수준에 불과한 정도의 광도 차이를 나타내는 유기 발광 디스플레이 장치를 형성할 수 있음을 알 수 있다.

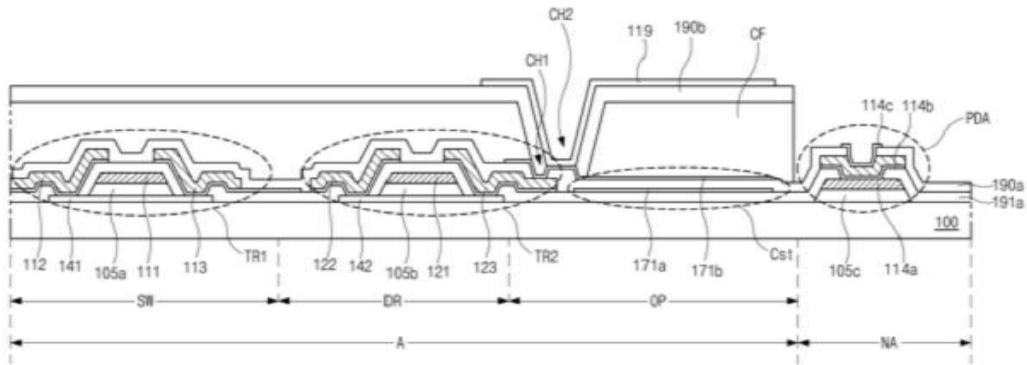
- [0157] 이상의 결과를 종합하면, 제 1 및 제 2 투명 커패시터 전극(171a, 171b)의 사이에 위치하는 제 1 보호막(190a)의 두께가 3500~4000Å으로 형성될 경우에 종래에 따른 유기 발광 디스플레이 장치와 가장 유사한 효과를 나타낸다는 것을 알 수 있고, 제 1 보호막(190a)의 두께가 3500~4000Å으로 형성되지 않을 경우에도 동등한 수준의 효과를 나타낼 수 있어, 본 발명과 같이 제 1 및 제 2 투명 커패시터 전극(171a, 171b)으로 커패시터를 형성한다 할지라도 종래와 유사한 수준의 색 좌표 이동 및 광 효율을 나타낼 수 있음을 알 수 있다.
- [0158] 한편, 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치는 개구 영역에 투명한 커패시터 영역이 형성되는 것으로, 화소 각각에 센싱 배선, 또는 설계 변경등으로 인한 제조 방법의 변경 및 구조 변경에 의해 커패시터 영역에 대한 설계가 변경될 수 있다.
- [0159] 투명 커패시터가 형성되는 면적에 따라 유기 발광 디스플레이 장치를 통과하는 빛의 휘도가 크게 달라지는 경우, 투명 전극 물질을 사용하여 커패시터 전극을 형성함에 있어 제약이 발생할 수 있다.
- [0160] 이에 대하여, 도 7은 투명 커패시터 면적에 따른 휘도 변화를 나타낸 그래프로, 종축 방향으로 유기물층에서 발생한 빛 대비 유기 발광 디스플레이 장치를 통과하였을 때의 휘도를 백분율로 나타낸 것이고, 횡축 방향으로 종래에 따른 유기 발광 디스플레이 장치 및 표 1의 (A)~(D) 구성으로 이뤄진 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 커패시터 영역을 순차적으로 나열한 것이다.
- [0161] 종축 방향의 휘도는 유기 발광 디스플레이 장치를 통과한 빛을 나타내는 것으로, 원 모양은 가시광 영역별 휘도를 측정된 것을 나타낸 것이고, 회색 박스는 가시광 영역별 측정된 휘도의 주요 분포 범위를 나타낸 것이며, 검은색 꺾쇠 그래프는 가시광 영역 전체의 평균 분포에 따른 값으로 결정한 것으로, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 커패시터 영역은 도 8a 내지 도 8c와 같이 형성되며, 좌측에서부터 우측으로 개구 영역 대비 75%, 63%, 50%으로 형성된 것이다.
- [0162] 이때, 도8a 내지 도 8c에 도시된 박막 트랜지스터는 유기 발광 디스플레이 장치를 구동하기 위한 최소한의 구조를 나타낸 것으로, 이의 구조는 제조 방법 및 구성에 의해 변경될 수 있다.
- [0163] 종래에 따른 유기 발광 디스플레이 장치는 개구 영역 외에 커패시터 영역이 형성되는 구조로, 유기 발광 디스플레이 장치를 통과하는 빛의 굴절 및 휘도 감소가 크지 않아 이를 통과한 빛의 가시광 영역별 휘도는 발생한 빛 대비 약 67.2% 수준을 나타낸다.
- [0164] 본 발명의 제 1 실시예에 따른 유기 발광 디스플레이 장치는, 제 1 보호막이 3000Å으로 형성된 '(A) 3000Å'의 구조에서, 커패시터 영역이 도 8a에 도시된 바와 같이 개구 영역의 약 75%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.6%이고, 커패시터 영역이 도 8b에 도시된 바와 같이 개구 영역의 약 63%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.4%이고, 커패시터 영역이 도 8c에 도시된 바와 같이 개구 영역의 50%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.5%이다.
- [0165] 그리고, 제 1 보호막이 3500Å으로 형성된 '(B) 3500Å'의 구조에서, 커패시터 영역이 도 8a에 도시된 바와 같이 개구 영역의 약 75%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.7%이고, 커패시터 영역이 도 8b에 도시된 바와 같이 개구 영역의 약 63%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.7%이고, 커패시터 영역이 도 8c에 도시된 바와 같이 개구 영역의 약 50%를 차지하는 경우 유기 발광 디스플레이 장치를 통과하는 빛의 휘도는 약 65.6%이다.

도면

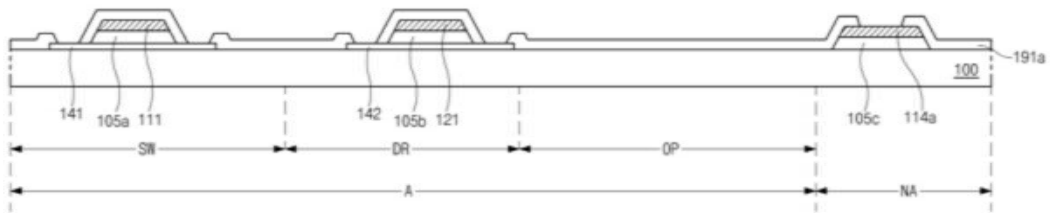
도면1



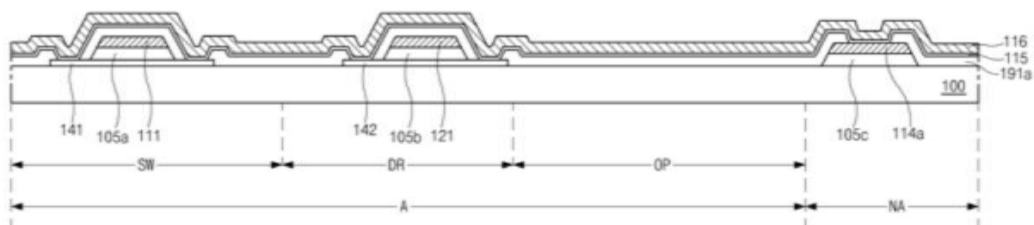
도면2



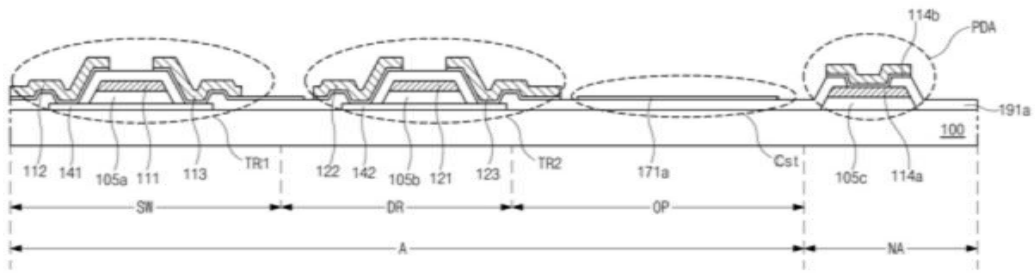
도면3a



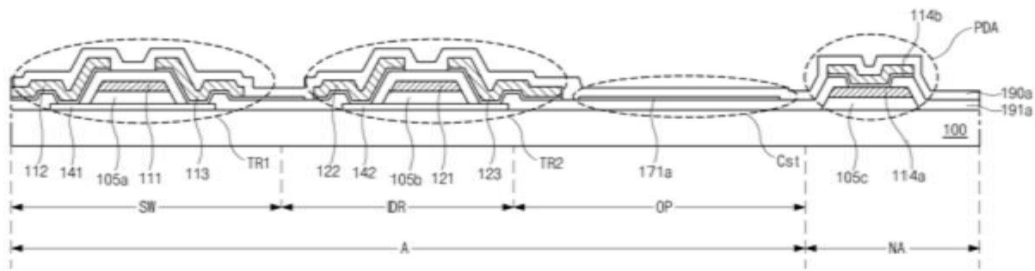
도면3b



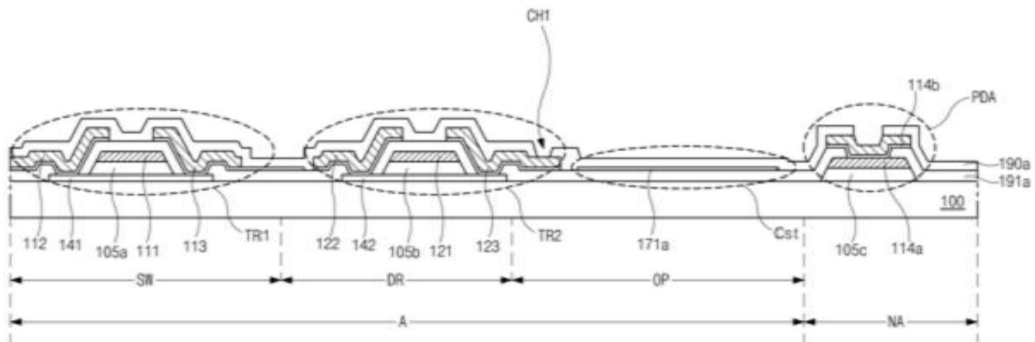
도면3c



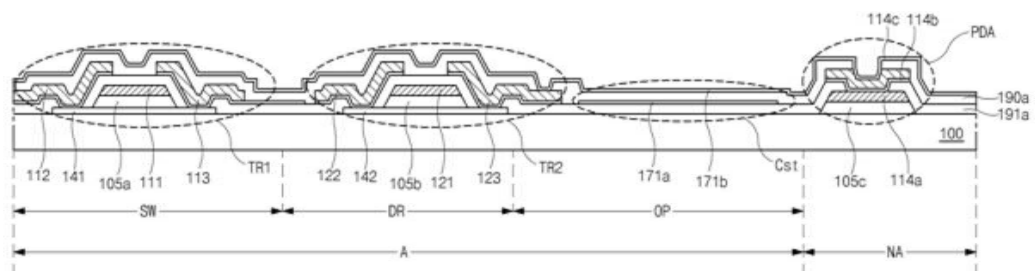
도면3d



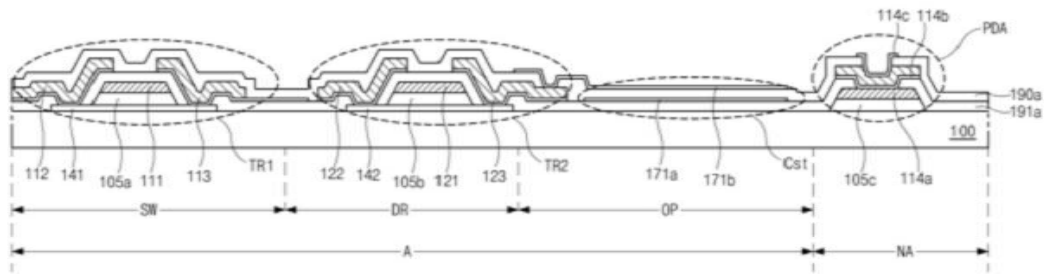
도면3e



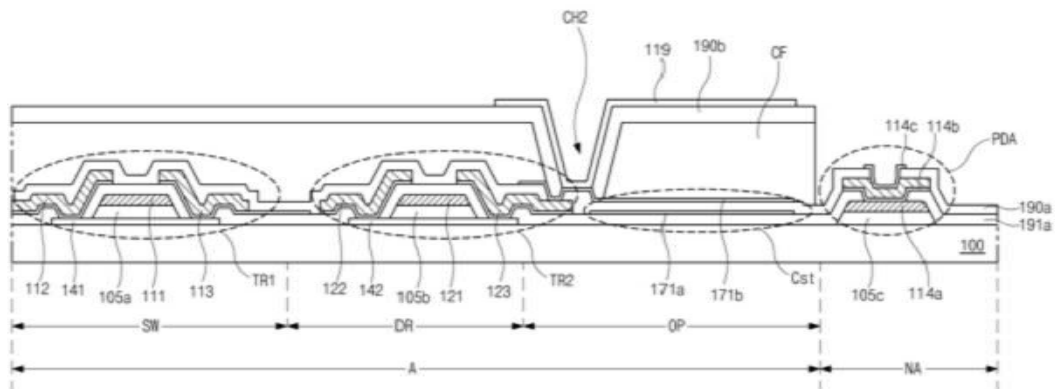
도면3f



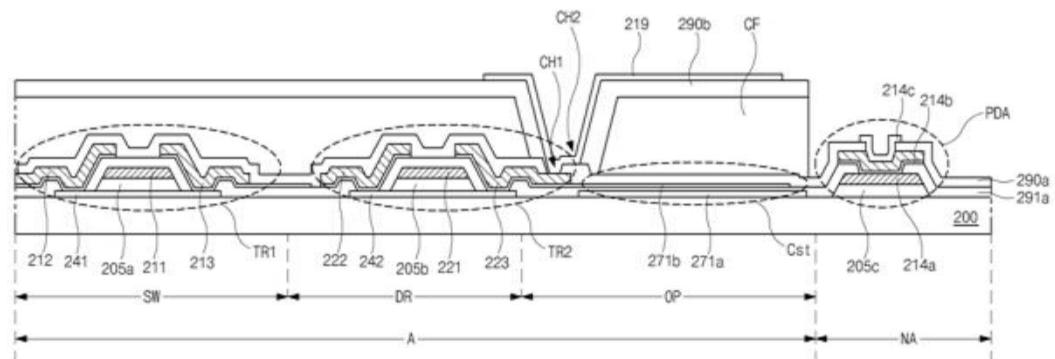
도면3g



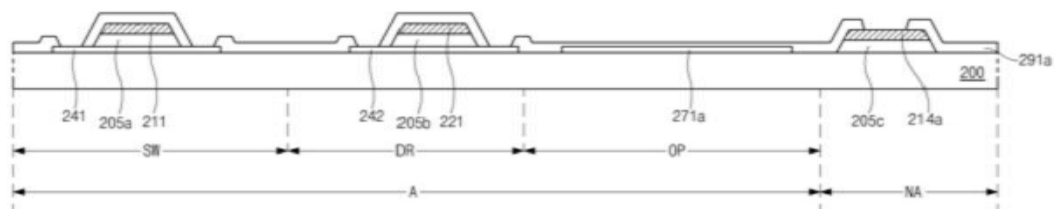
도면3h



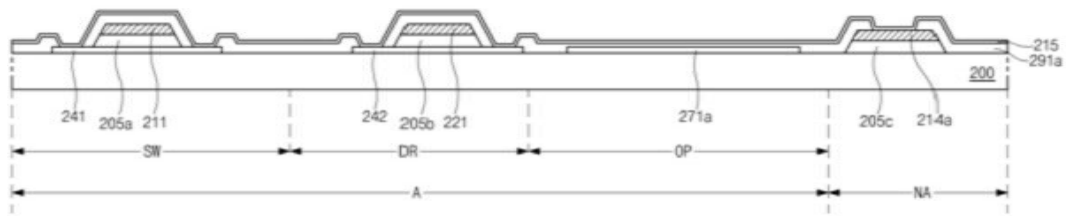
도면4



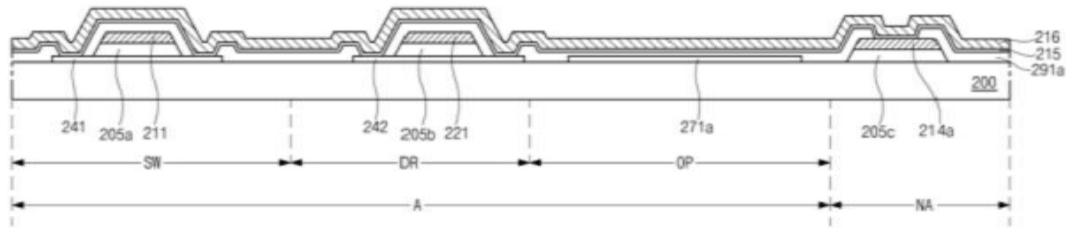
도면5a



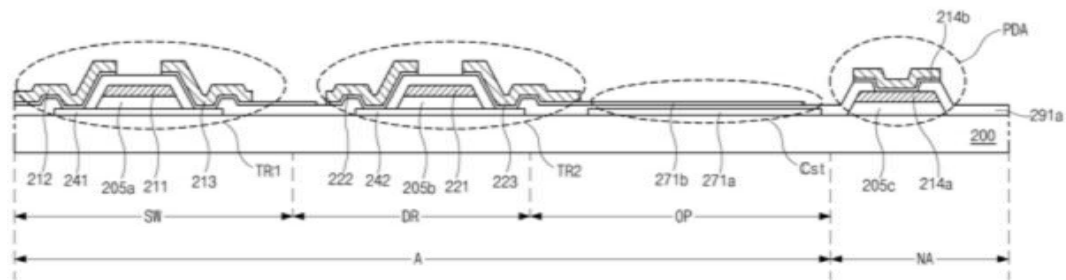
도면5b



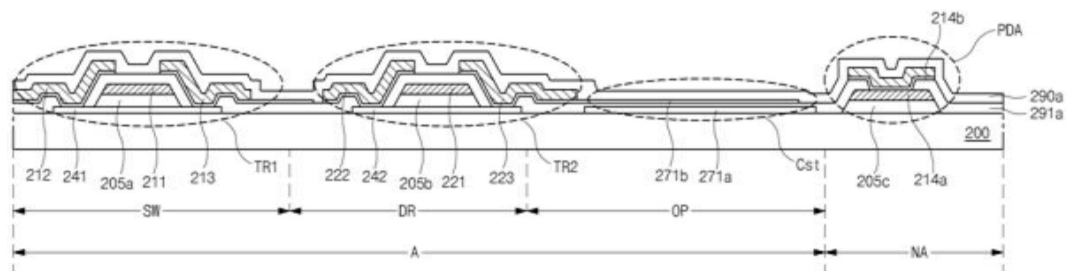
도면5c



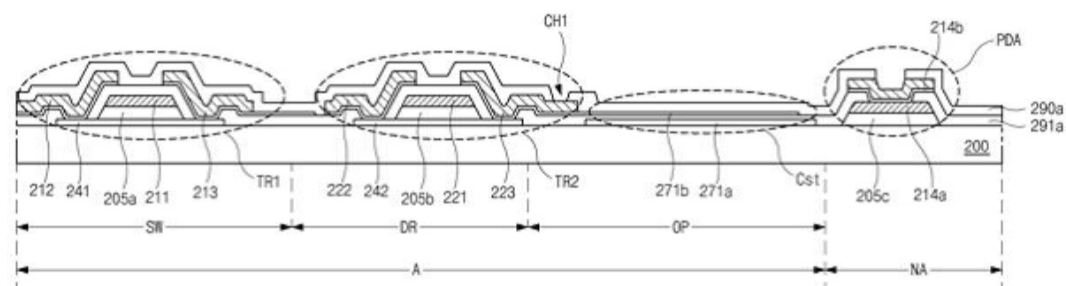
도면5d



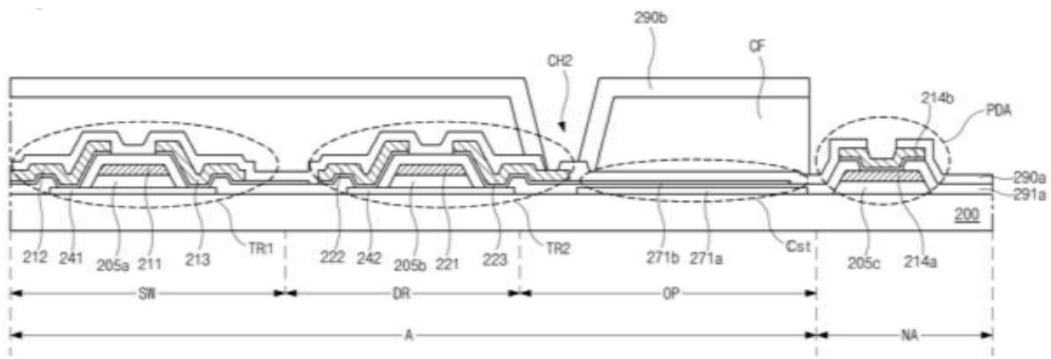
도면5e



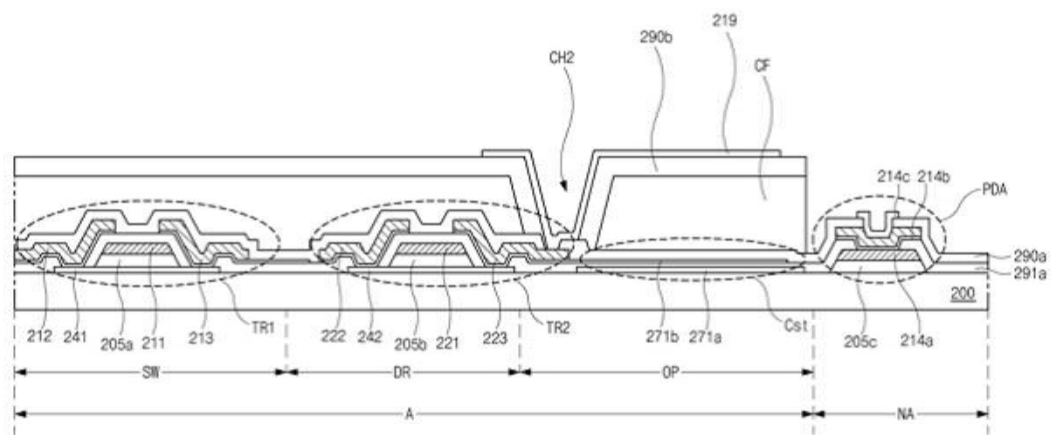
도면5f



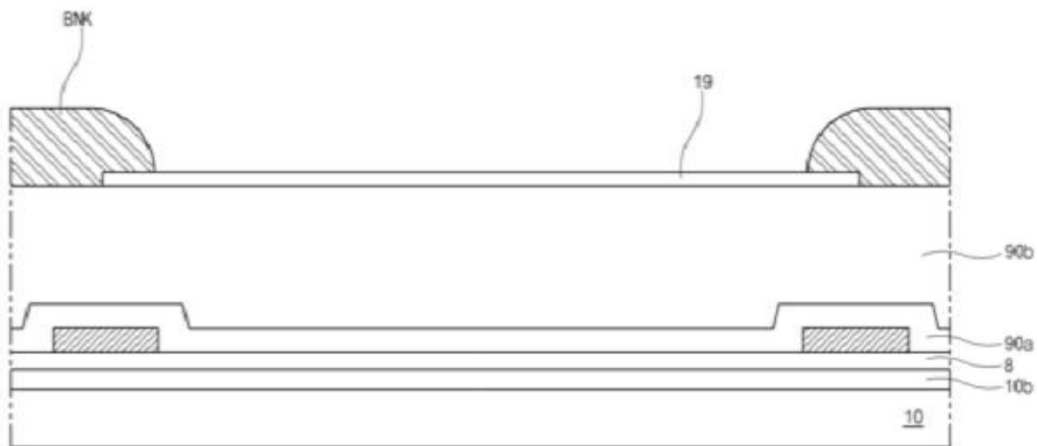
도면5g



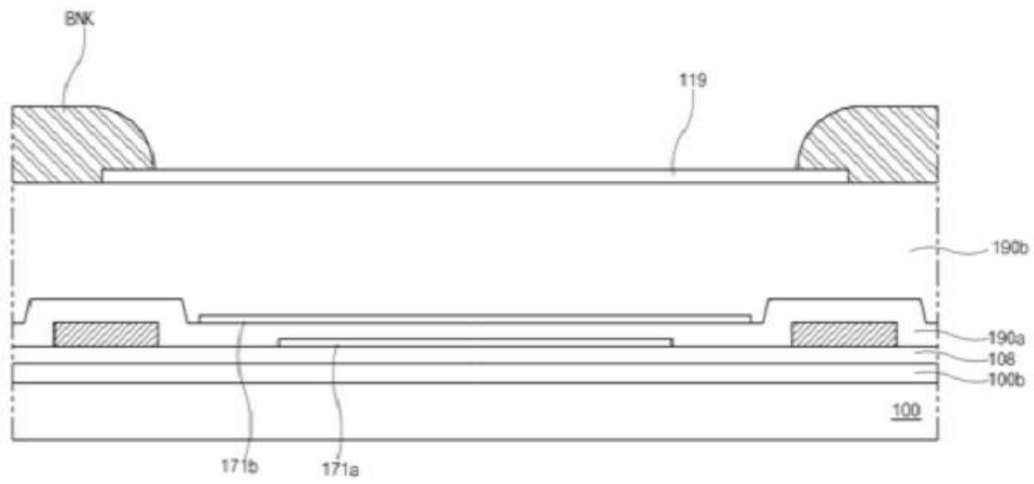
도면5h



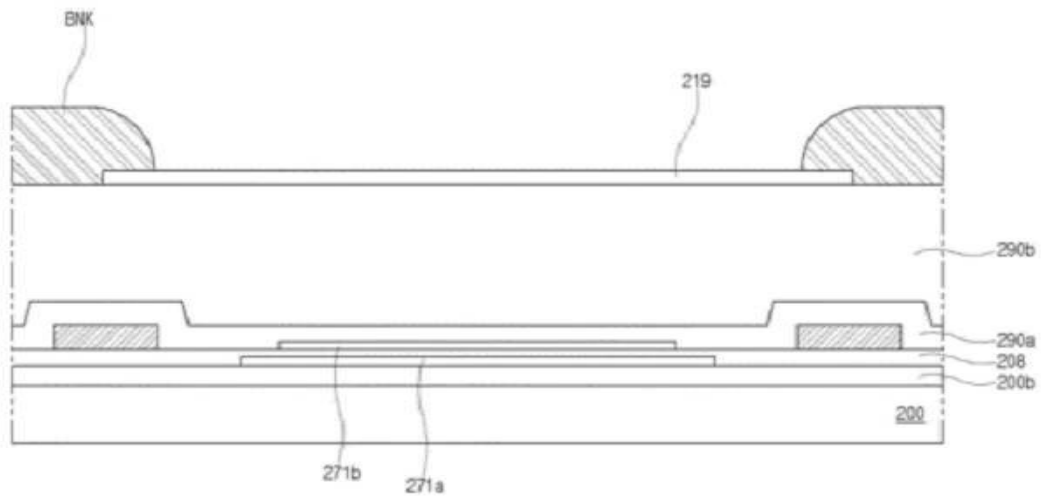
도면6a



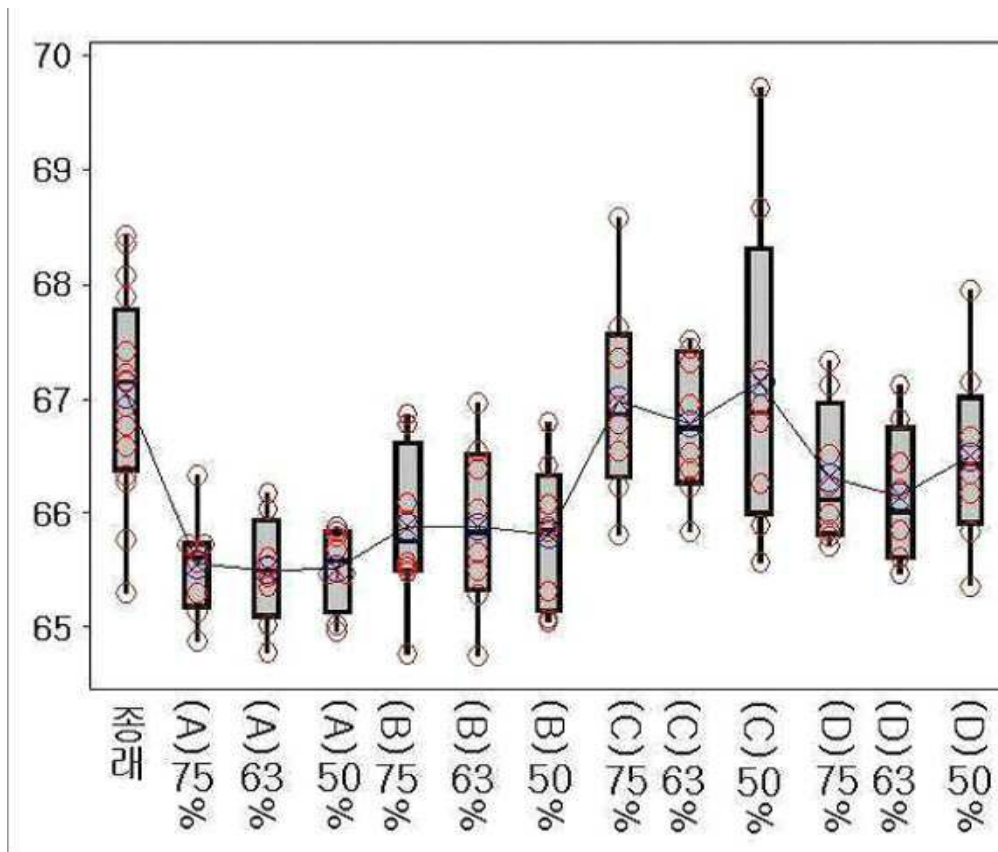
도면6b



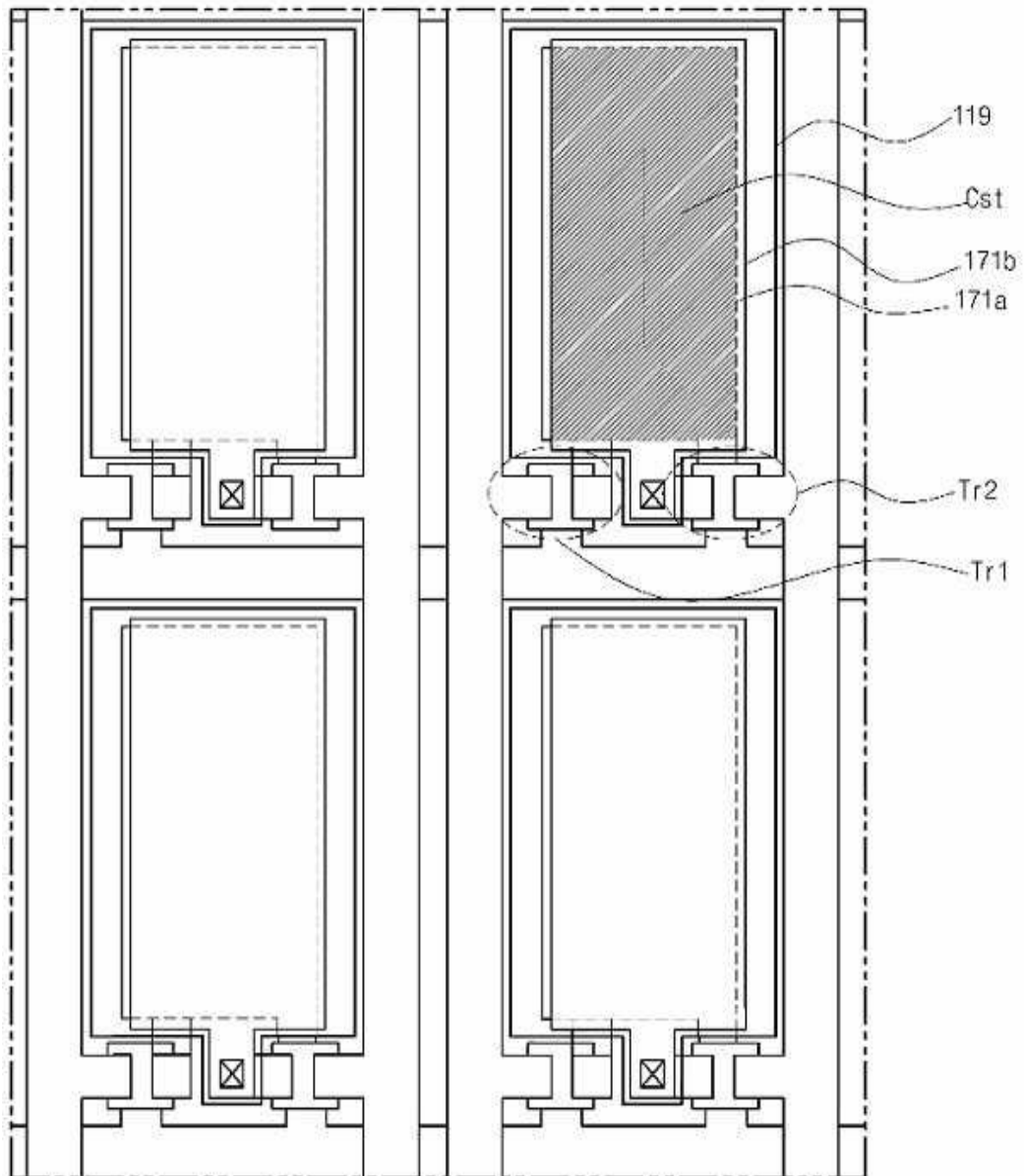
도면6c



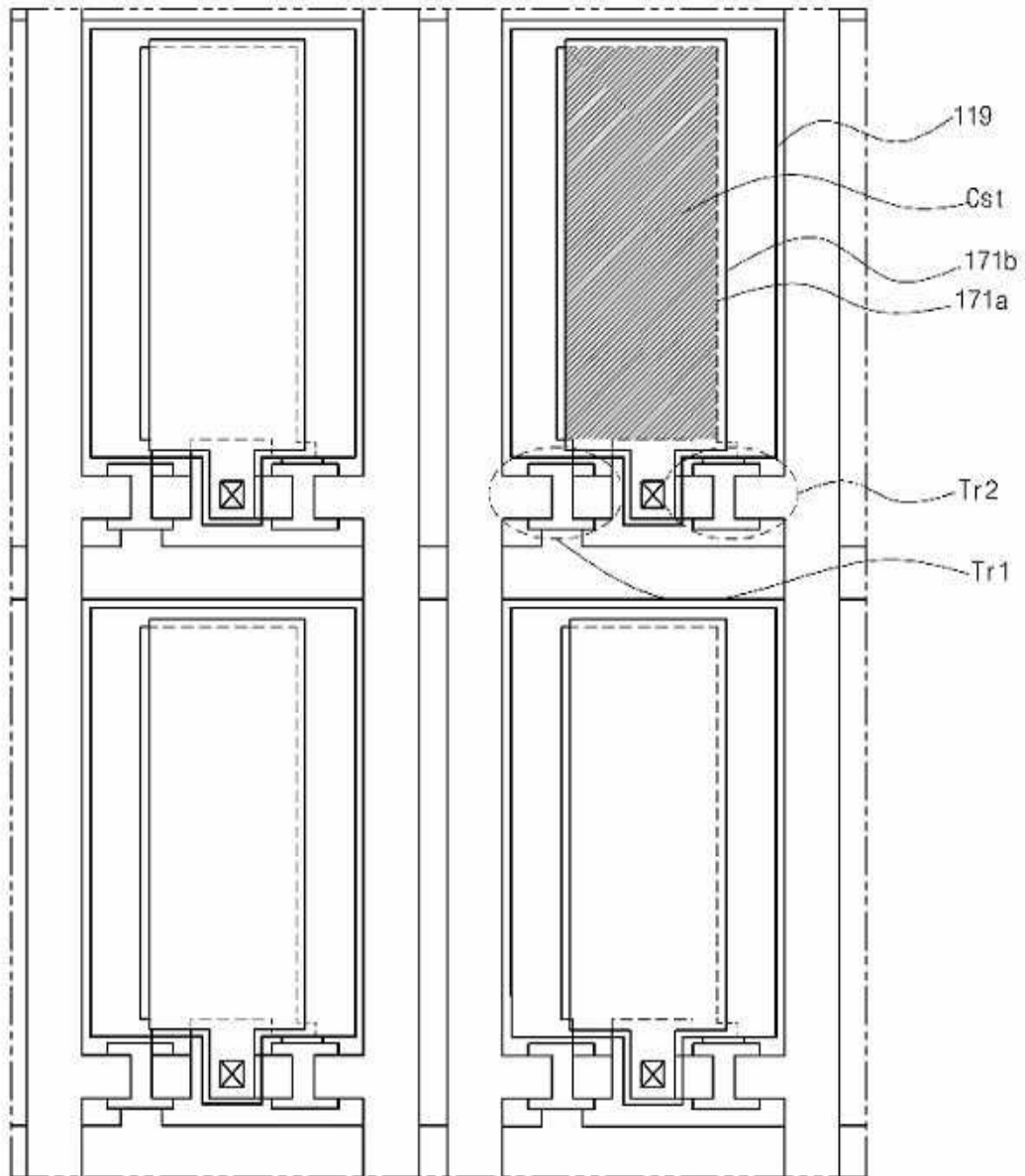
도면7



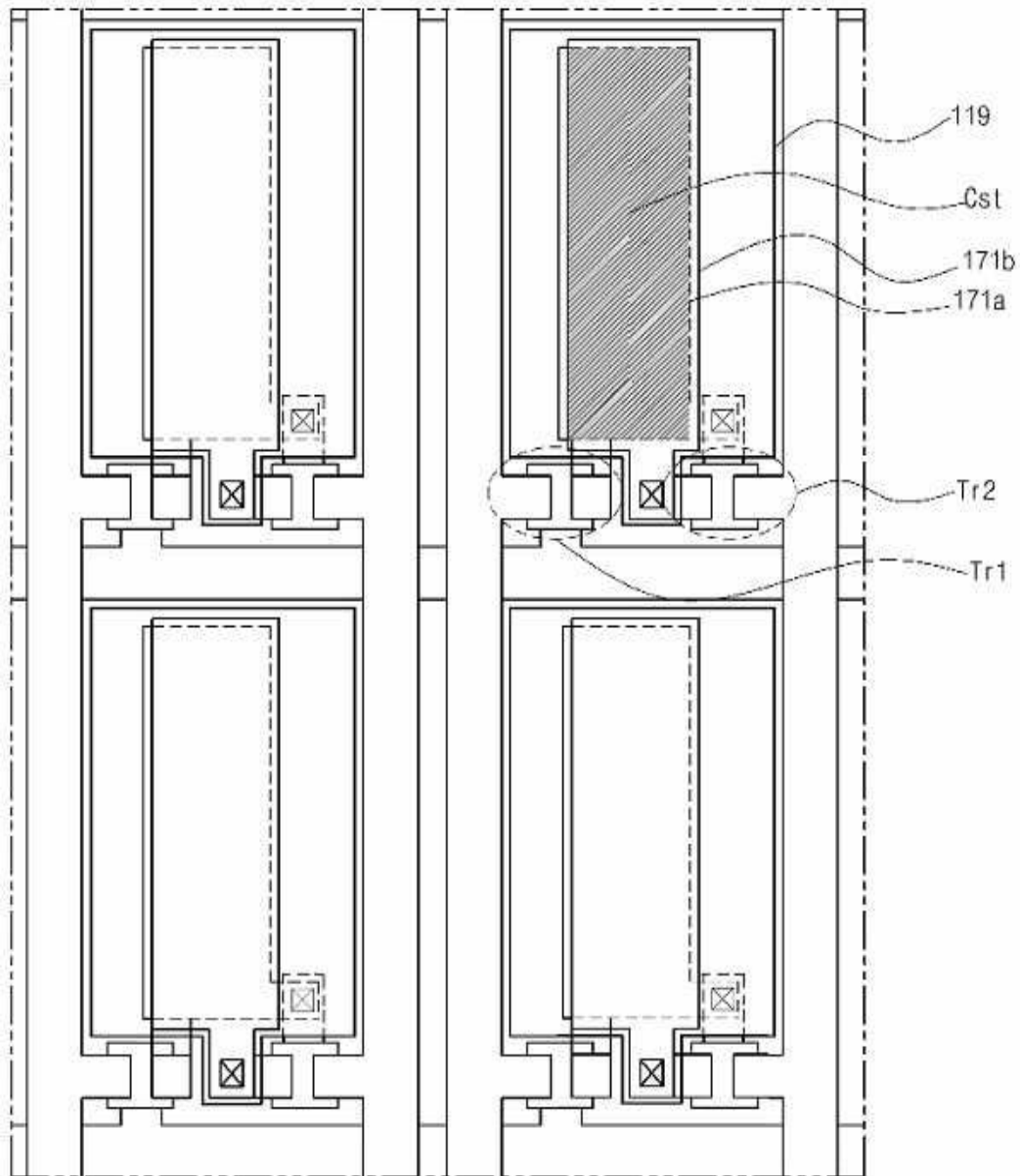
도면8a



도면8b



도면8c



专利名称(译)	阵列的有机发光二极管显示装置用基板及其制造方法		
公开(公告)号	KR102086496B1	公开(公告)日	2020-03-10
申请号	KR1020140064588	申请日	2014-05-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	백정선 김민주 김정오 윤정기 김용민		
发明人	백정선 김민주 김정오 윤정기 김용민		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/1225 H01L27/124 H01L27/1255 H01L27/3248 H01L27/3265 H01L51/5203		
审查员(译)	Gubonjae		
优先权	1020130095140 2013-08-12 KR 1020130145631 2013-11-27 KR		
其他公开文献	KR1020150020502A		
外部链接	Espacenet		

摘要(译)

用于显示装置的阵列基板包括：第一薄膜晶体管（TFT），其包括第一半导体层；与第一半导体层相对应的第一栅电极；第一源电极和第一漏电极；以及第二电极。第二TFT，其包括第二半导体层，与第二半导体层相对应的第二栅电极，第二源电极和第二漏电极；第一透明电容器电极，其连接到第一漏电极；在第一透明电容器电极上的第一钝化层；在第一钝化层上并连接到第二漏极的第二透明电容器电极，第二透明电容器电极与第一透明电容器电极重叠。在第一钝化层和第二透明电容器电极之上或之上的第二钝化层；第一电极在第二钝化层上并连接到第二透明电容器电极。

