



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0069148
(43) 공개일자 2020년06월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) H01L 27/32 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2018-0156354
(22) 출원일자 2018년12월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
고영현
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인(유한)유일하이스트

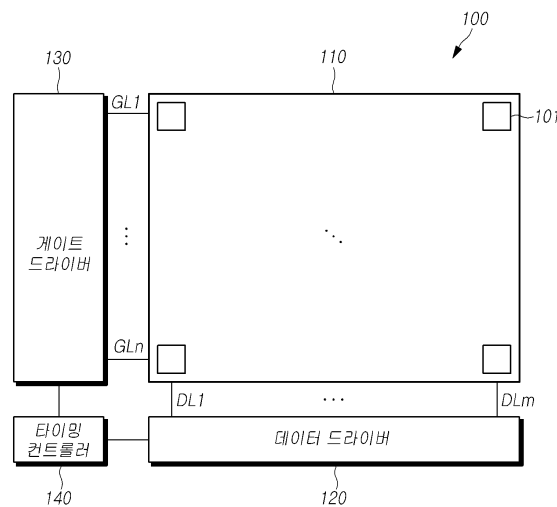
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 실시예들은, 제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 제1기간과 전자기동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함하는 제1트랜지스터, 제2기간에 데이터전압을 전달하는 제2트랜지스터, 제1기간에 제1트랜지스터의 제2전극에 초기화전압을 전달하고 기준전압에 대응하는 제1트랜지스터의 문턱전압에 대응하는 문턱전압정보를 제1트랜지스터의 제2전극으로부터 전달받는 제3트랜지스터, 제1기간에 문턱전압정보에 대응하는 제2전압을 저장하고 제2기간에서 제1전압을 유지하는 제1캐패시터, 제2기간에서 제2트랜지스터로부터 데이터전압을 전달받아 제1트랜지스터로 제1전압을 전달하는 제2캐패시터 및 제2기간에 제1트랜지스터의 제2전극으로부터 구동전류를 공급받아 발광하는 유기발광다이오드를 포함하는 유기발광표시장치를 제공할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3265 (2013.01)

G09G 2300/0828 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

복수의 화소를 포함하며, 상기 각 화소는,

제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 상기 제1기간과 전자이동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함하는 제1트랜지스터;

상기 제2기간에 상기 데이터전압을 전달하는 제2트랜지스터;

상기 제1기간에 상기 제1트랜지스터의 제2전극에 초기화전압을 전달하고 상기 기준전압에 대응하는 상기 제1트랜지스터의 문턱전압에 대응하는 문턱전압정보를 상기 제1트랜지스터의 제2전극으로부터 전달받는 제3트랜지스터;

상기 제1기간에 상기 문턱전압정보에 대응하는 제2전압을 저장하고 상기 제2기간에서 상기 제1전압을 유지하는 제1캐패시터;

상기 제2기간에서 상기 제2트랜지스터로부터 상기 데이터전압을 전달받아 상기 제1트랜지스터로 상기 제1전압을 전달하는 제2캐패시터; 및

상기 제2기간에 상기 제1트랜지스터의 상기 제2전극으로부터 상기 구동전류를 공급받아 발광하는 유기발광다이오드를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 제1기간에서 선택적으로 상기 기준전압을 상기 제1트랜지스터의 게이트 전극에 전달하는 제4트랜지스터를 포함하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 제1트랜지스터의 상기 게이트전극과 상기 제2캐패시터의 제1전극은 연결되고 상기 제2캐패시터의 제2전극은 상기 게이트전극과 중첩되게 배치되는 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 제1기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기는 상기 제2기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기보다 더 큰 유기발광표시장치.

청구항 5

제1항에 있어서,

데이터드라이버를 더 포함하되,

상기 데이터드라이버는 상기 제1기간에 상기 문턱전압정보를 전달받아 디지털신호로 출력하는 아날로그디지털컨버터와, 상기 제2기간에 상기 데이터전압을 공급하는 디지털아날로그컨버터를 포함하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 제3트랜지스터와 선택적으로 연결되어 상기 문턱전압정보를 상기 아날로그디지털컨버터로 전달하게 하는 제1스위칭소자와, 상기 제3트랜지스터와 선택적으로 연결되어 상기 초기화전압을 상기 제1트랜지스터의 제2전극에 전달되게 하는 제2스위칭소자를 더 포함하는 유기발광표시장치.

청구항 7

제2항에 있어서,

상기 제2트랜지스터는 상기 제1기간에 상기 기준전압을 상기 제2캐패시터로 전달하는 유기발광표시장치.

청구항 8

복수의 화소를 포함하며, 상기 각 화소는,

제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 상기 제1기간과 전자이동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함하는 제1트랜지스터;

상기 제2기간에 상기 데이터전압을 전달하는 제2트랜지스터;

상기 제1기간에 상기 제1트랜지스터의 제2전극에 초기화전압을 전달하는 제3트랜지스터;

상기 제1기간에 상기 문턱전압정보에 대응하는 제2전압을 저장하고 상기 제2기간에서 상기 제1트랜지스터의 게이트전극의 전압을 상기 제1전압으로 유지하는 제1캐패시터;

상기 제2기간에서 상기 제2트랜지스터로부터 상기 데이터전압을 전달받아 상기 제1트랜지스터로 상기 제1전압을 전달하는 제2캐패시터; 및

상기 제2기간에 상기 제1트랜지스터의 상기 제2전극으로부터 상기 구동전류를 공급받아 발광하는 유기발광다이오드를 포함하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 제1기간에서 선택적으로 상기 기준전압을 상기 제1트랜지스터의 게이트 전극에 전달하는 제4트랜지스터를 포함하는 유기발광표시장치.

청구항 10

제8항에 있어서,

상기 제1트랜지스터의 상기 게이트전극과 상기 제2캐패시터의 제1전극은 연결되고 상기 제2캐패시터의 제2전극은 상기 게이트전극과 중첩되게 배치되는 유기발광표시장치.

청구항 11

제8항에 있어서,

상기 제1기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기는 상기 제2기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기보다 더 큰 유기발광표시장치.

청구항 12

제9항에 있어서,

상기 제1트랜지스터의 제1전극과 제1전원 사이에 연결되고, 상기 제1기간에서 선택적으로 상기 전원을 상기 제1트랜지스터의 제1전극으로 공급하고 상기 제2기간에서 선택적으로 상기 전원을 상기 제1트랜지스터의 제1전극으로 공급하는 제5트랜지스터를 포함하는 유기발광표시장치.

청구항 13

제9항에 있어서,

상기 제2트랜지스터는 상기 제1기간에 상기 기준전압을 상기 제2캐패시터로 전달하는 유기발광표시장치.

청구항 14

복수의 화소를 포함하되, 상기 각 화소는

게이트전극이 제1노드에 연결되고 제1전극이 제1전원에 대응하도록 연결되며 제2전극이 제2노드에 연결되는 제1트랜지스터;

게이트전극이 게이트라인에 연결되고 제1전극이 데이터라인에 연결되며 제2전극이 제3노드에 연결되는 제2트랜지스터;

게이트전극이 센스제어신호라인에 연결되고 제1전극이 제2전원라인에 연결되며 제2전극이 상기 제2노드에 연결되는 제3트랜지스터;

게이트전극이 샘플링신호라인에 연결되고 제1전극이 제3전원라인에 연결되고 제2전극이 상기 제1노드에 연결되는 제4트랜지스터;

제1전극이 상기 제1노드에 연결되고 제2전극이 상기 제2노드에 연결되는 제1캐패시터;

제1전극이 상기 제1노드에 연결되고 제2전극이 상기 제3노드에 연결되는 제2캐패시터; 및

애노드전극이 상기 제2노드에 연결되고 캐소드전극이 제2전원에 연결되는 유기발광다이오드를 포함하는 유기발광표시장치.

청구항 15

제14항에 있어서,

게이트전극이 발광제어신호라인에 연결되고 제1전극이 상기 제1전원 대응하도록 연결되고 제2전극이 상기 제1트랜지스터의 상기 제1전극에 연결되는 제5트랜지스터를 포함하는 유기발광표시장치.

청구항 16

제14항에 있어서,

상기 제2캐패시터의 상기 제2전극은 상기 제1트랜지스터의 상기 게이트전극의 상부에 중첩되도록 배치되는 유기발광표시장치.

청구항 17

제14항에 있어서,

제1기간에 상기 게이트라인에 전달되는 게이트신호와, 상기 센싱제어신호라인에 전달되는 센싱제어신호와, 상기 샘플링신호라인에 전달되는 샘플링신호가 하이상태로 전달되고,

제2기간에 상기 게이트신호와 상기 샘플링신호는 하이상태로 전달되고, 상기 센싱제어신호는 로우상태에서 하이상태로 변환되고,

제3기간에서 상기 게이트신호가 하이상태로 전달되고, 상기 샘플링신호와 상기 센싱제어신호는 로우상태로 전달되는 유기발광표시장치.

청구항 18

제15항에 있어서,

제1기간에 상기 게이트라인에 전달되는 게이트신호와, 상기 센싱제어신호라인에 전달되는 센싱제어신호와, 상기 샘플링신호라인에 전달되는 샘플링신호가 하이상태로 전달되고, 상기 발광제어신호라인에 전달되는 발광제어신호는 로우상태로 전달되고,

제2기간에 상기 게이트신호와, 상기 샘플링신호와, 상기 발광제어신호는 하이상태로 전달되고, 상기 센싱제어신호는 로우상태로 전달되고,

제3기간에서 상기 게이트신호가 하이상태로 전달되고, 상기 샘플링신호와 상기 센싱제어신호와 상기 발광제어신호는 로우상태로 전달되고,

제4기간에 상기 발광제어신호가 하이상태로 전달되고, 상기 게이트신호와 상기 샘플링신호와 상기 센싱제어신호는 로우상태로 전달되는 화소회로.

청구항 19

제17항에 있어서,

상기 제1기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기가 상기 제2기간에 상기 제1트랜지스터의 상기 제1전극에서 상기 제2전극으로 흐르는 전류가 증가하는 기울기보다 더 큰 유기발광표시장치.

청구항 20

제17항에 있어서,

데이터드라이버와, 게이트드라이버를 더 포함하되,

상기 데이터드라이버는 상기 제2전원라인과 아날로그디지털컨버터 사이에 배치되는 제1스위치와, 상기 제2전원라인과 초기화전원 사이에 배치되는 제2스위치를 더 포함하고, 상기 제1기간에서 상기 제1스witch는 오프상태이고 상기 제2스witch는 온상태이고, 상기 제2기간에서 상기 제1스witch는 온상태이고 상기 제2스witch는 오프상태로 동작하는 유기발광표시장치.

청구항 21

제20항에 있어서,

상기 데이터드라이버는 상기 제1기간에 상기 제1트랜지스터의 문턱전압을 전달받아 디지털신호로 변환하는 아날

로그디지털컨버터와 상기 제2기간에 상기 데이터신호에 대응하는 데이터전압을 출력하는 디지털아날로그컨버터를 포함하는 유기발광표시장치.

청구항 22

제20항에 있어서,

상기 게이트드라이버는 상기 게이트신호, 상기 센스제어신호, 상기 샘플링신호를 출력하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라함)를 포함하는 액티브 매트릭스타입의 유기발광표시장치는 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기발광다이오드는 애노드 전극, 캐소드 전극과 이들 사이에 형성된 유기화합물층을 포함한다. 유기 화합물층은 정공주입층(hole Injection Layer, HIL), 정공수송층(Hole Transport Layer, HTL), 발광층(Emission Layer, EML), 전자수송층(Electron Transport Layer, ETL) 및 전자주입층(Electron Injection Layer, EIL)을 포함할 수 있다. 그리고, 애노드 전극과 캐소드 전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동하여 여기자를 형성하고 그 결과 발광층(EML)에서 가시광을 발생시킬 수 있게 된다.

[0004] 이러한 유기발광다이오드를 채용한 유기발광표시장치는 각 화소에 유기발광다이오드가 포함되며, 비디오 영상데이터의 계조에 따라 유기발광다이오드에 흐르는 구동전류의 양을 조절함으로써 휘도를 조절할 수 있다. 각 화소는 구동전류를 제어하는 구동트랜지스터를 포함할 수 있다. 공정조건에 따라 구동트랜지스터의 전기적 특성이 균일하지 않다. 이러한 문제점을 해결하기 위해 구동트랜지스터의 전기적인 특성 차이를 보상하여 구동전류가 흐르도록 하여야 한다.

[0005] 또한, 유기발광표시장치가 고해상도를 갖는 경우 화소가 차지하는 면적이 작아지게 된다. 하지만, 구동트랜지스터의 전기적인 특성 차이를 보상하는 경우 화소회로가 복잡해져 화소가 차지하는 면적을 줄이는데 한계가 있는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들의 목적은 표시되는 영상의 화질을 개선할 수 있는 유기발광표시장치를 제공하는 것이다.

[0007] 또한, 본 발명의 실시예들의 다른 목적은 해상도가 높은 유기발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0008] 일측면에서 본 발명의 실시예들은, 복수의 화소를 포함하며, 각 화소는, 제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 제1기간과 전자기동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함하는 제1트랜지스터, 제2기간에 데이터전압을 전달하는 제2트랜지스터, 제1기간에 제1트랜지스터의 제2전극에 초기화전압을 전달하고 기준전압에 대응하는 제1트랜지스터의 문턱전압에 대응하는 문턱전압정보를 제1트랜지스터의 제2전극으로부터 전달받는 제3트랜지스터, 제1기간에 문턱전압정보에 대응하는 제2전압을 저장하고 제2기간에서 제1전압을 유지하는 제1캐패시터, 제2기간에서 제2트랜지스터로부터 데이터전압을 전달받아 제1트랜지스터로 제1전압을 전달하는 제2캐패시터 및 제2기간에 제1트랜지스터의 제2전극으로부터 구동전류를 공급받아 발광하는 유기발광다이오드를 포함하는 유기발광표시장치를 제공할 수 있다.

[0009] 다른 일측면에서 본 발명의 실시예들은, 복수의 화소를 포함하며, 각 화소는, 제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 제1기간과 전자이동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함하는 제1트랜지스터, 제2기간에 데이터전압을 전달하는 제2트랜지스터, 제1기간에 제1트랜지스터의 제2전극에 초기화전압을 전달하는 제3트랜지스터, 제1기간에 문턱전압 정보에 대응하는 제2전압을 저장하고 제2기간에서 제1트랜지스터의 게이트전극의 전압을 제1전압으로 유지하는 제1캐패시터, 제2기간에서 제2트랜지스터로부터 데이터전압을 전달받아 제1트랜지스터로 제1전압을 전달하는 제2캐패시터 및 제2기간에 제1트랜지스터의 제2전극으로부터 구동전류를 공급받아 발광하는 유기발광다이오드를 포함하는 유기발광표시장치를 제공할 수 있다.

[0010] 또 다른 일측면에서 본 발명의 실시예들은, 복수의 화소를 포함하되, 각 화소는, 게이트전극이 제1노드에 연결되고 제1전극이 제1전원에 대응하도록 연결되며 제2전극이 제2노드에 연결되는 제1트랜지스터, 게이트전극이 게이트라인에 연결되고 제1전극이 데이터라인에 연결되며 제2전극이 제3노드에 연결되는 제2트랜지스터, 게이트전극이 센스제어신호라인에 연결되고 제1전극이 제2전원라인에 연결되며 제2전극이 제2노드에 연결되는 제3트랜지스터, 게이트전극이 샘플링신호라인에 연결되고 제1전극이 제3전원라인에 연결되고 제2전극이 제1노드에 연결되는 제4트랜지스터, 제1전극이 제1노드에 연결되고 제2전극이 제2노드에 연결되는 제1캐패시터, 제1전극이 제1노드에 연결되고 제2전극이 제3노드에 연결되는 제2캐패시터, 및 애노드전극이 제2노드에 연결되고 캐소드전극이 제2전원에 연결되는 유기발광다이오드를 포함하는 유기발광표시장치를 제공할 수 있다.

발명의 효과

[0011] 본 발명의 실시예들에 의하면, 표시되는 영상의 화질을 개선할 수 있는 유기발광표시장치를 제공할 수 있다.

[0012] 본 발명의 실시예들에 의하면, 해상도가 높은 유기발광표시장치를 제공할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 실시예들에 의한 유기발광표시장치의 구조도이다.

도 2는 도 1에 도시된 화소의 제1실시예를 나타내는 회로도이다.

도 3은 도 1에 도시된 화소의 제2실시예를 나타내는 회로도이다.

도 4는 도 3에 도시된 화소의 동작을 나타내는 타이밍도이다.

도 5는 도 1에 도시된 데이터드라이버의 일실시예를 나타내는 구조도이다.

도 6은 도 1에 도시된 화소의 제3실시예를 나타내는 회로도이다.

도 7은 도 6에 도시된 화소의 동작을 나타내는 타이밍도이다.

도 8은 트랜지스터의 특성을 나타내는 그래프이다.

도 9는 도 3에 도시된 화소에서 제1트랜지스터, 제1캐패시터 및 제2캐패시터의 단면을 나타내는 단면도이다.

도 10a는 도 3에 도시된 제1트랜지스터의 제1전극에서 제2전극 방향으로 흐르는 전류의 흐름을 나타내는 그래프이다.

도 10b는 도 3에 도시된 제1트랜지스터의 제1전극에서 제2전극 방향으로 흐르는 전류의 흐름을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0015] 또한, 본 발명의 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요

하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함할 수 있다.

[0016] 또한, 본 발명의 실시예들에서의 구성 요소들을 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석되어야 할 것이다.

[0017] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성 요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0018] 또한, 본 발명의 실시예들에서의 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것일 뿐이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.

[0019] 또한, 본 발명의 실시예들에서의 특징들(구성들)이 부분적으로 또는 전체적으로 서로 결합 또는 조합 또는 분리 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예는 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0020] 이하에서는, 본 발명의 실시예들을 첨부된 도면을 참조하여 상세히 설명한다.

[0022] 도 1은 본 발명의 실시예들에 의한 유기발광표시장치를 나타내는 구조도이다.

[0023] 도 1을 참조하면, 표시패널(110)은 제1방향으로 배치된 복수의 데이터라인(DL1, ..., DLm)과 제2방향으로 배치된 복수의 게이트라인(GL1, ..., GLn)을 포함할 수 있다. 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)은 직교하는 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 또한, 표시패널(110)에 배치되는 배선은 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)에 한정되는 것은 아니다.

[0024] 표시패널(110)은 복수의 게이트 라인(GL1, ..., GLn)과 복수의 데이터라인(DL1, ..., DLm)이 교차하는 영역에 대응하여 형성되는 복수의 화소(101)를 포함할 수 있다. 복수의 화소(101)는 가로 방향의 복수의 화소행과 세로 방향의 복수의 화소열을 포함하는 매트릭스형태로 배치될 수 있다.

[0025] 데이터드라이버(120)는 데이터신호를 복수의 데이터라인(DL1, ..., DLm)에 인가할 수 있다. 데이터신호는 계조에 대응할 수 있고, 대응하는 계조에 따라 데이터신호의 전압레벨이 결정될 수 있다. 데이터신호의 전압을 데이터 전압이라 칭할 수 있다. 여기서, 데이터드라이버(120)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 표시패널(110)의 크기, 해상도에 대응하여 두 개 이상일 수 있다. 또한, 데이터드라이버(120)는 집적회로(Integrated circuit)로 구현될 수 있다.

[0026] 게이트드라이버(130)는 게이트신호를 복수의 게이트라인(GL1, ..., GLn)에 인가할 수 있다. 게이트신호가 인가된 복수의 게이트라인(GL1, ..., GLn)에 대응하는 화소(101)는 데이터신호를 전달받을 수 있다. 여기서, 게이트드라이버(130)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며, 적어도 두 개일 수 있다. 또한, 게이트드라이버(130)는 표시패널(110)의 양측에 배치되고 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 홀수번째 게이트라인에 연결되고 다른 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 짝수번째 게이트라인에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다. 게이트드라이버(130)는 집적회로로 구현될 수 있다. 게이트드라이버(130)에서 출력하는 신호는 게이트신호에 한정되는 것은 아니다. 또한, 게이트드라이버(130)는 표시패널(110)에 상에 배치되는 게이트신호발생회로와 게이트신호발생회로에 신호 및/전압을 공급하는 레벨쉬프터를 포함할 수 있다. 하지만, 게이트드라이버의 구성은 이에 한정되는 것은 아니다.

[0027] 타이밍컨트롤러(140)는 데이터드라이버(120)와 게이트드라이버(130)를 제어할 수 있다. 또한, 타이밍컨트롤러(140)는 데이터드라이버(120)로 영상신호를 공급할 수 있다. 타이밍컨트롤러(140)에서 공급하는 영상신호는 타

이밍컨트롤러(140)에서 보정된 영상신호일 수 있다. 하지만, 타이밍컨트롤러(140)의 구성 및 기능은 이에 한정되는 것은 아니다.

[0029] 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이다.

[0030] 도 2를 참조하면, 화소(101a)는 유기발광다이오드(OLEDa)와, 유기발광다이오드(OLEDa)를 구동하는 화소회로를 포함할 수 있다. 화소회로는 제1트랜지스터(M1a), 제2트랜지스터(M2a) 및 캐패시터(Csta)를 포함할 수 있다.

[0031] 제1트랜지스터(M1a)는 게이트전극이 제1노드(N1a)에 연결되고 제1전극이 제1전원(EVDD)이 전달되는 전원라인(VL)에 연결되며 제2전극이 제2노드(N2a)에 연결될 수 있다. 제1트랜지스터(M1a)는 제1노드(N1a)에 전달되는 전압에 대응하여 제2노드(N2a)에 전류가 흐르도록 할 수 있다. 제1트랜지스터(M1a)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 제1트랜지스터(M1a)를 구동트랜지스터라고 칭할 수 있다.

[0032] 제1트랜지스터(M1a)에 의해 제2노드(N2a)로 흐르는 전류는 하기의 수학적 식 1에 대응할 수 있다.

수학적 식 1

[0033] $I_d = k(V_{GS} - V_{th})^2$

[0034] 여기서, I_d 는 제2노드(N2)에 흐르는 전류의 양을 의미하고, k 는 트랜지스터의 전하이동도를 의미하며, V_{GS} 는 제1트랜지스터(M1)의 게이트전극과 소스전극의 전압차이를 의미하며, V_{th} 는 제1트랜지스터(M1)의 문턱전압을 의미한다.

[0035] 제2트랜지스터(M2a)는 데이터라인(DL)에 제1전극이 연결되고 게이트라인(GL)에 게이트전극이 연결되며 제1노드(N1a)에 제2전극이 연결될 수 있다. 따라서, 제2트랜지스터(M2a)는 게이트라인(GL)을 통해 전달되는 게이트신호에 대응하여 제1노드(N1a)에 데이터신호에 대응하는 데이터전압(V_{data})이 전달되게 할 수 있다. 제2트랜지스터(M2a)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0036] 캐패시터(Csta)는 제1노드(N1a)에 제1전극이 연결되고 제2노드(N2a)에 제2전극이 연결될 수 있다. 캐패시터(Csta)는 제1트랜지스터(M1a)의 게이트전극의 전압을 일정하게 유지할 수 있다.

[0037] 유기발광다이오드(OLEDa)는 애노드전극이 제2노드(N2a)에 연결되고 캐소드전극이 제2전원(EVSS)에 연결될 수 있다. 여기서, 제2전원(EVSS)은 제1전원(EVSS)보다 전압레벨이 낮을 수 있다. 또한, 제2전원(EVSS)은 접지일 수 있다. 하지만, 이에 한정되는 것은 아니다. 제2전원(EVSS)은 저전원라인을 통해 공급받을 수 있다. 유기발광다이오드(OLEDa)는 애노드 전극에서 캐소드전극으로 전류가 흐르게 되면 전류의 양에 대응하여 빛을 발광할 수 있다. 유기발광다이오드(OLEDa)는 적색, 녹색, 청색, 백색 중 어느 하나의 색을 발광할 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0038] 상기와 같이 구현된 화소(101a)는 구동전류의 크기가 제1트랜지스터(M1a)의 문턱전압(V_{th})에 대응할 수 있다. 즉, 도 1에 도시되어 있는 표시패널(110) 상의 복수의 화소(101)에 포함되어 있는 제1트랜지스터(M1)들 문턱전압 편차로 인해 구동전류의 차이가 발생하여 표시패널(110) 상에 표시되는 휘도가 균일하지 않게 되는 문제점이 발생할 수 있다. 따라서, 이러한 문제점을 해결하기 위해서는 제1트랜지스터(M1a)의 문턱전압의 편차를 보상할 수 있어야 한다.

[0040] 도 3은 도 1에 도시된 화소의 제2실시예를 나타내는 회로도이다.

[0041] 도 3을 참조하면, 화소(101b)는 제1트랜지스터(M1b), 제2트랜지스터(M2b), 제3트랜지스터(M3b), 제4트랜지스터(M4b), 제1캐패시터(Cstb), 제2캐패시터(Cf1b) 및 유기발광다이오드(OLEDb)를 포함할 수 있다.

[0042] 제1트랜지스터(M1b)는 게이트전극이 제1노드(N1b)에 연결되고 제1전극이 제1전원(EVDD)을 전달하는 제1전원라인(VL1)에 연결되며 제2전극이 제2노드(N2)에 연결될 수 있다. 제2트랜지스터(M2b)는 게이트전극이 게이트라인(GL)에 연결되고 제1전극이 데이터라인(DL)에 연결되며 제2전극이 제3노드(N3b)에 연결될 수 있다. 제3트랜지

스터(M3b)는 게이트전극이 센싱제어신호라인(SENSE)에 연결되고 제1전극이 제2전원라인(VL2)에 연결되며 제2전극이 제2노드(N2b)에 연결될 수 있다. 제4트랜지스터(M4b)는 게이트전극이 샘플링신호라인(SAMPL)에 연결되고 제1전극이 제3전원라인(VL3)에 연결되며 제2전극이 제1노드(N1b)에 연결될 수 있다. 제3전원라인(VL3)은 데이터라인(DL)과 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0043] 제1캐패시터(Cstb)는 제1전극이 제1노드(N1b)에 연결되고 제2전극이 제2노드(N2b)에 연결될 수 있다. 제2캐패시터(Cf1b)는 제1전극이 제1노드(N1b)에 연결되고 제2전극이 제3노드(N3b)에 연결될 수 있다. 따라서, 제1캐패시터(Cstb)의 제1전극과 제2캐패시터(Cf1b)의 제1전극은 서로 연결될 수 있다. 또한, 제2캐패시터(Cf1b)의 제1전극과 제1트랜지스터(M1b)의 게이트전극은 서로 연결될 수 있다. 제2전극과 유기발광다이오드(OLEDb)는 애노드전극이 제2노드(N2b)에 연결되고 캐소드전극이 제2전원(EVSS)을 전달하는 공통배선에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0044] 또한, 제2전원라인(VL2)에는 제1스위치(SW1)가 아날로그신호를 디지털신호로 변환하는 아날로그디지털컨버터(120a)와 연결될 수 있다. 제1스위치(SW1)가 턴온되면 제2전원라인(VL2)에 인가된 제2노드(N2b)의 전압이 아날로그디지털컨버터(120a)로 전달될 수 있다. 제2전원라인(VL2)에는 제2스위치(SW2)가 초기화전압(Vini)을 전달하는 초기화전원과 연결될 수 있다. 제2스위치(SW2)가 턴온되면 제2전원라인(VL2)에 초기화전압(Vini)이 전달될 수 있다.

[0045] 여기서, 제1트랜지스터 내지 제4트랜지스터(M1b 내지 M4b)는 N 모스 트랜지스터인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 P 모스 트랜지스터로 구현되는 것도 가능하다. 또한, 제1트랜지스터 내지 제4트랜지스터(M1b 내지 M4b)의 제1전극은 드레인전극이고 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 제1트랜지스터 내지 제4트랜지스터(M1b 내지 M4b)는 산화물 반도체를 포함할 수 있다.

[0047] 도 4는 도 3에 도시된 화소의 동작을 나타내는 타이밍도이다.

[0048] 도 4를 참조하면, 화소(101b)는 제1기간(T1a)에서 게이트신호(GATE), 센싱제어신호(Ssen), 샘플링신호(SAMP)가 하이상태로 공급될 수 있다. 또한, 제1스위치(SW1)를 제어하는 제1스위치신호(SSW1)가 로우상태로 전달될 수 있고 제2스위치(SW2)를 제어하는 제2스위치신호(SSW2)가 하이상태로 전달될 수 있다. 또한, 제1기간(T1a)에는 데이터라인(DL)으로 기준전압(Vref)이 전달될 수 있다. 게이트신호(GATE), 샘플링신호(SAMP), 센싱제어신호(Ssen)가 하이상태로 공급되면, 제2트랜지스터 내지 제4트랜지스터(M4b)는 온상태가 될 수 있다. 그리고, 제2스위치신호(SSW2)가 하이상태로 공급되면 제2스위치(SW2)가 온상태가 될 수 있다.

[0049] 제2트랜지스터(M2b)가 온상태가 되면, 제2캐패시터(Cf1b)의 제1전극은 기준전압(Vref)가 전달될 수 있다. 또한, 제3트랜지스터(M3b)와 제2스위치(SW2)가 온상태가 되면, 제1캐패시터(Cstb)의 제2전극에는 초기화전압(Vini)이 전달될 수 있다. 또한, 제4트랜지스터(M4b)가 온상태가 되면, 제1노드(N1b)에 기준전압(Vref)이 전달될 수 있다. 따라서, 제1캐패시터(Cstb)는 제1전극에 기준전압(Vref)가 전달되고 제2전극에 초기화전압(Vini)가 전달되어 기준전압(Vref)과 초기화전압(Vini)의 차이에 대응하는 전압이 저장될 수 있다. 그리고, 제2캐패시터(Cf1b)는 양단에 기준전압(Vref)이 전달되어 제2캐패시터(Cf1b)에는 전압이 저장되지 않게 될 수 있다. 여기서, 기준전압(Vref)과 초기화전압(Vini)의 전압레벨은 유기발광다이오드(OLEDb)의 문턱전압보다 낮은 전압일 수 있어 유기발광다이오드(OLEDb)에는 전류가 흐르지 않게 된다.

[0050] 그리고, 제2기간(T2a)에서 게이트신호(GATE), 샘플링신호(SAMP)는 하이상태로 공급될 수 있다. 또한, 제1스위치신호(SSW1)는 하이상태로 공급될 수 있다. 제2기간(T2a)에서 센싱제어신호(Ssen)는 로우상태에서 하이상태로 변환될 수 있다. 즉, 제2기간(T2a) 중 첫번째 기간(T21a)에서 센싱제어신호(Ssen)는 로우상태이고 두번째 기간(T22a)에서 센싱제어신호(Ssen)는 하이상태일 수 있다. 제2기간(T2a)에서 제2스위치신호(SSW2)는 로우상태로 전달될 수 있다. 또한, 제2기간(T2a)에 데이터라인(DL)으로 기준전압(Vref)이 전달될 수 있다.

[0051] 게이트신호(GATE)와 샘플링신호(SAMP)에 대응하여 제2트랜지스터(M2b)와 제4트랜지스터(M4b)는 온상태를 유지하고 있고, 데이터라인(DL)과 제3전원라인(VL3)에 기준전압(Vref)이 전달되고 있어 제1노드(N1)의 전압레벨은 제1기간(T1a)의 전압레벨을 유지하게 된다. 그리고, 제2기간(T2a) 중 센싱제어신호(Ssen)에 대응하여 제3트랜지스터(M3b)가 오프상태를 유지하는 기간(T21a)에서 제1트랜지스터(M1b)는 제1캐패시터(Cstb)에 제1트랜지스터(M1b)의 문턱전압을 저장할 수 있다. 그리고, 제2기간(T2a) 중 센싱제어신호(Ssen)에 의해 제3트랜지스터(M3b)가 온상태를 유지하는 기간(T22a)에서 제2노드(N2b)의 전압은 제1스위치(SW1)를 통해 아날로그디지털컨버터(120a)로 전달될 수 있다. 즉, 아날로그디지털컨버터(120a)로 제1캐패시터(Cstb)에 저장된 문턱전압에 대응하는 전압

이 전달될 수 있다. 아날로그디지털컨버터(120a)는 전달받은 문턱전압에 대응하는 전압을 도 1에 도시된 타이밍컨트롤러(140)로 전달할 수 있고, 타이밍컨트롤러(140)는 문턱전압에 대응하는 전압에 의해 영상신호를 보정할 수 있다. 따라서, 영상신호는 문턱전압이 반영되어 보정될 수 있다.

[0052] 제3기간(T3a)에서 게이트신호(GATE)가 온상태를 유지할 수 있다. 반면, 센싱제어신호(Ssen), 샘플링신호(SAMP)가 로우상태가 될 수 있다. 그리고, 제3기간(T3a)에서 제1스위치신호(SSW1)와 제2스위치신호(SSW2)는 로우상태를 유지할 수 있다. 하지만, 제1스위치신호(SSW1)와 제2스위치신호(SSW2)가 이에 한정되는 것은 아니다. 또한, 제3기간(T3a)에는 데이터라인(DL)으로 데이터신호에 대응하는 데이터전압(Vdata)이 전달될 수 있다. 반면, 제3전원라인(VL3)에는 기준전압(Vref)이 유지될 수 있다.

[0053] 게이트신호(GATE)에 의해 데이터전압(Vdata)이 제2트랜지스터(M2b)를 통해 제2캐패시터(Cf1b)의 제2전극으로 전달되게 된다. 즉, 제2캐패시터(Cf1b)의 제2전극의 전압이 기준전압(Vref)에서 데이터전압(Vdata)으로 변환되게 된다. 이때, 제1노드(N1b)와 연결되어 있는 제4트랜지스터(M4b)는 샘플링신호(SAMP)에 의해 오프상태이기 때문에 제1노드(N1b)의 전압은 제2캐패시터(Cf1b)에 의해 데이터전압(Vdata)으로 상승될 수 있다. 따라서, 제1노드(N1b)에 데이터전압(Vdata)이 기입될 수 있다. 이때, 데이터전압(Vdata)에 의해 제1트랜지스터(M1b)의 제1전극에서 제2전극으로 구동전류가 흐르게 되고 구동전류에 의해 제2노드(N2b)의 전압이 상승하여 유기발광다이오드(OLEDb)의 문턱전압보다 높아지면 유기발광다이오드(OLEDb)는 발광할 수 있다.

[0054] 게이트신호(GATE), 센싱제어신호(Ssen), 샘플링신호(SAMP)는 도 1에 도시된 게이트드라이버(130)에서 출력될 수 있다. 하지만, 이에 한정되는 것은 아니다. 여기서, 제1기간 내지 제3기간(T1a 내지 T3a)의 길이는 동일한 것으로 도시되어 있지만, 이에 한정되는 것은 아니다.

[0056] 도 5는 도 1에 도시된 데이터드라이버의 일실시예를 나타내는 구조도이다.

[0057] 도 5를 참조하면, 데이터드라이버(120)는 아날로그디지털컨버터(120a)와 디지털아날로그컨버터(120b)를 포함할 수 있다.

[0058] 아날로그디지털컨버터(120a)는 도 3에 도시된 제2전원선(VL2)와 연결되어 도 3에 도시된 제2노드(N2b)의 전압(VN2)을 전달받을 수 있다. 아날로그디지털컨버터(120a)는 제2노드(N2b)의 전압(VN2)을 디지털신호로 변환하여 도 1에 도시된 타이밍컨트롤러(140)로 전달할 수 있다. 디지털아날로그컨버터(120b)는 데이터라인(DL)과 연결되어 데이터전압(Vdata)을 데이터라인(DL)으로 공급할 수 있다. 디지털아날로그컨버터(120b)는 도 1에 도시된 타이밍컨트롤러(140)로부터 디지털신호인 영상신호를 공급받아 아날로그신호인 데이터신호로 변환하여 데이터라인(DL)로 전달할 수 있다. 데이터신호의 전압을 데이터전압(Vdata)이라고 칭할 수 있다. 데이터신호는 도 1에 도시된 타이밍컨트롤러(140)에서 문턱전압에 대응하여 보정한 신호일 수 있다. 하지만, 이에 한정되는 것은 아니다. 또한, 디지털아날로그컨버터(120b)는 기준전압(Vref)를 출력할 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0060] 도 6은 도 1에 도시된 화소의 제3실시예를 나타내는 회로도이다.

[0061] 도 6을 참조하면, 화소(101c)는 제1트랜지스터(M1c), 제2트랜지스터(M2c), 제3트랜지스터(M3c), 제4트랜지스터(M4c), 제5트랜지스터(M5c), 제1캐패시터(C1c), 제2캐패시터(C2c) 및 유기발광다이오드(OLEDc)를 포함할 수 있다.

[0062] 제1트랜지스터(M1c)는 제1게이트전극이 제1노드(N1c)에 연결되고 제1전극이 제1전원(EVDD)을 전달하는 제1전원라인(VL1)에 연결되며 제2전극이 제2노드(N2c)에 연결될 수 있다. 제2트랜지스터(M2c)는 게이트전극이 게이트라인(GL)에 연결되고 제1전극이 데이터라인(DL)에 연결되며 제2전극이 제3노드(N3c)에 연결될 수 있다. 제3트랜지스터(M3c)는 게이트전극이 센싱제어신호라인(SENSE)에 연결되고 제1전극이 제2전원라인(VL2)에 연결되며 제2전극이 제2노드(N2a)에 연결될 수 있다. 제4트랜지스터(M4c)는 게이트전극이 샘플링신호라인(SAMPL)에 연결되고 제1전극이 제3전원라인(VL3)에 연결되며 제2전극이 제1노드(N1c)에 연결될 수 있다. 제3전원라인(VL3)은 데이터라인(DL)과 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다. 제5트랜지스터(M5c)는 게이트전극이 발광제어신호라인(EM)에 연결되고 제1전극이 제1전원라인(VL1)에 연결되고 제2전극이 제1트랜지스터(M1c)의 제1전극에 연결될 수 있다. 즉, 제5트랜지스터(M5c)는 제1전원(EVDD)과 제1트랜지스터(M1c) 사이에 제1전극과 제2전극이 연결될 수 있다.

- [0063] 제1캐패시터(Cstc)는 제1전극이 제1노드(N1c)에 연결되고 제2전극이 제2노드(N2c)에 연결될 수 있다. 제2캐패시터(Cf1c)는 제1전극이 제1노드(N1c)에 연결되고 제2전극이 제3노드(N3c)에 연결될 수 있다. 따라서, 제1캐패시터(Cstc)의 제1전극과 제2캐패시터(Cf1c)의 제1전극은 서로 연결될 수 있다. 또한, 제2캐패시터(Cf1c)의 제1전극과 제1트랜지스터(M1c)의 게이트전극은 서로 연결될 수 있다. 유기발광다이오드(OLEDc)는 애노드전극이 제2노드(N2c)에 연결되고 캐소드전극이 제2전원(EVSS)을 전달하는 공통배선에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0064] 여기서, 제1트랜지스터 내지 제5트랜지스터(M1c 내지 M5c)는 N 모스 트랜지스터인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 P 모스 트랜지스터로 구현되는 것도 가능하다. 또한, 제1트랜지스터 내지 제5트랜지스터(M1c 내지 M5c)의 제1전극은 드레인전극이고 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 또한, 제1트랜지스터 내지 제5트랜지스터(M1c 내지 M5c)는 산화물 반도체를 포함할 수 있다.
- [0066] 도 7은 도 6에 도시된 화소의 동작을 나타내는 타이밍도이다.
- [0067] 도 7을 참조하면, 화소(101c)는 제1기간(T1b)에서 게이트신호(GATE), 센싱제어신호(Ssen), 샘플링신호(SAMP)가 하이상태로 공급될 수 있다. 또한, 제1기간(T1b)에는 데이터라인(DL)으로 기준전압(Vref)이 전달될 수 있다. 게이트신호(GATE), 샘플링신호(SAMP), 센싱제어신호(Ssen)가 하이상태로 공급되면, 제2트랜지스터 내지 제4트랜지스터(M2c 내지 M4c)는 온상태가 될 수 있다.
- [0068] 제2트랜지스터(M2c)가 온상태가 되면, 제2캐패시터(Cf1c)의 제1전극은 기준전압(Vref)이 전달될 수 있다. 또한, 제3트랜지스터(M3c)가 온상태가 되면, 제1캐패시터(Cstc)의 제2전극에는 초기화전압(Vini)이 전달될 수 있다. 또한, 제4트랜지스터(M4c)가 온상태가 되면, 제1노드(N1c)에 기준전압(Vref)이 전달될 수 있다. 따라서, 제1캐패시터(Cstc)는 제1전극에 기준전압(Vref)이 전달되고 제2전극에 초기화전압(Vini)이 전달되어 제1캐패시터(Cstc)에 기준전압(Vref)과 초기화전압(Vini)의 차이에 대응하는 전압이 저장될 수 있다. 그리고, 제2캐패시터(Cf1c)는 양단에 기준전압(Vref)이 전달되어 제2캐패시터(Cf1c)에는 전압이 저장되지 않게 될 수 있다. 여기서, 기준전압(Vref)과 초기화전압(Vini)의 전압레벨은 유기발광다이오드(OLEDc)의 문턱전압보다 낮은 전압일 수 있어 유기발광다이오드(OLEDc)에는 전류가 흐르지 않게 된다.
- [0069] 그리고, 제2기간(T2b)에서 게이트신호(GATE), 샘플링신호(SAMP), 발광제어신호(EM)는 하이상태로 공급될 수 있다. 제2기간(T2b)에서 센싱제어신호(Ssen)는 로우상태로 공급될 수 있다. 또한, 제2기간(T2a)에 데이터라인(DL)으로 기준전압(Vref)이 전달될 수 있다.
- [0070] 게이트신호(GATE)와 샘플링신호(SAMP)에 대응하여 제2트랜지스터(M2c)와 제4트랜지스터(M4c)는 온상태를 유지하고 있고, 데이터라인(DL)과 제3전원라인(VL3)에 기준전압(Vref)이 전달되고 있어 제1노드(N1)의 전압레벨은 제1기간(T1b)의 전압레벨을 유지하게 된다. 그리고, 제2기간(T2b)에서 제1트랜지스터(M1c)는 제1전극에서 제2전극으로 전류가 흐르게 되고 제1트랜지스터(M1c)의 제2전극의 전압레벨이 제1노드(N1c)에 저장된 기준전압(Vref)과 제1트랜지스터(M1c)의 문턱전압 차이를 유지하게 될 때까지 상승할 수 있다. 따라서, 제1캐패시터(Cstc)에 제1트랜지스터(M1c)의 문턱전압을 저장할 수 있다.
- [0071] 제3기간(T3a)에서 게이트신호(GATE)가 온상태를 유지할 수 있다. 반면, 센싱제어신호(Ssen), 샘플링신호(SAMP)가 로우상태가 될 수 있다. 또한, 제3기간(T3a)에 데이터라인(DL)으로 데이터신호에 대응하는 데이터전압(Vdata)이 전달될 수 있다. 반면, 제3전원라인(VL3)에는 기준전압(Vref)이 유지될 수 있다.
- [0072] 게이트신호(GATE)에 의해 제2트랜지스터(M2c)가 데이터전압(Vdata)을 제2캐패시터(Cf1c)의 제2전극으로 전달하게 된다. 즉, 제2캐패시터(Cf1c)의 제2전극의 전압이 기준전압(Vref)에서 데이터전압(Vdata)으로 변환되게 된다. 이때, 제1노드(N1c)와 연결되어 있는 제4트랜지스터(M4c)가 샘플링신호(SAMP)에 의해 오프상태이기 때문에 제1노드(N1c)는 플로팅상태가 되어 제1노드(N1c)의 전압은 제2캐패시터(Cf1c)에 의해 데이터전압(Vdata)으로 변환될 수 있다. 따라서, 제1노드(N1c)에 데이터전압이 기입될 수 있다. 이때, 데이터전압(Vdata)에 대응하여 제1트랜지스터(M1c)의 제1전극에서 제2전극으로 구동전류가 흐르게 되고 구동전류에 의해 제2노드(N2c)의 전압이 유기발광다이오드(OLEDc)의 문턱전압보다 높아지면 유기발광다이오드(OLEDc)는 발광할 수 있다.
- [0073] 게이트신호(GATE), 센싱제어신호(Ssen), 샘플링신호(SAMP), 발광제어신호(EM)는 도 1에 도시된 게이트드라이버(130)에서 출력될 수 있다. 하지만, 이에 한정되는 것은 아니다. 여기서, 제1기간 내지 제4기간(T1b 내지 T4b)의 길이는 동일한 것으로 도시되어 있지만, 이에 한정되는 것은 아니다.

- [0075] 도 8은 트랜지스터의 특성을 나타내는 그래프이다.
- [0076] 도 8을 참조하면, 가로축은 트랜지스터의 게이트전극과 소스전극간의 전압차이(V_{gs})를 나타내고 세로축은 트랜지스터의 드레인전극에서 소스전극으로 흐르는 전류의 크기를 나타낸다. 트랜지스터는 오프상태에서 게이트전극과 소스전극 간의 전압차이가 0V 보다 작은 전압을 갖는다. 하지만, 트랜지스터의 게이트전극에 하이신호가 전달되면 게이트전극과 소스전극간의 전압차이가 증가하게 되어 전류가 흐르기 시작하게 된다. 트랜지스터는 드레인전극에서 소스전극으로 흐르는 전류가 발생하게 되는데 전류는 상승기간(T_r)에서 선 (a)와 선 (b) 같이 급격히 증가하게 될 수 있다. 그리고, 상승기간(T_r)을 경과하면 전류의 흐름의 변화가 나타나지 않고 일정한 크기로 흐르게 될 수 있다. 상승기간(T_r)에서 전류의 양이 일정수준 이상이 되면 예를 들면, 최종 상승치의 70%가 되면 트랜지스터는 온상태에 도달된 것으로 판단할 수 있다. 선 (a)와 선 (b)를 비교하면 선 (a)가 선 (b) 보다 상승기간의 길이가 짧거나 상승기간에서 기울기가 큰 것으로 도시되어 있다. 트랜지스터가 선 (a)에 도시되어 있는 것과 같이 동작하는 것이 선 (b)에 도시되어 있는 것보다 오프상태에서 온상태로 전환이 빠르게 될 수 있다.
- [0077] 도 3에 도시된 화소(101b)에서 제2트랜지스터($M2b$) 내지 제4트랜지스터($M4b$)의 경우 트랜지스터가 온상태로 전환이 빠를수록 전송되는 신호의 왜곡이 줄어들게 될 수 있다. 또한, 제1트랜지스터($M1b$)는 문턱전압을 보상하는 경우 온상태로 전환이 빠를수록 문턱전압을 제1캐패시터($Cstb$)에 저장하는 시점이 빨라지게 되어 문턱전압 보상기간이 짧아질 수 있는 장점이 있다. 하지만, 상승시간의 기울기가 큰 것은 전압 차에 따른 구동전류의 편차가 크게 나타나는 것을 의미하게 된다. 즉, 제1트랜지스터($M1b$)의 경우 구동전류를 공급할 때 전압차이에 민감하게 반응하여 구동전류의 크기 편차가 크게 나타나게 되는 문제점이 발생할 수 있다. 보다 구체적으로 설명하면, 도 1에 도시된 표시패널(110)들에 포함되어 있는 각 화소(101b)들은 문턱전압에 대응하여 구동전류가 흐르도록 할 수 있지만 문턱전압을 보상하더라도 각 화소(101b) 별로 제1트랜지스터($M1b$)의 게이트전극과 소스전극 간의 전압차가 완전히 동일하지 않게 될 수 있다. 이때, 선 (a)에 도시되어 있는 것과 같이 구동전류의 상승시간(T_r)의 기울기($\theta 1$)가 상대적으로 크면, 각 화소(101b)들의 제1트랜지스터($M1b$)의 게이트전극과 소스전극 간의 전압 편차가 작더라도 구동전류의 크기 편차가 크게 나타날 수 있다.
- [0078] 반면, 선 (b)에 도시되어 있는 것과 같이 상승시간(T_r)의 기울기($\theta 2$)가 상대적으로 작으면 각 화소(101b)들의 제1트랜지스터($M1b$)의 게이트전극과 소스전극 간의 전압 편차에 대응한 구동전류의 크기 편차가 선 (a)보다 작게 나타날 수 있다.
- [0079] 상기와 같은 이유로, 제1트랜지스터($M1b$)는 문턱전압을 보상할 때는 상승시간(T_r)의 기울기를 크게 구현하고 구동전류를 공급할 때는 트랜지스터의 상승시간(T_r)의 기울기를 작게 구현하는 것이 더 유리하다.
- [0081] 도 9는 도 3에 도시된 화소에서 제1트랜지스터, 제1캐패시터 및 제2캐패시터의 단면을 나타내는 단면도이다.
- [0082] 도 9를 참조하면, 기판(910) 상에 활성층(920a, 920b)이 배치될 수 있다. 활성층(920a, 920b)은 산화물반도체를 포함할 수 있다. 그리고, 활성층(920a, 920b) 상에 제1절연막(930)을 증착할 수 있다. 그리고, 제1절연막(930)의 상부의 활성층(920a, 920b)과 중첩되는 위치에 게이트메탈을 증착하고 패터닝하여 제1전극(940)을 배치할 수 있다. 제1전극(940)을 배치할 때 제1전극(940)과 중첩되는 위치에 대응하여 제1절연막(930)이 남겨지도록 패터닝할 수 있다.
- [0083] 그리고, 제1전극(940)을 배치한 후, 활성층(920a, 920b)을 도체화하는 도체화공정을 수행할 수 있다. 활성층(920a, 920b)을 도체화할 때 제1전극(940)과 중첩되는 위치에 배치되어 있는 활성층(920a, 920b)의 제1영역(920a)은 제1전극(940)에 의해 도체가 되지 않을 수 있다. 따라서, 활성층(920a, 920b)은 산화물반도체로 존재하는 제1영역(920a)과 도체로 존재하는 제2영역(920b)을 포함할 수 있다.
- [0084] 활성층(920a, 920b)의 도체화공정이 완료된 후 제1전극(940)이 배치된 제1기판(910) 상에 제2절연막(950)을 증착하여 배치할 수 있다. 그리고, 제2절연막(950) 상에 게이트메탈을 증착하고 패터닝하여 제2전극(960a)과 제3전극(960b)을 배치할 수 있다. 제2전극(960a)과 제3전극(960b)은 제1전극(940)과 동일한 금속일 수 있다. 하지만, 이에 한정되는 것은 아니며 상이한 금속일 수 있다. 제3전극(960b)은 하부에 배치되어 있는 활성층(920a, 920b)의 제2영역(920b)과 대응하여 제1캐패시터($C1$)가 될 수 있다. 제2전극(960a)은 하부에 배치되어 있는 제1전극(940)과 대응하여 제2캐패시터($C2$)가 될 수 있다.

- [0085] 제2전극(960a)과 제3전극(960b)이 배치된 기관(910) 상에 평탄화막(970)을 배치할 수 있다. 평탄화막(970)에 제1비아홀(Vh1), 제2비아홀(Vh2), 제3비아홀(Vh3)을 배치할 수 있다. 그리고, 평탄화막(970) 상에 소스드레인 메탈을 증착하고 패터닝하여 평탄화막(970) 상에 제1배선(980a), 제2배선(980b)을 배치할 수 있다. 평탄화막(970) 상에 배치된 제1배선(980a)은 제1비아홀(Vh1)을 통해 제2전극과 연결될 수 있다. 또한, 제2배선(980b)은 제2비아홀(Vh2)을 통해 제1전극(940)과 연결되고 제3비아홀(Vh3)을 통해 제3전극(960b)과 연결될 수 있다.
- [0086] 상기와 같이 구현된 도 3에 도시된 화소(101b)에서 제2배선(980b)을 통해 제1전극(940)에 제1신호를 인가하는 경우, 제1전극(940)에 인가된 제1신호에 대응하여 활성층(920a, 920b)의 제1영역(920a)에서 전하이동이 발생하게 될 수 있다. 발생한 전류는 도체화된 활성층(920a, 920b)의 제2영역(920b)으로 흐르게 될 수 있다. 그리고, 제1배선(980a)을 통해 제2전극(960a)에 제2신호가 인가되는 경우 제1전극(940)에 인가된 제2신호는 제1캐패시터(C1)에 의해 제1전극(940)으로 전달되어 활성층(920a, 920b)의 제1영역(920a)에서 전하이동이 발생할 수 있다. 발생한 전류는 도체화된 활성층의 제2영역(920b)으로 흐르게 될 수 있다. 이때, 제1전극(940)과 활성층(920a, 920b) 간의 수직거리가 제2전극(960a)과 활성층(920a, 920b)간의 수직거리보다 더 가깝기 때문에 제1신호와 제2신호의 전압레벨이 동일하더라도 전하이동도가 제1신호가 제1전극(940)에 인가되는 경우가 제2신호가 제2전극(960a) 보다 더 높게 될 수 있다. 따라서, 제1신호가 제1전극(940)에 제2배선(980b)을 통해 전달되는 경우 도 10a에 도시된 바와 같이 전류의 흐름이 발생되고 제2신호가 제2전극(960a)에 제1배선(980a)을 통해 전달되는 경우 도 10b에 도시된 바와 같이 전류의 흐름이 발생하게 될 수 있다. 즉, 제2신호가 제2전극(960a)에 제1배선(980a)을 통해 전달되는 경우, 제1신호가 제1전극(940)에 제2배선(980b)을 통해 전달되는 경우 보다 도 8에 도시된 상승기간(Tr)에서 전류가 증가하는 기울기 또는 상승기간(Tr)이 짧아지게 될 수 있다.
- [0087] 상기와 같은 이유로 도 3의 화소(101b)에서 문턱전압을 보상하는 경우 제1전극(940)에 제2배선(980b)을 통해 신호가 전달되도록 하고 구동전류가 흐르도록 하는 경우 제2전극(960a)에 제1배선(980a)을 통해 신호가 전달되도록 함으로써 화질을 개선할 수 있다. 또한, 평탄화막(970) 상에 소스드레인 메탈을 패터닝하여 제3배선(980c)을 더 포함하도록 할 수 있다. 제3배선(980c)은 하부에 중첩되도록 배치된 제2전극(960a)과 함께 제3캐패시터(C3)를 형성할 수 있고, 제3캐패시터(C3)는 제1캐패시터(C1)의 정전용량을 보상할 수 있다. 평탄화막(970) 상에 배치되는 것은 제1 내지 제3배선(980a 내지 980c)에 한정되는 것은 아니다. 또한, 제1전극(940)을 형성한 후 제2전극(960a)이 형성될 때 제3전극(960b)을 형성하는 것으로 설명하고 있지만, 이에 한정되는 것은 아니며 제1전극(940)과 제3전극(960b)을 형성한 후 제2전극(960a)을 형성할 수 있다. 이 경우, 활성층(920a, 920b)의 제1영역(920a)의 도체화를 방지하기 위해 별도의 마스크를 이용하여 도체화공정을 수행할 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0088] 제1전극(940)은 도 3에 도시된 화소(101b)의 게이트전극 또는 제2캐패시터(Cf1b)의 제1전극에 대응할 수 있다. 화소(101b)의 게이트전극과 제2캐패시터(Cf1b)의 제1전극은 서로 연결될 수 있다. 제2전극(960a)은 도 3에 도시된 화소(101b)의 제2캐패시터(Cf1b)의 제2전극에 대응할 수 있다. 제3전극(960b)은 도 3에 도시된 화소(101b)의 제1캐패시터(Cstb)의 제1전극에 대응하고 활성층(920a, 920b)의 제2영역(920b)은 제1캐패시터(Cstb)의 제2전극에 대응할 수 있다. 제1배선(980a)은 도 3에 도시된 화소(101b)의 제2캐패시터(Cf1b)의 제1전극과 제2캐패시터(Cf1b)의 제2전극 간을 연결하는 선에 대응할 수 있고, 제2배선(980b)은 도 3에 도시된 화소(101b)의 제1노드(N1b)와 제1캐패시터(Cstb)의 제1전극 간을 연결하는 선에 대응할 수 있다.
- [0089] 제1전극(940)과 제2전극(960a)에 인가되는 전압에 대응하여 활성층(920a, 920b)의 제1영역(920a)에서 전자가 이동할 수 있어, 제1전극(940)을 제1게이트전극이라고 칭하고 제2전극(960b)을 제2게이트전극이라고 칭할 수 있다. 그리고, 제1게이트전극에 전압이 인가되는 경우의 전하이동도가 제2게이트전극에 전압이 인가되는 경우의 전하이동도보다 높다.
- [0090] 또한, 제1기간에서 제1전극(940)에 기준전압이 인가되고, 제2기간에 제2전극(960a)에 데이터전압이 전달되게 되면, 활성층(920a, 920b)의 제1영역(920a)와 제1전극(940)이 도 3에 도시된 화소(101b)의 제1트랜지스터(M1b)에 대응하는 경우, 제1기간에는 제1전극(940)에 대응하는 게이트전극에 기준전압이 전달되고 제2기간에는 제2전극(960a)에 대응하는 제2캐패시터(Cf1b)의 제2전극에 데이터전압이 전달되어 제1전극(940)에는 제2캐패시터(Cf1b)에 저장된 전압에 대응하여 제1전극(940)에 데이터전압에 대응하는 제1전압이 전달되게 될 수 있다. 따라서, 도 3b에 도시된 제1트랜지스터는 제1전극에서 제2전극 방향으로 구동전류를 공급하되, 제1기간에서 기준전압을 전달받고 제1기간과 전하이동도가 상이한 제2기간에서 데이터전압에 대응하는 제1전압을 전달받는 게이트전극을 포함할 수 있다. 여기서, 제1기간은 도 4에 도시된 제1기간(T1a)에 대응하고 제2기간은 도 4에 도시된 제3기간(T3a)에 대응할 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0091] 또한, 도 3에 도시된 화소에 적용하는 경우 제2캐패시터(C2)가 활성층(920a,920b)의 제1영역(920c)과 중첩되도록 배치되기 때문에 제2캐패시터(C2)로 인한 화소(101b)의 면적 증가가 발생하지 않아 유기발광표시장치(100)가 고해상도를 갖도록 하는데 유리하다.

[0092] 여기서, 도시된 단면은 도 3에 도시된 화소(101b)의 제1트랜지스터(M1b), 제1캐패시터(Cstb) 및 제2캐패시터(Cf1b)에 대한 단면에 대응하는 것으로 설명하고 있지만, 이에 한정되는 것은 아니며 도 6에 도시된 화소(101c)의 제1트랜지스터(M1c), 제1캐패시터(Cstc), 제2캐패시터(Cf1c)의 단면에도 대응할 수 있다.

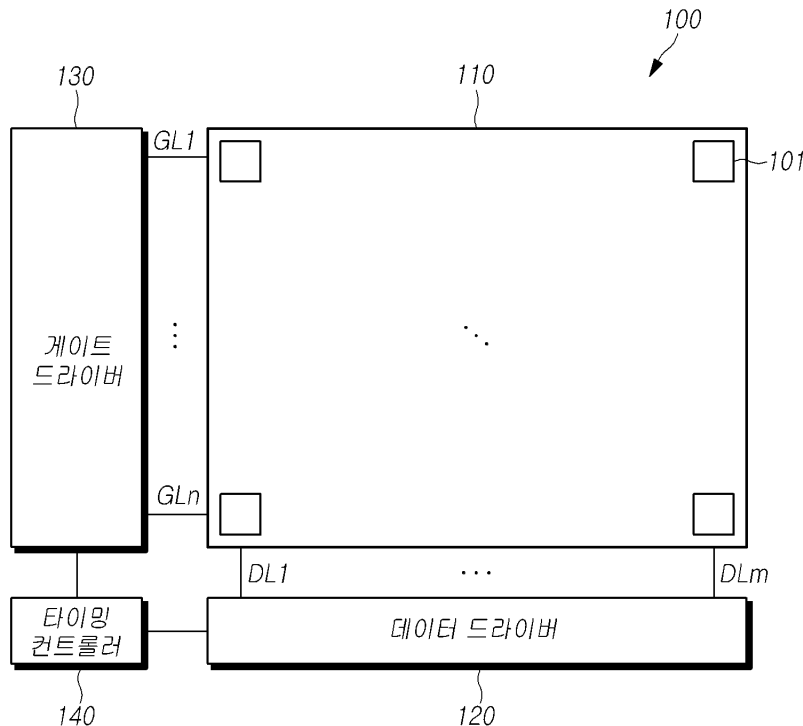
[0094] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

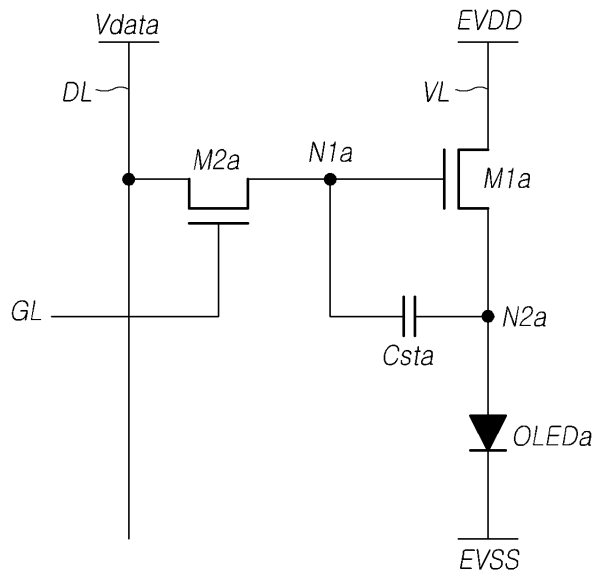
- [0095]
- 100: 유기발광표시장치
 - 110: 표시패널
 - 120: 데이터드라이버
 - 130: 게이트드라이버
 - 140: 컨트롤러

도면

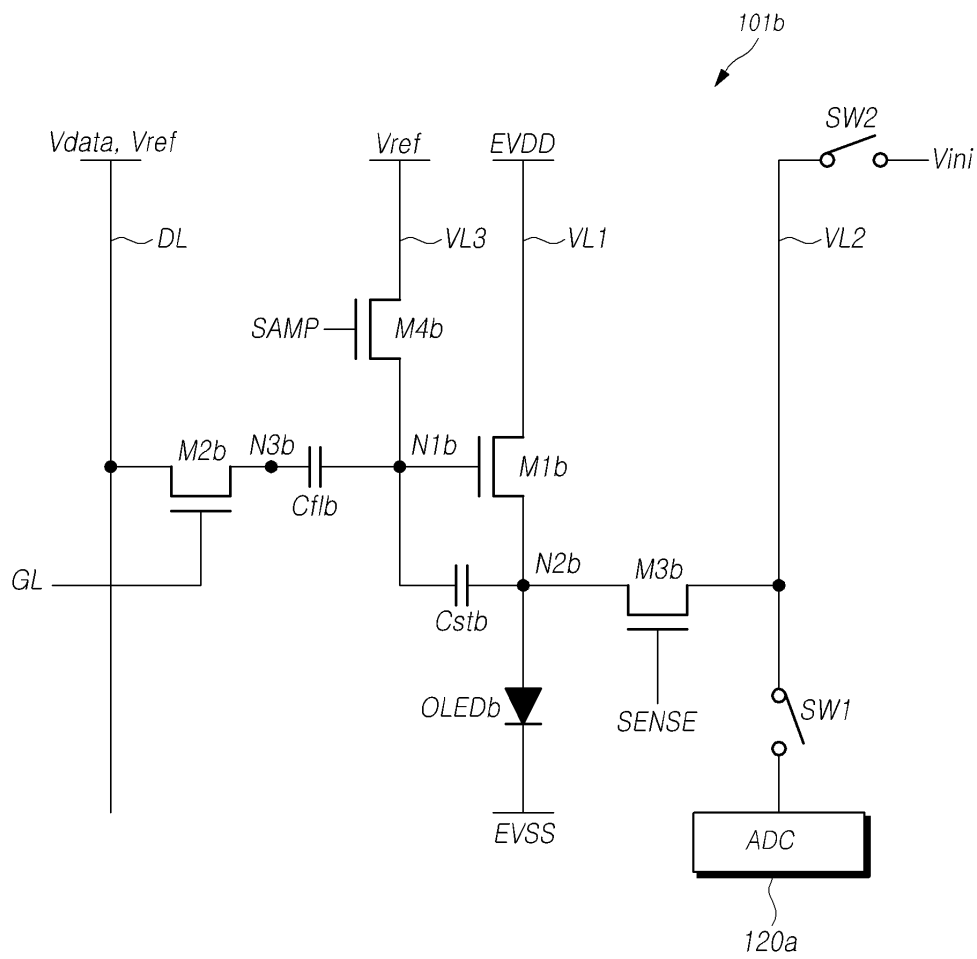
도면1



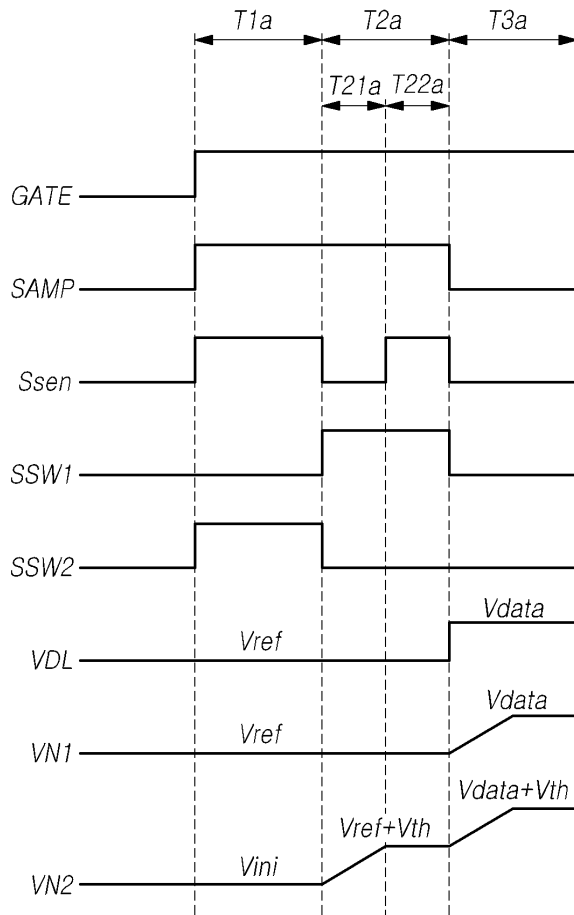
도면2



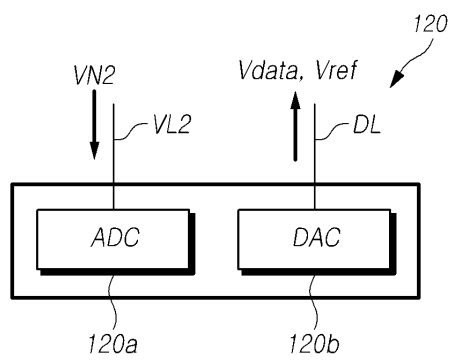
도면3



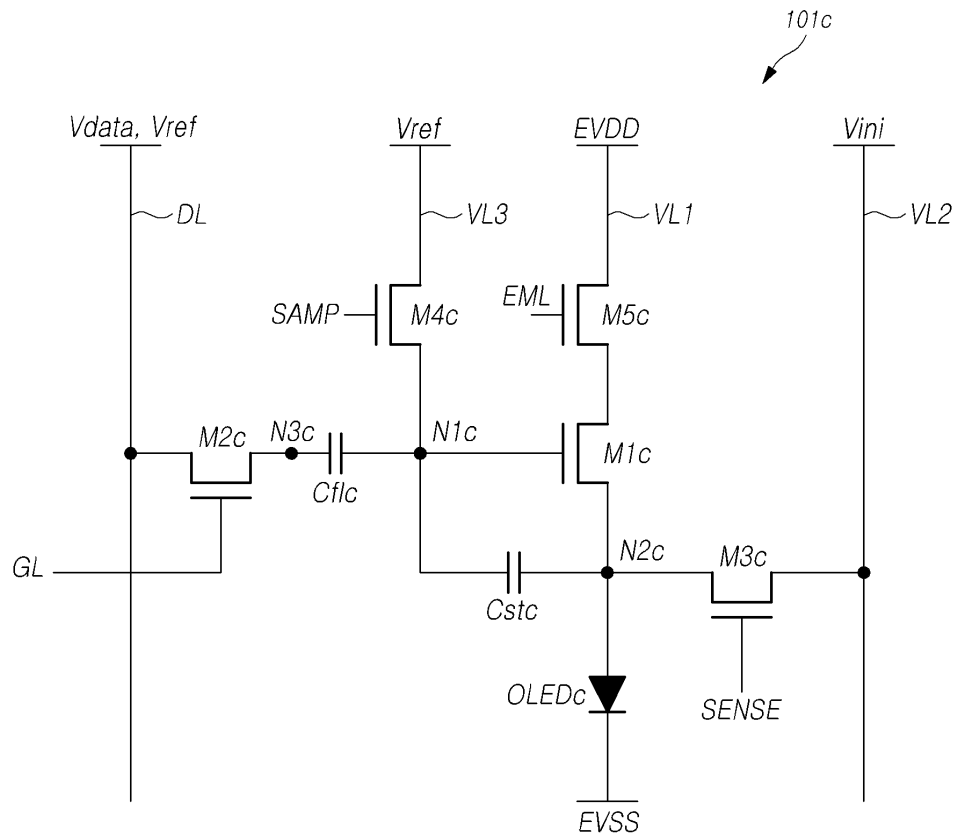
도면4



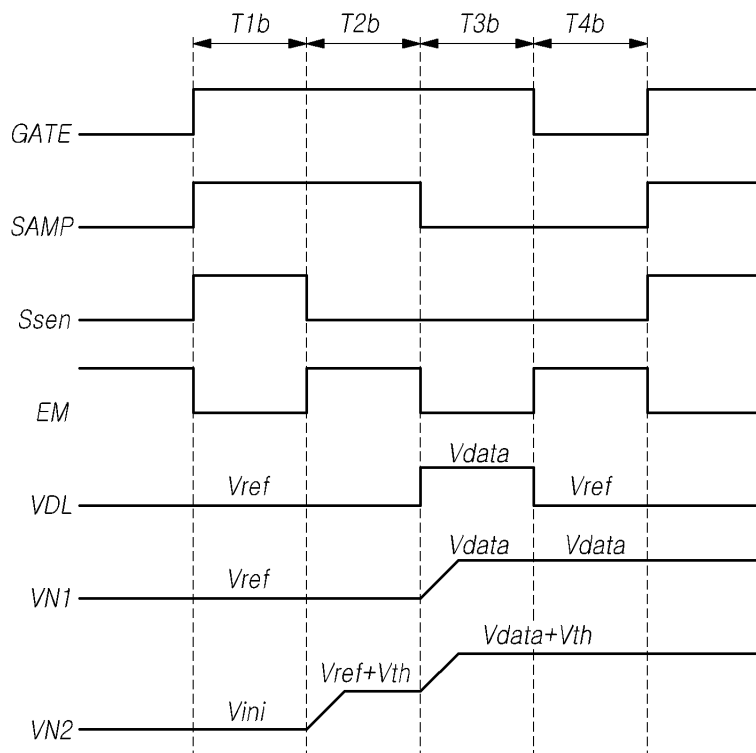
도면5



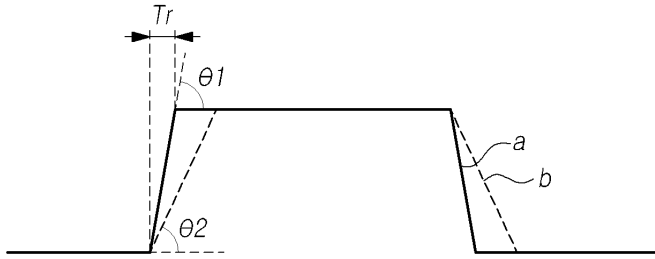
도면6



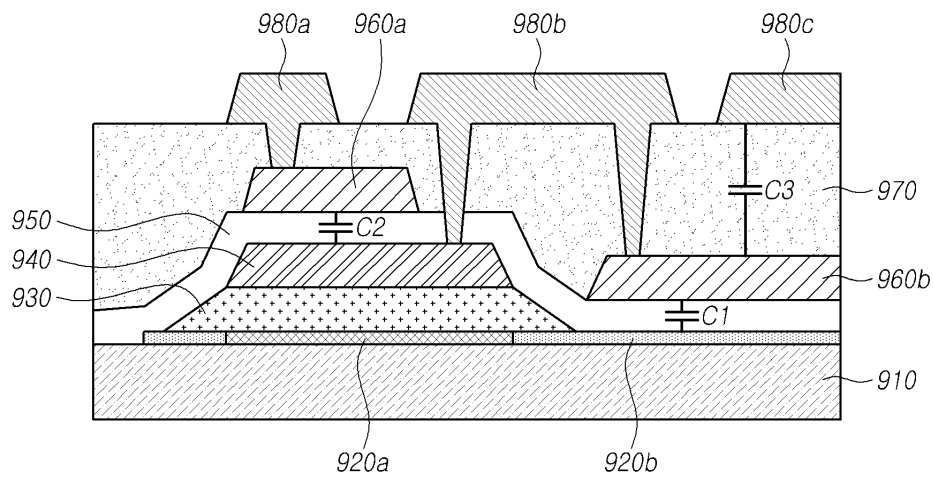
도면7



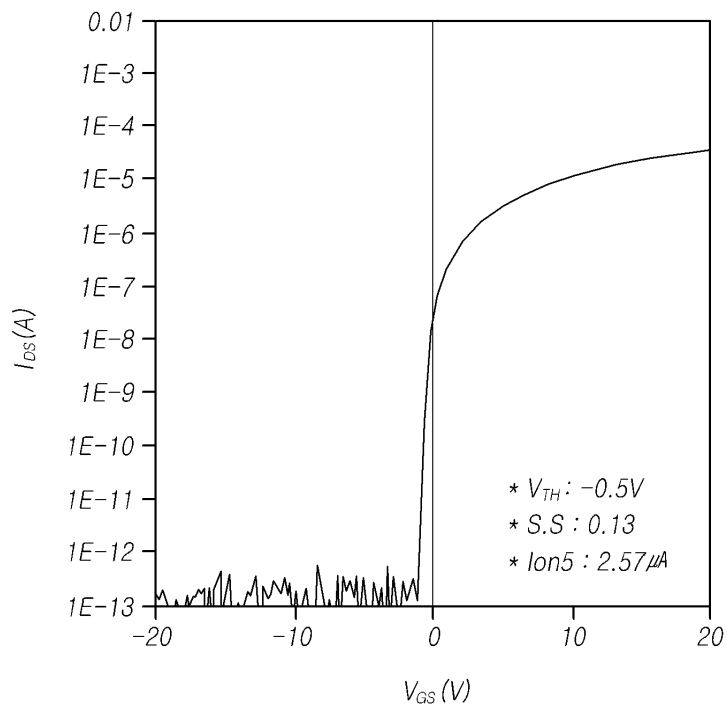
도면8



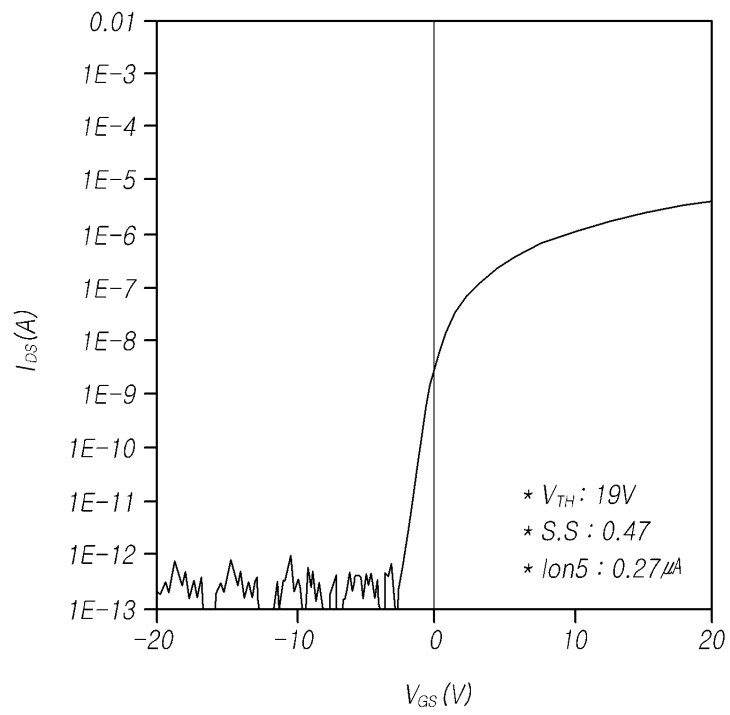
도면9



도면10a



도면10b



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200069148A	公开(公告)日	2020-06-16
申请号	KR1020180156354	申请日	2018-12-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	고영현		
发明人	고영현		
IPC分类号	G09G3/3233 H01L27/32		
CPC分类号	G09G3/3233 H01L27/3262 H01L27/3265 G09G2300/0828 G09G2310/08 G09G2330/028		
外部链接	Espacenet		

摘要(译)

在本发明的实施例中，从第一电极向第二电极提供驱动电流，并且在第一时段中传输参考电压，并且在第二时段中具有与数据电压相对应的数据电压，该数据电压具有与第一时段不同的电子迁移率。第一晶体管，其包括：栅电极，其接收第一电压；第二晶体管，其在第二周期中传输数据电压；以及初始化电压，其在所述第一周期中传输至所述第一晶体管的第二电极并对应于所述基准电压。第三晶体管从第一晶体管的第二电极接收与第一晶体管的阈值电压相对应的阈值电压信息，并且在第一时段中存储与阈值电压信息相对应的第二电压，并且在第二时段中存储第一电压。维持第一电容器，在第二时段中从第二晶体管接收数据电压，从第一晶体管的第二电容器接收驱动电流，以及在第二时段中将第一电压传输到第一晶体管的第二电容器接收 可以提供包括发光的有机发光二极管的有机发光显示装置。

