



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0032628
(43) 공개일자 2020년03월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2310/08 (2013.01)

(21) 출원번호 **10-2019-0068519**

(22) 출원일자 **2019년06월11일**

심사청구일자 **없음**

(30) 우선권주장
1020180110743 2018년09월17일 대한민국(KR)

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박준현

경기도 수원시 권선구 권선로694번길 26, 수원권선SKVIEW 202동 501호 (권선동)

김선광

서울특별시 구로구 신도림로 16, e편한세상대림1차아파트506동 1302호 (신도림동)

(뒷면에 계속)

(74) 대리인

특허법인가산

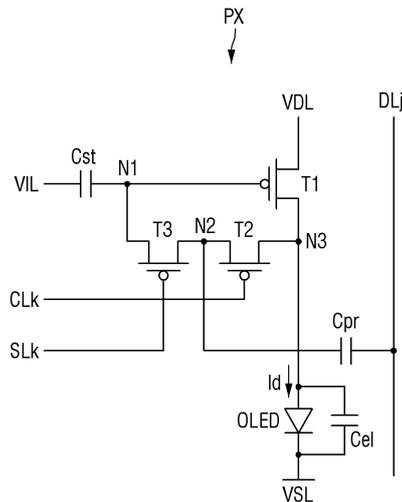
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치

(57) 요약

표시 장치가 제공된다. 표시 장치는 초기화 전압이 인가되는 초기화 전압 라인, 제1 구동 전압이 인가되는 제1 구동 전압 라인, 및 상기 초기화 전압 라인과 상기 제1 구동 전압 라인에 접속되는 화소를 구비하고, 상기 화소는 제1 노드에 인가된 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 구동 전류를 제어하는 제1 트랜지스터, 상기 제1 트랜지스터와 상기 제1 구동 전압 라인 사이에 배치되는 발광 소자, 및 상기 제1 노드와 상기 초기화 전압 라인 사이에 배치되는 제1 커패시터를 포함하며, 상기 초기화 전압은 상기 발광 소자의 제1 전극을 초기화하는 초기화 기간 동안 제1 레벨 전압에서 상기 제1 레벨 전압보다 낮은 제2 레벨 전압으로 변경되며, 상기 제1 구동 전압은 상기 초기화 기간 동안 제1 하이 레벨 전압에서 상기 제1 하이 레벨 전압보다 낮은 제1 로우 레벨 전압으로 변경된다.

대표도 - 도4



(52) CPC특허분류

G09G 2320/0209 (2013.01)

G09G 2320/0233 (2013.01)

G09G 2320/028 (2013.01)

(72) 발명자

서영완

경기도 수원시 영통구 덕영대로 1462-14, 힐스테이
트영통아파트 118동 1604호 (망포동)

이철곤

경기도 수원시 영통구 덕영대로 1462-14, 힐스테이
트영통아파트 119동 504호 (망포동)

최양화

경기도 화성시 동탄대로시범길 122, 시범호반베르
디움 1467동 104호 (청계동)

명세서

청구범위

청구항 1

초기화 전압이 인가되는 초기화 전압 라인;

제1 구동 전압이 인가되는 제1 구동 전압 라인; 및

상기 초기화 전압 라인과 상기 제1 구동 전압 라인에 접속되는 화소를 구비하고,

상기 화소는,

제1 노드에 인가된 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 구동 전류를 제어하는 제1 트랜지스터;

상기 제1 트랜지스터와 상기 제1 구동 전압 라인 사이에 배치되는 발광 소자; 및

상기 제1 노드와 상기 초기화 전압 라인 사이에 배치되는 제1 커패시터를 포함하며,

상기 초기화 전압은 상기 발광 소자의 제1 전극을 초기화하는 초기화 기간 동안 제1 레벨 전압에서 상기 제1 레벨 전압보다 낮은 제2 레벨 전압으로 변경되며,

상기 제1 구동 전압은 상기 초기화 기간 동안 제1 하이 레벨 전압에서 상기 제1 하이 레벨 전압보다 낮은 제1 로우 레벨 전압으로 변경되는 표시 장치.

청구항 2

제1 항에 있어서,

상기 초기화 기간 동안, 상기 초기화 전압이 상기 제1 레벨 전압을 갖는 기간 동안 상기 제1 구동 전압은 상기 제1 하이 레벨 전압에서 상기 제1 로우 레벨 전압으로 변경되는 표시 장치.

청구항 3

제1 항에 있어서,

상기 초기화 기간 동안, 상기 초기화 전압이 상기 제1 레벨 전압에서 상기 제2 레벨 전압으로 변경되기 전에, 상기 제1 구동 전압은 상기 제1 하이 레벨 전압에서 상기 제1 로우 레벨 전압으로 변경되는 표시 장치.

청구항 4

제1 항에 있어서,

제2 구동 전압이 인가되는 제2 구동 전압 라인을 더 구비하고,

상기 초기화 기간 이후에 상기 발광 소자가 발광하는 발광 기간 동안 상기 제2 구동 전압은 제2 로우 레벨 전압에서 상기 제2 로우 레벨 전압보다 높은 제2 하이 레벨 전압으로 변경되는 표시 장치.

청구항 5

제4 항에 있어서,

상기 초기화 전압은 상기 발광 기간 이전에 상기 제2 레벨 전압에서 상기 제1 레벨 전압으로 변경되는 표시 장치.

청구항 6

제4 항에 있어서,

상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압과 동일한 표시 장치.

청구항 7

제4 항에 있어서,
 상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압보다 높은 표시 장치.

청구항 8

제1 항에 있어서,
 상기 제1 하이 레벨 전압은 상기 제2 하이 레벨 전압과 동일한 표시 장치.

청구항 9

제1 항에 있어서,
 상기 발광 소자의 제1 전극과 제2 노드 사이에 배치되는 제2 트랜지스터; 및
 상기 제1 노드와 제2 노드 사이에 배치되는 제3 트랜지스터를 더 구비하는 표시 장치.

청구항 10

제9 항에 있어서,
 상기 제2 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 게이트 전극은 서로 다른 스캔 라인들에 접속되는 표시 장치.

청구항 11

제10 항에 있어서,
 상기 제2 트랜지스터의 게이트 전극은 제k 제어 스캔 라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제k 스캔 라인에 접속되는 표시 장치.

청구항 12

제10 항에 있어서,
 상기 제2 트랜지스터의 게이트 전극은 제k+1 스캔 라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제k 스캔 라인에 접속되는 표시 장치.

청구항 13

제9 항에 있어서,
 상기 제2 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 게이트 전극은 동일한 스캔 라인에 접속되는 표시 장치.

청구항 14

제9 항에 있어서,
 데이터 전압이 인가되는 데이터 라인; 및
 상기 데이터 라인과 상기 제2 노드 사이에 배치되는 제2 커패시터를 더 구비하는 표시 장치.

청구항 15

제9 항에 있어서,
 데이터 전압이 인가되는 데이터 라인; 및
 상기 데이터 라인과 상기 발광 소자의 제1 전극 사이에 배치되는 제2 커패시터를 더 구비하는 표시 장치.

청구항 16

제9 항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터 중 적어도 하나는 P 타입 트랜지스터인 표시 장치.

청구항 17

제9 항에 있어서,

상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터 중 적어도 하나는 N 타입 트랜지스터인 표시 장치.

청구항 18

제1 구동 전압이 인가되는 제1 구동 전압 라인;

제2 구동 전압이 인가되는 제2 구동 전압 라인; 및

상기 제1 구동 전압 라인과 상기 제2 구동 전압 라인에 접속되는 화소를 구비하고,

상기 화소는,

제1 노드에 인가된 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 구동 전류를 제어하는 제1 트랜지스터; 및

상기 제1 트랜지스터와 상기 제1 구동 전압 라인 사이에 배치되는 발광 소자를 포함하며,

상기 제1 구동 전압은 상기 발광 소자의 제1 전극을 초기화하는 기간 동안 제1 하이 레벨 전압에서 상기 제1 하이 레벨보다 낮은 제1 로우 레벨 전압으로 변경되며,

상기 제2 구동 전압은 상기 초기화하는 기간 동안 제2 로우 레벨 전압을 갖는 표시 장치.

청구항 19

제18 항에 있어서,

상기 초기화 기간 이후에 상기 발광 소자가 발광하는 발광 기간 동안 상기 제2 구동 전압은 제2 로우 레벨 전압에서 상기 제2 로우 레벨 전압보다 높은 제2 하이 레벨 전압으로 변경되는 표시 장치.

청구항 20

제18 항에 있어서,

상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압보다 높은 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 영상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 예를 들어, 표시 장치는 스마트폰, 디지털 카메라, 노트북 컴퓨터, 네비게이션, 및 스마트 텔레비전과 같이 다양한 전자기기에 적용되고 있다. 표시 장치는 액정 표시 장치(Liquid Crystal Display Device), 전계 방출 표시 장치(Field Emission Display Device), 유기발광 표시 장치(Organic Light Emitting Display Device) 등과 같은 평판 표시 장치일 수 있다. 이러한 평판 표시 장치 중에서 유기 발광 표시 장치는 표시 패널의 화소들 각각이 스스로 발광할 수 있는 발광 소자를 포함하므로, 표시 패널에 광을 제공하는 백라이트 유닛 없이도 화상을 표시할 수 있다.

[0003] 유기 발광 표시 장치의 화소들 각각은 발광 소자, 게이트 전극의 전압에 따라 전원 라인으로부터 발광 소자에 공급되는 구동 전류의 양을 조절하는 구동 트랜지스터, 및 스캔 라인의 스캔 신호에 응답하여 데이터라인의 데이터전압을 구동 트랜지스터의 게이트 전극에 공급하기 위한 스캔 트랜지스터를 포함할 수 있다. 이때, 발광 소

자가 저계조의 휘도로 발광하는 경우, 구동 전류가 작기 때문에, 발광 소자의 기생 용량을 충전하는 시간이 길어질 수 있다. 이로 인해, 화소에서 발광 소자의 발광이 늦어질 수 있으며, 화소는 표현하려던 계조를 표현하지 못하는 저계조 얼룩이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 과제는 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있는 표시 장치를 제공하고자 하는 것이다.
- [0005] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 초기화 전압이 인가되는 초기화 전압 라인, 제1 구동 전압이 인가되는 제1 구동 전압 라인, 및 상기 초기화 전압 라인과 상기 제1 구동 전압 라인에 접속되는 화소를 구비하고, 상기 화소는 제1 노드에 인가된 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 구동 전류를 제어하는 제1 트랜지스터, 상기 제1 트랜지스터와 상기 제1 구동 전압 라인 사이에 배치되는 발광 소자, 및 상기 제1 노드와 상기 초기화 전압 라인 사이에 배치되는 제1 커패시터를 포함하며, 상기 초기화 전압은 상기 발광 소자의 제1 전극을 초기화하는 초기화 기간 동안 제1 레벨 전압에서 상기 제1 레벨 전압보다 낮은 제2 레벨 전압으로 변경되며, 상기 제1 구동 전압은 상기 초기화 기간 동안 제1 하이 레벨 전압에서 상기 제1 하이 레벨 전압보다 낮은 제1 로우 레벨 전압으로 변경된다.
- [0007] 상기 초기화 기간 동안, 상기 초기화 전압이 상기 제1 레벨 전압을 갖는 기간 동안 상기 제1 구동 전압은 상기 제1 하이 레벨 전압에서 상기 제1 로우 레벨 전압으로 변경될 수 있다.
- [0008] 상기 초기화 기간 동안, 상기 초기화 전압이 상기 제1 레벨 전압에서 상기 제2 레벨 전압으로 변경되기 전에, 상기 제1 구동 전압은 상기 제1 하이 레벨 전압에서 상기 제1 로우 레벨 전압으로 변경될 수 있다.
- [0009] 제2 구동 전압이 인가되는 제2 구동 전압 라인을 더 구비하고, 상기 초기화 기간 이후에 상기 발광 소자가 발광하는 발광 기간 동안 상기 제2 구동 전압은 제2 로우 레벨 전압에서 상기 제2 로우 레벨 전압보다 높은 제2 하이 레벨 전압으로 변경될 수 있다.
- [0010] 상기 초기화 전압은 상기 발광 기간 이전에 상기 제2 레벨 전압에서 상기 제1 레벨 전압으로 변경될 수 있다.
- [0011] 상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압과 동일할 수 있다.
- [0012] 상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압보다 높을 수 있다.
- [0013] 상기 제1 하이 레벨 전압은 상기 제2 하이 레벨 전압과 동일할 수 있다.
- [0014] 상기 발광 소자의 제1 전극과 제2 노드 사이에 배치되는 제2 트랜지스터, 및 상기 제1 노드와 제2 노드 사이에 배치되는 제3 트랜지스터를 더 구비할 수 있다.
- [0015] 상기 제2 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 게이트 전극은 서로 다른 스캔 라인들에 접속될 수 있다.
- [0016] 상기 제2 트랜지스터의 게이트 전극은 제k 제어 스캔 라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제k 스캔 라인에 접속될 수 있다.
- [0017] 상기 제2 트랜지스터의 게이트 전극은 제k+1 스캔 라인에 접속되고, 상기 제3 트랜지스터의 게이트 전극은 제k 스캔 라인에 접속될 수 있다.
- [0018] 상기 제2 트랜지스터의 게이트 전극과 상기 제3 트랜지스터의 게이트 전극은 동일한 스캔 라인에 접속될 수 있다.
- [0019] 데이터 전압이 인가되는 데이터 라인, 및 상기 데이터 라인과 상기 제2 노드 사이에 배치되는 제2 커패시터를 더 구비할 수 있다.

- [0020] 데이터 전압이 인가되는 데이터 라인, 및 상기 데이터 라인과 상기 발광 소자의 제1 전극 사이에 배치되는 제2 커패시터를 더 구비할 수 있다.
- [0021] 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터 중 적어도 하나는 P 타입 트랜지스터일 수 있다.
- [0022] 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제3 트랜지스터 중 적어도 하나는 N 타입 트랜지스터일 수 있다.
- [0023] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 제1 구동 전압이 인가되는 제1 구동 전압 라인, 제2 구동 전압이 인가되는 제2 구동 전압 라인, 및 상기 제1 구동 전압 라인과 상기 제2 구동 전압 라인에 접속되는 화소를 구비하고, 상기 화소는 제1 노드에 인가된 전압에 따라 제1 전극과 제2 전극 사이에 흐르는 구동 전류를 제어하는 제1 트랜지스터, 및 상기 제1 트랜지스터와 상기 제1 구동 전압 라인 사이에 배치되는 발광 소자를 포함하며, 상기 제1 구동 전압은 상기 발광 소자의 제1 전극을 초기화하는 기간 동안 제1 하이 레벨 전압에서 상기 제1 하이 레벨보다 낮은 제1 로우 레벨 전압으로 변경되며, 상기 제2 구동 전압은 상기 초기화하는 기간 동안 제2 로우 레벨 전압을 가진다.
- [0024] 상기 초기화 기간 이후에 상기 발광 소자가 발광하는 발광 기간 동안 상기 제2 구동 전압은 제2 로우 레벨 전압에서 상기 제2 로우 레벨 전압보다 높은 제2 하이 레벨 전압으로 변경될 수 있다.
- [0025] 상기 제1 로우 레벨 전압은 상기 제2 로우 레벨 전압보다 높을 수 있다.
- [0026] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0027] 실시예들에 따른 표시 장치에 의하면, 제1 구동 전압이 초기화 전압이 제2 레벨 전압을 갖는 기간 동안 제1 하이 레벨 전압에서 제1 로우 레벨 전압으로 변경되므로, 유기 발광 다이오드의 기생 용량에 의해 제1 구동 전압의 변화량이 제3 노드에 반영되는 것을 방지할 수 있다. 이 경우, 제3 노드의 전압이 낮아지는 것을 방지할 수 있으므로, 유기 발광 다이오드를 저계조의 휘도로 발광하여 구동 전류가 작더라도, 유기 발광 다이오드의 기생 용량을 충전하는 시간을 줄일 수 있다. 따라서, 유기 발광 다이오드의 발광 시점이 지연되는 것을 개선할 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0028] 또한, 실시예들에 따른 표시 장치에 의하면, 제2 구동 전압의 제2 로우 레벨 전압은 제1 구동 전압의 제1 로우 레벨 전압보다 높을 수 있다. 이 경우, 유기 발광 다이오드를 저계조의 휘도로 발광하여 구동 전류가 작더라도, 유기 발광 다이오드의 기생 용량을 충전하는 시간을 줄일 수 있다. 따라서, 유기 발광 다이오드의 발광 시점이 지연되는 것을 개선할 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0029] 또한, 실시예들에 따른 표시 장치에 의하면, 제1 트랜지스터에 온 바이어스를 인가하므로, 블랙 휘도를 표시하다가 화이트 휘도를 표시하고자 할 때, 제1 트랜지스터의 구동 전류가 구동 트랜지스터의 히스테리시스(hysteresis) 특성에 의해 계단과 같이 상승함으로써, 유기 발광 다이오드의 휘도 역시 계단과 같이 상승하는 것을 개선할 수 있다.
- [0030] 실시예들에 따른 표시 장치에 의하면, 서브 화소는 제2 노드와 제3 노드 사이에 배치된 제2 트랜지스터를 포함한다. 이에 따라, 제2 트랜지스터에 의해 제2 노드와 제3 노드가 분리될 수 있으므로, 데이터 라인의 데이터 전압이 제1 트랜지스터의 게이트 전극(또는 제1 노드)에 인가되는 동안 제1 트랜지스터를 통해 제2 구동 전압 라인으로부터 제3 노드로 흐르는 누설 전류가 발생하더라도, 제1 트랜지스터의 게이트 전극에 인가되는 데이터 라인의 데이터 전압이 영향을 받지 않으므로, 표시 품질이 저하되는 것을 방지하거나 줄일 수 있다.
- [0031] 실시예들에 따른 표시 장치에 의하면, 제2 커패시터가 제2 노드와 데이터 라인 사이에 배치되므로, 제1 노드와 중첩하는 전극의 기생 커패시터에 의해 발광 소자의 휘도가 감소하는 것을 방지하거나 줄일 수 있다. 이에 따라, 표시 품질이 저하되는 것을 방지하거나 줄일 수 있다.
- [0032] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0033]

- 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다.
- 도 2는 일 실시예에 따른 표시 장치를 보여주는 평면도이다.
- 도 3은 일 실시예에 따른 표시 장치를 보여주는 블록도이다.
- 도 4는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 5는 도 4의 서버 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서버 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- 도 6 내지 도 11은 도 5의 제1 내지 제6 기간들 동안 서버 화소의 동작을 보여주는 회로도들이다.
- 도 12는 도 4의 서버 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서버 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- 도 13은 도 4의 서버 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서버 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- 도 14는 도 4의 서버 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서버 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- 도 15는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 16은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 17은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 18은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 19는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 20은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 21은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 22는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 23은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 24는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 25는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 26은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 27은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 28은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 29는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 30은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 31은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 32는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 33은 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 34는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 35는 일 실시예에 따른 서버 화소의 일 예를 상세히 보여주는 회로도이다.

- 도 36은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 37은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 38은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 39는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 40은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 41은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.1
- 도 42는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 43은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 44는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 45는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 46은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- 도 47은 도 46의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 발광 신호, 제1 스캔 신호, 및 제n 스캔 신호를 보여주는 파형도이다.
- 도 48 내지 도 52는 제1 내지 제4 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.
- 도 53은 일 실시예에 따른 표시 장치가 적용된 헤드 마운트 디스플레이의 일 예를 보여주는 사시도이다.
- 도 54는 도 53의 표시 패널 수납부를 상세히 보여주는 분해 사시도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0035] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.
- [0036] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0037] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0038] 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [0039] 도 1은 일 실시예에 따른 표시 장치를 보여주는 사시도이다. 도 2는 일 실시예에 따른 표시 장치를 보여주는 평면도이다. 도 3은 일 실시예에 따른 표시 장치를 보여주는 블록도이다.
- [0040] 본 명세서에서, “상부”, “탑”, “상면”은 표시 패널(100)을 기준으로 상부 방향, 즉 Z축 방향을 가리키고, “하부”, “바텀”, “하면”은 표시 패널(100)을 기준으로 하부 방향, 즉 Z축 방향의 반대 방향을 가리킨다. 또한, “좌”, “우”, “상”, “하”는 표시 패널(100)을 평면에서 바라보았을 때의 방향을 가리킨다. 예를 들어, “좌”는 X축 방향의 반대 방향, “우”는 X축 방향, “상”은 Y축 방향, “하”는 Y축 방향의 반대 방향을 가리킨다.

- [0041] 도 1 내지 도 3을 참조하면, 표시 장치(10)는 동영상이나 정지영상을 표시하는 장치로서, 모바일 폰(mobile phone), 스마트 폰(smart phone), 태블릿 PC(tablet personal computer), 및 스마트 워치(smart watch), 워치 폰(watch phone), 이동 통신 단말기, 전자 수첩, 전자 책, PMP(portable multimedia player), 네비게이션, UMPC(Ultra Mobile PC) 등과 같은 휴대용 전자 기기뿐만 아니라, 텔레비전, 노트북, 모니터, 광고판, 사물 인터넷(internet of things, IOT) 등의 다양한 제품의 표시 화면으로 사용될 수 있다.
- [0042] 표시 장치(10)는 유기 발광 다이오드를 이용하는 유기 발광 표시 장치, 양자점 발광층을 포함하는 양자점 발광 표시 장치, 무기 반도체를 포함하는 무기 발광 표시 장치, 및 초소형 발광 다이오드(micro light emitting diode(LED))를 이용하는 초소형 발광 표시 장치와 같은 발광 표시 장치일 수 있다. 이하에서는, 표시 장치(10)가 유기 발광 표시 장치인 것을 중심으로 설명하였으나, 본 발명은 이에 제한되지 않는다.
- [0043] 표시 장치(10)는 표시 패널(100), 표시 구동 회로(200), 및 회로 보드(300)를 포함한다.
- [0044] 표시 패널(100)은 제1 방향(X축 방향)의 단변과 제1 방향(X축 방향)과 교차하는 제2 방향(Y축 방향)의 장변을 갖는 직사각형 형태의 평면으로 형성될 수 있다. 제1 방향(X축 방향)의 단변과 제2 방향(Y축 방향)의 장변이 만나는 코너(corner)는 소정의 곡률을 갖도록 둥글게 형성되거나 직각으로 형성될 수 있다. 표시 패널(100)의 평면 형태는 사각형에 한정되지 않고, 다른 다각형, 원형 또는 타원형으로 형성될 수 있다. 표시 패널(100)은 평탄하게 형성될 수 있으나, 이에 한정되지 않으며, 좌우측 끝단에 형성되며, 일정한 곡률을 갖거나 변화하는 곡률을 갖는 곡면부를 포함할 수 있다. 이외에, 표시 패널(100)은 구부러지거나, 휘어지거나, 벤딩되거나, 접히거나, 말릴 수 있도록 유연하게 형성될 수 있다.
- [0045] 표시 패널(100)은 서브 화소(SP)들이 형성되어 영상을 표시하는 표시 영역(DA)과 표시 영역(DA)의 주변 영역인 비표시 영역(NDA)을 포함할 수 있다. 표시 영역(DA)에는 서브 화소(SP)들 뿐만 아니라, 서브 화소(SP)들에 접속되는 스캔 라인들(SL1~SLn), 제어 스캔 라인들(CL1~CLn), 데이터 라인들(DL1~DLm), 제1 구동 전압 라인(VSL), 및 제2 구동 전압 라인(VDL)이 배치될 수 있다. 스캔 라인들(SL1~SLn)과 제어 스캔 라인들(CL1~CLn)은 제1 방향(X축 방향)으로 나란하게 형성되고, 데이터 라인들(DL1~DLm)은 제1 방향(X축 방향)과 교차하는 제2 방향(Y축 방향)으로 나란하게 형성될 수 있다. 제2 구동 전압 라인(VDL)은 표시 영역(DA)에서 제2 방향(Y축 방향)으로 나란하게 형성될 수 있다. 표시 영역(DA)에서 제2 방향(Y축 방향)으로 나란하게 형성된 제2 구동 전압 라인(VDL)의 비표시 영역(NDA)에서 서로 연결될 수 있다.
- [0046] 서브 화소(SP)들 각각은 스캔 라인들(SL1~SLn) 중 적어도 어느 하나, 데이터 라인들(DL1~DLm) 중 어느 하나, 제어 스캔 라인들(CL1~CLn) 중 적어도 하나, 제2 구동 전압 라인(VDL)에 접속될 수 있다. 또한, 서브 화소(SP)들 각각은 제1 구동 전압 라인(VSL)에 전기적으로 연결될 수 있다. 도 2에서는 서브 화소(SP)들 각각이 1 개의 스캔 라인, 1 개의 데이터 라인, 1 개의 제어 스캔 라인, 및 1 개의 제2 구동 전압 라인(VDL)에 접속된 것을 예시하였지만, 이에 한정되지 않는다.
- [0047] 서브 화소(SP)들 각각은 복수의 트랜지스터들, 발광 소자, 및 커패시터를 포함할 수 있다. 복수의 트랜지스터들은 게이트 전극에 인가된 데이터 전압에 따라 발광 소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터와 적어도 하나의 스위칭 트랜지스터를 포함할 수 있다. 복수의 트랜지스터들은 박막 트랜지스터(thin film transistor)일 수 있다. 발광 소자는 구동 트랜지스터의 구동 전류에 따라 발광할 수 있다. 커패시터는 구동 트랜지스터(DT)의 게이트 전극에 인가된 데이터 전압을 일정하게 유지하는 역할을 할 수 있다.
- [0048] 비표시 영역(NDA)은 표시 영역(DA)의 주변 영역으로 정의될 수 있다. 비표시 영역(NDA)에는 스캔 라인들(SL1~SLn)에 스캔 신호들을 인가하기 위한 스캔 구동부(400), 패드(DP)들에 접속되는 팬 아웃 라인(FL)들, 및 회로 보드(300)에 접속되는 패드(DP)들이 배치될 수 있다. 패드(DP)들은 표시 패널(100)의 일 측 가장자리에 배치될 수 있다.
- [0049] 스캔 구동부(400)는 복수의 스캔 제어 라인(SCL)들을 통해 패드(DP)들에 연결될 수 있다. 이로 인해, 스캔 구동부(400)는 복수의 스캔 제어 라인(SCL)들을 통해 표시 구동 회로(200)의 스캔 제어 신호(CTL1)를 입력 받을 수 있다. 스캔 구동부(400)는 스캔 제어 신호(CTL1)에 따라 스캔 신호들을 생성하고, 스캔 신호들을 스캔 라인들(SL1~SLn)에 순차적으로 출력할 수 있다.
- [0050] 스캔 구동부(400)는 복수의 박막 트랜지스터들을 포함할 수 있다. 스캔 구동부(400)는 서브 화소(SP)들의 박막 트랜지스터들과 동일한 층에 형성될 수 있다.
- [0051] 도 2에서는 스캔 구동부(400)가 표시 영역(DA)의 일 측, 예를 들어 좌측의 비표시 영역(NDA)에 형성된 것을 예

시하였으나, 이에 한정되지 않는다. 예를 들어, 스캔 구동부(400)는 표시 영역(DA)의 양 측, 예를 들어, 좌측과 우측의 비표시 영역(NDA)에 형성될 수 있다.

- [0052] 표시 구동 회로(200)는 집적 회로(integrated circuit, IC)로 형성되어 회로 보드(300) 상에 배치될 수 있다. 또는, 표시 구동 회로(200)는 COG(chip on glass) 방식, COP(chip on plastic) 방식, 또는 초음파 접합 방식으로 표시 패널(100) 상에 배치될 수 있다. 표시 구동 회로(200)는 도 3과 같이 타이밍 제어부(210)와 데이터 구동부(220)를 포함할 수 있다.
- [0053] 타이밍 제어부(210)는 디지털 비디오 데이터(DATA)와 타이밍 신호들(CTL)을 입력 받는다. 타이밍 제어부(210)는 타이밍 신호들(CTL)에 따라 스캔 구동부(400)의 동작 타이밍을 제어하기 위한 스캔 제어 신호(CTL1)를 생성하며, 데이터 구동부(220)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(CTL2)를 생성할 수 있다. 타이밍 제어부(210)는 전원 공급 회로(230)의 동작 타이밍을 제어하기 위한 전원 제어 신호(CTL3)를 생성할 수 있다. 타이밍 제어부(210)는 복수의 스캔 제어 라인(SCL)을 통해 스캔 제어 신호(CTL1)를 스캔 구동부(400)로 출력하고, 디지털 비디오 데이터(DATA)와 데이터 제어 신호(CTL2)를 데이터 구동부(220)로 출력할 수 있다. 타이밍 제어부(210)는 전원 제어 신호(CTL3)를 전원 공급 회로(230)로 출력할 수 있다.
- [0054] 데이터 구동부(220)는 디지털 비디오 데이터(DATA)를 아날로그 정극성/부극성 데이터 전압들로 변환하여 팬 아웃 라인(FL)들을 통해 데이터 라인들(DL1~DLm)에 출력한다. 스캔 구동부(400)의 스캔 신호들에 의해 서브 화소(SP)들이 선택되며, 선택된 서브 화소(SP)들에 데이터 전압들이 공급된다.
- [0055] 전원 공급 회로(230)는 집적 회로로 형성되어 회로 보드(300) 상에 배치될 수 있다. 전원 공급 회로(230)는 입력 전원 및 전원 제어 신호(CTL3)에 따라 제1 구동 전압(VSS)을 생성하여 제1 구동 전압 라인(VSL)에 공급하고, 제2 구동 전압(VDD)을 생성하여 제2 구동 전압 라인(VDL)에 공급하며, 초기화 전압(VINI)을 생성하여 초기화 전압 라인에 공급할 수 있다. 전원 공급 회로(230)는 제1 구동 전압, 제2 구동 전압, 및 초기화 전압 외에 표시 장치(10)의 구동에 필요한 다양한 구동 전압들을 생성할 수 있다. 전원 공급 회로(230)는 DC-DC 컨버터일 수 있다.
- [0056] 회로 보드(300)는 이방성 도전 필름(anisotropic conductive film)을 이용하여 패드(DP)들 상에 부착될 수 있다. 이로 인해, 회로 보드(300)는 패드(DP)들에 전기적으로 연결될 수 있다. 회로 보드(300)는 연성 인쇄 회로 보드(flexible printed circuit board), 인쇄 회로 보드(printed circuit board) 또는 칩 온 필름(chip on film)과 같은 연성 필름(flexible film)일 수 있다.
- [0057] 도 4는 일 실시예에 따른 서브 화소를 상세히 보여주는 회로도이다.
- [0058] 도 4를 참조하면, 서브 화소(PX)는 제k(k는 양의 정수) 스캔 라인(SLk), 제k 제어 스캔 라인(CLk), 제j(j는 양의 정수) 데이터 라인(DLj), 초기화 전압이 인가되는 초기화 전압 라인(VIL), 제1 구동 전압이 인가되는 제1 구동 전압 라인(VSL), 및 제2 구동 전압이 인가되는 제2 구동 전압 라인(VDL)에 접속될 수 있다. 서브 화소(PX)는 발광 소자로서 유기 발광 다이오드(OLED), 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제1 커패시터(Cst), 및 제2 커패시터(Cpr)를 포함할 수 있다.
- [0059] 도 4에서는 제1, 제2, 및 제3 트랜지스터들(T1, T2, T3)이 PMOS 트랜지스터로 형성된 것을 예시하였으나, 이에 한정되지 않는다. 예를 들어, 제1, 제2, 및 제3 트랜지스터들(T1, T2, T3)은 NMOS 트랜지스터로 형성되거나, 제1, 제2, 및 제3 트랜지스터들(T1, T2, T3) 중 일부가 PMOS 트랜지스터로 형성되고 나머지가 NMOS 트랜지스터로 형성될 수 있다. PMOS 트랜지스터는 게이트 오프 전압보다 낮은 게이트 온 전압에 의해 턴-온되고, NMOS 트랜지스터는 게이트 오프 전압보다 높은 게이트 온 전압에 의해 턴-온된다.
- [0060] 유기 발광 다이오드(OLED)는 발광 소자로서, 제1 트랜지스터(T1)의 구동 전류(Id)에 따라 발광한다. 유기 발광 다이오드(OLED)의 발광 휘도는 구동 전류(Id)에 비례할 수 있다.
- [0061] 유기 발광 다이오드(OLED)는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다. 또는, 유기 발광 다이오드(OLED) 대신에, 발광 소자로서 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 무기 반도체를 포함하는 무기 발광 다이오드가 이용될 수 있다. 또는, 유기 발광 다이오드(OLED) 대신에, 발광 소자로서 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 양자점 발광층을 포함하는 양자점 발광 다이오드가 이용될 수 있다. 또는, 유기 발광 다이오드(OLED) 대신에, 발광 소자로서 마이크로 발광 다이오드(micro light emitting diode)가 이용될 수 있다.
- [0062] 유기 발광 다이오드(OLED)의 제1 전극은 제3 노드에 접속되고, 제2 전극은 제1 구동 전압 라인(VSL)에 접속될

수 있다. 유기 발광 다이오드(OLED)의 제1 전극과 제2 전극 사이에는 기생 용량(Cel)이 형성될 수 있다.

[0063] 제1 트랜지스터(T1)는 게이트 전극에 인가되는 데이터 전압에 따라 드레인-소스간 전류(Ids, 이하 “구동 전류”라 칭함)를 제어하는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1)의 채널을 통해 흐르는 구동 전류(Id)는 수학식 1과 같이 제1 트랜지스터(T1)의 게이트 전극과 제1 전극 간의 전압(Vgs)과 문턱전압(threshold voltage) 간의 차이의 제곱에 비례한다.

수학식 1

$$Id = k' \times (Vsg - Vth)^2$$

[0064]

[0065] 수학식 1에서, k'는 제1 트랜지스터(T1)의 채널의 전자 이동도, 채널의 폭 및 길이 등에 의해 결정되는 비례 계수, Vgs는 구동 트랜지스터의 게이트 전극과 제1 전극간 전압, Vth는 제1 트랜지스터(T1)의 문턱전압을 의미한다.

[0066] 제2 트랜지스터(T2)는 제2 노드(N2)와 제3 노드(N3) 사이에 배치된다. 제2 트랜지스터(T2)는 제k 제어 스캔 라인(CLk)의 제k 제어 스캔 신호에 의해 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제2 트랜지스터(T2)의 게이트 전극은 제k 제어 스캔 라인(CLk)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 제2 노드(N2)에 접속될 수 있다.

[0067] 제3 트랜지스터(T3)는 제1 노드(N1)와 제2 노드(N2) 사이에 배치된다. 제3 트랜지스터(T3)는 제k 스캔 라인(SLk)의 제k 스캔 신호에 의해 턴-온되어 제1 노드(N1)와 제2 노드(N2)를 접속시킨다. 제3 트랜지스터(T3)의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제2 노드(N2)에 접속되며, 제2 전극은 제1 노드(N1)에 접속될 수 있다.

[0068] 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 모두 턴-온되는 경우, 제1 트랜지스터(T1)의 게이트 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1)는 다이오드로 동작한다.

[0069] 제1 커패시터(Cst)는 제1 노드(N1)와 초기화 전압 라인(VIL) 사이에 배치된다. 제1 커패시터(Cst)는 제1 노드(N1)에 연결된 제1 용량 전극과 초기화 전압 라인(VIL)에 연결된 제2 용량 전극을 포함할 수 있다.

[0070] 제2 커패시터(Cpr)는 제2 노드(N2)와 제j 데이터 라인(DLj) 사이에 배치된다. 제2 커패시터(Cpr)는 제2 노드(N2)에 연결된 제1 용량 전극과 제j 데이터 라인(DLj)에 연결된 제2 용량 전극을 포함할 수 있다. 제2 커패시터(Cpr)의 커패시턴스는 제1 커패시터(Cst)의 커패시턴스보다 클 수 있다.

[0071] 제1, 제2, 및 제3 트랜지스터들(T1, T2, T3) 각각의 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다. 또는, 제1 내지 제3 트랜지스터들(T1, T2, T3) 각각의 제1 전극이 드레인 전극인 경우, 제2 전극은 소스 전극일 수 있다.

[0072] 제1 트랜지스터(T1)의 액티브층, 제2 트랜지스터(T2)의 액티브층, 및 제3 트랜지스터(T3)의 액티브층은 폴리 실리콘(Poly Silicon), 아몰포스 실리콘, 또는 산화물 반도체로 형성될 수도 있다. 또는, 제1 트랜지스터(T1)의 액티브층, 제2 트랜지스터(T2)의 액티브층, 및 제3 트랜지스터(T3)의 액티브층 중 일부는 폴리 실리콘으로 형성되고, 나머지는 산화물 반도체로 형성될 수 있다. 예를 들어, 제1 트랜지스터(T1)의 액티브층은 폴리 실리콘으로 형성되고, 제2 트랜지스터(T2)의 액티브층과 제3 트랜지스터(T3)의 액티브층은 산화물 반도체로 형성될 수 있다.

[0073] 제1 노드(N1)는 제1 트랜지스터(T1)의 게이트 전극, 제1 커패시터(Cst)의 제1 용량 전극, 및 제3 트랜지스터(T3)의 제2 전극의 접점일 수 있다. 제2 노드(N2)는 제2 트랜지스터(T2)의 제2 전극, 제3 트랜지스터(T3)의 제1 전극, 및 제2 커패시터(Cpr)의 제1 용량 전극의 접점일 수 있다. 제3 노드(N3)는 제1 트랜지스터(T1)의 제2 전극과 유기 발광 다이오드(OLED)의 제1 전극 간의 접점일 수 있다.

[0074] 도 4에 도시된 실시예에 의하면, 서브 화소(PX)는 제2 노드(N2)와 제3 노드(N3) 사이에 배치된 제2 트랜지스터(T2)를 포함한다. 이에 따라, 제2 트랜지스터(T2)에 의해 제2 노드(N2)와 제3 노드(N3)가 분리될 수 있으므로, 제j 데이터 라인(DLj)의 데이터 전압이 제1 트랜지스터(T1)의 게이트 전극(즉, 제1 노드(N1))에 인가되는 동안 제1 트랜지스터(T1)를 통해 제2 구동 전압 라인(VDL)으로부터 제3 노드(N3)로 흐르는 누설 전류가

발생하더라도, 제1 트랜지스터(T1)의 게이트 전극에 인가되는 제j 데이터 라인(DLj)의 데이터 전압이 영향을 받지 않으므로, 표시 품질이 저하되는 것을 방지하거나 줄일 수 있다.

- [0075] 나아가, 제2 커패시터(Cpr)가 제2 노드(N2)와 제j 데이터 라인(DLj) 사이에 배치되므로, 제1 노드(N1)와 중첩하는 전극의 기생 커패시터에 의해 발광 소자의 휘도가 감소하는 것을 방지하거나 줄일 수 있다. 이에 따라, 표시 품질이 저하되는 것을 방지하거나 줄일 수 있다.
- [0076] 도 5는 도 4의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 초기화 전압, 제k 스캔 신호, 제k 제어 신호, 및 데이터 전압, 서브 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- [0077] 도 5를 참조하면, 제1 구동 전압(VSS)은 유기 발광 다이오드(OLED)의 캐소드 전극에 인가되는 전압이고, 제2 구동 전압(VDD)은 제1 트랜지스터(T1)의 제1 전극에 인가되는 전압이며, 초기화 전압(VINI)은 제1 커패시터(Cst)의 제2 용량 전극에 인가되는 전압이다. 제k 스캔 라인(SLk)에 인가되는 제k 스캔 신호(GWk)는 제3 트랜지스터(T3)의 턴-온과 턴-오프를 제어하기 위한 신호이다. 제k 제어 스캔 라인(CLk)에 인가되는 제k 제어 스캔 신호(GCk)는 제2 트랜지스터(T2)의 턴-온과 턴-오프를 제어하기 위한 신호이다.
- [0078] 제1 구동 전압(VSS), 제2 구동 전압(VDD), 초기화 전압(VINI), 제k 스캔 신호(GWk), 및 제k 제어 스캔 신호(GCk)는 1 프레임 기간을 주기로 발생할 수 있다. 1 프레임 기간은 제1 내지 제6 기간들(t1~t6)을 포함할 수 있다. 제1 기간(t1)은 제1 트랜지스터(T1)에 온 바이어스를 인가하는 기간이고, 제2 기간(t2)은 제1 노드(N1)를 초기화하는 초기화 기간이며, 제3 기간(t3)은 제1 트랜지스터(T1)의 문턱 전압을 제1 커패시터(Cst)에 저장하는 문턱 전압 저장 기간이며, 제4 기간(t4)은 제j 데이터 라인(DLj)의 데이터 전압을 제1 노드(N1)에 기입하는 데이터 전압 기입 기간이고, 제5 기간(t5)은 제3 노드(N3) 초기화 기간이며, 제6 기간(t6)은 유기 발광 다이오드(OLED)가 발광하는 발광 기간일 수 있다.
- [0079] 표시 패널(100)의 서브 화소(PX)들은 제1 내지 제3 기간들(t1, t2, t3) 동안 동시에 제1 트랜지스터(T1)에 온 바이어스를 인가하고, 제1 노드(N1)를 초기화하며, 제1 트랜지스터(T1)의 문턱 전압을 제1 커패시터(Cst)에 저장한다. 그리고 나서, 표시 패널(100)의 서브 화소(PX)들은 제4 기간(t4) 동안 스캔 라인 별로 순차적으로 데이터 전압을 제1 노드(N1)에 기입한다. 그리고 나서, 표시 패널(100)의 서브 화소(PX)들은 제5 기간(t5) 동안 동시에 제3 노드(N3)를 초기화하고, 제6 기간(t6) 동안 동시에 유기 발광 다이오드(OLED)를 발광한다.
- [0080] 제1 구동 전압(VSS)은 제1 내지 제4 기간들(t1~t4) 동안 제1 하이 레벨 전압(HV1)을 가지며, 제5 기간(t5) 동안 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되며, 제6 기간(t6) 동안 제1 로우 레벨 전압(LV1)을 가진다. 제2 구동 전압(VDD)은 제1 기간(t1) 동안 제2 하이 레벨 전압(HV2)을 가지며, 제2 기간(t2) 동안 제2 로우 레벨 전압(LV2)을 가지고, 제3 기간(t3) 동안 제2 로우 레벨 전압(LV2)에서 제2 하이 레벨 전압(HV2)으로 변경되며, 제4 기간(t4)과 제5 기간(t5) 동안 제2 로우 레벨 전압(LV2)을 가지고, 제6 기간(t6) 동안 제2 하이 레벨 전압(HV2)을 가진다. 초기화 전압(VINI)은 제1 기간(t1) 동안 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되었다가 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 변경되며, 제2 기간(t2) 동안 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되며, 제3 기간(t3)과 제4 기간(t4) 동안 제1 레벨 전압(V1)을 가지며, 제5 기간(t5) 동안 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되었다가 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 다시 변경되며, 제6 기간(t6) 동안 제1 레벨 전압(V1)을 가진다.
- [0081] 제k 스캔 신호(GWk)는 제1 기간(t1) 동안 게이트 오프 전압(Voff)을 가지며, 제2 기간(t2) 동안 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 변경되며, 제3 기간(t3) 동안 게이트 온 전압(Von)을 가지며, 제4 기간(t4) 동안 적어도 한 번의 게이트 온 전압(Von)의 펄스를 가지며, 제5 기간(t5)과 제6 기간(t6) 동안 게이트 오프 전압(Voff)을 가진다. 제k 제어 스캔 신호(GCk)는 제1 기간(t1) 동안 게이트 오프 전압(Voff)을 가지며, 제2 기간(t2)과 제3 기간(t3) 동안 게이트 온 전압(Von)을 가지며, 제4 내지 제6 기간들(t4~t6) 동안 게이트 오프 전압(Voff)을 가질 수 있다.
- [0082] 제2 기간(t2) 동안 초기화 전압(VINI)이 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 변경된 후에, 제k 스캔 신호(GWk)는 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 변경될 수 있다. 제4 기간(t4) 동안 게이트 온 전압(Von)의 펄스는 1 수평 기간(1H) 동안 발생할 수 있다. 또는, 제4 기간(t4)의 제k 스캔 신호(GWk)의 게이트 온 전압(Von)의 펄스는 제k-1 스캔 신호의 게이트 온 전압(Von)의 펄스와 중첩할 수 있다. 이 경우, 제k 스캔 신호(GWk)의 게이트 온 전압(Von)의 펄스는 2 수평 기간(2H) 이상이고, 제k 스캔 신호(GWk)의 게이트 온 전압(Von)의 펄스가 제k-1 스캔 신호의 게이트 온 전압(Von)의 펄스와 중첩하지 않는 기간은 1 수평 기간(1H)일

수 있다. 1 수평 기간은 표시 패널(100)의 어느 스캔 라인에 접속된 서브 화소(SP)들 각각에 데이터 전압이 공급되는 기간을 지시한다.

- [0083] 제4 기간(t_4) 동안 제 j 데이터 라인(DL $_j$)에는 인가되는 n 개의 데이터 전압들이 인가될 수 있다. n 개의 데이터 전압들은 n 개의 스캔 신호들의 게이트 온 전압을 갖는 펄스들에 각각 동기화되어 인가될 수 있다. 예를 들어, 제 k 데이터 전압은 도 5의 제4 기간(t_4)의 제 k 스캔 신호(GW $_k$)의 게이트 온 전압(Von)의 펄스에 동기화되어 인가될 수 있다.
- [0084] 제1 하이 레벨 전압(HV1)과 제2 하이 레벨 전압(HV2)은 실질적으로 동일한 전압일 수 있다. 제1 로우 레벨 전압(LV1)과 제2 로우 레벨 전압(LV2)은 실질적으로 동일하거나 제1 로우 레벨 전압(LV1)이 제2 로우 레벨 전압(LV2)보다 낮을 수 있다. 게이트 온 전압(Von)은 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-온시킬 수 있는 전압에 해당한다. 게이트 오프 전압(Voff)은 제1 내지 제3 트랜지스터들(T1, T2, T3)을 턴-오프시킬 수 있는 전압에 해당한다.
- [0085] 도 6 내지 도 11은 도 5의 제1 내지 제6 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.
- [0086] 첫 번째로, 도 5와 같이 제1 기간(t_1) 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 하이 레벨 전압(HV2)을 가진다. 제1 기간(t_1) 동안 초기화 전압(VINI)은 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되었다가 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 변경된다.
- [0087] 제1 기간(t_1) 동안 제 k 스캔 신호(GW $_k$)와 제 k 제어 스캔 신호(GC $_k$)는 게이트 오프 전압(Voff)을 가진다. 이로 인해, 도 6과 같이 제1 기간(t_1) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프된다.
- [0088] 제1 기간(t_1) 동안 초기화 전압(VINI)이 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되므로, 제1 커패시터(Cst)의 부스팅에 의해 초기화 전압(VINI)의 변화량이 제1 노드(N1)에 반영될 수 있다. 그러므로, 제1 노드(N1)의 전압(VN1)은 낮아질 수 있다. 이로 인해, 제1 트랜지스터(T1)의 게이트 전극과 제1 전극 간의 전압 차가 제1 트랜지스터(T1)의 문턱 전압보다 커지므로, 제1 트랜지스터(T1)는 턴-온될 수 있다. 즉, 제1 트랜지스터(T1)에 온 바이어스(on bias)가 인가될 수 있다. 제1 트랜지스터(T1)에 온 바이어스를 인가함으로써, 블랙 휘도를 표시하다가 화이트 휘도를 표시하고자 할 때, 제1 트랜지스터(T1)의 구동 전류(Id)가 구동 트랜지스터(DT)의 히스테리시스(hysteresis) 특성에 의해 계단과 같이 상승함으로써, 유기 발광 다이오드(OLED)의 휘도 역시 계단과 같이 상승하는 것을 개선할 수 있다.
- [0089] 두 번째로, 도 5와 같이 제2 기간(t_2)은 제2-1 기간(t_{2-1}), 제2-2 기간(t_{2-2}), 및 제2-3 기간(t_{2-3})을 포함할 수 있다. 제1 구동 전압(VSS)은 제2-1 기간(t_{2-1}), 제2-2 기간(t_{2-2}), 및 제2-3 기간(t_{2-3}) 동안 제1 하이 레벨 전압(HV1)을 가진다. 제2 구동 전압(VDD)은 제2-1 기간(t_{2-1}), 제2-2 기간(t_{2-2}), 및 제2-3 기간(t_{2-3}) 동안 제2 로우 레벨 전압(LV2)을 가진다. 초기화 전압(VINI)은 제2-1 기간(t_{2-1}) 동안 제1 레벨 전압(V1)을 가지며, 제2-2 기간(t_{2-2})과 제2-3 기간(t_{2-3}) 동안 제2 레벨 전압(V2)을 가진다.
- [0090] 제 k 제어 스캔 신호(GC $_k$)는 제2-1 기간(t_{2-1}), 제2-2 기간(t_{2-2}), 및 제2-3 기간(t_{2-3}) 동안 게이트 오프 전압(Voff)을 가진다. 제 k 스캔 신호(GW $_k$)는 제2-1 기간(t_{2-1})과 제2-2 기간(t_{2-2}) 동안 게이트 오프 전압(Voff)을 가지며, 제2-3 기간(t_{2-3}) 동안 게이트 온 전압(Von)을 가진다. 이로 인해, 제2 트랜지스터(T2)는 제2-1 기간(t_{2-1}), 제2-2 기간(t_{2-2}), 및 제2-3 기간(t_{2-3}) 동안 턴-온되고, 제3 트랜지스터(T3)는 제2-3 기간(t_{2-3}) 동안 턴-온된다.
- [0091] 제2-2 기간(t_{2-2})의 시작과 함께 초기화 전압(VINI)이 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되므로, 커패시터(Cst)의 부스팅에 의해 제1 노드(N1)의 전압(VN1)은 낮아질 수 있다. 또한, 도 7과 같이 제2-3 기간(t_{2-3}) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-온되므로, 제1 노드(N1)의 전압(VN1), 제2 노드(N2)의 전압(VN2), 및 제3 노드(N3)의 전압(VN3)은 초기화될 수 있다.
- [0092] 세 번째로, 도 5와 같이 제3 기간(t_3) 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)에서 제1 하이 레벨 전압(LV1)으로 변경되며, 초기화 전압(VINI)은 제1 레벨 전압(V1)을 가진다.
- [0093] 제 k 제어 스캔 신호(GC $_k$)와 제 k 스캔 신호(GW $_k$)는 제3 기간(t_3) 동안 게이트 온 전압(Von)을 가진다. 이로 인해, 제3 기간(t_3) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-온된다.
- [0094] 제3 기간(t_3) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 턴-온되는 경우, 제1 트랜지스터(T1)의 게이트 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1)는 다이오드로 동작한다. 제3 기간(t_3) 동안 제2 구동 전압

(VDD)이 제2 로우 레벨 전압(LV2)에서 제2 하이 레벨 전압(HV2)로 변경되는 경우, 제1 트랜지스터(T1)의 게이트 전극과 제1 전극 간의 전압이 제1 트랜지스터(T1)의 문턱전압보다 커진다. 그러므로, 제1 트랜지스터(T1)는 게이트 전극과 제1 전극 간의 전압이 제1 트랜지스터(T1)의 문턱전압에 도달할 때까지 전류패스를 형성할 수 있다. 이에 따라, 도 8과 같이 제1 트랜지스터(T1)는 게이트 전극의 전압, 즉 제1 노드(N1)의 전압(VN1)은 제2 구동 전압(VDD)의 제2 하이 레벨 전압(HV2)과 제1 트랜지스터(T1)의 문턱전압(V_{th}) 간의 차 전압($HV2 - V_{th}$)까지 상승할 수 있다. 제1 커패시터(Cst)에는 제2 하이 레벨 전압(HV2)과 제1 트랜지스터(T1)의 문턱전압(V_{th}) 간의 차 전압($HV2 - V_{th}$)이 저장될 수 있다.

[0095] 네 번째로, 도 5와 같이 제4 기간(t_4) 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가지며, 초기화 전압(VINI)은 제1 레벨 전압(V1)을 가진다.

[0096] 제k 제어 스캔 신호(GCk)는 제4 기간(t_4) 동안 게이트 오프 전압(Voff)을 가진다. 제k 스캔 신호(GWk)는 제4 기간(t_4) 동안 적어도 한 번의 게이트 온 전압(Von)의 펄스를 가진다. 이로 인해, 제4 기간(t_4) 동안 제2 트랜지스터(T2)는 턴-오프되며, 제3 트랜지스터(T3)는 적어도 한 번의 게이트 온 전압(Von)의 펄스에 의해 턴-온된다.

[0097] 제4 기간(t_4) 동안 제3 트랜지스터(T3)가 턴-온되는 경우, 제1 노드(N1)는 제2 커패시터(Cpr)의 제1 용량 전극과 전기적으로 연결될 수 있다. 이로 인해, 제2 커패시터(Cpr)의 부스팅에 의해 제1 노드(N1)에는 제j 데이터 라인(DLj)의 데이터 전압의 변화량(ΔV_{data})이 반영될 수 있다. 그러므로, 도 9와 같이 제4 기간(t_4) 동안 제1 노드(N1)의 전압(VN1)은 " $HV2 - V_{th} - \Delta V_{data}$ "로 변경될 수 있다. 한편, 제1 커패시터(Cst)로 인하여, 제2 커패시터(Cpr)에 의해 제1 노드(N1)에 반영되는 제j 데이터 라인(DLj)의 데이터 전압의 변화량(ΔV_{data})은 제j 데이터 라인(DLj)의 데이터 전압의 변화량보다 작을 수 있다.

[0098] 다섯 번째로, 도 5와 같이 제5 기간(t_5) 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가지며, 초기화 전압(VINI)은 제1 레벨 전압(V1)에서 제2 로우 레벨 전압(V2)으로 변경되었다가 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 변경된다. 제1 구동 전압(VSS)은 초기화 전압(VINI)이 제2 레벨 전압(V2)을 갖는 기간 동안 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경될 수 있다.

[0099] 제k 제어 스캔 신호(GCk)와 제k 스캔 신호(GWk)는 제4 기간(t_4) 동안 게이트 오프 전압(Voff)을 가진다. 이로 인해, 제4 기간(t_4) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프된다.

[0100] 제5 기간(t_5) 동안 초기화 전압(VINI)이 제1 레벨 전압(V1)에서 제2 로우 레벨 전압(V2)으로 변경되므로, 제1 커패시터(Cst)의 부스팅에 의해 초기화 전압(VINI)의 변화량이 제1 노드(N1)에 반영될 수 있다. 그러므로, 제1 노드(N1)의 전압(VN1)은 " $HV2 - V_{th} - \Delta V_{data} - \Delta V_{INI}$ "로 낮아질 수 있다. 이로 인해, 제1 트랜지스터(T1)의 게이트 전극과 제1 전극 간의 전압 차가 제1 트랜지스터(T1)의 문턱 전압보다 커지므로, 제1 트랜지스터(T1)는 턴-온될 수 있다. 제1 트랜지스터(T1)의 턴-온으로 인해, 제3 노드(N3)는 도 10과 같이 제2 구동 전압(VDD)의 제2 로우 레벨 전압(LV2)로 초기화될 수 있다.

[0101] 제5 기간(t_5) 동안 초기화 전압(VINI)이 제2 레벨 전압(V2)에서 제1 레벨 전압(V1)으로 변경된 후에 제1 구동 전압(VSS)이 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되는 경우, 유기 발광 다이오드(OLED)의 기생 용량($Ce1$)에 의해 제1 구동 전압(VSS)의 변화량이 제3 노드(N3)에 반영될 수 있다. 이 경우, 제3 노드(N3)의 전압이 낮아지므로, 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하는 경우, 구동 전류(I_d)가 작기 때문에, 유기 발광 다이오드(OLED)의 기생 용량($Ce1$)을 충전하는 시간이 길어질 수 있다. 따라서, 제6 기간(t_6)에서 유기 발광 다이오드(OLED)의 발광이 늦어질 수 있으며, 서브 화소(PX)는 표현하려던 계조를 표현하지 못하는 저계조 얼룩이 발생할 수 있다.

[0102] 도 5 및 도 10에 도시된 실시예에 의하면, 제5 기간(t_5)에서 제1 구동 전압(VSS)이 초기화 전압(VINI)이 제2 레벨 전압(V2)을 갖는 기간 동안 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되는 경우, 유기 발광 다이오드(OLED)의 기생 용량($Ce1$)에 의해 제1 구동 전압(VSS)의 변화량이 제3 노드(N3)에 반영되는 것을 방지할 수 있다. 이 경우, 제3 노드(N3)의 전압이 낮아지는 것을 방지할 수 있으므로, 제6 기간(t_6) 동안 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하여 구동 전류(I_d)가 작더라도, 유기 발광 다이오드(OLED)의 기생 용량($Ce1$)을 충전하는 시간을 줄일 수 있다. 따라서, 제6 기간(t_6)에서 유기 발광 다이오드(OLED)의 발광 시점이 지연되는 것을 개선할 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.

[0103] 또한, 제2 구동 전압(VDD)의 제2 로우 레벨 전압(LV2)은 제1 구동 전압(VSS)의 제1 로우 레벨 전압(LV1)보다 높

을 수 있다. 이 경우, 제6 기간(t6) 동안 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하여 구동 전류(I_d)가 작더라도, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)을 충전하는 시간을 줄일 수 있다. 따라서, 제6 기간(t6)에서 유기 발광 다이오드(OLED)의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.

[0104] 여섯 번째로, 도 5와 같이 제6 기간(t6) 동안 제1 구동 전압(VSS)은 제1 로우 레벨 전압(LV1)을 가지며, 제2 구동 전압(VDD)은 제2 하이 레벨 전압(HV2)을 가지며, 초기화 전압(VINI)은 제1 레벨 전압(V1)을 가진다.

[0105] 제k 제어 스캔 신호(Gck)와 제k 스캔 신호(GWk)는 제6 기간(t6) 동안 게이트 오프 전압(Voff)을 가진다. 이로 인해, 제6 기간(t6) 동안 제2 트랜지스터(T2)와 제3 트랜지스터(T3)는 턴-오프된다.

[0106] 도 11과 같이 제6 기간(t6) 동안 제1 트랜지스터(T1)의 구동 전류(I_d)는 제1 노드(N1)의 전압(HV2-V_{th}-ΔV_{data})에 따라 유기 발광 다이오드(OLED)로 흐를 수 있다. 제1 트랜지스터(T1)의 구동 전류(I_d)는 수학식 2와 같이 정의될 수 있다.

수학식 2

$$I_d = k' \times (HV2 - (HV2 - V_{th} - \Delta V_{data}) - V_{th})^2$$

[0107]

[0108] 수학식 2를 정리하면, 수학식 3이 도출된다.

수학식 3

$$I_d = k' \times \Delta V_{data}^2$$

[0109]

[0110] 수학식 3과 같이 구동 전류(I_d)는 제1 트랜지스터(T1)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 제1 트랜지스터(T1)의 문턱전압(V_{th})은 보상된다.

[0111] 도 6 내지 도 11에 도시된 실시예에 의하면, 제5 기간(t5)에서 제1 구동 전압(VSS)이 초기화 전압(VINI)이 제2 레벨 전압(V2)을 갖는 기간 동안 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되므로, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)에 의해 제1 구동 전압(VSS)의 변화량이 제3 노드(N3)에 반영되는 것을 방지할 수 있다. 그러므로, 제3 노드(N3)의 전압이 낮아지는 것을 방지할 수 있으므로, 제6 기간(t6) 동안 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하여 구동 전류(I_d)가 작더라도, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)을 충전하는 시간을 줄일 수 있다. 따라서, 제6 기간(t6)에서 유기 발광 다이오드(OLED)의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.

[0112] 또한, 도 6 내지 도 11에 도시된 실시예에 의하면, 제2 구동 전압(VDD)의 제2 로우 레벨 전압(LV2)이 제1 구동 전압(VSS)의 제1 로우 레벨 전압(LV1)보다 높을 수 있다. 이 경우, 제6 기간(t6) 동안 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하여 구동 전류(I_d)가 작더라도, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)을 충전하는 시간을 줄일 수 있다. 따라서, 제6 기간(t6)에서 유기 발광 다이오드(OLED)의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.

[0113] 또한, 도 6 내지 도 11에 도시된 실시예에 의하면, 제1 기간(t1) 동안 제1 트랜지스터(T1)에 온 바이어스를 인가하므로, 블랙 휘도를 표시하다가 화이트 휘도를 표시하고자 할 때, 제1 트랜지스터(T1)의 구동 전류(I_d)가 구동 트랜지스터(DT)의 히스테리시스(hysteresis) 특성에 의해 계단과 같이 상승함으로써, 유기 발광 다이오드(OLED)의 휘도 역시 계단과 같이 상승하는 것을 개선할 수 있다.

[0114] 나아가, 도 6 내지 도 11에 도시된 실시예에 의하면, 제3 기간(t3) 동안 제1 트랜지스터(T1)의 문턱전압(V_{th})을 제1 커패시터(Cst)에 저장함으로써, 제6 기간(t6) 동안 제1 트랜지스터(T1)의 문턱전압(V_{th})이 보상된 구동 전류(I_d)가 유기 발광 다이오드(OLED)로 흐를 수 있다.

[0115] 도 12는 도 4의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서브 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압 제3 노드의 전압, 및 발

광 소자에 흐르는 구동 전류를 보여주는 파형도이다.

- [0116] 도 12에 도시된 실시예는 제5 기간(t5) 동안 초기화 전압(VINI)이 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되기 전에, 제1 구동 전압(VSS)이 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되는 것에서 도 5에 도시된 실시예와 차이점이 있을 뿐이다.
- [0117] 도 12에 도시된 실시예에 의하면, 제5 기간(t5) 동안 초기화 전압(VINI)이 제1 레벨 전압(V1)에서 제2 레벨 전압(V2)으로 변경되기 전에, 제1 구동 전압(VSS)이 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되므로, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)에 의해 제1 구동 전압(VSS)의 변화량이 제3 노드(N3)에 반영되는 것을 방지할 수 있다. 그러므로, 제3 노드(N3)의 전압이 낮아지는 것을 방지할 수 있으므로, 제6 기간(t6) 동안 유기 발광 다이오드(OLED)를 저계조의 휘도로 발광하여 구동 전류(Id)가 작더라도, 유기 발광 다이오드(OLED)의 기생 용량(Ce1)을 충전하는 시간을 줄일 수 있다. 따라서, 제6 기간(t6)에서 유기 발광 다이오드(OLED)의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0118] 도 13은 도 4의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서브 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- [0119] 도 13에 도시된 실시예는 제2 기간(t2) 동안 초기화 전압(VINI)이 제2 레벨 전압(V2)을 갖는 것에서 도 5에 도시된 실시예와 차이점이 있을 뿐이다.
- [0120] 도 13에 도시된 실시예에 의하면, 초기화 전압(VINI)이 제1 레벨 전압(V1)과 제2 레벨 전압(V2) 사이에서 변경되는 횟수를 줄일 수 있으므로, 소비 전력이 절감될 수 있다.
- [0121] 도 14는 도 4의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 스캔 신호, 제k 제어 신호, 초기화 전압, 및 데이터 전압, 서브 화소의 구동 트랜지스터의 게이트 전압, 제1 노드의 전압, 제3 노드의 전압, 및 발광 소자에 흐르는 구동 전류를 보여주는 파형도이다.
- [0122] 도 14에 도시된 실시예는 제2 기간(t2) 동안 초기화 전압(VINI)이 제2 레벨 전압(V2)을 갖는 것에서 도 12에 도시된 실시예와 차이점이 있을 뿐이다.
- [0123] 도 14에 도시된 실시예에 의하면, 초기화 전압(VINI)이 제1 레벨 전압(V1)과 제2 레벨 전압(V2) 사이에서 변경되는 횟수를 줄일 수 있으므로, 소비 전력이 절감될 수 있다.
- [0124] 도 15는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0125] 도 15에 도시된 실시예는 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 PMOS 트랜지스터로 형성되고, 제3 트랜지스터(T3)가 NMOS 트랜지스터로 형성된 것에서 도 4에 도시된 실시예와 차이점이 있다. PMOS 트랜지스터는 게이트 오프 전압보다 낮은 게이트 온 전압에 의해 턴-온되고, NMOS 트랜지스터는 게이트 오프 전압보다 높은 게이트 온 전압에 의해 턴-온된다.
- [0126] NMOS 트랜지스터로 형성되는 제3 트랜지스터(T3)의 액티브층은 산화물 반도체 반도체로 형성될 수 있다. PMOS 트랜지스터로 형성되는 제1 트랜지스터(T1)의 액티브층과 제2 트랜지스터(T2)의 액티브층은 폴리 실리콘으로 형성될 수 있다.
- [0127] 도 15에 도시된 실시예에 따른 서브 화소(PX)가 동작하기 위해서는, 도 5 및 도 12 내지 도 14에서 제3 트랜지스터(T3)의 게이트 전극에 인가되는 제k 스캔 신호(GWk)는 NMOS 트랜지스터의 특성에 맞게 수정되어야 한다. 제k 스캔 신호(GWk)는 도 5 및 도 12 내지 도 14에 도시된 제k 스캔 신호(GWk)가 반전된 파형을 가질 수 있다. 예를 들어, 제k 스캔 신호(GWk)는 제2 기간(t2)과 제3 기간(t3) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)을 가지며, 제4 기간(t4) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)의 펄스를 가질 수 있다.
- [0128] 도 16은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0129] 도 16에 도시된 실시예는 제1 트랜지스터(T1)와 제3 트랜지스터(T3)가 PMOS 트랜지스터로 형성되고, 제2 트랜지스터(T2)가 NMOS 트랜지스터로 형성된 것에서 도 4에 도시된 실시예와 차이점이 있다. NMOS 트랜지스터로 형성되는 제2 트랜지스터(T2)의 액티브층은 산화물 반도체 반도체로 형성될 수 있다. PMOS 트랜지스터로 형성되는 제1 트랜지스터(T1)의 액티브층과 제3 트랜지스터(T3)의 액티브층은 폴리 실리콘으로 형성될 수 있다.

- [0130] 도 16에 도시된 실시예에 따른 서브 화소(PX)가 동작하기 위해서는, 도 5 및 도 12 내지 도 14에서 제2 트랜지스터(T2)의 게이트 전극에 인가되는 제k 제어 스캔 신호(GCk)는 NMOS 트랜지스터의 특성에 맞게 수정되어야 한다. 제k 제어 스캔 신호(GCk)는 도 5 및 도 12 내지 도 14에 도시된 제k 제어 스캔 신호(GCk)가 반전된 파형을 가질 수 있다. 예를 들어, 제k 제어 스캔 신호(GCk)는 제2 기간(t2)과 제3 기간(t3) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)을 가질 수 있다.
- [0131] 도 17은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0132] 도 17에 도시된 실시예는 제1 트랜지스터(T1)가 PMOS 트랜지스터로 형성되고, 제2 트랜지스터(T2)와 제3 트랜지스터(T3)가 NMOS 트랜지스터로 형성된 것에서 도 4에 도시된 실시예와 차이점이 있다. NMOS 트랜지스터로 형성되는 제2 트랜지스터(T2)의 액티브층과 제3 트랜지스터(T3)의 액티브층은 산화물 반도체 반도체로 형성될 수 있다. PMOS 트랜지스터로 형성되는 제1 트랜지스터(T1)의 액티브층은 폴리 실리콘으로 형성될 수 있다.
- [0133] 도 17에 도시된 실시예에 따른 서브 화소(PX)가 동작하기 위해서는, 도 5 및 도 12 내지 도 14에서 제3 트랜지스터(T3)의 게이트 전극에 인가되는 제k 스캔 신호(GWk)와 제2 트랜지스터(T2)의 게이트 전극에 인가되는 제k 제어 스캔 신호(GCk)는 NMOS 트랜지스터의 특성에 맞게 수정되어야 한다. 제k 스캔 신호(GWk)는 도 5 및 도 12 내지 도 14에 도시된 제k 스캔 신호(GWk)가 반전된 파형을 가질 수 있다. 제k 제어 스캔 신호(GCk)는 도 5 및 도 12 내지 도 14에 도시된 제k 제어 스캔 신호(GCk)가 반전된 파형을 가질 수 있다. 예를 들어, 제k 스캔 신호(GWk)는 제2 기간(t2)과 제3 기간(t3) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)을 가지며, 제4 기간(t4) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)의 펄스를 가질 수 있다. 제k 제어 스캔 신호(GCk)는 제2 기간(t2)과 제3 기간(t3) 동안 게이트 오프 전압(Voff)보다 높은 전압을 갖는 게이트 온 전압(Von)을 가질 수 있다.
- [0134] 도 18은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0135] 도 18에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k+1 스캔 라인(SLk+1)에 접속되는 것에서 도 4에 도시된 실시예와 차이점이 있다. 제k+1 스캔 라인(SLk+1)은 제1 내지 제3 기간들(t1, t2, t3)과 제5 및 제6 기간들(t5, t6) 동안 도 5 및 도 12 내지 도 14에 도시된 제k 스캔 라인(SLk)과 실질적으로 동일할 수 있다. 제k+1 스캔 라인(SLk+1)은 제4 기간(t4) 동안 적어도 한 번의 게이트 온 전압(Von)의 펄스를 가질 수 있다. 제k+1 스캔 라인(SLk+1)의 게이트 온 전압(Von)의 펄스는 제k 스캔 라인(SLk)의 게이트 온 전압(Von)의 펄스보다 늦게 발생할 수 있다.
- [0136] 도 19는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0137] 도 19에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k+1 스캔 라인(SLk+1)에 접속되는 것에서 도 15에 도시된 실시예와 차이점이 있다.
- [0138] 도 20은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0139] 도 20에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k+1 스캔 라인(SLk+1)에 접속되는 것에서 도 16에 도시된 실시예와 차이점이 있다.
- [0140] 도 21은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0141] 도 21에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k+1 스캔 라인(SLk+1)에 접속되는 것에서 도 17에 도시된 실시예와 차이점이 있다.
- [0142] 도 22는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0143] 도 22에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k 스캔 라인(SLk)에 접속되는 것에서 도 4에 도시된 실시예와 차이점이 있다.
- [0144] 도 23은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0145] 도 23에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k 스캔 라인(SLk)에 접속되는 것에서 도 15에 도시된 실시예와 차이점이 있다.
- [0146] 도 24는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0147] 도 24에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(Clk) 대신에, 제k 스캔 라인

(SLk)에 접속되는 것에서 도 16에 도시된 실시예와 차이점이 있다.

- [0148] 도 25는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0149] 도 25에 도시된 실시예는 제2 트랜지스터(T2)의 게이트 전극이 제k 제어 스캔 라인(CLk) 대신에, 제k 스캔 라인(SLk)에 접속되는 것에서 도 17에 도시된 실시예와 차이점이 있다.
- [0150] 도 26은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0151] 도 26에 도시된 실시예는 제2 커패시터(Cpr)가 제3 노드(N3)와 제j 데이터 라인(DLj) 사이에 배치되는 것에서 도 22에 도시된 실시예와 차이점이 있다. 도 26에서 제2 커패시터(Cpr)는 제3 노드(N3)에 연결된 제1 용량 전극과 제j 데이터 라인(DLj)에 연결된 제2 용량 전극을 포함할 수 있다.
- [0152] 도 27은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0153] 도 27에 도시된 실시예는 제2 커패시터(Cpr)가 제3 노드(N3)와 제j 데이터 라인(DLj) 사이에 배치되는 것에서 도 23에 도시된 실시예와 차이점이 있다. 도 27에서 제2 커패시터(Cpr)는 제3 노드(N3)에 연결된 제1 용량 전극과 제j 데이터 라인(DLj)에 연결된 제2 용량 전극을 포함할 수 있다.
- [0154] 도 28은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0155] 도 28에 도시된 실시예는 제2 커패시터(Cpr)가 제3 노드(N3)와 제j 데이터 라인(DLj) 사이에 배치되는 것에서 도 24에 도시된 실시예와 차이점이 있다. 도 28에서 제2 커패시터(Cpr)는 제3 노드(N3)에 연결된 제1 용량 전극과 제j 데이터 라인(DLj)에 연결된 제2 용량 전극을 포함할 수 있다.
- [0156] 도 29는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0157] 도 29에 도시된 실시예는 제2 커패시터(Cpr)가 제3 노드(N3)와 제j 데이터 라인(DLj) 사이에 배치되는 것에서 도 25에 도시된 실시예와 차이점이 있다. 도 29에서 제2 커패시터(Cpr)는 제3 노드(N3)에 연결된 제1 용량 전극과 제j 데이터 라인(DLj)에 연결된 제2 용량 전극을 포함할 수 있다.
- [0158] 도 30은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0159] 도 30에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 4에 도시된 실시예와 차이점이 있다. NMOS 트랜지스터는 게이트 오프 전압보다 높은 게이트 온 전압에 의해 턴-온된다. NMOS 트랜지스터로 형성되는 제1 트랜지스터(T1)의 액티브층은 산화물 반도체로 형성될 수 있다.
- [0160] 도 30에 도시된 실시예에 따른 서브 화소(PX)가 동작하기 위해서는, 도 5 및 도 12 내지 도 14에서 제1 트랜지스터(T1)의 게이트 전극에 인가되는 초기화 전압(VINI)과 데이터 전압(Vdata)은 NMOS 트랜지스터의 특성에 맞게 수정되어야 한다. 예를 들어, 초기화 전압(VINI)과 데이터 전압(Vdata)은 도 5 및 도 12 내지 도 14에 도시된 초기화 전압(VINI)이 반전된 파형을 가질 수 있다.
- [0161] 도 31은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0162] 도 31에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 15에 도시된 실시예와 차이점이 있다.
- [0163] 도 32는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0164] 도 32에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 16에 도시된 실시예와 차이점이 있다.
- [0165] 도 33은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0166] 도 33에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 17에 도시된 실시예와 차이점이 있다.
- [0167] 도 34는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0168] 도 34에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 18에 도시된 실시예와 차이점이 있다.
- [0169] 도 35는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.

- [0170] 도 35에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 19에 도시된 실시예와 차이점이 있다.
- [0171] 도 36은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0172] 도 36에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 20에 도시된 실시예와 차이점이 있다.
- [0173] 도 37은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0174] 도 37에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 21에 도시된 실시예와 차이점이 있다.
- [0175] 도 38은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0176] 도 38에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 22에 도시된 실시예와 차이점이 있다.
- [0177] 도 39는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0178] 도 39에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 23에 도시된 실시예와 차이점이 있다.
- [0179] 도 40은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0180] 도 40에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 24에 도시된 실시예와 차이점이 있다.
- [0181] 도 41은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0182] 도 41에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 25에 도시된 실시예와 차이점이 있다.
- [0183] 도 42는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0184] 도 42에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 26에 도시된 실시예와 차이점이 있다.
- [0185] 도 43은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0186] 도 43에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 27에 도시된 실시예와 차이점이 있다.
- [0187] 도 44는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0188] 도 44에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 28에 도시된 실시예와 차이점이 있다.
- [0189] 도 45는 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0190] 도 45에 도시된 실시예는 제1 트랜지스터(T1)가 NMOS 트랜지스터로 형성되는 것에서 도 29에 도시된 실시예와 차이점이 있다.
- [0191] 도 46은 일 실시예에 따른 서브 화소의 일 예를 상세히 보여주는 회로도이다.
- [0192] 도 46을 참조하면, 서브 화소(PX)는 제k 스캔 라인(SLk), 제j 데이터 라인(DLj), 제1 구동 전압이 인가되는 제1 구동 전압 라인(VSL), 및 제2 구동 전압이 인가되는 제2 구동 전압 라인(VDL)에 접속될 수 있다. 서브 화소(PX)는 발광 소자로서 유기 발광 다이오드(OLED'), 제1 트랜지스터(T1'), 제2 트랜지스터(T2'), 제3 트랜지스터(T3'), 제4 트랜지스터(T4'), 및 제1 커패시터(Cst')를 포함할 수 있다.
- [0193] 도 4에서는 제1, 제2, 제3, 및 제4 트랜지스터들(T1', T2', T3', T4')이 PMOS 트랜지스터로 형성된 것을 예시하였으나, 이에 한정되지 않는다. 예를 들어, 제1, 제2, 제3, 및 제4 트랜지스터들(T1', T2', T3', T4')은 NMOS 트랜지스터로 형성되거나, 제1, 제2, 제3, 및 제4 트랜지스터들(T1', T2', T3', T4') 중 일부가 PMOS 트랜지스터로 형성되고 나머지가 NMOS 트랜지스터로 형성될 수 있다. PMOS 트랜지스터는 게이트 오프 전압

보다 낮은 게이트 온 전압에 의해 턴-온되고, NMOS 트랜지스터는 게이트 오프 전압보다 높은 게이트 온 전압에 의해 턴-온된다.

- [0194] 유기 발광 다이오드(OLED')는 발광 소자로서, 제1 트랜지스터(T1')의 구동 전류(Id')에 따라 발광한다. 유기 발광 다이오드(OLED')의 발광 휘도는 구동 전류(Id')에 비례할 수 있다.
- [0195] 유기 발광 다이오드(OLED')는 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 유기 발광층을 포함하는 유기 발광 다이오드일 수 있다. 또는, 유기 발광 다이오드(OLED') 대신에, 발광 소자로서 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 무기 반도체를 포함하는 무기 발광 다이오드가 이용될 수 있다. 또는, 유기 발광 다이오드(OLED') 대신에, 발광 소자로서 제1 전극, 제2 전극, 및 제1 전극과 제2 전극 사이에 배치된 양자점 발광층을 포함하는 양자점 발광 다이오드가 이용될 수 있다. 또는, 유기 발광 다이오드(OLED') 대신에, 발광 소자로서 마이크로 발광 다이오드(micro light emitting diode)가 이용될 수 있다.
- [0196] 유기 발광 다이오드(OLED')의 제1 전극은 제3 노드에 접속되고, 제2 전극은 제1 구동 전압 라인(VSL)에 접속될 수 있다. 유기 발광 다이오드(OLED')의 제1 전극과 제2 전극 사이에는 기생 용량(Cel')이 형성될 수 있다.
- [0197] 제1 트랜지스터(T1')는 게이트 전극에 인가되는 데이터 전압에 따라 드레인-소스간 전류(Id'), 이하 "구동 전류"라 칭함)를 제어하는 구동 트랜지스터일 수 있다. 제1 트랜지스터(T1')의 채널을 통해 흐르는 구동 전류(Id)는 수학식 1과 같이 제1 트랜지스터(T1')의 게이트 전극과 제1 전극 간의 전압(Vgs)과 문턱전압(threshold voltage) 간의 차이의 제곱에 비례한다.
- [0198] 제2 트랜지스터(T2')는 제2 노드(N2')와 제j 데이터 라인(DLj) 사이에 배치된다. 제2 트랜지스터(T2')는 제k 스캔 라인(SLk)의 제k 스캔 신호에 의해 턴-온되어 제2 노드(N2')와 제j 데이터 라인(DLj)을 접속시킨다. 제2 트랜지스터(T2')의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제2 노드(N2')에 접속되며, 제2 전극은 제j 데이터 라인(DLj)에 접속될 수 있다.
- [0199] 제3 트랜지스터(T3')는 제1 노드(N1')와 제3 노드(N3') 사이에 배치된다. 제3 트랜지스터(T3')는 제k 스캔 라인(SLk)의 제k 스캔 신호에 의해 턴-온되어 제1 노드(N1')와 제3 노드(N3')를 접속시킨다. 제3 트랜지스터(T3')의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제3 노드(N3')에 접속되며, 제2 전극은 제1 노드(N1')에 접속될 수 있다. 제3 트랜지스터(T3')가 턴-온되는 경우, 제1 트랜지스터(T1')의 게이트 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1')는 다이오드로 동작한다.
- [0200] 제4 트랜지스터(T4')는 제2 노드(N2')와 제2 구동 전압 라인(VDL) 사이에 배치된다. 제4 트랜지스터(T4')는 발광 라인(EML)의 발광 신호에 의해 턴-온되어 제2 노드(N2')와 제2 구동 전압 라인(VDL)을 접속시킨다. 제4 트랜지스터(T4')의 게이트 전극은 발광 라인(EML)에 접속되고, 제1 전극은 제2 구동 전압 라인(VDL)에 접속되며, 제2 전극은 제2 노드(N2')에 접속될 수 있다.
- [0201] 제1 커패시터(Cst')는 제1 노드(N1')와 제2 구동 전압 라인(VDL) 사이에 배치된다. 제1 커패시터(Cst')는 제1 노드(N1')에 연결된 제1 용량 전극과 제2 구동 전압 라인(VDL)에 연결된 제2 용량 전극을 포함할 수 있다.
- [0202] 제1, 제2, 제3, 및 제4 트랜지스터들(T1', T2', T3', T4') 각각의 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다. 또는, 제1, 제2, 제3, 및 제4 트랜지스터들(T1', T2', T3', T4') 각각의 제1 전극이 드레인 전극인 경우, 제2 전극은 소스 전극일 수 있다.
- [0203] 제1 트랜지스터(T1')의 액티브층, 제2 트랜지스터(T2')의 액티브층, 제3 트랜지스터(T3')의 액티브층, 및 제4 트랜지스터(T4')의 액티브층은 폴리 실리콘(Poly Silicon), 아몰포스 실리콘, 또는 산화물 반도체로 형성될 수도 있다. 또는, 제1 트랜지스터(T1')의 액티브층, 제2 트랜지스터(T2')의 액티브층, 제3 트랜지스터(T3')의 액티브층, 및 제4 트랜지스터(T4')의 액티브층 중 일부는 폴리 실리콘으로 형성되고, 나머지는 산화물 반도체로 형성될 수 있다. 예를 들어, 제1 트랜지스터(T1')의 액티브층은 폴리 실리콘으로 형성되고, 제2 트랜지스터(T2')의 액티브층, 제3 트랜지스터(T3')의 액티브층, 및 제4 트랜지스터(T4)의 액티브층은 산화물 반도체로 형성될 수 있다.
- [0204] 도 47은 도 46의 서브 화소에 인가되는 제1 구동 전압, 제2 구동 전압, 제k 발광 신호, 제1 스캔 신호, 및 제n 스캔 신호를 보여주는 파형도이다.
- [0205] 도 47을 참조하면, 제1 구동 전압(VSS)은 유기 발광 다이오드(OLED)의 캐소드 전극에 인가되는 전압이고, 제2 구동 전압(VDD)은 제1 트랜지스터(T1)의 제1 전극에 인가되는 전압이다. 제1 스캔 라인(SL1)에 인가되는 제1 스캔 신호(GW1)와 제n 스캔 라인(SLn)에 인가되는 제n 스캔 신호(GWn)는 제2 트랜지스터(T2')와 제3 트랜지스터

(T3')의 턴-온과 턴-오프를 제어하기 위한 신호이다. 발광 라인(EML)에 인가되는 발광 신호(EM)는 제4 트랜지스터(T4')의 턴-온과 턴-오프를 제어하기 위한 신호이다.

- [0206] 제1 구동 전압(VSS), 제2 구동 전압(VDD), 제1 스캔 신호(GW1), 제n 스캔 신호(GWn), 및 발광 신호(EM)는 1 프레임 기간을 주기로 발생할 수 있다. 1 프레임 기간은 제1 내지 제5 기간들(t1' ~t5')을 포함할 수 있다. 제1 기간(t1')은 제3 노드(N3')를 초기화 기간이고, 제2 기간(t2')은 제1 커패시터(Cst')를 초기화하는 초기화 기간이며, 제3 기간(t3')은 제j 데이터 라인(DLj)의 데이터 전압을 제1 노드(N1')에 기입하고, 제1 트랜지스터(T1')의 문턱 전압을 제1 커패시터(Cst')에 저장하는 데이터 전압 기입 및 문턱 전압 저장 기간이며, 제4 기간(t4')은 제3 노드(N3')를 초기화 기간이고, 제5 기간(t5')은 유기 발광 다이오드(OLED')가 발광하는 발광 기간일 수 있다.
- [0207] 표시 패널(100)의 서브 화소(PX)들은 제1 및 제2 기간들(t1', t2') 동안 동시에 제2 노드(N2')를 초기화하고, 제1 커패시터(Cst')를 초기화한다. 그리고 나서, 표시 패널(100)의 서브 화소(PX)들은 제3 기간(t3') 동안 스캔 라인 별로 순차적으로 데이터 전압을 제1 노드(N1')에 기입하고, 제1 트랜지스터(T1')의 문턱 전압을 제1 커패시터(Cst')에 저장한다. 그리고 나서, 표시 패널(100)의 서브 화소(PX)들은 제4 기간(t4') 동안 동시에 제3 노드(N3)를 초기화하고, 제5 기간(t5') 동안 동시에 유기 발광 다이오드(OLED)를 발광한다.
- [0208] 제1 구동 전압(VSS)은 제1 및 제2 기간들(t1', t2') 동안 제1 하이 레벨 전압(HV1)을 가지며, 제3 기간(t3') 동안 제1 중간 레벨 전압(MV1)을 가지며, 제4 기간(t4') 동안 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되고, 제5 기간(t5') 동안 제1 로우 레벨 전압(LV1)을 가진다. 제2 구동 전압(VDD)은 제1 및 제2 기간들(t1', t2') 동안 제2 로우 레벨 전압(LV2)을 가지며, 제3 기간(t3') 동안 제2 하이 레벨 전압(HV2)을 가지고, 제4 기간(t4') 동안 제2 로우 레벨 전압(LH2)을 가지며, 제5 기간(t5') 동안 제2 하이 레벨 전압(HV2)을 가진다.
- [0209] 제1 스캔 신호(GW1)와 제n 스캔 신호(GWn) 각각은 제1 기간(t1') 동안 게이트 오프 전압(Voff)을 가지며, 제2 기간(t2') 동안 게이트 온 전압(Von)을 가지며, 제3 기간(t3') 동안 적어도 한 번의 게이트 온 전압(Von)의 펄스를 가지며, 제4 및 제5 기간들(t4', t5') 동안 게이트 오프 전압(Voff)을 가진다. 발광 신호(EM)는 제1 기간(t1') 동안 게이트 온 전압(Von)을 가지며, 제2 기간(t2')과 제3 기간(t3') 동안 게이트 오프 전압(Voff)을 가지며, 제4 및 제5 기간들(t4', t5') 동안 게이트 온 전압(Von)을 가질 수 있다.
- [0210] 제1 하이 레벨 전압(HV1)과 제2 하이 레벨 전압(HV2)은 실질적으로 동일한 전압일 수 있다. 제1 로우 레벨 전압(LV1)과 제2 로우 레벨 전압(LV2)은 실질적으로 동일하거나 제1 로우 레벨 전압(LV1)이 제2 로우 레벨 전압(LV2)보다 낮을 수 있다. 제1 중간 레벨 전압(MV1)은 제1 하이 레벨 전압(HV1)과 제1 로우 레벨 전압(LV1) 사이의 전압일 수 있다. 게이트 온 전압(Von)은 제1 내지 제4 트랜지스터들(T1', T2', T3', T4')을 턴-온시킬 수 있는 전압에 해당한다. 게이트 오프 전압(Voff)은 제1 내지 제4 트랜지스터들(T1', T2', T3', T4')을 턴-오프시킬 수 있는 전압에 해당한다.
- [0211] 도 48 내지 도 51은 제1 내지 제4 기간들 동안 서브 화소의 동작을 보여주는 회로도들이다.
- [0212] 첫 번째로, 도 47과 같이 제1 기간(t1') 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가진다. 제1 기간(t1') 동안 스캔 신호들(GW1~GWn)은 게이트 오프 전압(Voff)을 가지며, 발광 신호(EM)는 게이트 온 전압(Von)을 가진다. 이로 인해, 제1 기간(t1') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 턴-오프되며, 제4 트랜지스터(T4')는 턴-온된다.
- [0213] 도 48과 같이 제1 기간(t1') 동안 제4 트랜지스터(T4')가 턴-온되므로, 제2 노드(N2')는 제2 로우 레벨 전압(LV2)으로 방전될 수 있다. 제1 트랜지스터(T1')의 게이트 전극과 제1 전극 간의 전압 차가 제1 트랜지스터(T1')의 문턱 전압보다 커지므로, 제1 트랜지스터(T1)는 턴-온되며, 제3 노드(N3')는 초기화될 수 있다. 이때, 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가지므로, 유기 발광 다이오드(OLED')는 발광하지 않을 수 있다.
- [0214] 두 번째로, 도 47과 같이 제2 기간(t2') 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)을 가지며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가진다. 제2 기간(t2') 동안 스캔 신호들(GW1~GWn)은 게이트 온 전압(Von)을 가지며, 발광 신호(EM)는 게이트 오프 전압(Voff)을 가진다. 이로 인해, 제2 기간(t2') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 턴-온되며, 제4 트랜지스터(T4')는 턴-오프된다.
- [0215] 도 49와 같이 제2 기간(t2') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 턴-온되므로, 제1 노드(N1')는 제3 노드(N3')와 차지 웨어링(charge sharing)된다. 이에 따라, 제1 커패시터(Cst')의 제1 용량 전극과

제2 용량 전극이 동일한 전압을 갖게 되므로, 제1 커패시터(Cst')는 초기화될 수 있다.

- [0216] 세 번째로, 도 47과 같이 제3 기간(t3') 동안 제1 구동 전압(VSS)은 제1 중간 레벨 전압(MV1)을 가지며, 제2 구동 전압(VDD)은 제2 하이 레벨 전압(HV2)을 가진다. 제3 기간(t3') 동안 제1 구동 전압(VSS)은 제1 중간 레벨 전압(MV1) 대신에 제1 하이 레벨 전압(HV1)을 가질 수 있다. 다만, 제1 구동 전압(VSS)이 제1 중간 레벨 전압(MV1)을 갖는 경우, 제1 하이 레벨 전압(HV1)을 가질 때보다 유기 발광 다이오드(OLED)에 역방향 누설 전류가 흐르는 것을 방지할 수 있다.
- [0217] 제3 기간(t3') 동안 스캔 신호들(GW1~GWn) 각각은 적어도 한 번의 게이트 온 전압(Von)의 펄스를 가지며, 발광 신호(EM)는 게이트 오프 전압(Voff)을 가진다. 이로 인해, 제3 기간(t3') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 적어도 한 번의 게이트 온 전압(Von)의 펄스와 동기화하여 턴-온되며, 제4 트랜지스터(T4')는 턴-오프된다.
- [0218] 제3 기간(t3') 동안 제2 트랜지스터(T2')가 턴-온되는 경우, 제2 노드(N2)에는 데이터 전압(Vdata)이 인가된다. 제3 기간(t3') 동안 제3 트랜지스터(T3')가 턴-온되는 경우, 제1 트랜지스터(T1')의 게이트 전극과 제2 전극이 접속되므로, 제1 트랜지스터(T1')는 다이오드로 동작한다. 제2 노드(N2')에 데이터 전압(Vdata)이 인가되는 경우, 제1 트랜지스터(T1')의 게이트 전극과 제1 전극 간의 전압이 제1 트랜지스터(T1')의 문턱전압보다 커질 수 있다. 그러므로, 제1 트랜지스터(T1')는 게이트 전극과 제1 전극 간의 전압이 제1 트랜지스터(T1')의 문턱전압에 도달할 때까지 전류패스를 형성할 수 있다. 이에 따라, 도 50과 같이 제1 트랜지스터(T1')는 게이트 전극의 전압, 즉 제1 노드(N1')의 전압(VN1)은 데이터 전압(Vdata)과 제1 트랜지스터(T1')의 문턱전압(Vth) 간의 차 전압(Vdata-Vth)까지 상승할 수 있다. 제1 커패시터(Cst')에는 데이터 전압(Vdata)과 제1 트랜지스터(T1')의 문턱전압(Vth) 간의 차 전압(Vdata-Vth)이 저장될 수 있다.
- [0219] 네 번째로, 도 47과 같이 제4 기간(t4') 동안 제1 구동 전압(VSS)은 제1 하이 레벨 전압(HV1)에서 제1 로우 레벨 전압(LV1)으로 변경되며, 제2 구동 전압(VDD)은 제2 로우 레벨 전압(LV2)을 가진다. 제4 기간(t4') 동안 스캔 신호들(GW1~GWn)은 게이트 오프 전압(Voff)을 가지며, 발광 신호(EM)는 게이트 온 전압(Von)을 가진다. 이로 인해, 제4 기간(t4') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 턴-오프되고, 제4 트랜지스터(T4')는 턴-온된다.
- [0220] 제4 기간(t4') 동안 제2 노드(N2')에는 제2 로우 레벨 전압(LV2)이 인가되므로, 제1 트랜지스터(T1')의 게이트 전극과 제1 전극 간의 전압 차가 제1 트랜지스터(T1')의 문턱 전압보다 커질 수 있다. 이에 따라, 제1 트랜지스터(T1')는 턴-온되며, 제3 노드(N3')는 도 51과 같이 제2 구동 전압(VDD)의 제2 로우 레벨 전압(LV2)로 초기화될 수 있다.
- [0221] 도 47 및 도 51에 도시된 실시예에 의하면, 제4 기간(t4')에서 제1 구동 전압(VSS)이 제1 중간 레벨 전압(MV1)에서 제1 로우 레벨 전압(LV1)으로 변경되는 경우, 유기 발광 다이오드(OLED')의 기생 용량(Cel)에 의해 제1 구동 전압(VSS)의 변화량이 제3 노드(N3')에 반영되는 것을 방지할 수 있다. 이 경우, 제3 노드(N3')의 전압이 낮아지는 것을 방지할 수 있으므로, 제5 기간(t5') 동안 유기 발광 다이오드(OLED')를 저계조의 휘도로 발광하여 구동 전류(Id')가 작더라도, 유기 발광 다이오드(OLED')의 기생 용량(Cel')을 충전하는 시간을 줄일 수 있다. 따라서, 제5 기간(t5')에서 유기 발광 다이오드(OLED')의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0222] 또한, 제2 구동 전압(VDD)의 제2 로우 레벨 전압(LV2)은 제1 구동 전압(VSS)의 제1 로우 레벨 전압(LV1)보다 높을 수 있다. 이 경우, 제5 기간(t5') 동안 유기 발광 다이오드(OLED')를 저계조의 휘도로 발광하여 구동 전류(Id')가 작더라도, 유기 발광 다이오드(OLED')의 기생 용량(Cel')을 충전하는 시간을 줄일 수 있다. 따라서, 제5 기간(t5')에서 유기 발광 다이오드(OLED')의 발광 시점을 줄일 수 있으므로, 저계조 얼룩과 같은 화상 품질이 낮아지는 것을 방지하거나 줄일 수 있다.
- [0223] 다섯 번째로, 도 47과 같이 제5 기간(t5') 동안 제1 구동 전압(VSS)은 제1 로우 레벨 전압(LV1)을 가지며, 제2 구동 전압(VDD)은 제2 하이 레벨 전압(HV2)을 가진다. 제5 기간(t5') 동안 스캔 신호들(GW1~GWn)은 게이트 오프 전압(Voff)을 가지며, 발광 신호(EM)는 게이트 온 전압(Von)을 가진다. 이로 인해, 제5 기간(t5') 동안 제2 트랜지스터(T2')와 제3 트랜지스터(T3')는 턴-오프되고, 제4 트랜지스터(T4')는 턴-온된다.
- [0224] 도 52와 같이 제5 기간(t5') 동안 제1 트랜지스터(T1)의 구동 전류(Id)는 제1 노드(N1)의 전압(Vdata-Vth)에 따라 유기 발광 다이오드(OLED')로 흐를 수 있다. 제1 트랜지스터(T1')의 구동 전류(Id')는 수학적 식 4와 같이 정의될 수 있다.

수학식 4

$$I_d = k' \times (HV2 - (V_{data} - V_{th}) - V_{th})^2$$

[0225]

[0226]

수학식 4를 정리하면, 수학식 5가 도출된다.

수학식 5

$$I_d = k' \times (HV2 - V_{data})^2$$

[0227]

[0228]

수학식 5와 같이 구동 전류(I_d')는 제1 트랜지스터($T1'$)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 제1 트랜지스터($T1'$)의 문턱전압(V_{th})은 보상된다.

[0229]

도 53은 일 실시예에 따른 표시 장치가 적용된 헤드 마운트 디스플레이의 일 예를 보여주는 사시도이다. 도 54는 도 53의 표시 패널 수납부를 상세히 보여주는 분해 사시도이다.

[0230]

도 53 및 도 54를 참조하면, 일 실시예에 따른 헤드 마운트 디스플레이(1)는 제1 표시 장치(1100), 제2 표시 장치(1200), 표시 패널 수납부(600), 수납부 커버(700), 제1 접안 렌즈(710), 제2 접안 렌즈(720), 및 헤드 장착 밴드(800)를 포함한다.

[0231]

제1 표시 장치(1100)는 제1 표시 패널(1110), 제1 회로 보드(1130), 및 제1 표시 구동 회로(1120)를 포함하며, 제2 표시 장치(1200)는 제2 표시 패널(1210), 제2 회로 보드(1230), 및 제2 표시 구동 회로(1220)를 포함할 수 있다.

[0232]

제1 표시 장치(1100)와 제2 표시 장치(1200)는 도 1 내지 도 3을 결부하여 설명한 표시 장치(10)와 실질적으로 동일하므로, 제1 표시 장치(1100)와 제2 표시 장치(1200)에 대한 설명은 생략한다.

[0233]

표시 패널 수납부(600)는 제1 표시 장치(1100)와 제2 표시 장치(1200)를 수납하는 역할을 한다. 제1 표시 장치(1100)와 제2 표시 장치(1200)를 수납하기 위해, 표시 패널 수납부(600)의 일면은 개방될 수 있다. 표시 패널 수납부(600)의 형태는 도 53 및 도 54에 도시된 것에 한정되지 않는다.

[0234]

수납부 커버(700)는 표시 패널 수납부(600)의 개방된 일면을 덮도록 배치된다. 수납부 커버(700)는 사용자의 좌안이 배치되는 제1 접안 렌즈(710)와 사용자의 우안이 배치되는 제2 접안 렌즈(720)를 포함할 수 있다. 도 53 및 도 54에서는 제1 접안 렌즈(710)와 제2 접안 렌즈(720)가 사각 형태로 형성된 것을 예시하였으나, 이에 한정되지 않는다. 제1 접안 렌즈(710)와 제2 접안 렌즈(720)는 원 형태, 또는 타원 형태로 형성될 수 있다. 또는, 제1 접안 렌즈(710)와 제2 접안 렌즈(720)가 합쳐져 하나의 개구부로 형성될 수 있다.

[0235]

제1 접안 렌즈(710)는 제1 표시 장치(1100)와 정렬되며, 제2 접안 렌즈(720)는 제2 표시 장치(1200)와 정렬될 수 있다. 따라서, 사용자는 제1 접안 렌즈(710)를 통해 제1 표시 장치(1100)의 영상을 볼 수 있으며, 제2 접안 렌즈(720)를 통해 제2 표시 장치(1200)의 영상을 볼 수 있다. 제1 접안 렌즈(710)와 제2 접안 렌즈(720)는 볼록 렌즈일 수 있다.

[0236]

도 53 및 도 54에서는 일 실시예에 따른 표시 장치가 헤드 마운트 디스플레이(1)에 적용된 것을 예시하였으나, 이에 한정되지 않는다. 즉, 일 실시예에 따른 표시 장치는 헤드 마운트 디스플레이(1) 이외에도, 고 PPI(pixel per inch) 제품에 적용될 수 있다. 예를 들어, 일 실시예에 따른 표시 장치는 스마트폰, 태블릿 PC, 및 차량용 표시 장치와 같은 소형 표시 장치를 필요로 하는 전자 기기에 적용될 수 있다.

[0237]

이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

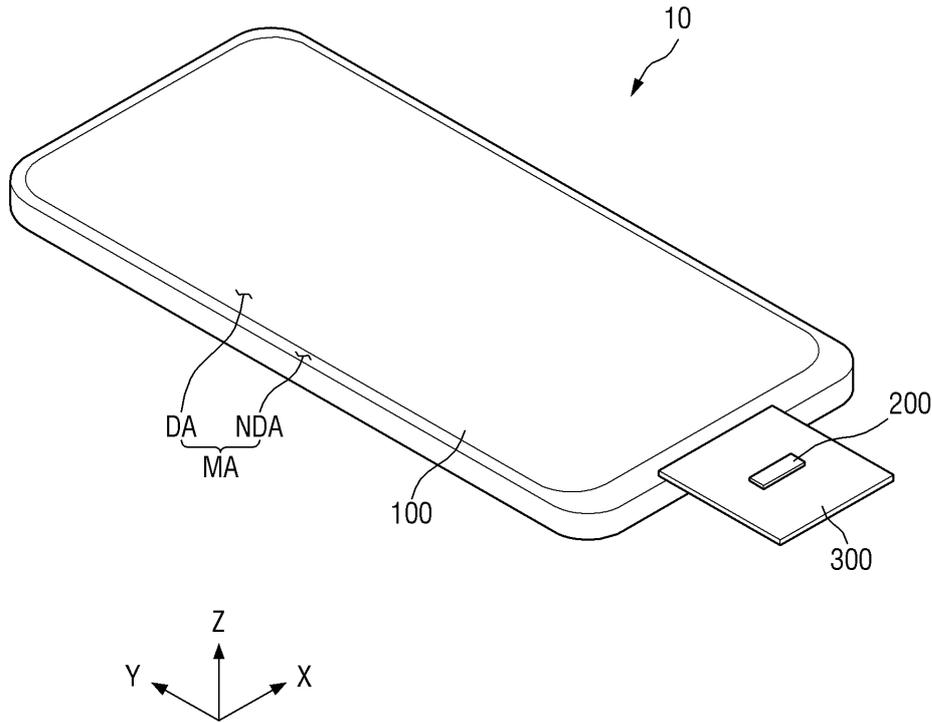
부호의 설명

[0238]

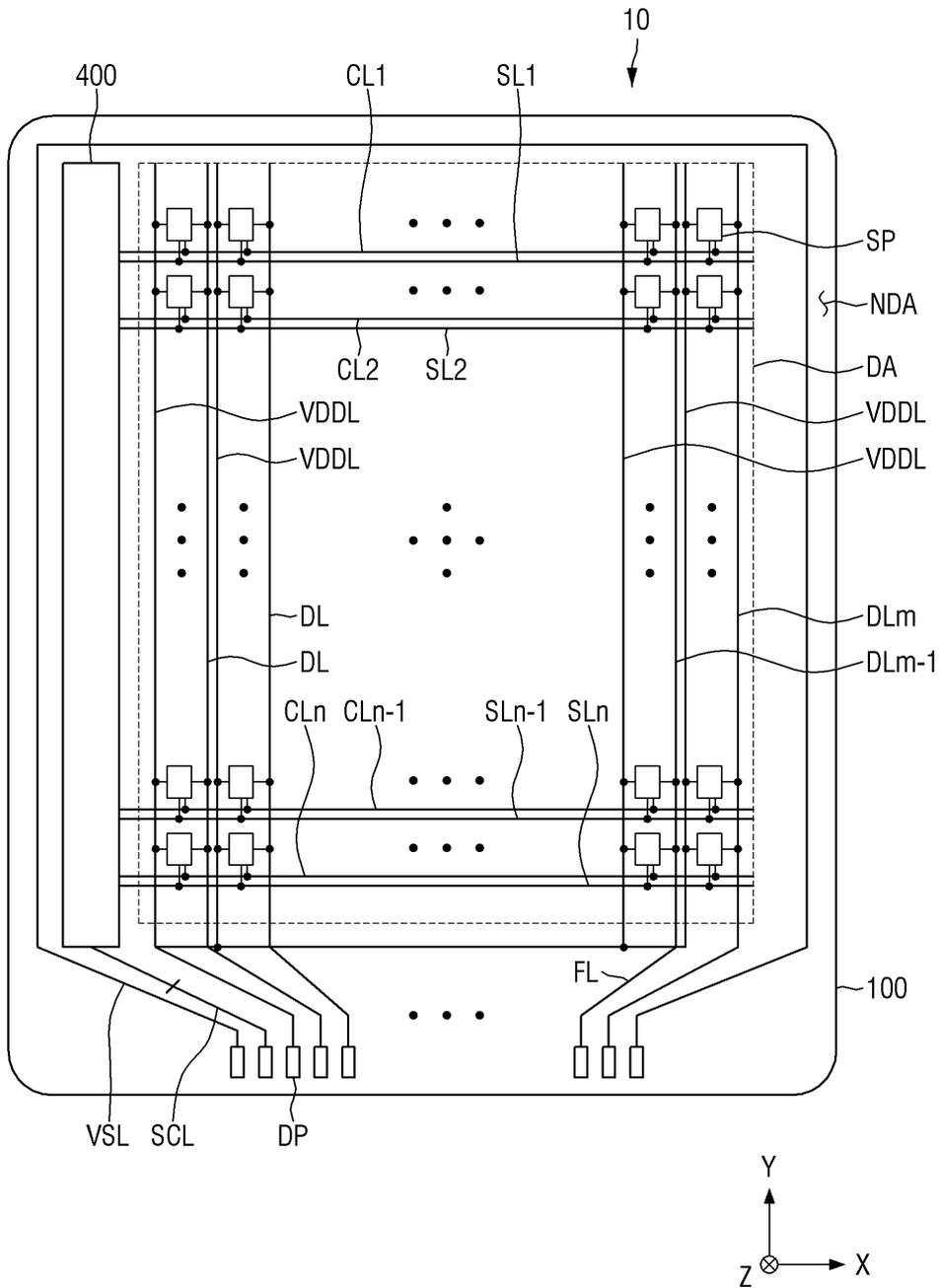
- 10: 표시 장치 100: 표시 패널
- 200: 표시 구동 회로 210: 타이밍 제어부
- 220: 데이터 구동부 230: 전원 공급 회로
- 300: 회로 보드 400: 스캔 구동부

도면

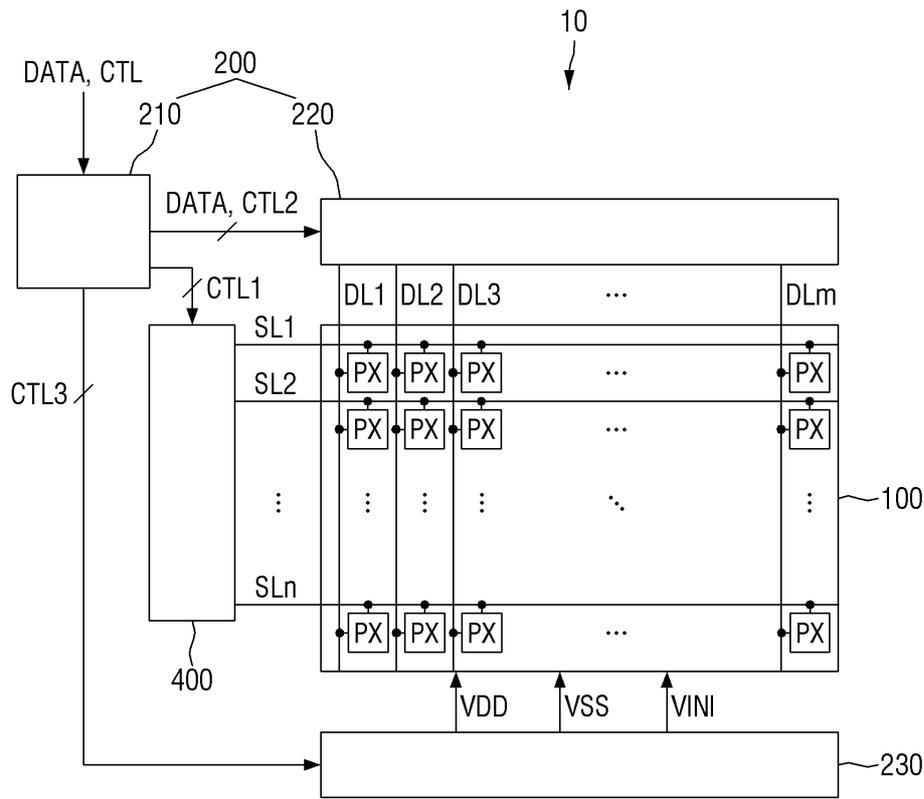
도면1



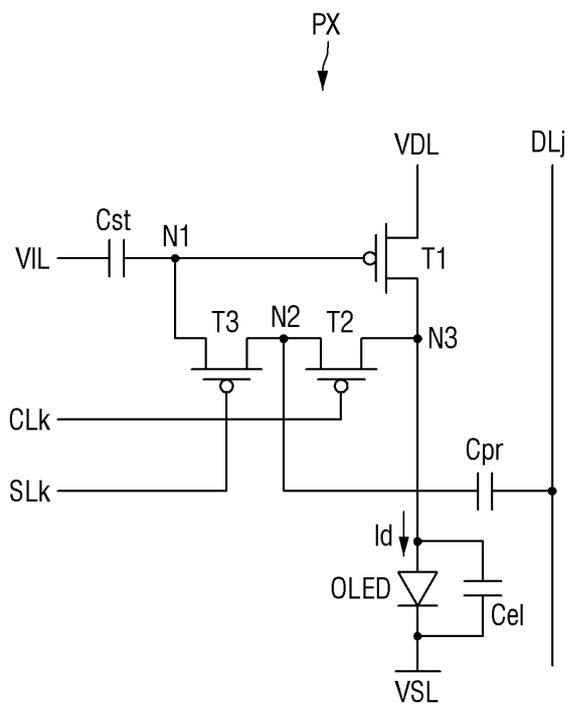
도면2



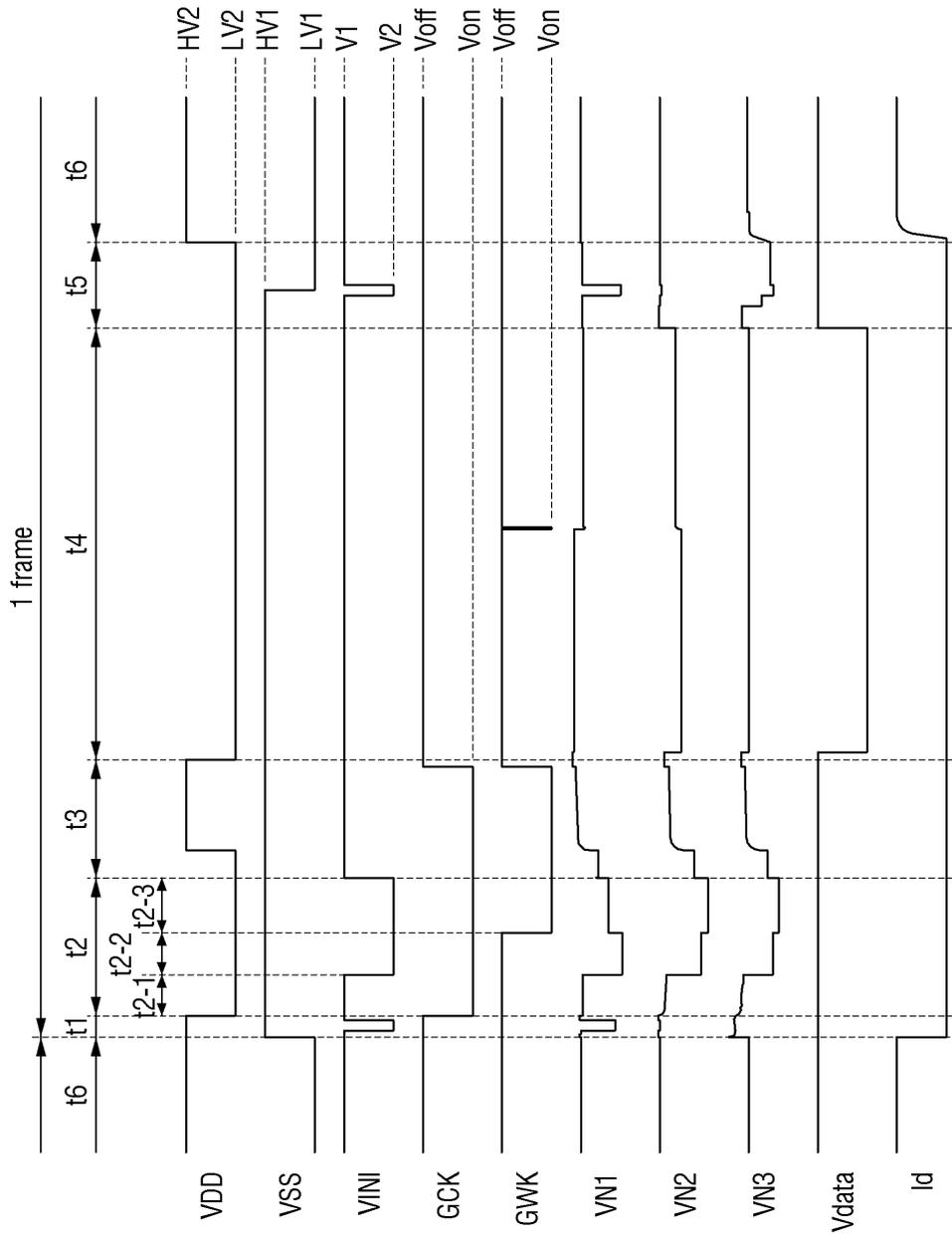
도면3



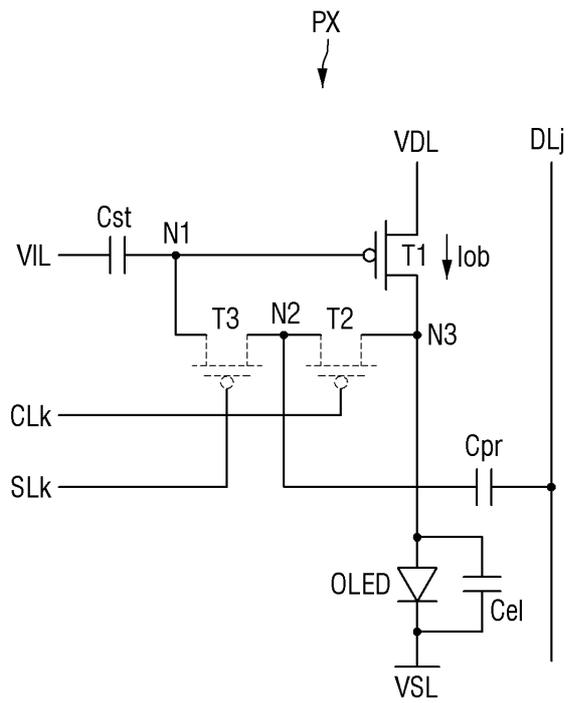
도면4



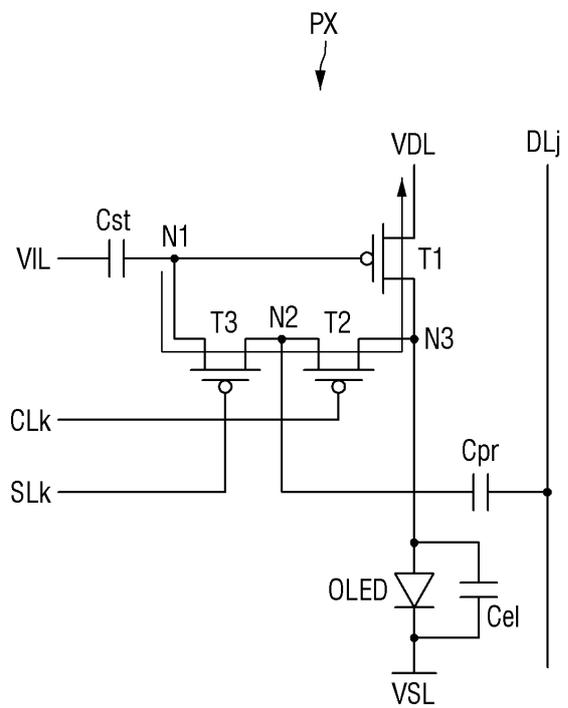
도면5



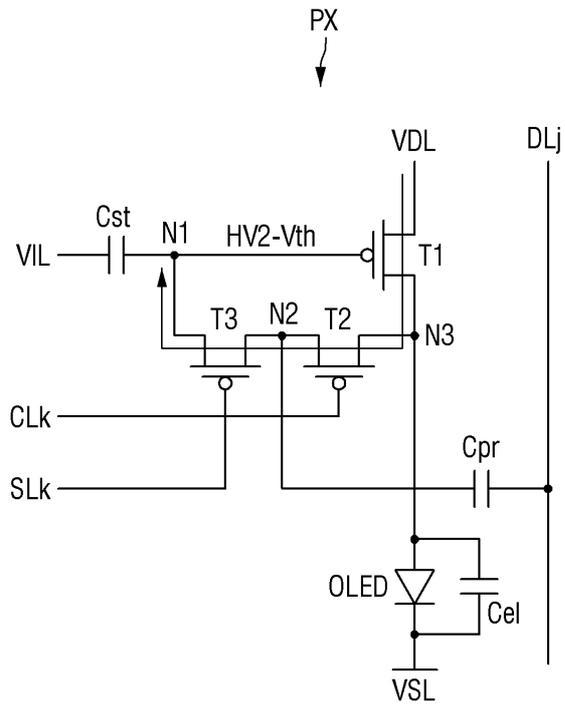
도면6



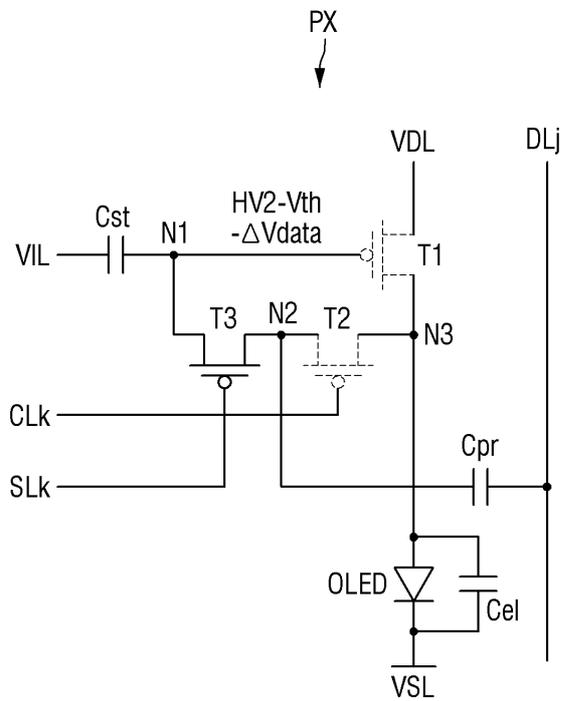
도면7



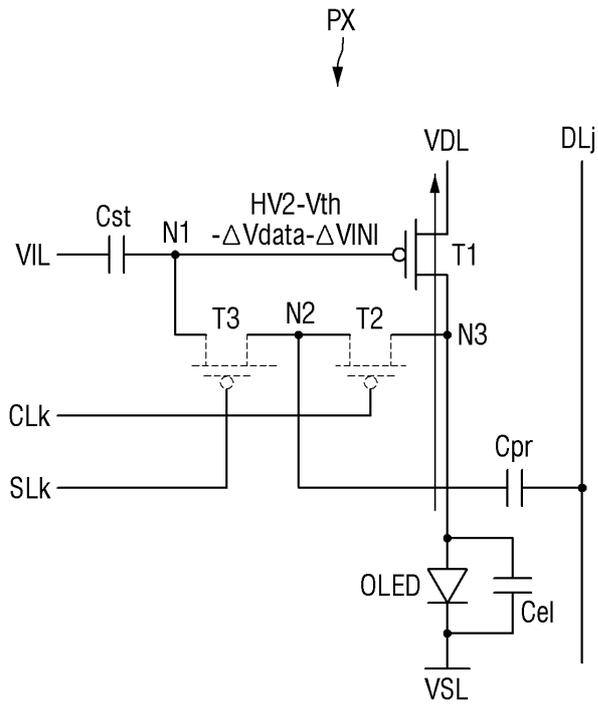
도면8



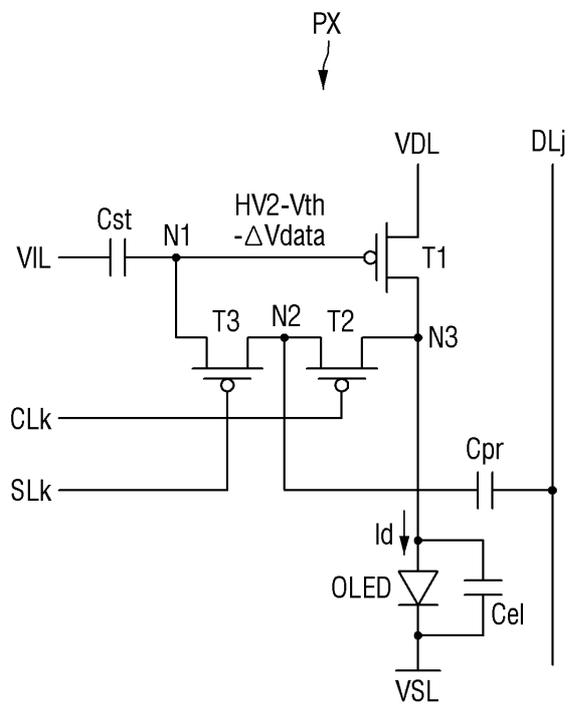
도면9



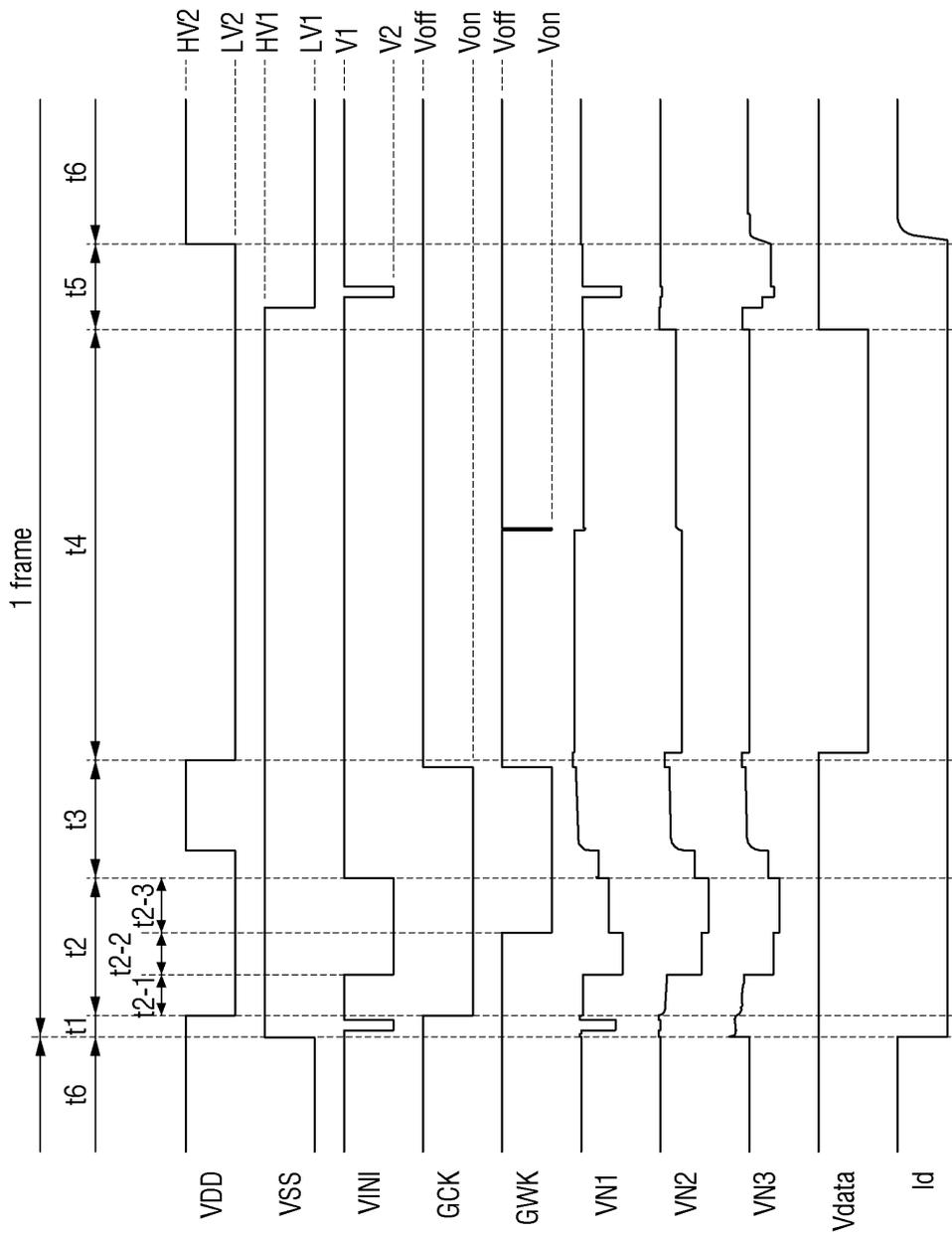
도면10



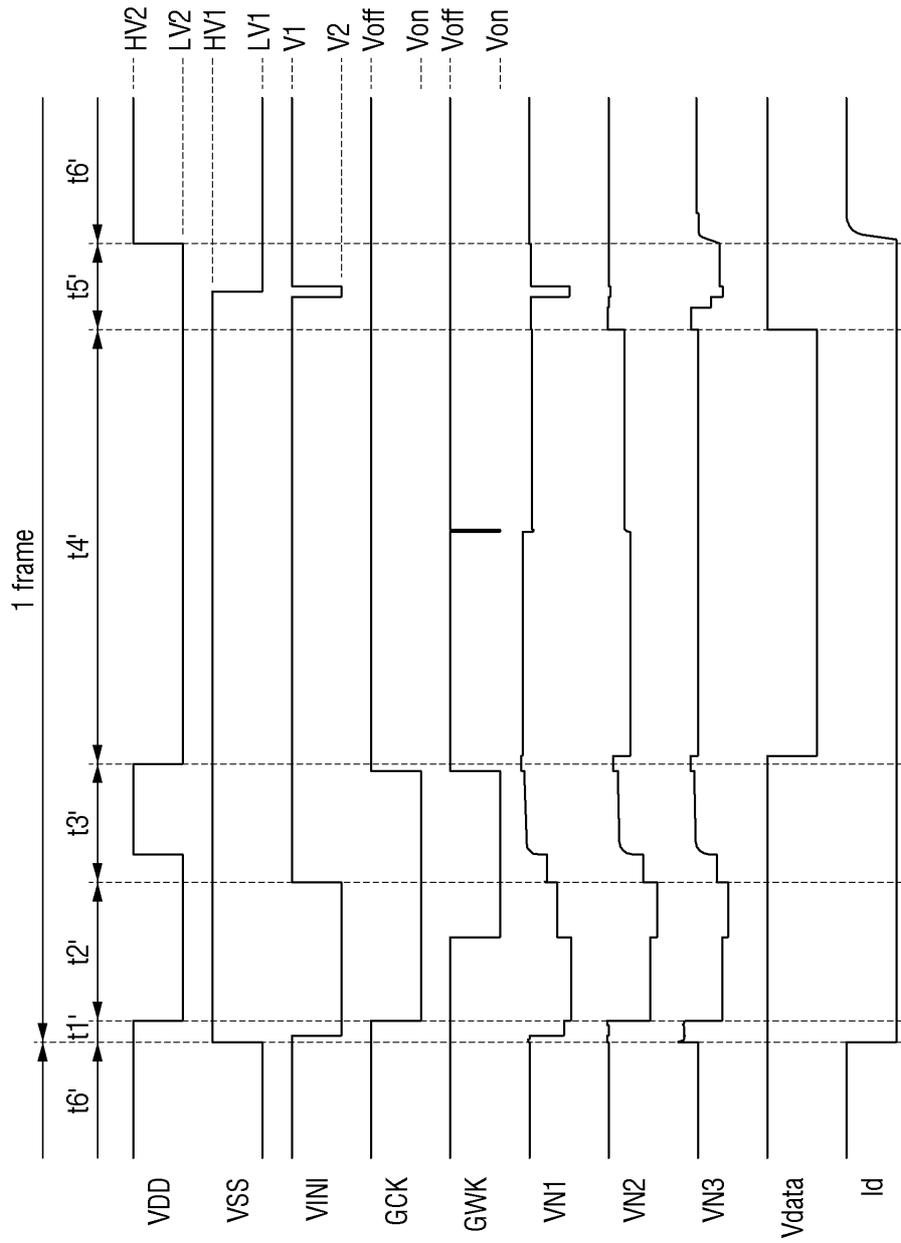
도면11



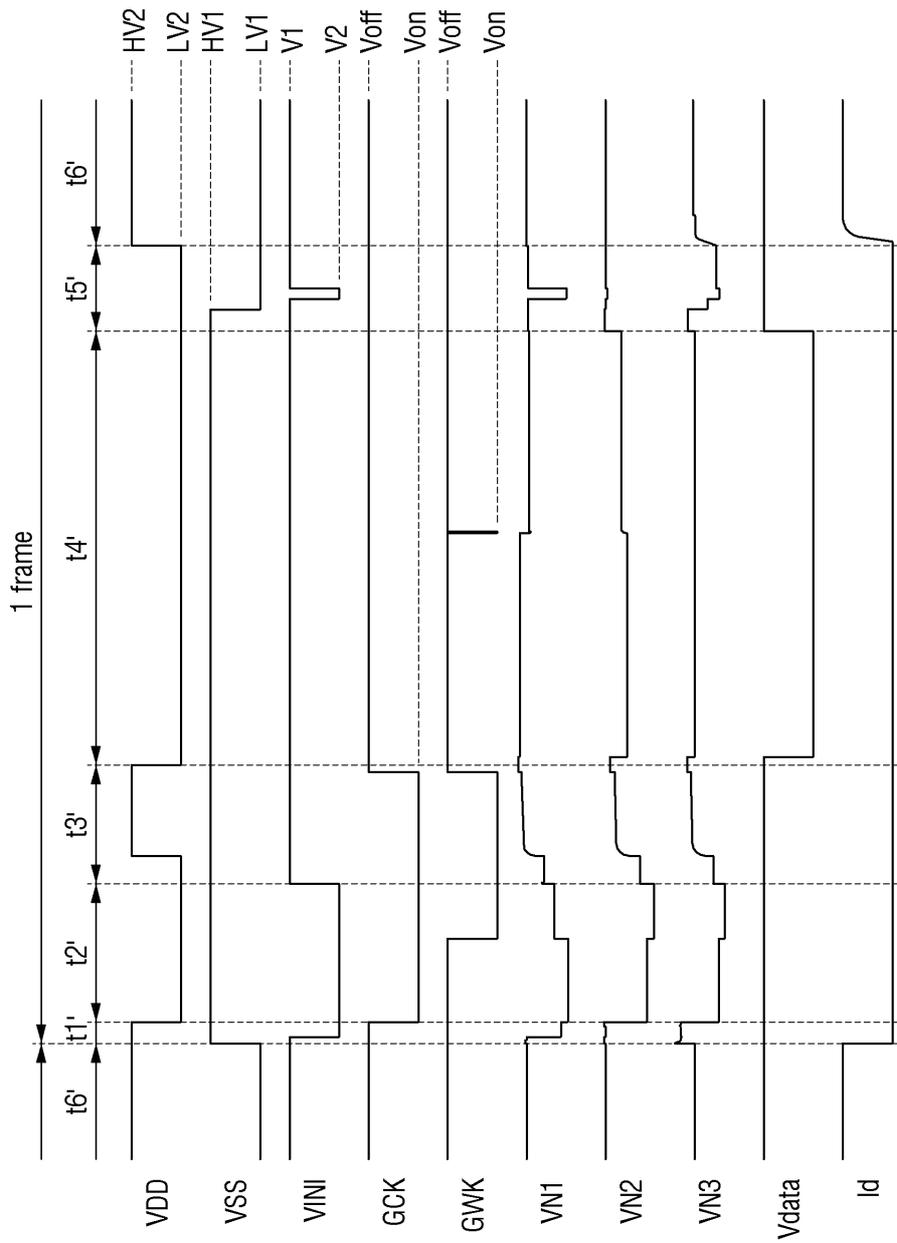
도면12



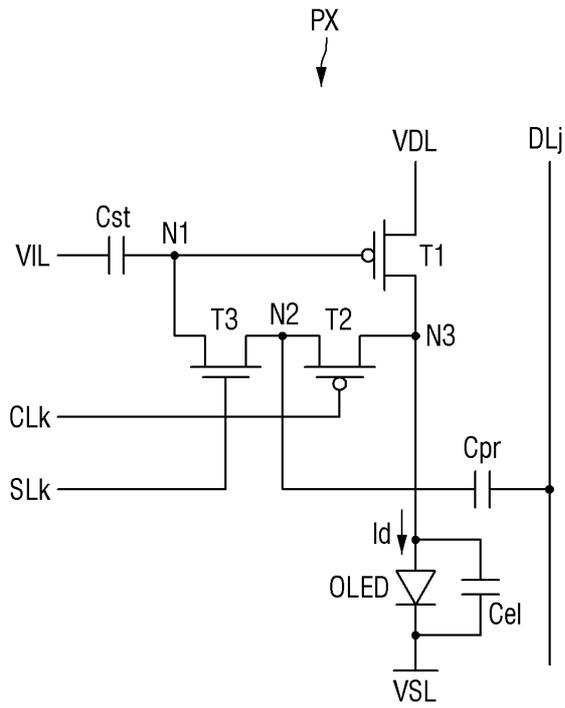
도면13



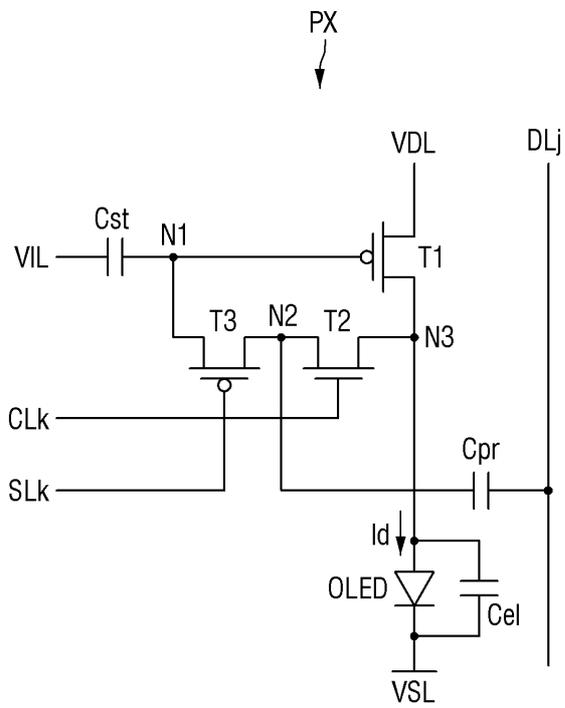
도면14



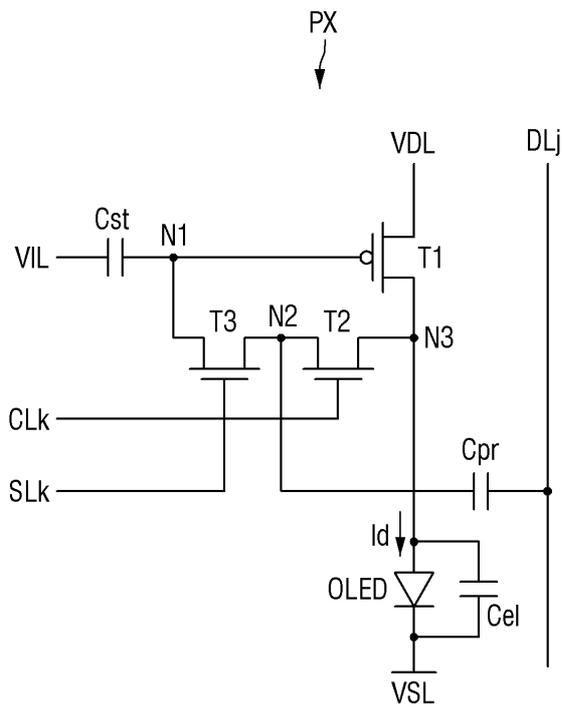
도면15



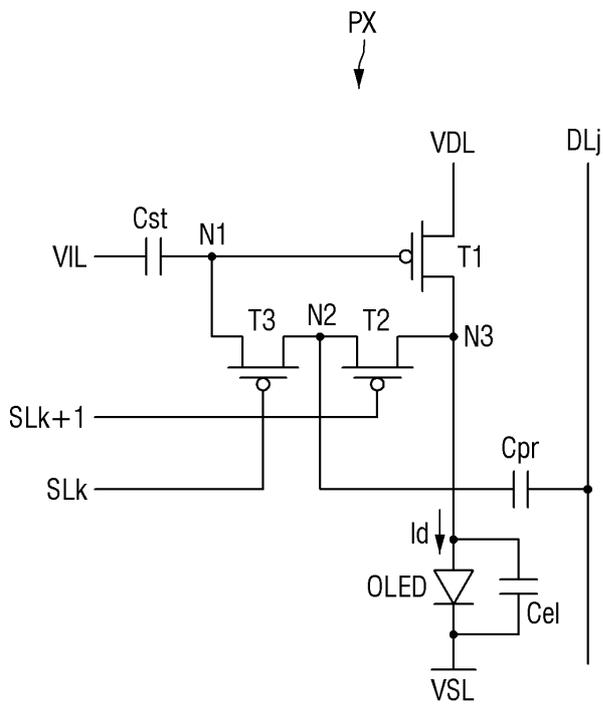
도면16



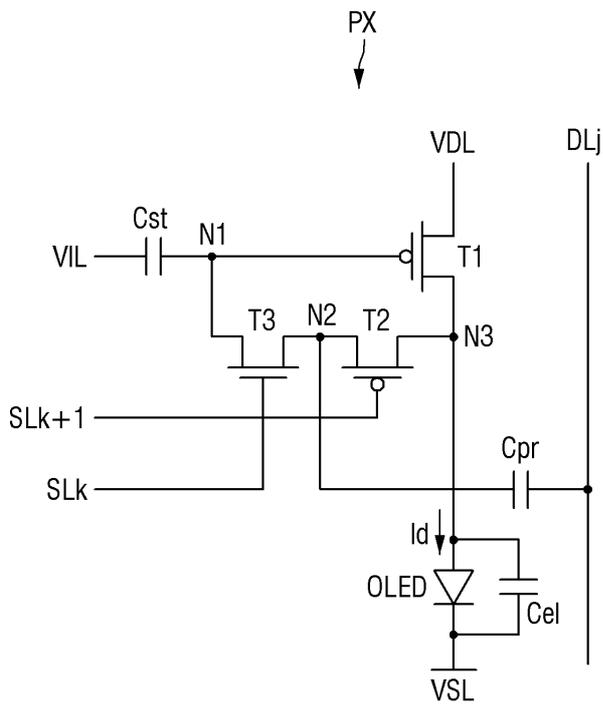
도면17



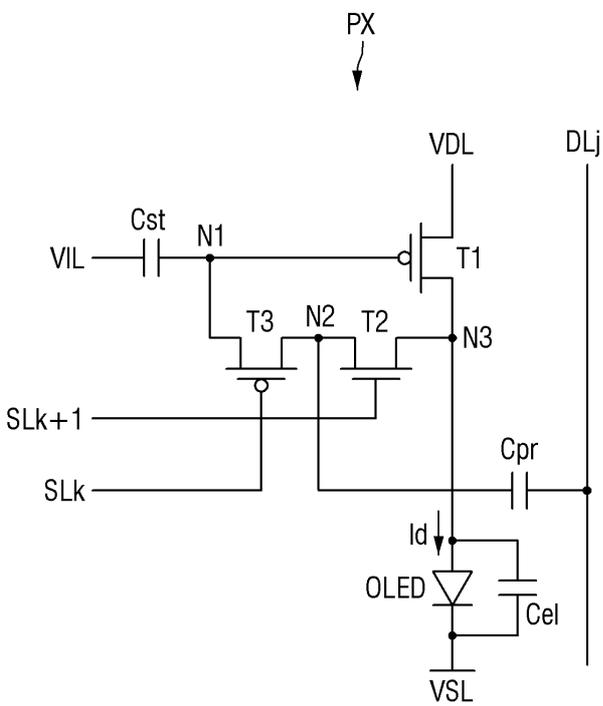
도면18



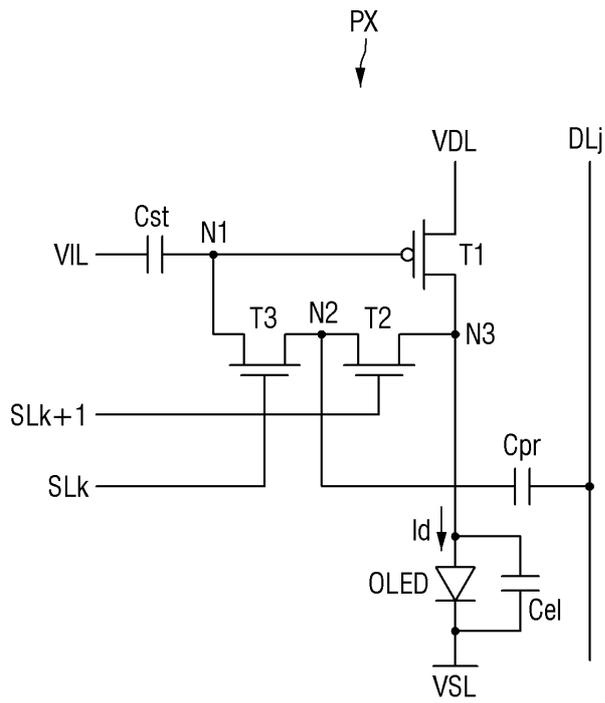
도면19



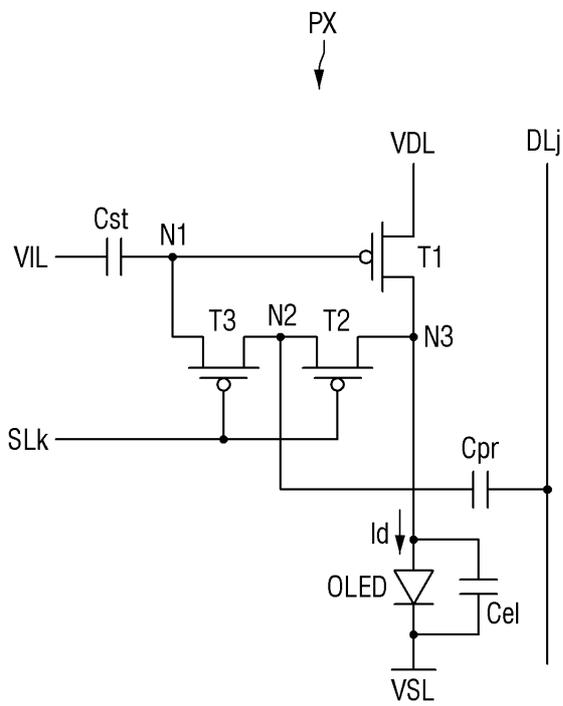
도면20



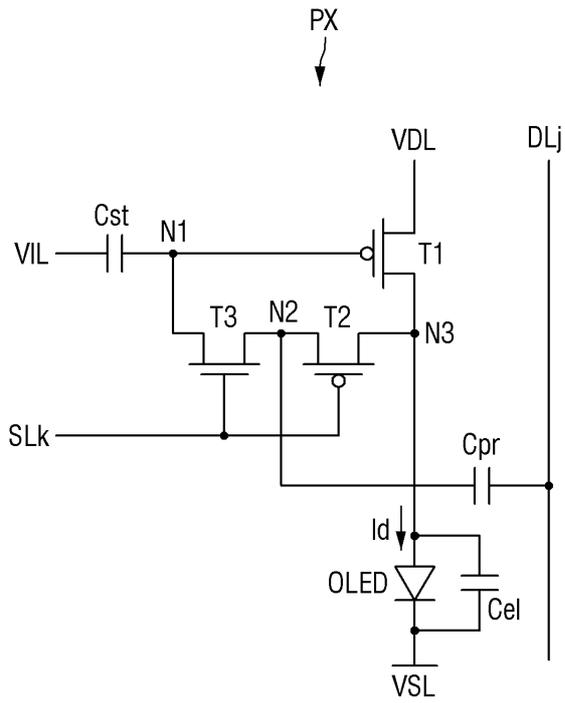
도면21



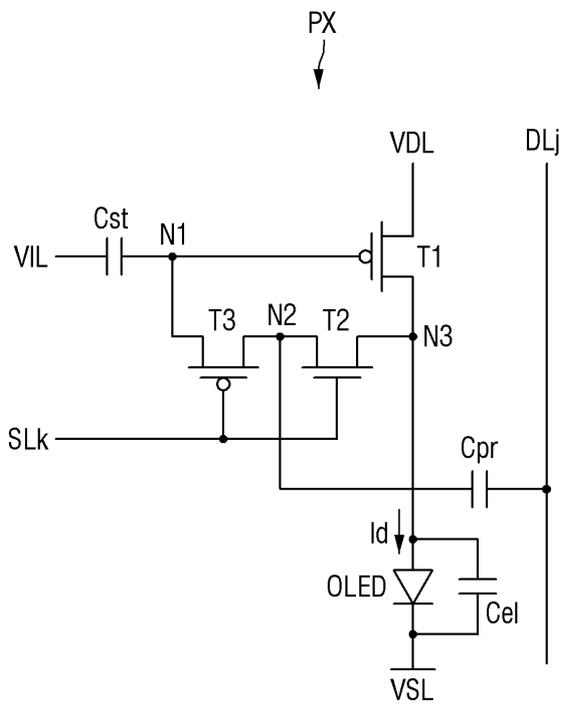
도면22



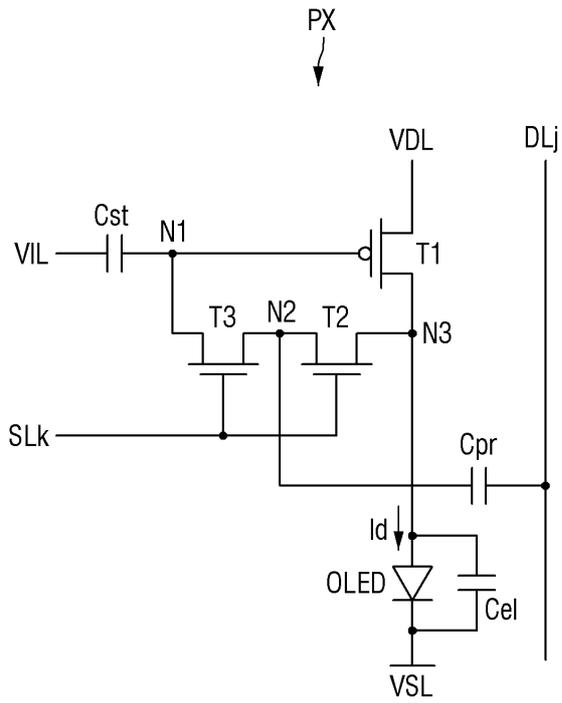
도면23



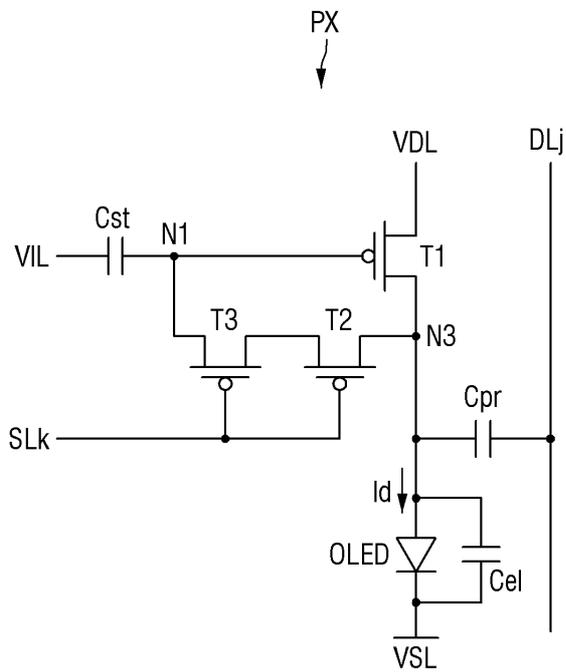
도면24



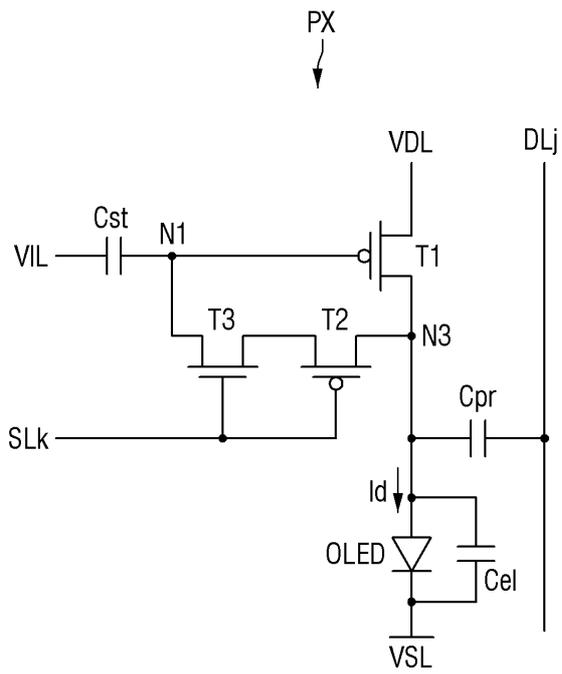
도면25



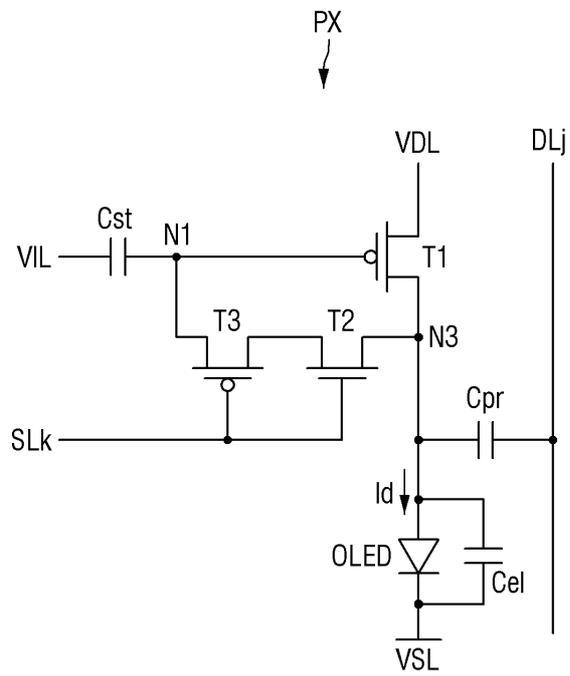
도면26



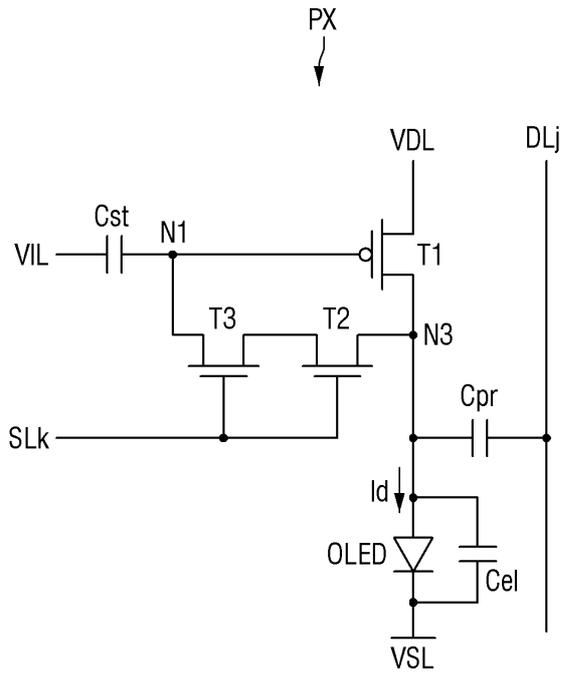
도면27



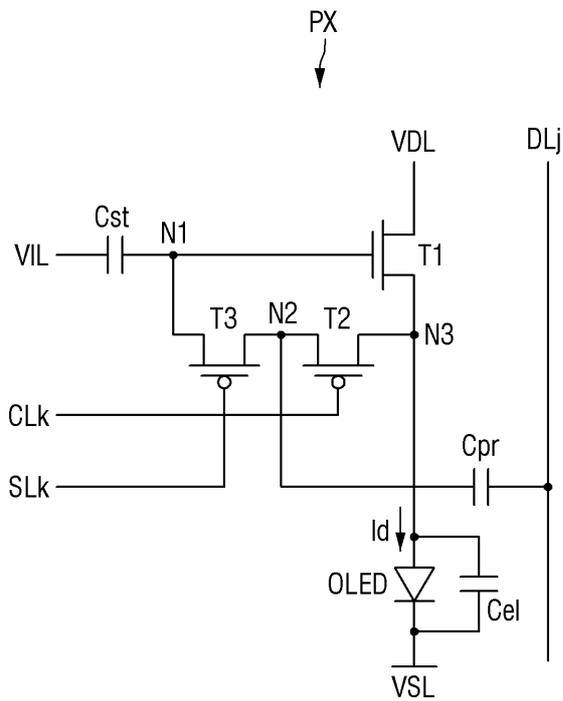
도면28



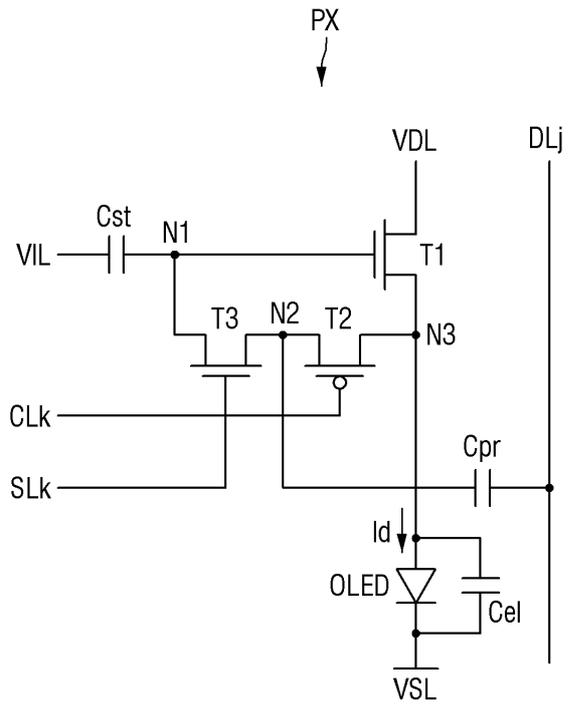
도면29



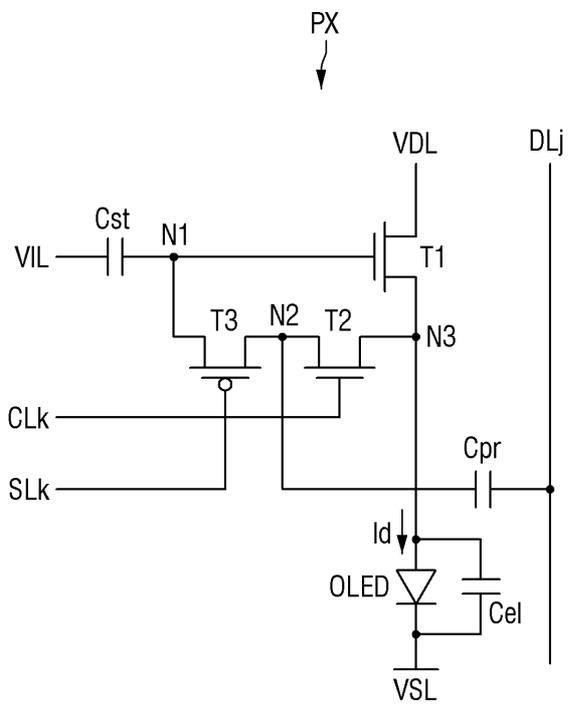
도면30



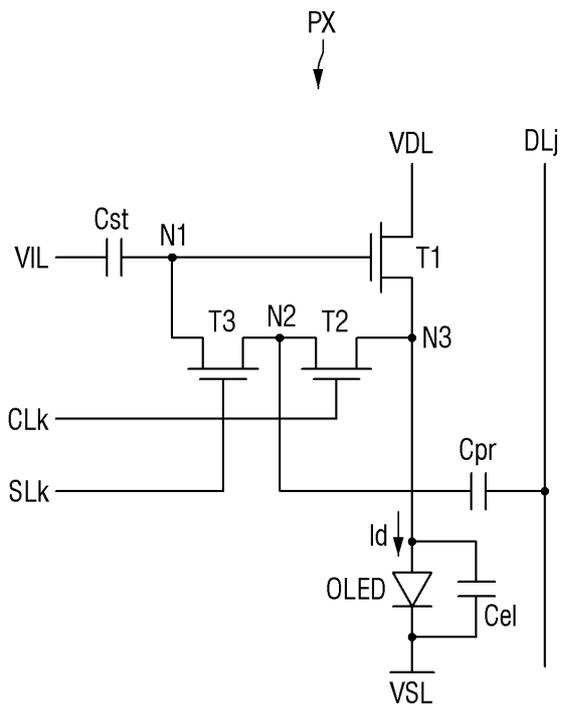
도면31



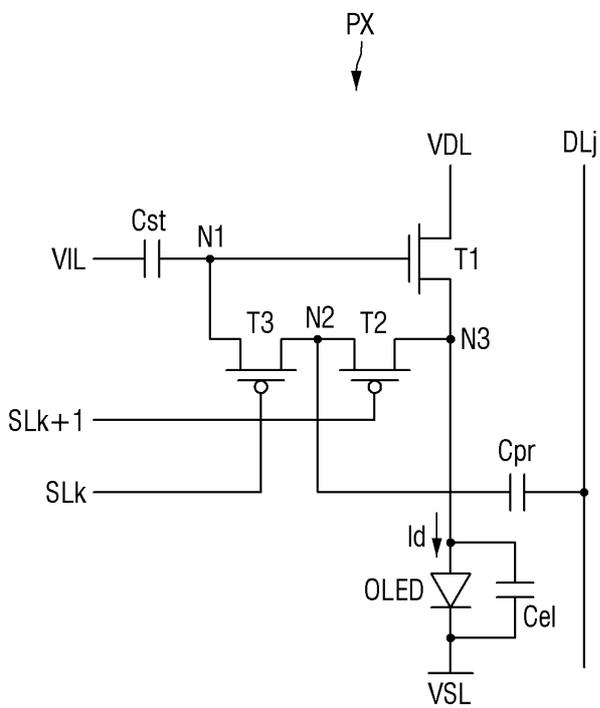
도면32



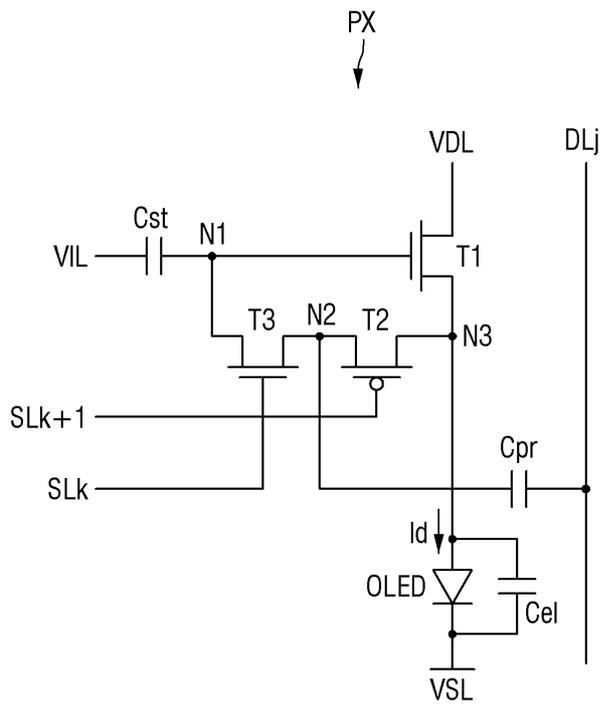
도면33



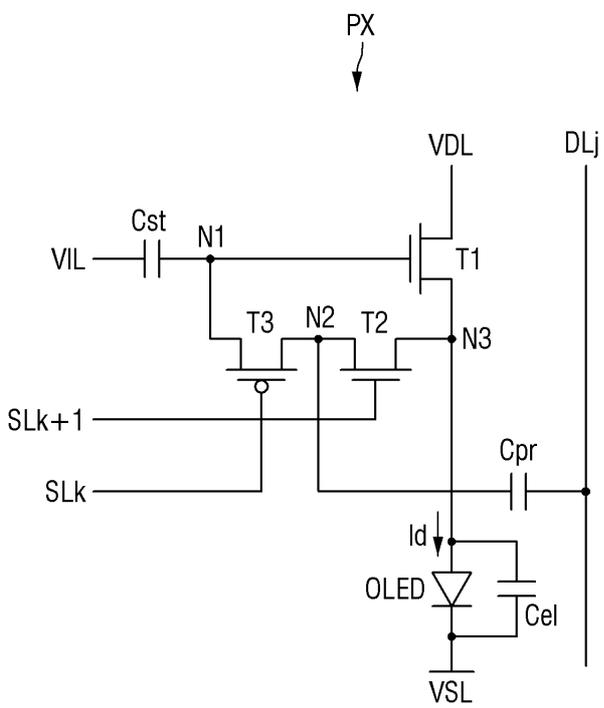
도면34



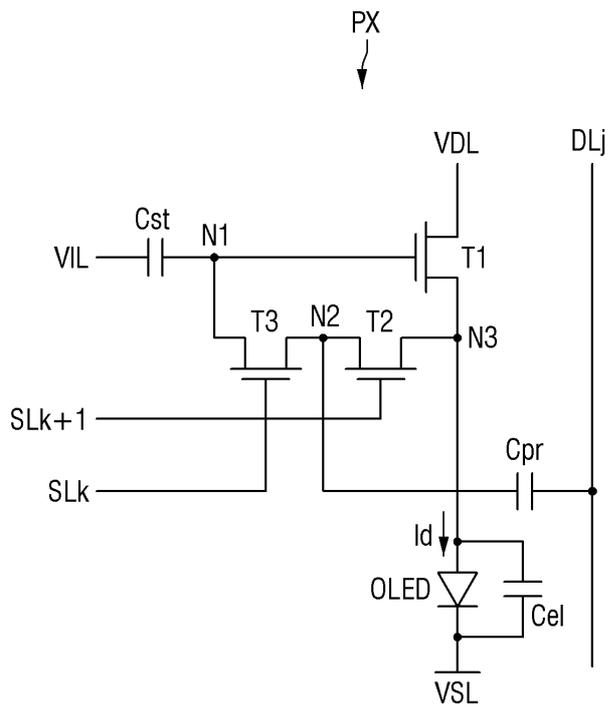
도면35



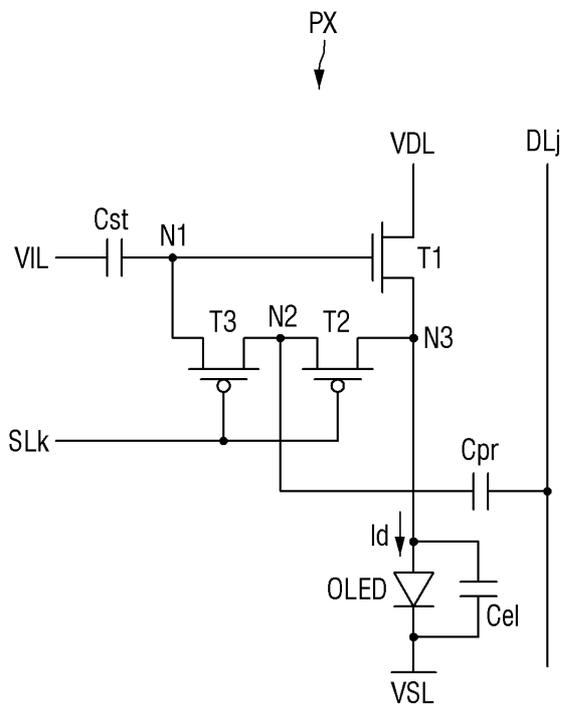
도면36



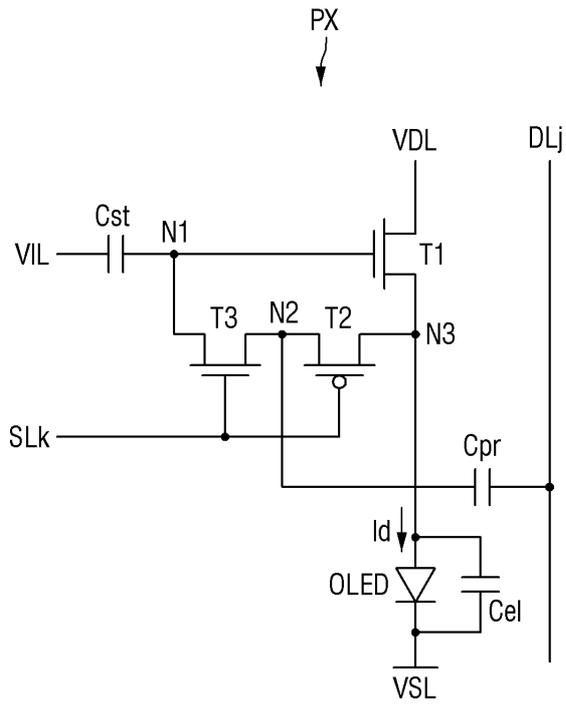
도면37



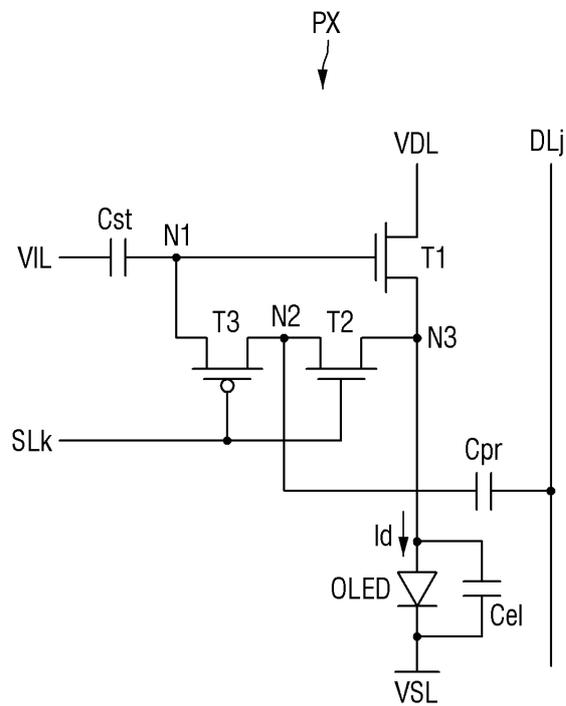
도면38



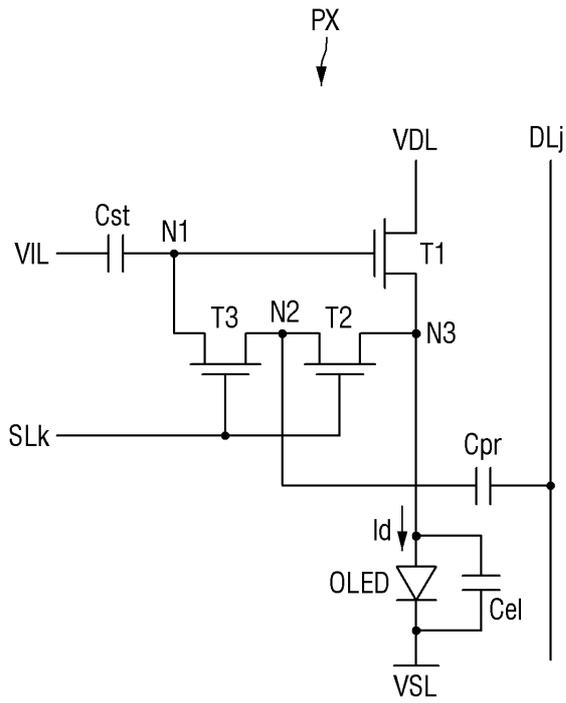
도면39



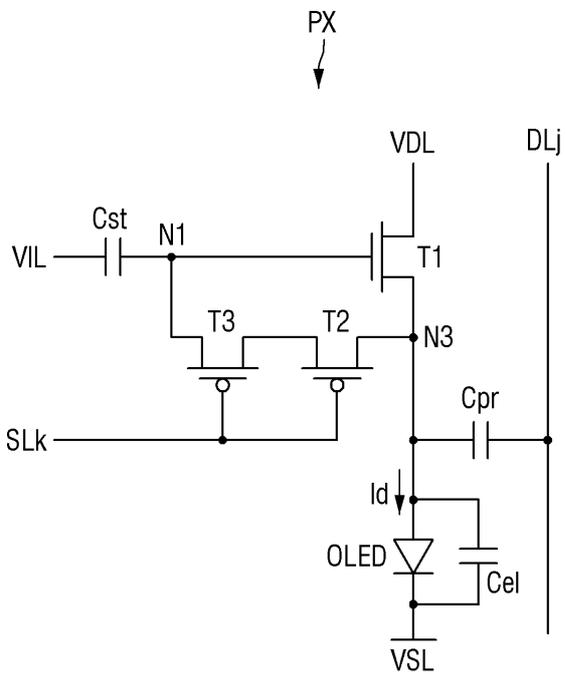
도면40



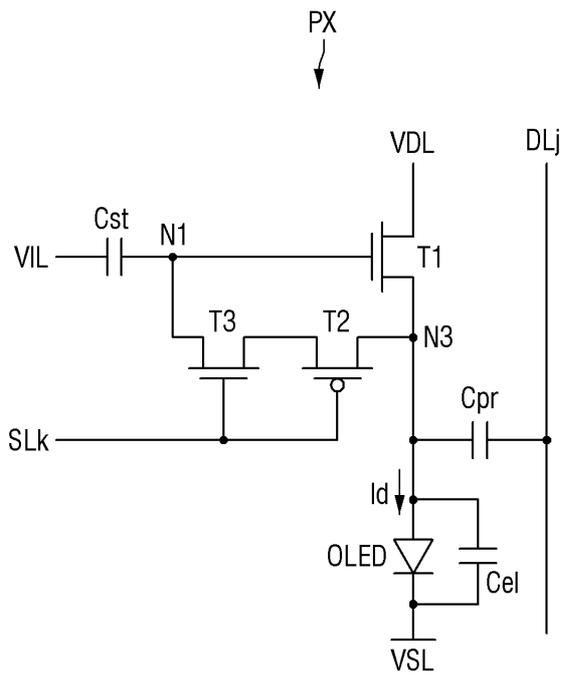
도면41



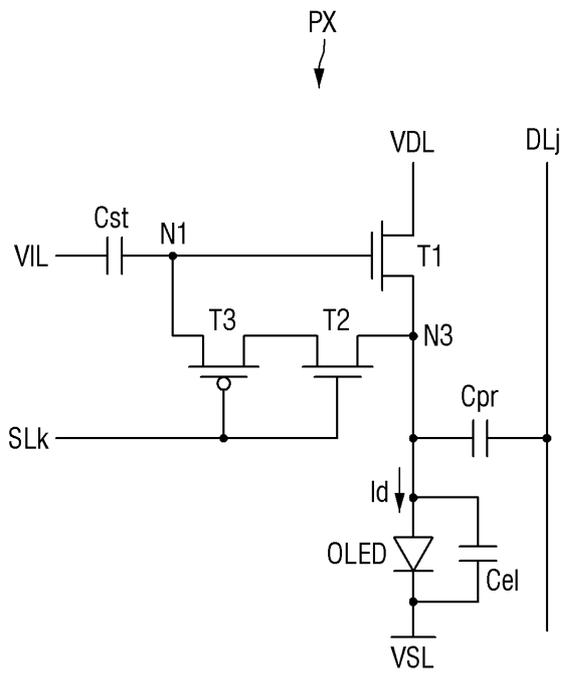
도면42



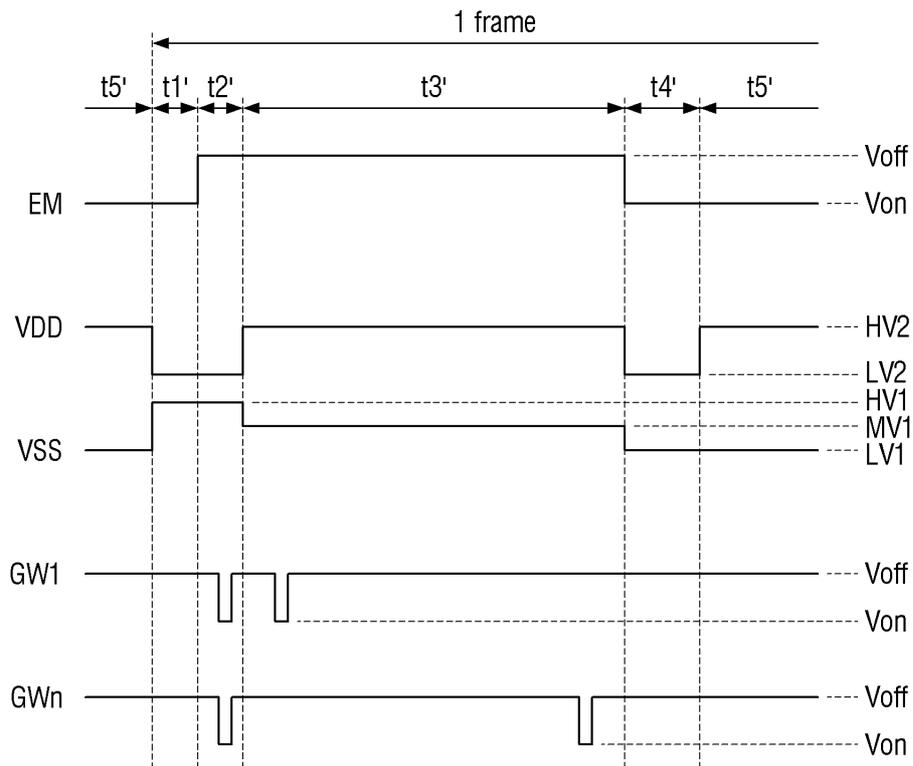
도면43



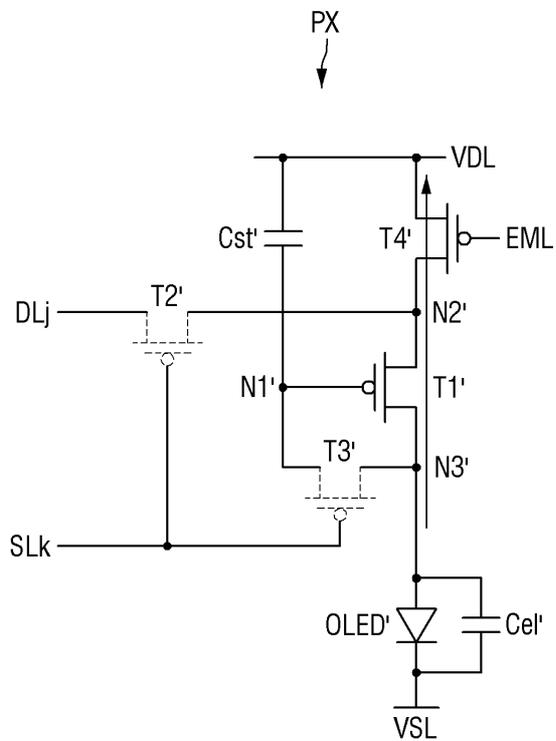
도면44



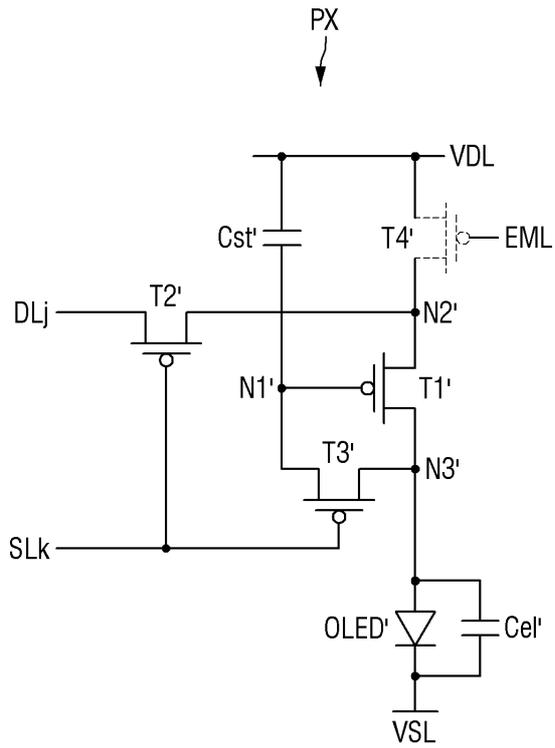
도면47



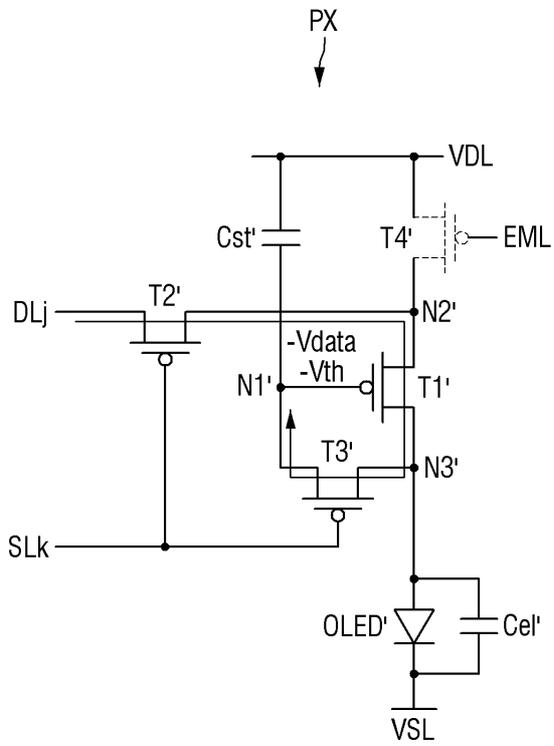
도면48



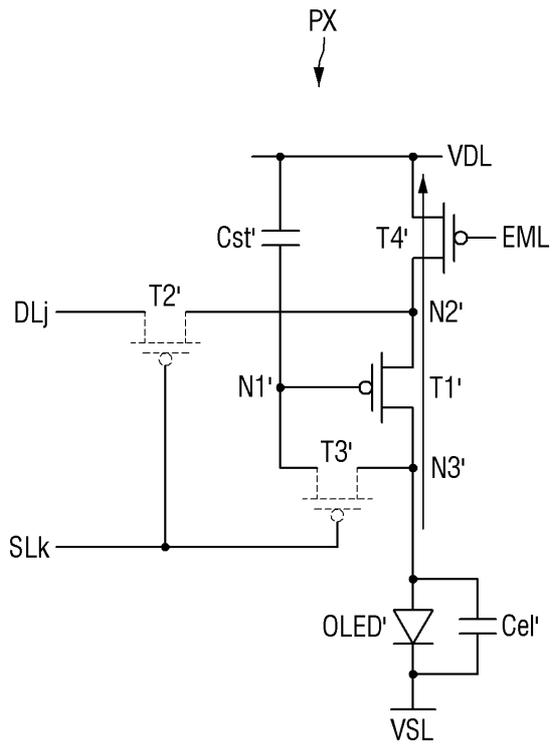
도면49



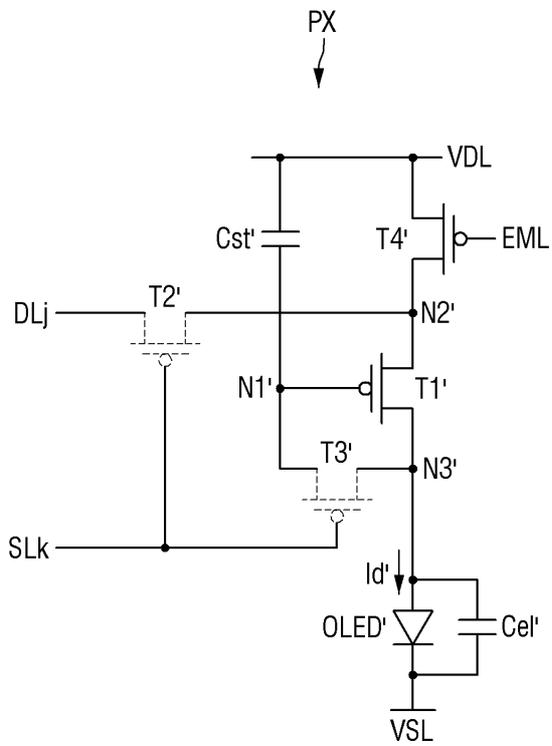
도면50



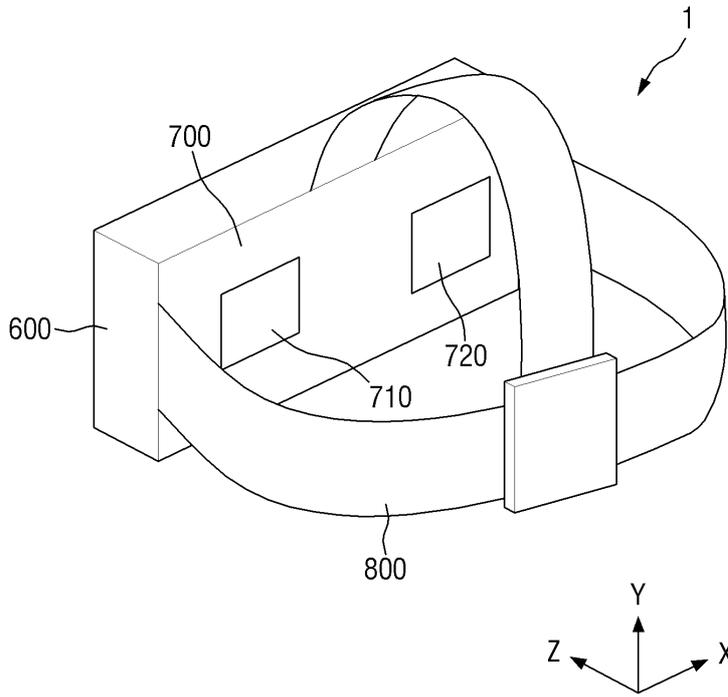
도면51



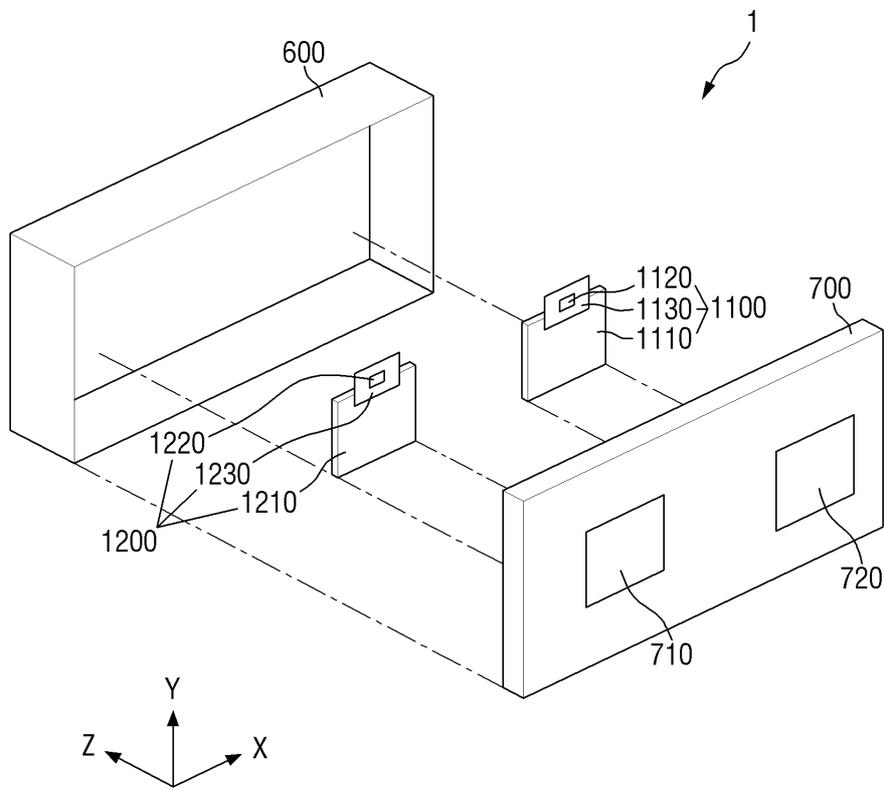
도면52



도면53



도면54



专利名称(译)	显示装置		
公开(公告)号	KR1020200032628A	公开(公告)日	2020-03-26
申请号	KR1020190068519	申请日	2019-06-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박준현 김선광 서영완 이철근 최양화		
发明人	박준현 김선광 서영완 이철근 최양화		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2310/08 G09G2320/0209 G09G2320/0233 G09G2320/028		
优先权	1020180110743 2018-09-17 KR		
外部链接	Espacenet		

摘要(译)

提供了一种显示装置。该显示装置包括:初始化电压线,被施加了初始化电压;以及 施加有第一驱动电压的第一驱动电压线; 像素,其连接到初始化电压线和第一驱动电压线。像素包括:第一晶体管,其根据施加到第一节点的电压来控制第一电极和第二电极之间流动的驱动电流;以及第二晶体管。发光器件,其置于第一晶体管和第一驱动电压线之间; 第一电容器,其放置在第一节点和初始化电压线之间。在用于初始化发光器件的第一电极的初始化时段期间,初始化电压从第一电平电压改变为低于第一电平电压的第二电平电压。在初始化时段期间,第一驱动电压从第一高电平电压改变为低于第一高电平的第一低电平电压。因此,本发明通过有机发光二极管的寄生电容防止第一驱动电压的变化量在第三节点中反射。

