



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0031310  
(43) 공개일자 2020년03월24일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3276 (2013.01)  
H01L 51/52 (2013.01)  
(21) 출원번호 10-2018-0110170  
(22) 출원일자 2018년09월14일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
허진희  
경기도 파주시 월롱면 엘지로 245  
문대형  
경기도 파주시 월롱면 엘지로 245  
이성진  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
네이트특허법인

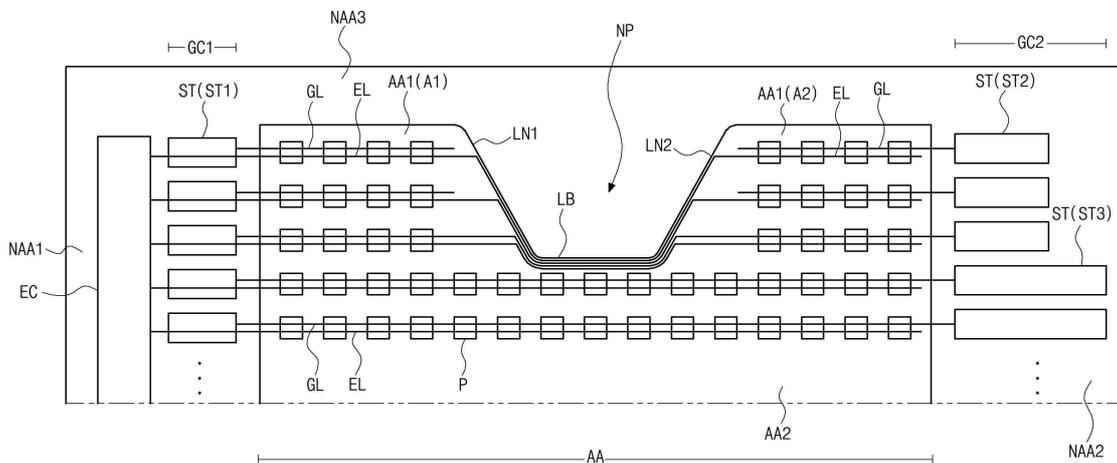
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명은 노치부를 사이에 두고 행방향의 양측으로 분리된 제1,2영역을 갖는 제1표시영역과 상기 제1표시영역 하부의 제2표시영역을 포함하는 표시영역에, 각 행라인을 따라 배치된 화소와; 상기 화소에 포함된 발광다이오드와, 스위칭트랜지스터와, 발광제어트랜지스터와; 상기 제1영역 일측의 제1비표시영역에 형성된 발광제어회로 및, 제1,2표시영역에 대응하는 제1버퍼회로를 포함한 제1게이트제어회로와; 상기 제2영역 타측의 제2비표시영역에 형성되고, 상기 제1표시영역에 대응하는 제2버퍼회로와 상기 제2표시영역에 대응하는 제3버퍼회로를 포함한 제2게이트제어회로를 포함하고, 상기 제2버퍼회로는 상기 제1버퍼회로 보다 폭이 크고, 상기 제3버퍼회로는 상기 제2버퍼회로 보다 폭이 큰 유기발광표시장치를 제공한다.

대표도 - 도3



(52) CPC특허분류

G09G 2310/0262 (2013.01)

G09G 2310/0291 (2013.01)

G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

노치부를 사이에 두고 행방향의 양측으로 분리된 제1,2영역을 갖는 제1표시영역과 상기 제1표시영역 하부의 제2 표시영역을 포함하는 표시영역에, 각 행라인을 따라 배치된 화소와;

상기 화소에 포함된 발광다이오드와, 스위칭트랜지스터와, 발광제어트랜지스터와;

상기 제1영역 일측의 제1비표시영역에 형성된 발광제어회로 및, 제1,2표시영역에 대응하는 제1버퍼회로를 포함한 제1게이트제어회로와;

상기 제2영역 타측의 제2비표시영역에 형성되고, 상기 제1표시영역에 대응하는 제2버퍼회로와 상기 제2표시영역에 대응하는 제3버퍼회로를 포함한 제2게이트제어회로를 포함하고,

상기 제2버퍼회로는 상기 제1버퍼회로 보다 폭이 크고, 상기 제3버퍼회로는 상기 제2버퍼회로 보다 폭이 큰 유기발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제1,2,3버퍼회로 각각은, Q 노드 및 Qb 노드 각각에 연결되고 접점에서 게이트신호를 출력하는 제1,2트랜지스터를 포함하고,

상기 제2버퍼회로는 상기 제1버퍼회로 보다 상기 제1트랜지스터의 채널폭이 크고,

상기 제3버퍼회로는 상기 제2버퍼회로 보다 상기 제1트랜지스터의 채널폭이 큰

유기발광표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 제2버퍼회로는 상기 제1버퍼회로 보다 상기 제2트랜지스터의 채널폭이 크고,

상기 제3버퍼회로는 상기 제2버퍼회로 보다 상기 제2트랜지스터의 채널폭이 큰

유기발광표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제1트랜지스터의 채널폭의 비율은, 상기 제2표시영역과 상기 제2영역 간의 폭의 비율에 따라 설정된

유기발광표시장치.

#### 청구항 5

제 4 항에 있어서,

상기 제2영역은 상단의 최소폭 wa1과 하단의 최대폭 wa2를 갖고, 상기 제2표시영역은 폭 wc를 가지며,  
 상기 제3버퍼회로의 제1트랜지스터의 채널폭 wbp3\_t1과 상기 제2버퍼회로의 제1트랜지스터의 채널폭 wbp2\_t1은,  
 $wbp3\_t1/wbp2\_t1 = (wc/wa2) \sim (wc/wa1)$ 의 관계를 갖는  
 유기발광표시장치.

**청구항 6**

제 3 항에 있어서,  
 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제2트랜지스터의 채널폭의 비율은, 상기 제2표시영역과 상기 제2영역 간의 폭의 비율에 따라 설정된  
 유기발광표시장치.

**청구항 7**

제 6 항에 있어서,  
 상기 제2영역은 상단의 최소폭 wa1과 하단의 최대폭 wa2를 갖고, 상기 제2표시영역은 폭 wc를 가지며,  
 상기 제3버퍼회로의 제2트랜지스터의 채널폭 wbp3\_t2와 상기 제2버퍼회로의 제2트랜지스터의 채널폭 wbp2\_t2는,  
 $wbp3\_t2/wbp2\_t2 = (wc/wa2) \sim (wc/wa1)$ 의 관계를 갖는  
 유기발광표시장치.

**청구항 8**

제 4 항 내지 제 7 항 중 어느 하나의 항에 있어서,  
 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제1트랜지스터 채널폭의 비율과 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제2트랜지스터 채널폭의 비율은, 동일하거나 상이한  
 유기발광표시장치.

**청구항 9**

제 1 항에 있어서,  
 상기 제2표시영역의 다수의 행라인에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속되고,  
 상기 제1표시영역의 다수의 행라인 중 적어도 일부에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속되는  
 유기발광표시장치.

**청구항 10**

제 9 항에 있어서,  
 상기 제1표시영역의 다수의 행라인 중 일부에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속되고,  
 상기 제1표시영역의 다수의 행라인 중 다른 일부에 배치된 게이트배선은 상기 노치부를 사이에 두고 분리되어 상기 제1,2영역에 배치되며, 상기 제1영역에 분리되어 배치된 게이트배선 부분은 일단에서 상기 제1게이트제어

회로에 접속되고, 상기 제2영역에 분리되어 배치된 게이트배선 부분은 타단에서 상기 제2게이트제어회로에 접속되는

유기발광표시장치.

**청구항 11**

제 1 항에 있어서,

상기 표시영역의 각 행라인에 배치된 발광제어배선은 일단에서 상기 발광제어회로에 접속되고 해당 행라인에 배치된 화소에 연결되는

유기발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광표시장치에 관한 것이다.

**배경 기술**

[0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판표시장치(flat panel display)가 널리 개발되어 다양한 분야에 적용되고 있다.

[0003] 평판표시장치 중에서, 유기 전계발광 표시장치 또는 유기 전기발광 표시장치(organic electroluminescent display device)라고도 불리는 유기발광표시장치(organic light emitting display device)는, 자발광소자인 발광다이오드를 사용하여 영상을 표시하게 된다.

[0004] 최근에는, 게이트신호 및 발광제어신호를 포함한 스캔신호를 패널 내부로 공급하는 스캔드라이버가 패널 양측에 형성된다.

[0005] 이에 따라, 표시장치의 양측에서 베젤(bezel)이 증가하므로, 이를 감소시켜 내로우(narrow) 베젤을 구현하는 데 한계가 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 본 발명은 유기발광표시장치의 내로우 베젤을 효과적으로 구현할 수 있는 방안을 제공하는 것에 과제가 있다.

**과제의 해결 수단**

[0007] 전술한 바와 같은 과제를 달성하기 위해, 본 발명은 노치부를 사이에 두고 행방향의 양측으로 분리된 제1,2영역을 갖는 제1표시영역과 상기 제1표시영역 하부의 제2표시영역을 포함하는 표시영역에, 각 행라인을 따라 배치된 화소와; 상기 화소에 포함된 발광다이오드와, 스위칭트랜지스터와, 발광제어트랜지스터와; 상기 제1영역 일측의 제1비표시영역에 형성된 발광제어회로 및, 제1,2표시영역에 대응하는 제1버퍼회로를 포함한 제1게이트제어회로와; 상기 제2영역 타측의 제2비표시영역에 형성되고, 상기 제1표시영역에 대응하는 제2버퍼회로와 상기 제2표시영역에 대응하는 제3버퍼회로를 포함한 제2게이트제어회로를 포함하고, 상기 제2버퍼회로는 상기 제1버퍼회로보다 폭이 크고, 상기 제3버퍼회로는 상기 제2버퍼회로보다 폭이 큰 유기발광표시장치를 제공한다.

[0008] 상기 제1,2,3버퍼회로 각각은, Q 노드 및 Qb 노드 각각에 연결되고 접점에서 게이트신호를 출력하는 제1,2트랜지스터를 포함하고, 상기 제2버퍼회로는 상기 제1버퍼회로보다 상기 제1트랜지스터의 채널폭이 크고, 상기 제3버퍼회로는 상기 제2버퍼회로보다 상기 제1트랜지스터의 채널폭이 클 수 있다.

[0009] 상기 제2버퍼회로는 상기 제1버퍼회로보다 상기 제2트랜지스터의 채널폭이 크고, 상기 제3버퍼회로는 상기 제2버퍼회로보다 상기 제2트랜지스터의 채널폭이 클 수 있다.

[0010] 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제1트랜지스터의 채널폭의 비율은, 상기 제2표시영역과 상기

제2영역 간의 폭의 비율에 따라 설정될 수 있다.

- [0011] 상기 제2영역은 상단의 최소폭 wa1과 하단의 최대폭 wa2를 갖고, 상기 제2표시영역은 폭 wc를 가지며, 상기 제3버퍼회로의 제1트랜지스터의 채널폭 wbp3\_t1과 상기 제2버퍼회로의 제1트랜지스터의 채널폭 wbp2\_t1은,  $wbp3\_t1/wbp2\_t1 = (wc/wa2) \sim (wc/wa1)$ 의 관계를 가질 수 있다.
- [0012] 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제2트랜지스터의 채널폭의 비율은, 상기 제2표시영역과 상기 제2영역 간의 폭의 비율에 따라 설정될 수 있다.
- [0013] 상기 제2영역은 상단의 최소폭 wa1과 하단의 최대폭 wa2를 갖고, 상기 제2표시영역은 폭 wc를 가지며, 상기 제3버퍼회로의 제2트랜지스터의 채널폭 wbp3\_t2와 상기 제2버퍼회로의 제2트랜지스터의 채널폭 wbp2\_t2는,  $wbp3\_t2/wbp2\_t2 = (wc/wa2) \sim (wc/wa1)$ 의 관계를 가질 수 있다.
- [0014] 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제1트랜지스터 채널폭의 비율과 상기 제3버퍼회로와 상기 제2버퍼회로의 간의 상기 제2트랜지스터 채널폭의 비율은, 동일하거나 상이할 수 있다.
- [0015] 상기 제2표시영역의 다수의 행라인에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속되고, 상기 제1표시영역의 다수의 행라인 중 적어도 일부에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속될 수 있다.
- [0016] 상기 제1표시영역의 다수의 행라인 중 일부에 배치된 게이트배선은 양단에서 상기 제1,2게이트제어회로에 접속되고, 상기 제1표시영역의 다수의 행라인 중 다른 일부에 배치된 게이트배선은 상기 노치부를 사이에 두고 분리되어 상기 제1,2영역에 배치되며, 상기 제1영역에 분리되어 배치된 게이트배선 부분은 일단에서 상기 제1게이트제어회로에 접속되고, 상기 제2영역에 분리되어 배치된 게이트배선 부분은 타단에서 상기 제2게이트제어회로에 접속될 수 있다.
- [0017] 상기 표시영역의 각 행라인에 배치된 발광제어배선은 일단에서 상기 발광제어회로에 접속되고 해당 행라인에 배치된 화소에 연결될 수 있다.

**발명의 효과**

- [0018] 본 발명에서는, 노치 구조의 표시패널을 구동하는 스캔구동회로를 비대칭 형태로 구성하게 된다. 즉, 발광제어회로에 대해서는 싱글 피딩 방식으로 표시영역 일측에 배치한다. 그리고, 게이트제어회로에 대해서는 듀얼 피딩 방식으로 양측에 배치하며, 일측의 제1버퍼회로는 좁은 폭을 갖고 타측의 제2,3버퍼회로는 넓은 폭을 갖도록 하며, 노치부에 대응하는 제2버퍼회로를 노치부에 대응하지 않는 제3버퍼회로 보다 좁은 폭을 갖도록 구성하게 된다.
- [0019] 이에 따라, 게이트신호를 안정적으로 공급하여 발광 특성을 확보하고 표시패널의 휘도 편차를 감소시키면서 내로우 베젤을 효과적으로 구현할 수 있게 된다.

**도면의 간단한 설명**

- [0020] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 개략적으로 도시한 평면도.
- 도 2는 본 발명의 실시예에 따른 화소 구조의 일예를 도시한 회로도.
- 도 3 및 4는 본 발명의 실시예에 따른 유기발광표시장치의 표시패널의 일부를 개략적으로 도시한 도면.
- 도 5는 본 발명의 실시예에 따른 발광제어회로의 구성을 개략적으로 도시한 도면.
- 도 6은 본 발명의 실시예에 따른 게이트제어회로의 스테이지의 구성을 개략적으로 도시한 도면.
- 도 7은 본 발명의 실시예에 따른 버퍼회로에 포함된 트랜지스터의 구조를 개략적으로 도시한 도면.
- 도 8은 본 발명의 실시예에 따른 유기발광표시장치의 게이트구동회로의 버퍼회로를 개략적으로 도시한 도면.
- 도 9 및 10은 각각 종래 및 본 발명의 실시예에 따른 노치 구조의 유기발광표시장치의 위치별 발광 전류를 도시한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 한편, 이하의 실시예에서는 동일 유사한 구성에

대해서는 동일 유사한 도면번호가 부여되고, 그 구체적인 설명은 생략될 수도 있다.

- [0022] 도 1은 본 발명의 실시예에 따른 유기발광표시장치를 개략적으로 도시한 평면도이고, 도 2는 본 발명의 실시예에 따른 화소 구조의 일례를 도시한 회로도이다.
- [0023] 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치(10)는, 표시패널(100)과, 표시패널(100)을 구동하는 구동회로를 포함할 수 있다.
- [0024] 표시패널(100)의 기관 즉 어레이소자가 배치된 어레이기관에는, 영상을 표시하는 표시영역(AA)과, 이 주변에서 이를 둘러싸는 비표시영역(NAA)이 정의될 수 있다.
- [0025] 표시영역(AA)에는, 다수의 행라인과 열라인을 따라 매트릭스 형태로 화소(P)가 배치될 수 있다.
- [0026] 한편, 본 실시예에 따른 표시패널(100)은 소위 노치(notch) 구조의 표시패널로서, 표시영역(AA)의 일단 일례로 도면 상의 상단이 내부 방향(또는 열방향)으로 요입된 노치부(NP)(또는 노치영역)가 구성될 수 있다. 즉, 노치 구조에서는, 표시영역(AA)의 상단에 위치하는 비표시영역(NAA) 부분에 해당되는 노치부(NP)가 표시영역(AA) 내부 방향으로 요입된 형태를 가질 수 있다.
- [0027] 여기서, 노치부(NP)와 관련하여, 노치부(NP)에 해당되는 표시패널(100)의 어레이기관 부분은 물리적으로 존재하며 화소가 형성되지 않는 형태가 되거나, 노치부(NP)에 해당되는 어레이기관 부분이 물리적으로 제거된 홈의 형태가 될 수 있다.
- [0028] 이와 같은 노치 구조를 갖는 유기발광표시장치(10)는 표시영역(AA)이 극대화될 수 있게 된다.
- [0029] 이와 관련하여, 노치 구조의 유기발광표시장치(10)가 적용된 전자기기 예를 들면 스마트폰에서는, 노치부(NP)에 수화용 스피커, 전방 카메라, 센서 등이 배치되고, 이 노치부(NP) 양측 영역을 표시부로 활용할 수 있게 된다. 따라서, 노치 구조를 갖는 유기발광표시장치(10) 및 이를 포함한 전자기기는 영상을 표시하는 표시화면이 최대화될 수 있게 된다.
- [0030] 노치부(NP)가 구비된 표시패널(100)의 표시영역(AA)은, 노치부(NP)가 내부에 형성된 영역에 해당되는 제1표시영역(AA1)과, 노치부(NP)가 형성되지 않은 소위 노치프리(notch-free) 영역에 해당되는 제2표시영역(AA2)으로 구성될 수 있다.
- [0031] 노치부(NP)가 포함된 제1표시영역(AA1)은, 노치부(NP)의 일측으로서 도면 상 좌측의 제1표시영역(AA1) 부분인 제1영역(A1)과, 노치부(NP)의 타측으로서 도면 상 우측의 제1표시영역(AA1) 부분인 제2영역(A2)을 포함할 수 있다. 즉, 제1표시영역(AA1)은 노치부(NP)을 사이에 두고 반대측에 배치되어 공간적으로 서로 이격된 (또는 서로 분리된) 분할영역들인 제1,2영역(A1,A2)으로 구성될 수 있다.
- [0032] 여기서, 제1,2영역(A1,A2)은, 노치부(NP)을 사이에 두고 서로 대칭되는 형태로 구성될 수 있다.
- [0033] 이처럼, 제1표시영역(AA1)은 노치부(NP)가 개재되어 서로 분리된 상태가 된다 할 것이므로, 이에 포함되는 각 행라인의 화소들(P)은 행방향을 따라 연속적으로 배열되지 않고 노치부(NP)에서 배열이 끊어진 형태가 된다 할 것이다. 즉, 제1표시영역(AA1)의 행라인들 각각은 노치부(NP)에 의해 분리된 형태로 구성된다 할 것이다.
- [0034] 제2표시영역(AA2)은, 제1표시영역(AA1) 이외의(또는 제외된) 영역으로서, 도면 상에서 노치부(NP)의 내부 바닥 변을 기준으로 이 하부에 위치하는 영역에 해당된다. 즉, 제2표시영역(AA2)은 제1표시영역(AA1)의 행라인들(또는 제1행라인들)과는 다른 행라인들(또는 제2행라인들)이 배치된 영역으로서, 도면 상 제1표시영역(AA1) 하부에 배치될 수 있다.
- [0035] 이와 같은 제2표시영역(AA2)은 노치부(NP)가 존재하지 않는 노치프리 부분에 해당되므로, 이에 포함되는 각 행라인의 화소들(P)은 행방향을 따라 연속적으로 배열된 형태를 갖게 된다. 즉, 제2표시영역(AA2)의 행라인들 각각은 내부에서 분리 없이, 제2표시영역(AA2)의 일측단에서 타측단 방향(또는 폭 방향)으로 계속해서 연결된 형태로 구성된다 할 것이다.
- [0036] 위와 같이 구성된 표시영역(AA) 주변의 비표시영역(NAA)에는, 표시영역(AA)의 화소들(P)을 구동하는 구동회로가 배치될 수 있다.
- [0037] 여기서, 구동회로는 소스구동회로(DIC)와 스캔구동회로(또는 스캔드라이버)를 포함할 수 있으며, 스캔구동회로는 게이트제어회로(GC)와 발광제어회로(EC)를 포함할 수 있다.

- [0038] 한편, 비표시영역(NAA)은 표시영역(AA)을 기준으로 하여 다수의 부분영역으로 분할 정의될 수 있다.
- [0039] 이와 관련하여 예를 들면, 도면 상에서 표시영역(AA)의 좌측, 우측, 상측, 하측에 위치하는 비표시영역(NAA) 부분을 제1,2,3,4비표시영역(NAA)으로 정의할 수 있다.
- [0040] 이 경우에, 상측의 제3비표시영역(NAA3)에는, 앞서 언급한 노치부(NP)가 위치할 수 있다.
- [0041] 그리고, 좌측 및 우측의 제1,2비표시영역(NAA1,NAA2)에는 스캔구동회로가 배치될 수 있으며, 하측의 제4비표시영역(NAA4)에는 소스구동회로(DIC)가 배치될 수 있다.
- [0042] 한편, 표시영역(AA)에 위치하는 화소(P) 구조의 일예에 대해 도 2를 함께 참조하여 살펴본다.
- [0043] 화소(P)는 스위칭트랜지스터(Ts)와, 구동트랜지스터(Td)와, 발광제어트랜지스터(Te)와, 발광다이오드와(OD)와 스토리지커패시터(Cst)를 포함할 수 있다. 한편, 경우에 따라 다른 종류의 트랜지스터가 추가적으로 구비될 수 있다.
- [0044] 스위칭트랜지스터(Ts)의 게이트전극은 게이트배선(GL)에 연결되고 드레인전극은 데이터배선(DL)에 연결될 수 있다.
- [0045] 구동트랜지스터(Td)의 게이트전극은 스위칭트랜지스터(Ts)의 소스전극에 연결되고, 드레인전극은 제1전원전압으로서 예를 들어 고전위전압(Vdd)에 연결될 수 있다.
- [0046] 발광제어트랜지스터(Te)의 게이트전극은 발광제어배선(EL)에 연결되고, 드레인전극은 구동트랜지스터(Td)의 소스전극에 연결될 수 있다.
- [0047] 발광다이오드(OD)의 제1전극으로서 예를 들어 애노드(anode)는 발광제어트랜지스터(Te)의 소스전극에 연결되고, 제2전극으로서 예를 들어 캐소드(cathode)는 제2전원전압으로서 예를 들어 저전위전압(Vss)에 연결될 수 있다.
- [0048] 스토리지커패시터(Cst)는 구동트랜지스터(Td)의 게이트전극과 드레인전극 사이에 연결될 수 있다.
- [0049] 이와 같이 구성된 화소(P)의 영상표시 동작을 살펴보면, 데이터충전 구간 동안에는, 게이트배선(GL)을 통해 인가된 턴온 레벨(예를 들어 하이레벨)의 스캔신호인 게이트신호(Vg)에 따라 스위칭트랜지스터(Ts)가 턴온 된다. 이에 동기하여 데이터배선(DL)으로 인가된 데이터신호(Vdata)가 스위칭트랜지스터(Ts)를 통해 구동트랜지스터(Td)의 게이트전극에 인가된다.
- [0050] 이에 따라, 구동트랜지스터(Td)는 인가된 데이터신호(Vdata)에 의해 턴온 되어 발광다이오드(OD)에 공급되는 발광전류를 제어하게 된다.
- [0051] 발광구간 동안에는, 발광제어트랜지스터(Te)가 발광제어배선(EL)을 통해 인가된 턴온 레벨(예를 들어 하이레벨)의 스캔신호인 발광제어신호(Vem)에 의해 턴온된다. 이에 따라, 구동트랜지스터(Td)에 의해 제어된 발광전류는 발광다이오드(OD)에 공급되어 발광다이오드(OD)는 대응되는 계조의 빛을 발광하게 된다.
- [0052] 여기서, 발광다이오드(OD)를 흐르는 발광전류의 양은 데이터신호(Vdata)의 크기에 비례하고, 발광다이오드(OD)가 방출하는 빛의 세기는 발광다이오드(OD)를 흐르는 전류의 양에 비례하므로, 화소(P)는 데이터신호(Vdata)의 크기에 따라 상이한 계조를 표시하고, 그 결과 유기발광표시장치(10)는 영상을 표시한다.
- [0053] 한편, 소스구동회로(DIC)는 타이밍컨트롤러로부터 디지털 영상데이터와 소스제어신호를 입력받고, 이 소스제어신호에 응답하여 영상데이터를 아날로그 데이터신호(Vdata)로 변환하여 각 데이터배선(DL)에 출력할 수 있다.
- [0054] 이와 같은 소스구동회로(DIC)는 적어도 하나의 구동IC로 구성될 수 있는데, 이에 한정되지는 않는다.
- [0055] 스캔구동회로는 타이밍컨트롤러에서 출력된 스캔제어신호를 입력받아, 게이트신호(Vg)와 발광제어신호(Vem)를 대응되는 각 행라인의 게이트배선(GL)과 발광제어배선(EL)에 출력할 수 있다.
- [0056] 이와 같은 스캔구동회로는, 게이트배선(GL)을 구동하는 게이트제어회로(GC)와, 발광제어배선(EL)을 구동하는 발광제어회로(EC)를 포함하여 구성될 수 있다. 한편, 스캔구동회로에 공급되는 스캔제어신호는 소스구동회로(DIC)를 경유하여 제공될 수 있다.
- [0057] 여기서, 게이트제어회로(GC)와 발광제어회로(EC)는 각각 쉬프트레지스터로 구성되어 해당 신호를 행라인 단위로 순차적으로 출력할 수 있다.
- [0058] 그리고, 스캔제어신호는 게이트신호(Vg) 출력을 위해 게이트제어회로(GC)에 공급되는 제어신호로서 예를 들면

스타트펄스, 초기화펄스, N상(N은 2 이상의 정수)의 쉬프트클럭 즉 게이트클럭 등을 포함할 수 있다. 또한, 스캔제어신호는 발광제어신호(Vem) 출력을 위해 발광제어회로(EC)에 공급되는 제어신호로서 예를 들면 N상(N은 2 이상의 정수) 쉬프트클럭 즉 발광제어클럭을 포함할 수 있다.

- [0059] 이와 같은 스캔구동회로, 즉 게이트제어회로(GC) 및 발광제어회로(EC)는 GIP 방식으로 표시패널(100)의 어레이 기관에 직접 형성될 수 있다. 이와 같은 GIP 방식에서, 스캔구동회로는 화소(P) 내의 소자들을 형성하는 공정과 동일한 공정에서 형성될 수 있다.
- [0060] 한편, 본 실시예에서는, 스캔구동회로는 표시영역(AA)의 좌우 양측(또는 행방향 상에서의 양측)에 형성되며 비대칭 형태로 형성될 수 있다.
- [0061] 이와 관련하여 예를 들면, 스캔구동회로의 발광제어회로(EC)는 싱글 피딩(single feeding) 방식으로 표시영역(AA)의 일측 일예로 도면 상 좌측의 제1비표시영역(NAA1)에 형성되어, 일측에서 표시영역(AA) 내부로 발광제어신호(Vem)를 해당 발광제어배선(EL)을 통해 전달할 수 있다.
- [0062] 그리고, 스캔구동회로의 게이트제어회로(GC)는 듀얼 피딩(dual feeding) 방식으로 표시영역(AA)의 양측에 형성될 수 있는데, 일예로 좌측의 제1비표시영역(NAA1)에 제1게이트제어회로(GC1)가 형성되고 우측의 제2비표시영역(NAA2)에 제2게이트제어회로(GC2)가 형성되어, 양측에서 표시영역(AA) 내부로 게이트신호(Vg)를 해당 게이트배선(GL)을 통해 전달할 수 있다.
- [0063] 더욱이, 발광제어회로(EC)와 동일하게 제1비표시영역(NAA1)에 배치된 제1게이트제어회로(GC1)는, 제1비표시영역(NAA1)의 폭을 감소시키기 위해 작은 크기 즉 좁은 폭을 갖도록 형성될 수 있다.
- [0064] 제1게이트제어회로(GC1)의 반대측으로서 발광제어회로(EC)가 형성되지 않은 제2비표시영역(NAA2)에 배치된 제2게이트제어회로(GC2)는, 제1게이트제어회로(GC1) 보다 큰 크기 즉 넓은 폭을 갖도록 형성될 수 있다.
- [0065] 이와 같이 제1게이트제어회로(GC1) 보다 큰 폭을 갖도록 제2게이트제어회로(GC2)를 형성하게 되면, 작은 폭의 제1게이트제어회로(GC1)에 의해 출력된 게이트신호(Vg)를 보상할 수 있게 되므로, 표시영역(AA)에서 화소(P)의 충전 특성을 유지하여 발광 특성을 충분히 확보할 수 있다.
- [0066] 이때, 제2비표시영역(NAA2)에는 발광제어회로(EC)가 형성되지 않으므로, 제2비표시영역(NAA2)의 폭은 충분히 감소될 수 있다.
- [0067] 이처럼, 본 실시예에서는, 스캔구동회로에 대해 기관 일측에 발광제어회로(EC)를 형성하고 타측의 게이트제어회로(GC2)가 일측의 게이트제어회로(GC1) 보다 큰 폭을 갖도록 형성함으로써, 게이트신호(Vg)를 안정적으로 공급하여 발광 특성을 확보하면서 베젤폭을 감소시켜 내로우 베젤을 구현할 수 있다.
- [0068] 여기서, 양측의 제1,2게이트제어회로(GC1,GC2)의 폭 관계는 실질적으로 이의 버퍼회로의 폭 보다 상세하게는 버퍼회로를 구성하는 트랜지스터의 채널 폭 관계에 따라 정의될 수 있다.
- [0069] 위와 같은 비대칭 형태의 스캔구동회로에 대해, 도 1 및 2 또한 함께 참조하여, 아래에서 보다 상세하게 설명한다.
- [0070] 도 3 및 4는 본 발명의 실시예에 따른 유기발광표시장치의 표시패널의 일부를 개략적으로 도시한 도면으로서, 노치부를 포함한 부분을 도시한 도면이다. 도 4는 설명의 편의 등을 위해, 스캔구동회로와 비표시영역을 도시하지 않았다.
- [0071] 그리고, 도 5는 본 발명의 실시예에 따른 발광제어회로의 구성을 개략적으로 도시한 도면이고, 도 6은 본 발명의 실시예에 따른 게이트제어회로의 스테이지의 구성을 개략적으로 도시한 도면이다.
- [0072] 도 3 및 4를 참조하여 보면, 표시패널(100)의 상부에는 하부 방향으로 요입된 노치부(NP)가 형성될 수 있다.
- [0073] 이와 같은 노치부(NP)는 표시영역(AA)과의 경계면들로서, 제2표시영역(AA2)과의 경계면에 해당되는 바다변(LB)과, 제1표시영역(AA1)의 제1,2영역(A1,A2)과의 경계면인 제1,2측변(LN1,LN2)로 둘러싸여진다 할 것이다. 여기서, 제1,2측변(NL1,NL2)은 각각 제1,2영역(A1,A2)의 측변에 해당된다고 볼 수 있다.
- [0074] 이와 같이, 노치부(NP)를 사이에 두고 이의 양측에는, 서로 이격되어 분리된 형태의 제1,2영역(A1,A2)이 배치될 수 있다. 여기서, 제1,2영역(A1,A2)은, 노치부(NP)를 기준으로 서로 대칭되도록 형성될 수 있다.
- [0075] 그리고, 제1표시영역(AA1)의 하부에는, 이와 구분되는 영역인 제2표시영역(AA2)이 배치될 수 있다.

- [0076] 한편, 노치부(NP)는 그 요입 방향인 하부 방향을 따라 폭이 좁아지는 역테이퍼(taper) 형상으로 형성될 수 있다. 이와 관련하여, 노치부(NP)의 제1,2측면(LN1, LN2)은 외측으로 경사진 형태로 구성될 수 있다.
- [0077] 이 경우에, 제1,2영역(A1, A2)은, 하부 방향을 따라 폭이 넓어지도록 구성될 수 있게 된다. 즉, 비표시영역(NAA) 측의 상단은 최소폭을 갖고, 제2표시영역(AA2) 측의 하단은 최대폭을 갖도록 제1,2영역(A1, A2)이 형성될 수 있다.
- [0078] 위와 같이, 제1표시영역(AA1)은 내부에 노치부(NP)가 개재되어 행방향으로 서로 분리되도록 구성되므로, 이에 배치된 각 행라인의 화소들(P)은 노치부(NP)에 의해 배열이 끊어진 형태가 된다.
- [0079] 그리고, 제2표시영역(AA2)에 배치된 각 행라인의 화소들(P)은 행방향을 따라 연속적으로 배열된 형태를 갖게 된다.
- [0080] 위와 같이 구성된 표시영역(AA)에는 각 행라인을 따라 발광제어배선(EL)과 게이트배선(GL)이 배치될 수 있다.
- [0081] 발광제어배선(EL)에 대해 살펴보면, 이는 싱글 피딩 방식에 따라 표시영역(AA)의 일측에서 타측 방향으로 해당 발광제어신호(Vem)를 전달하게 된다.
- [0082] 여기서, 노치부(NP)가 형성되지 않은 제2표시영역(AA2)에서는, 각 행라인의 발광제어배선(EL)이 일단에서 발광 제어회로(EC)에 접속되고, 행방향을 따라 연장되어 해당 행라인의 화소들(P)에 연결되도록 구성될 수 있다.
- [0083] 노치부(NP)가 형성된 제1표시영역(AA1)에서는, 각 행라인의 발광제어배선(EL)이 제1,2영역(A1, A2)에서는 행방향을 따라 연장되며 제1,2영역(A1, A2) 사이에는 노치부(NP)의 경계를 따라 연장되어, 해당 행라인의 화소들(P)에 연결되도록 구성될 수 있다. 이와 관련하여 예를 들면, 발광제어배선(EL)은 제1영역(A1)에서 행방향을 따라 연장된 제1부분(ELp1)과, 제2영역(A2)에서 행방향을 따라 연장된 제2부분(ELp2)과, 노치부(NP)의 경계를 따라 연장되어 제1,2부분(ELp1, ELp2)을 연결하는 연결부분(ELp3)으로 구성될 수 있다. 여기서, 연결부분(ELp3)은, 제1,2부분(ELp1, ELp2)과 단면적인 적층 구조에서 다른 층에 위치할 수 있다.
- [0084] 게이트배선(GL)에 대해 살펴보면, 이는 듀얼 피딩 방식에 따라 표시영역(AA)의 양측에서 내부 방향으로 해당 게이트신호(Vg)를 전달하게 된다.
- [0085] 여기서, 노치부(NP)가 형성되지 않은 제2표시영역(AA2)에서는, 각 행라인의 게이트배선(GL)이 양단에서 제1,2게이트제어회로(GC1, GC2)에 접속되고, 행방향을 따라 연장되어 해당 행라인의 화소들(P)에 연결되도록 구성될 수 있다.
- [0086] 노치부(NP)가 형성된 제1표시영역(AA1)에서는, 이에 배치된 다수의 행라인 중 적어도 일부의 행라인 각각에 대해 예를 들어 도 3 및 4의 상단에서 3번째 행라인에 대해, 해당 게이트배선(GL)이 제1,2영역(A1, A2)에서는 행방향을 따라 연장되며 제1,2영역(A1, A2) 사이에는 노치부(NP)의 경계를 따라 연장되어, 해당 행라인의 화소들(P)에 연결되도록 구성될 수 있다.
- [0087] 한편, 일부 행라인으로서 예를 들어 도 3 및 4의 상단에서 1번째 및 2번째 행라인에 대해, 해당 게이트배선(GL)은 노치부(NP)를 사이에 두고 서로 분리되어 전기적으로 단선된 형태로 구성될 수 있다. 이에 대해, 제1영역(A1)의 게이트배선(GL) 부분은 일단에서 이에 대응되는 제1게이트제어회로(GC1)에 접속되고 제1영역(A1)의 화소들(P)에 연결되며, 제2영역(A2)의 게이트배선(GL) 부분은 타단에서 이에 대응되는 제2게이트제어회로(GC2)에 접속되고 제2영역(A2)의 화소들(P)에 연결되며, 제1영역(A1)의 게이트배선(GL) 부분과 제2영역(A2)의 게이트배선(GL) 부분은 전기적으로 단선된 형태로 구성될 수 있다.
- [0088] 이와 같이, 제1,2영역(A1, A2) 간에 게이트배선(GL)이 노치부(NP)를 사이에 두고 단선된 형태로 구성되더라도, 듀얼 피딩 방식에 의해 제1,2영역(A1, A2)에는 해당 게이트신호가 개별적으로 제공될 수 있다. 그리고, 제1표시영역(AA1)에서 단선된 형태로 게이트배선(GL)이 구성된 경우는, 노치부(NP) 주변을 따라 신호배선들이 배치되는 영역의 면적이 협소한 경우에 적용되어 이 영역에서의 배선 설계를 보다 용이하게 할 수 있다.
- [0089] 또한, 일부 행라인들에 대해 제1표시영역(AA1)에서 단선된 형태로 게이트배선(GL)을 구성하는 경우에는, 상대적으로 제1표시영역(AA1)의 상단에 가까이 위치하는(또는 근방의) 행라인들에 대해 단선 형태로 구성하는 것이 바람직하다.
- [0090] 스캔구동회로에 대해 살펴보면, 이의 발광제어회로(EC)는 싱글 피딩 방식으로서 제1,2비표시영역(NAA1, NAA2) 중 하나 예를 들어 제1비표시영역(NAA1)에 배치될 수 있다.

- [0091] 이와 같은 발광제어회로(EC)는 표시패널(100)의 각 행라인에 배치된 발광배선(EL)의 일단에 연결되며, 발광제어 배선(EL)에 발광제어신호(Vem)를 순차적으로 출력할 수 있다.
- [0092] 여기서, 발광제어회로(EC)의 구성에 대해 도 5를 참조하여 살펴보면, 발광제어회로(EC)는 각 행라인 예를 들어 k번째 및 k+1번째 행라인 각각에 배치된 발광제어배선(EL)에 해당 발광제어신호(Vem<sub>k</sub>, Vem<sub>k+1</sub>)를 출력하는 발 광제어스테이지(STe)를 포함할 수 있다.
- [0093] 이와 같이, 본 실시예에서는 발광제어회로(EC)를 표시패널(100)의 일측에 싱글 피딩 방식으로 구성하게 되는데, 이와 같이 일측에 발광제어회로(EC)를 구성하더라도 발광 특성에 실질적으로 악영향은 발생하지 않는다. 이와 관련하여, 화소(P) 내의 발광트랜지스터(Te)는 대부분의 시간 동안 턴온 상태를 가져, 발광제어신호(Vem)에 민 감하지 않은 특성을 갖게 되므로, 일측에 발광제어회로(EC)가 구성되어 발광제어신호(Vem)를 공급하더라도 이에 따른 발광 특성의 변화는 실질적으로 인지될 수 없을 정도로 작다 할 것이다. 따라서, 일측에 발광제어회로(E C)를 구성하더라도 화소(P)의 구동 특성은 충분히 확보될 수 있다.
- [0094] 한편, 스캔구동회로의 게이트제어회로(GC)는 듀얼 피딩 방식으로서, 제1,2비표시영역(NAA1,NAA2) 각각에 제1,2 게이트제어회로(GC1,G2)가 배치될 수 있다.
- [0095] 이와 같은 듀얼 피딩 방식의 제1,2게이트제어회로(GC1,G2)는 표시패널(100)의 각 행라인의 게이트배선(GL) 양 단에 각각 연결되어 게이트신호(Vg)를 행라인 단위로 순차적으로 출력할 수 있다. 이와 같은 제1,2게이트제어회 로(GC1,G2) 각각은 각 행라인의 게이트배선(GL)에 해당 게이트신호(Vg)를 출력하는 게이트스테이지(ST)를 포함 할 수 있다.
- [0096] 여기서, 게이트제어회로(GC)의 게이트스테이지(ST)의 구성에 대해 도 6을 참조하여 살펴보면, 게이트스테이지 (ST)는 제어회로(CP)와 버퍼회로(BP)로 구성될 수 있다.
- [0097] 제어회로(CP)는 버퍼회로(BP)의 출력 제어단자로서 Q 노드 및 Qb 노드를 포함할 수 있다. 그리고, 버퍼회로(B P)는 Q 노드 및 Qb 노드 각각에 연결되어 제어되며 서로 직렬연결된 제1,2트랜지스터(T1,T2)(또는 풀업,풀다운 트랜지스터)를 포함할 수 있다.
- [0098] 여기서, 제1트랜지스터(T1)의 드레인전극에는 예를 들면 해당 게이트클럭(CLK)이 인가될 수 있으며, 제2트랜지 스테(T2)의 소스전극에는 전원전압으로서 일예로 저전위전압(Vss)이 인가될 수 있다. 그리고, 제1트랜지스터 (T1)의 소스전극과 제2트랜지스터(T2)의 드레인전극 간의 접점(또는 노드)은 해당 게이트배선(GL)에 연결될 수 있다.
- [0099] 이때, Q 노드에 턴온레벨 일예로 하이레벨의 전압이 발생하고 Qb 노드에 턴오프레벨 일예로 로우레벨의 전압이 발생하게 되면, 제2트랜지스터(T2)는 턴오프되고 제1트랜지스터(T1)가 턴온되어, 게이트클럭(CLK)을 게이트신호 (Vg)로서 해당 게이트배선(GL)에 출력할 수 있게 된다.
- [0100] 한편, 버퍼회로(BP)의 크기 즉 폭은, 실질적으로 이의 제1,2트랜지스터(T1,T2)의 채널의 폭에 따라 결정될 수 있다.
- [0101] 이와 관련하여 도 7을 참조할 수 있는데, 도 7은 버퍼회로(BP)에 포함된 트랜지스터(T1 또는 T2)의 구조를 개략 적으로 도시한 도면이다.
- [0102] 도 7을 참조하면, 트랜지스터(T)는 게이트전극(G)과 소스전극(S)과 드레인전극(D)과 반도체층(SE)을 포함하며, 반도체층(SE)에는 게이트전극(G)과 중첩되는 채널(CH)이 구성될 수 있다.
- [0103] 여기서, 트랜지스터(T)의 채널(CH)은, 표시패널(100)의 행방향으로 폭(w)이 정의되고 열방향으로 길이(l)가 정 의되도록 배치된다.
- [0104] 따라서, 제1,2트랜지스터(T1,T2)의 채널 폭(w)에 따라 해당 버퍼회로(BP)의 폭이 결정되고 이에 따라 해당 게이 트스테이지(ST)의 폭이 결정될 수 있다.
- [0105] 제1게이트제어회로(GC1)에는, 표시영역(AA)의 각 행라인의 게이트배선(GL)의 일단에 해당 게이트신호(Vg)를 출 력하는 게이트스테이지(ST)로서 제1게이트스테이지(ST1)가 구비될 수 있다.
- [0106] 여기서, 제1게이트제어회로(GC)에 포함된 제1게이트스테이지들(ST1)은 실질적으로 동일한 폭을 갖도록 구성될 수 있다.
- [0107] 이와 관련하여, 제1표시영역(AA1)의 행라인에 대응하는 (보다 상세하게는, 제1영역(A1)의 행라인에 대응하는)

제1게이트스태이지(ST1)와, 제2표시영역(AA2)의 행라인에 대응하는 제1게이트스태이지(ST1)는 동일한 폭을 갖도록 구성될 수 있다.

- [0108] 이에 따라, 도 8에 도시한 바와 같이, 제1게이트스태이지들(ST1)은 실질적으로 버퍼회로(BP) 즉 제1버퍼회로(BP1)가 동일한 제1폭( $w_1$ )을 갖도록 구성될 수 있다. 보다 상세하게 말하면, 제1게이트스태이지들(ST1)은 제1버퍼회로(BP1)의 제1,2트랜지스터(T1,T2)의 채널 폭이 동일하게 구성될 수 있다.
- [0109] 제2게이트제어회로(GC2)에는, 표시영역(AA)의 각 행라인의 게이트배선(GL)의 타단에 해당 게이트신호(Vg)를 출력하는 게이트스태이지(ST)가 구비될 수 있다.
- [0110] 제2게이트제어회로(GC2)의 게이트스태이지(ST)는, 제1게이트제어회로(GC1)의 제1게이트스태이지(ST1) 보다 큰 폭을 갖도록 구성될 수 있다.
- [0111] 이와 관련하여, 제2게이트제어회로(GC2)의 게이트스태이지(ST)는, 제1표시영역(AA1)의 행라인에 대응하는 (보다 상세하게는, 제2영역(A2)의 행라인에 대응하는) 제2게이트스태이지(ST2)와, 제2표시영역(AA2)의 행라인에 대응하는 제3게이트스태이지(ST3)를 포함할 수 있다.
- [0112] 이와 같은 제2,3게이트스태이지(ST2,ST3)는 모두 제1게이트스태이지(ST1) 보다 큰 폭을 갖도록 구성될 수 있다. 다시 말하면, 도 8에 도시한 바와 같이, 제2,3게이트스태이지(ST2,ST3)는 제1게이트스태이지(ST1) 보다 버퍼회로(BP)가 큰 폭(또는 버퍼회로(BP)의 제1,2트랜지스터(T1,T2)가 큰 채널 폭)을 갖도록 구성될 수 있는데, 제2,3게이트스태이지(ST2,ST3) 각각의 제2,3버퍼회로(BP2,BP3)가 제1게이트스태이지(ST1)의 제1버퍼회로(BP1) 보다 큰 제2,3폭( $w_2,w_3$ )을 가질 수 있다.
- [0113] 더욱이, 제2게이트스태이지(ST2)는 제3게이트스태이지(ST3) 보다 작은 폭을 갖도록 구성될 수 있다. 즉, 제2버퍼회로(BP2)의 제2폭( $w_2$ )은 제3버퍼회로(BP3)의 제3폭( $w_3$ ) 보다 작게 형성될 수 있다.
- [0114] 이와 같이 제2버퍼회로(BP2)를 제3버퍼회로(BP3) 보다 작은 폭으로 형성하게 되면, 노치부(NP)가 형성된 제1표시영역(AA1)과 노치부(NP)가 형성되지 않은 제2표시영역(AA2) 간의 휘도 편차를 감소시킬 수 있게 된다.
- [0115] 이와 관련하여, 버퍼회로(BP)의 폭 즉 이에 구성된 트랜지스터(T1,T2)의 채널 폭은, 출력신호인 게이트신호의 라이징시간 및 폴링시간을 감소시켜 안정적인 펄스 파형의 게이트신호(Vg)를 형성함으로써 화소(P)의 충전 특성을 확보할 수 있도록 설계되는 것이 바람직하다.
- [0116] 게이트신호(Vg)는 이를 전달받는 표시영역(AA)의 화소 어레이의 부하(load)와 버퍼회로(BP) 자체 즉 구동트랜지스터(T1,T2)의 소스-게이트 및 드레인-게이트 기생(parasitic) 캐패시턴스에 영향을 받게 되므로, 이와 같은 인자들을 고려하여 버퍼회로(BP)의 폭이 결정될 수 있게 된다.
- [0117] 이를 감안하여 볼 때, 제1표시영역(AA1)은 내부에 노치부(NP)가 형성되어 이의 화소 어레이의 부하는 작으므로, 이에 출력되는 게이트신호(Vg)는 대응되는 버퍼회로(BP)인 제2버퍼회로(BP2)의 기생 캐패시턴스에 더 많은 영향을 받게 된다. 이에 따라, 제2버퍼회로(BP2)의 구동트랜지스터(T1,T2)의 채널 폭을 제3버퍼회로(BP2)와 동일한 정도로 크게 형성하게 되면, 게이트신호(Vg)가 지연되고 이에 따라 제1표시영역(AA1)의 충전 특성이 저하될 수 있다.
- [0118] 따라서, 노치부(NP)가 형성된 제1표시영역(AA1)에 대응되는 제2버퍼회로(BP2)에 대해서는, 노치부(NP)가 형성되지 않은 제2표시영역(AA2)에 대응되는 제3버퍼회로(BP3)에 보다, 폭이 작도록 즉 제1,2트랜지스터(T1,T2)의 채널 폭이 작도록 형성하게 된다. 이에 따라, 제1표시영역(AA1)의 충전 특성이 확보되고 제2표시영역(AA2)과의 휘도 편차를 개선할 수 있다.
- [0119] 한편, 이와 같은 휘도 편차를 개선함에 있어, 제2버퍼회로(BP2)의 제2폭( $w_2$ )과 제3버퍼회로(BP3)의 제3폭( $w_3$ )은, 보다 상세하게는 이들의 제1,2트랜지스터(T1,T2)의 채널 폭은 특정 비율 관계로 설정될 수 있다.
- [0120] 이에 대해 예를 들면, 제3버퍼회로(BP3)에 대응되어 영향을 받는 제2표시영역(AA2)의 폭과, 제2버퍼회로(BP2)에 대응되어 영향을 받는 제1표시영역(AA1) 특히 이에 직접적으로 연결되어 영향을 받는 제1표시영역(AA1)의 제2영역(A2)의 폭의 비율 관계에 따라, 제2,3버퍼회로(BP2,BP3)의 폭의 비율 관계가 설정될 수 있다.
- [0121] 이와 관련하여 도 8을 참조하여 살펴보면, 제2표시영역(AA2)의 폭이  $w_c$ 이고, 제1표시영역(AA1)의 제2영역(A2)은 상단이 최소폭인  $w_{a1}$ 이며 하단이 최대폭인  $w_{a2}$ 를 가질 수 있다.
- [0122] 이와 같은 경우에, 제3버퍼회로(BP3)의 제3폭( $w_3$ )과 제2버퍼회로(BP2)의 제2폭( $w_2$ )의 관계는 아래와 같은 수식

으로 설정될 수 있다.

- [0123]  $w3:w2 = wc:(wa2\sim wa1)$  (또는  $w3/w2 = (wc/wa2)\sim(wc/wa1)$ ).
- [0124] 이에 대해 일예를 들어 보면, 제2버퍼회로(BP2)의 제1,2트랜지스터(T1,T2) 각각의 채널 폭  $wbp2\_t1, wbp2\_t2$ 가 100um, 50um이고,  $(wc/wa1)$ 이 3.6이고  $(wc/wa2)$ 가 2.8일 때,
- [0125] 제3버퍼회로(BP3)의 제1,2트랜지스터(T1,T2) 각각의 채널 폭  $wbp3\_t1, wbp3\_t2$ 를 구해보면,
- [0126] 제3버퍼회로(BP3)의 제1트랜지스터(T1)의 채널폭,  $wbp3\_t1 = (100um*2.8)\sim(100um*3.6)$ ,
- [0127] 제3버퍼회로(BP3)의 제2트랜지스터(T2)의 채널폭,  $wbp3\_t2 = (50um*2.8)\sim(50um*3.6)$
- [0128] 이 될 수 있다.
- [0129] 한편, 제2,3버퍼회로(BP2,BP3) 간에, 제1트랜지스터(T1)의 채널폭 비율과 제2트랜지스터(T2)의 채널폭 비율은 동일하거나 상이할 수 있다.
- [0130] 한편, 제2버퍼회로(BP2)는 이와 반대측의 제1버퍼회로(BP1) 보다 제1,2트랜지스터(T1,T2)의 채널폭이 크게 설정되는데, 이들 간의 채널폭 관계는 노치부(NP)의 폭과 제1,2영역(A1,A2)의 폭 등을 감안하여 휘도 편차 등 발광 특성을 확보할 수 있도록 설정될 수 있을 것이다. 일예로, 제2버퍼회로(BP2)의 제1,2트랜지스터(T1,T2) 각각의 채널폭은, 제1버퍼회로(BP1)의 제1,2트랜지스터(T1,T2) 각각의 채널폭에 비해 대략 1.1~1.5배 크게 구성될 수 있는데, 이에 한정되지는 않는다.
- [0131] 도 9 및 10은 각각 종래 및 본 발명의 실시예에 따른 노치 구조의 유기발광표시장치의 위치별 발광 전류를 도시한 도면이다.
- [0132] 도 9 및 10에서, x축은 표시영역의 수직 방향의 위치 즉 행라인의 위치로서 노치부의 상부 즉 제1표시영역의 상부(AA1\_T), 노치부의 하부 즉 제1표시영역의 하부(AA1\_B), 비노치부 즉 제2표시영역(AA2)으로 구분되며, y축은 행라인 위치에서의 발광전류(Ioled)를 나타낸다. 그리고, "L", "R", "C"는 각각 표시영역의 수평 방향의 위치에 대한 그래프로서, "L"은 노치부를 기준으로 좌측 위치 부분으로서 제1표시영역의 제1영역 위치에 해당되는 부분의 그래프이고, "R"은 노치부를 기준으로 우측 위치 부분으로서 제1표시영역의 제2영역 위치에 해당되는 부분의 그래프이고, "C"는 노치부 위치 부분 즉 중앙 부분의 그래프이다.
- [0133] 도 9는 종래기술로서 양측에 대칭 형태로 스캔구동회로가 배치되어 게이트신호 및 발광제어신호 모두 듀얼 피딩 방식으로 출력되는 경우이며, 이의 제1,2게이트제어회로는 동일 폭의 버퍼회로를 구비하며 이의 제1,2트랜지스터는 각각 180um, 60um의 채널 폭을 갖는다. 그리고, 제1표시영역 상부(AA1\_T)에는 제1,2영역 간에 게이트배선 및 발광제어배선이 연결되지 않고 분리된 상태이며, 제1표시영역 하부(AA1\_B)에는 제1,2영역 간에 게이트배선은 연결되고 발광제어배선은 분리된 상태이다.
- [0134] 이와 같은 종래의 유기발광표시장치에 있어, 제1표시영역 상부(AA1\_T)의 발광전류는 대략 0.356nA, 제1표시영역 하부(AA1\_B)의 발광전류는 대략 0.380nA이다. 제2표시영역의 좌측 및 우측 부분의 발광전류는 대략 0.406nA 그리고 중앙 부분의 발광전류는 대략 0.462nA이다.
- [0135] 도 10은 본 발명의 실시예로서 전술한 바와 같이 비대칭 형태로 스캔구동회로가 배치되어 발광제어신호는 싱글 피딩 방식으로 출력되고 게이트신호는 듀얼 피딩 방식으로 출력된다. 이때, 제1게이트제어회로의 제1버퍼회로에 구성된 제1,2트랜지스터는 각각 80um, 40um의 채널폭을 갖고, 제2게이트제어회로의 제2버퍼회로에 구성된 제1,2트랜지스터는 각각 100um, 50um의 채널폭을 갖고 제3버퍼회로에 구성된 제1,2트랜지스터는 각각 360um, 150um의 채널폭을 갖는다. 그리고, 제1표시영역 상부(AA1\_T)에는 제1,2영역 간에 게이트배선은 분리된 상태이고, 제1표시영역 하부(AA1\_B)에는 제1,2영역 간에 게이트배선은 연결된 상태이다.
- [0136] 이와 같은 본 실시예의 유기발광표시장치에 있어, 제1표시영역 상부(AA1\_T)의 발광전류는 대략 0.371nA, 제1표시영역 하부(AA1\_B)의 발광전류는 대략 0.395nA이다. 제2표시영역의 좌측 및 우측 부분의 발광전류는 대략 0.410nA 그리고 중앙 부분의 발광전류는 대략 0.465nA이다.
- [0137] 위와 같이, 종래에 비해 본 실시예의 경우에는 제1표시영역의 발광전류가 상승하게 되어 발광전류의 편차가 감소되고, 이에 따라 표시패널의 휘도편차가 개선됨을 확인할 수 있다.
- [0138] 이와 관련하여, 종래의 경우 발광전류의 최대 편차는 제2표시영역 중앙 부분과 제1표시영역 상부 간의 차이로서  $(0.462nA-0.356nA)=0.106nA$ 인데, 본 실시예의 경우에는  $(0.465nA-0.371nA)=0.094nA$ 로서, 대략 0.012nA 만큼 유

의미한 정도로 편차가 감소될 수 있다.

[0139] 전술한 바와 같이, 본 발명의 실시예에 따르면, 노치 구조의 표시패널을 구동하는 스캔구동회로를 비대칭 형태로 구성하게 된다. 즉, 발광제어회로에 대해서는 싱글 피딩 방식으로 표시영역 일측에 배치한다. 그리고, 게이트제어회로에 대해서는 듀얼 피딩 방식으로 양측에 배치하며, 일측의 제1버퍼회로는 좁은 폭을 갖고 타측의 제2,3버퍼회로는 넓은 폭을 갖도록 하며, 노치부에 대응하는 제2버퍼회로를 노치부에 대응하지 않는 제3버퍼회로보다 좁은 폭을 갖도록 구성하게 된다.

[0140] 이에 따라, 게이트신호를 안정적으로 공급하여 발광 특성을 확보하고 표시패널의 휘도 편차를 감소시키면서 내로우 베젤을 효과적으로 구현할 수 있게 된다.

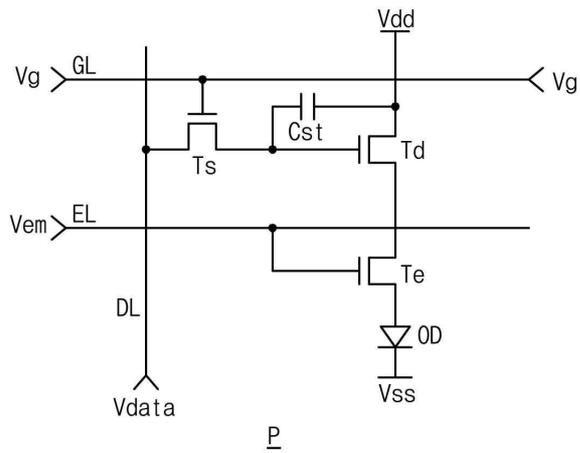
[0141] 전술한 본 발명의 실시예는 본 발명의 일례로서, 본 발명의 정신에 포함되는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명은, 첨부된 특허청구범위 및 이와 등가되는 범위 내에서의 본 발명의 변형을 포함한다.

**부호의 설명**

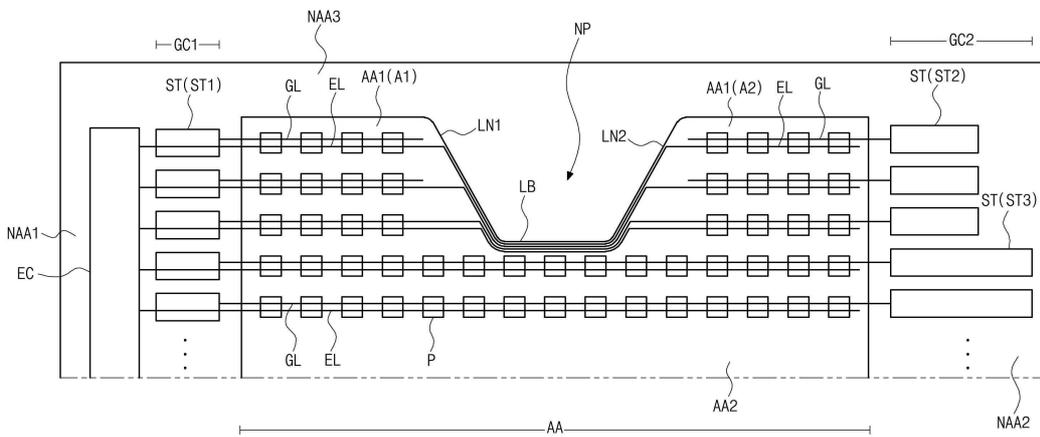
- [0142] 10: 유기발광표시장치
- 100: 표시패널
- AA,AA1,AA2: 표시영역, 제1,2표시영역
- A1,A2: 제1표시영역의 제1영역, 제2영역
- NAA,NAA1,NAA2,NAA3,NAA4: 비표시영역, 제1,2,3,4비표시영역
- P: 화소
- GC,GC1,GC2: 게이트제어회로, 제1,2게이트제어회로
- EC: 발광제어회로
- DIC: 소스구동회로
- Ts: 스위칭트랜지스터
- Td: 구동트랜지스터
- Te: 발광제어트랜지스터
- OD: 발광다이오드
- Cst: 스토리지캐패시터
- GL: 게이트배선
- DL: 데이터배선
- EL: 발광제어배선
- Vg: 게이트신호
- Vdata: 데이터신호
- Vem: 발광제어신호
- ST,ST1,ST2,ST3: 게이트스태이지, 제1,2,3게이트스태이지
- CP: 제어회로
- BP,BP1,BP2,BP3: 버퍼회로, 제1,2,3버퍼회로
- T1,T2: 제1,2트랜지스터



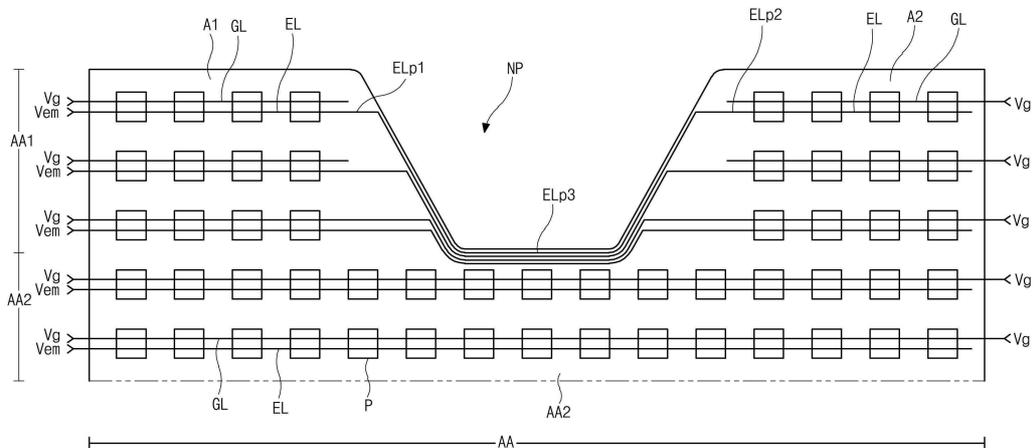
도면2



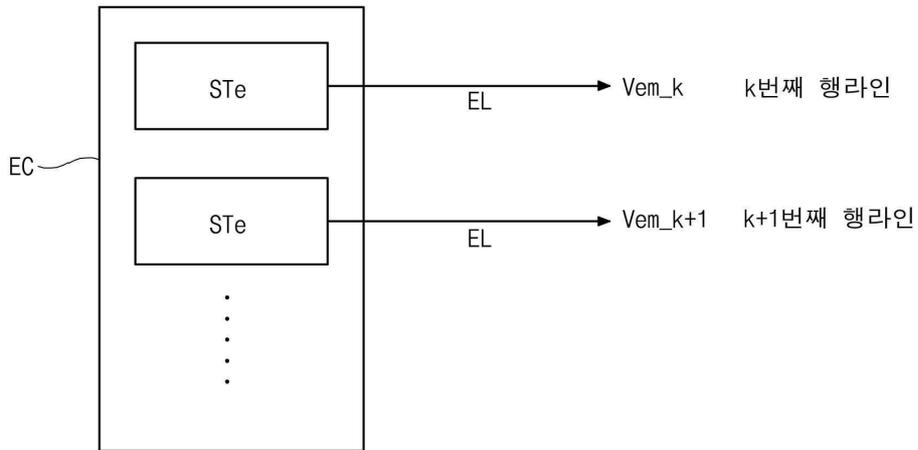
도면3



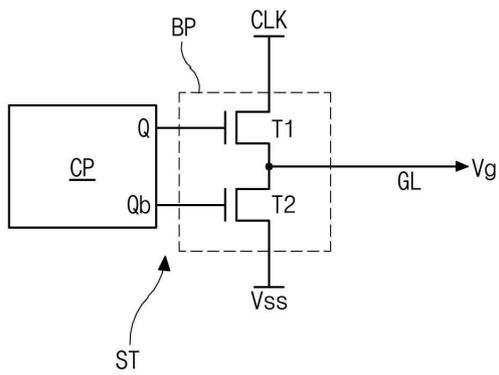
도면4



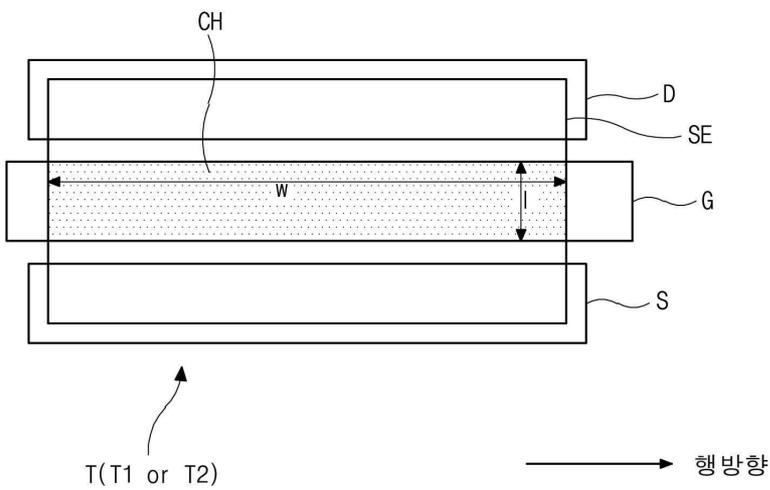
도면5



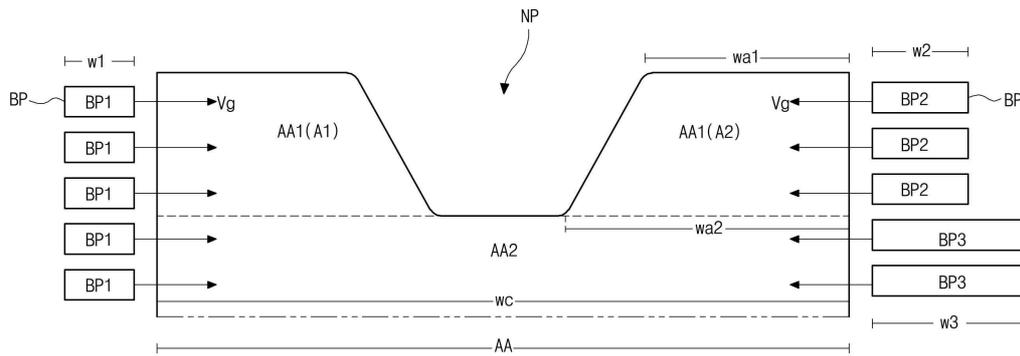
도면6



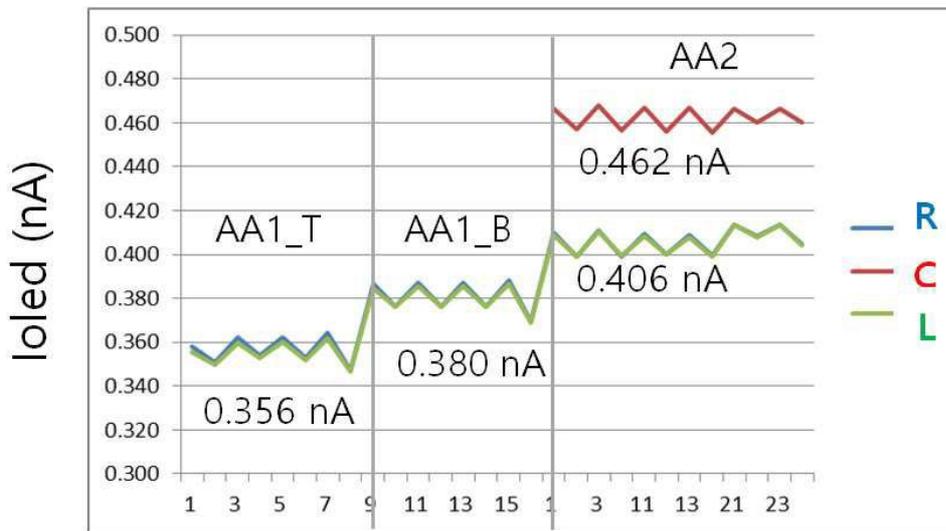
도면7



도면8

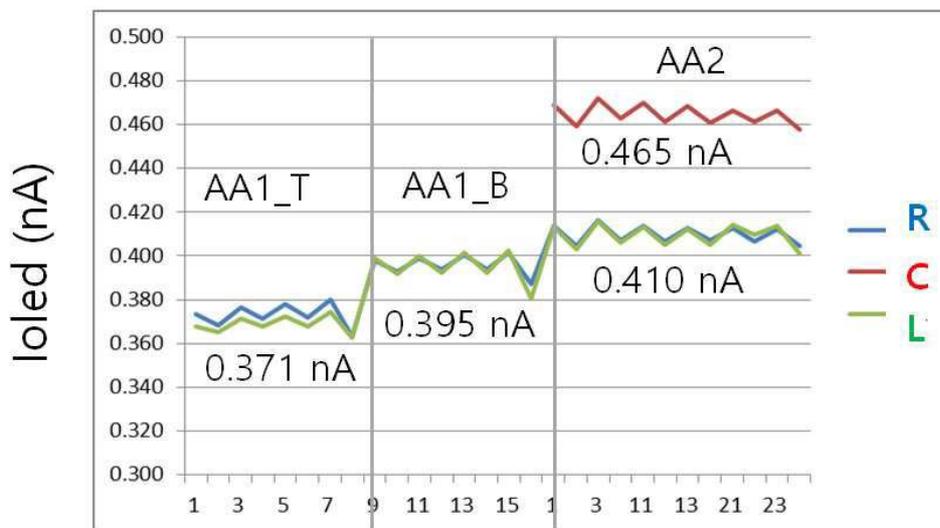


도면9



수직방향 위치(행라인)

도면10



수직방향 위치(행라인)

专利名称(译)	有机发光显示装置		
公开(公告)号	<a href="#">KR1020200031310A</a>	公开(公告)日	2020-03-24
申请号	KR1020180110170	申请日	2018-09-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	허진희 문태형 이성진		
发明人	허진희 문태형 이성진		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3276 H01L51/52 G09G2310/0262 G09G2310/0291 G09G2320/0233		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供了一种有机发光显示装置,包括:像素,该像素沿着行线设置在显示区域上,该显示区域包括第一显示区域,该第一显示区域在行方向的两侧分开,并且第一区域和第二区域在其之间设置有切口部;以及 在第一显示区域下方的第二显示区域; 像素中包括的发光二极管,开关晶体管和发光控制晶体管; 第一栅极控制电路,其包括形成在第一区域的一侧的第一非显示区域上的发光控制电路以及与第一和第二显示区域相对应的第一缓冲电路; 第二栅极控制电路,其形成在第二区域的另一侧的第二非显示区域上,并且包括与第一显示区域相对应的第二缓冲电路和与第二显示区域相对应的第三缓冲电路,其中 第二缓冲电路的宽度大于第一缓冲电路的宽度,第三缓冲电路的宽度大于第二缓冲电路的宽度。 根据本发明,可以有效地实现窄边框。

