



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0081624
(43) 공개일자 2019년07월09일

- (51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *G09G 3/3233* (2016.01)
H01L 51/52 (2006.01) *H01L 51/56* (2006.01)
- (52) CPC특허분류
H01L 27/3262 (2013.01)
G09G 3/3233 (2013.01)
- (21) 출원번호 10-2017-0184295
(22) 출원일자 2017년12월29일
(심사청구일자 없음)

- (71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자
배준현
경기도 파주시 월롱면 엘지로 245
- (74) 대리인
특허법인천문

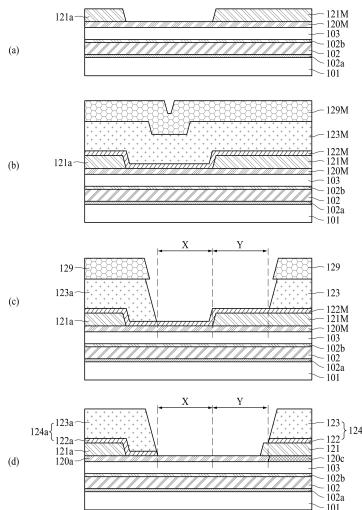
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기발광표시장치 및 그 제조 방법과 이를 이용한 유기발광표시장치

(57) 요 약

본 발명의 목적은, 채널부의 하단에 구비된 라이트 월드를 소스전극으로 이용하여, 게이트 전극, 소스 전극 및 드레인 전극들이 서로 다른 두 개의 금속층들로 형성된 트랜지스터가 구비된, 유기발광표시장치 및 그 제조 방법과 이를 이용한 유기발광표시장치를 제공하는 것이다.

대 표 도 - 도6



(52) CPC특허분류

H01L 27/3211 (2013.01)

H01L 51/5253 (2013.01)

H01L 51/56 (2013.01)

G09G 2300/0426 (2013.01)

G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

복수의 픽셀들로 구분되는 기판;
 상기 기판 상에 형성되는 라이트 쉴드;
 상기 라이트 쉴드를 커버하는 베피;
 상기 베피 상에 구비되는 구동 트랜지스터;
 상기 구동 트랜지스터를 커버하는 보호막;
 상기 보호막 상에 구비되는 평탄막; 및
 상기 평탄막 상에 구비되며, 상기 구동 트랜지스터와 연결되는 유기발광다이오드를 포함하고,
 상기 구동 트랜지스터는,
 상기 베피 상에 구비되며, 제1 도체부, 제2 도체부 및 상기 제1 도체부와 상기 제2 도체부 사이에 구비되는 액티브층을 포함하는 채널부;
 상기 액티브층 상에 구비되며, 상기 액티브층을 커버하는 게이트 절연막;
 상기 제1 도체부 상에 구비되며, 상기 제1 도체부를 커버하는 소스 절연막;
 상기 제2 도체부 상에 구비되며, 상기 제2 도체부를 커버하는 드레인 절연막;
 상기 게이트 절연막 상에 구비되고, 제1 금속으로 형성되는 제1 게이트 전극;
 상기 제1 게이트 전극 상에 형성되며, 제2 금속으로 형성되는 제2 게이트 전극;
 상기 소스 절연막 상에 구비되며, 상기 제1 금속으로 형성되는 제1 소스 전극;
 상기 제1 소스 전극 상에 형성되며, 상기 제2 금속으로 형성되는 제2 소스 전극;
 상기 드레인 절연막 상에 구비되며, 상기 제1 금속으로 형성되는 제1 드레인 전극; 및
 상기 제1 드레인 전극 상에 구비되며, 상기 제2 금속으로 형성되는 제2 드레인 전극을 포함하고,
 상기 제1 소스 전극은 상기 베피에 형성된 제1 컨택홀을 통해, 상기 라이트 쉴드와 연결되고,
 상기 제1 게이트 전극과 상기 제2 게이트 전극은 스위칭 트랜지스터의 제1 전극과 연결되고,
 상기 스위칭 트랜지스터의 제2 전극은 데이터 라인과 연결되고,
 상기 스위칭 트랜지스터의 제3 전극은 게이트 라인과 연결되며,
 상기 데이터 라인은 상기 라이트 쉴드와 동일한 층에 형성되는 유기발광표시패널.

청구항 2

제 1 항에 있어서,

상기 라이트 쉴드 및 상기 데이터 라인과 동일한 층에 형성되어 있으며, 제1 구동전압(EVDD)이 공급되는 제1 전압공급라인은, 상기 제2 드레인 전극과 연결되어 있는 유기발광표시패널.

청구항 3

제 1 항에 있어서,

상기 제1 소스 전극은 상기 라이트 쉴드와 연결되고, 상기 라이트 쉴드는 센싱 트랜지스터의 제1 전극과 연결되

고,

상기 센싱 트랜지스터의 제2 전극은 센싱전압이 공급되는 센싱 라인과 연결되며,

상기 센싱 트랜지스터의 제3 전극은 센싱 펄스가 공급되는 센싱 펄스 라인과 연결되어 있는 유기발광표시패널.

청구항 4

제1 마스크를 이용하여 기판 상에 라이트 쉴드와 테이터 라인을 형성하는 단계;

상기 라이트 쉴드를 버퍼로 커버하고, 제2 마스크를 이용하여 상기 버퍼 상에 패턴화된 반도체층을 형성하는 단계;

제3 마스크를 이용하여 상기 패턴화된 반도체층 상에 소스 절연막, 드레인 절연막 및 패턴화된 절연막을 형성하는 단계;

상기 소스 절연막, 상기 드레인 절연막, 상기 패턴화된 절연막 및 상기 반도체층을 커버하도록 제1 금속층을 증착하는 단계;

상기 제1 금속층 상단에 제2 금속층을 증착하는 단계;

제4 마스크를 이용해 상기 제2 금속층을 식각하여 구동 트랜지스터의 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계;

상기 제4 마스크에 의해 상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극 상에 구비된 제4 마스크 패턴과, 상기 제1 금속층을 드라이 에칭 공정을 통해 식각하여, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 형성하며, 상기 반도체층 중 상기 제1 게이트 전극과 상기 제1 소스 전극 사이 및 상기 제1 게이트 전극과 상기 제1 드레인 전극 사이를 도체화시키는 단계; 및

상기 제2 게이트 전극, 상기 제2 소스 전극, 상기 제2 드레인 전극을 보호막과 평탄막으로 커버하고, 상기 평탄막 상에 상기 제2 소스 전극과 연결되는 유기발광다이오드를 형성하는 단계를 포함하는 유기발광표시패널 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제3 마스크를 이용하여 상기 패턴화된 반도체층 상에 패턴화된 절연막들을 형성하는 단계에서는, 상기 라이트 쉴드의 일부가 노출되도록 하는 제1 컨택홀이 형성되는 유기발광표시패널 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제1 금속층은 상기 제1 컨택홀을 통해 상기 라이트 쉴드와 연결되는 유기발광표시패널 제조 방법.

청구항 7

제 4 항에 있어서,

상기 제3 마스크를 이용하여 상기 패턴화된 반도체층 상에 패턴화된 절연막을 형성하는 단계에서, 상기 제2 게이트 전극과 상기 반도체층 사이에 형성되는 상기 패턴화된 절연막은 상기 제2 게이트 전극의 끝단으로부터 더 돌출되도록 형성되는 유기발광표시패널 제조 방법.

청구항 8

제 4 항에 있어서,

상기 반도체층 중 상기 제1 소스 전극 하단에 구비된 영역과, 상기 제1 드레인 전극 하단에 구비된 영역도, 상기 드라이 에칭 공정에 의해 도체로 변화되는 유기발광표시패널 제조 방법.

청구항 9

제 4 항에 있어서,

상기 유기발광다이오드는 상기 보호막과 상기 평탄막에 형성된 제2 컨택홀을 통해 상기 제2 소스 전극과 연결되는 유기발광표시패널 제조 방법.

청구항 10

제 4 항에 있어서,

상기 라이트 월드 및 상기 데이터 라인과 동일한 층에 형성되어 있으며, 제1 구동전압(EVDD)이 공급되는 제1 전압공급라인을, 상기 제2 드레인 전극과 연결시키는 단계를 더 포함하는 유기발광표시패널 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제1 전압공급라인과 상기 제2 드레인 전극은 상기 보호막 상단에 형성된 브릿지를 통해 연결되는 유기발광표시패널 제조 방법.

청구항 12

제 4 항에 있어서,

상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극은 웃 에칭에 의해 형성되며,

상기 웃 에칭이 수행되는 동안, 상기 반도체층은 상기 제1 금속층에 의해 커버되어 있는 유기발광표시패널 제조 방법.

청구항 13

제 1 항에 기재된 유기발광표시패널;

상기 유기발광표시패널에 구비된 게이트 라인들로 게이트 펄스를 공급하는 게이트 드라이버;

상기 유기발광표시패널에 구비된 데이터 라인들로 데이터 전압을 공급하는 데이터 드라이버; 및

상기 게이트 드라이버와 상기 데이터 드라이버를 제어하는 제어부를 포함하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시패널 및 그 제조 방법과 이를 이용한 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 유기발광표시장치(Organic Light Emitting Display Apparatus)는 자체발광 소자를 이용하고 있으며, 소비 전력이 낮기 때문에, 평판표시장치로서 널리 이용되고 있다.

[0003] 유기발광표시장치의 각 픽셀은 기본적으로 두 개의 트랜지스터들과 하나의 캐페시터로 동작될 수 있다.

[0004] 상기 트랜지스터들 각각은 반도체로 구성된 액티브층 및 상기 액티브층의 양쪽 끝단에 구비되는 제1 도체부 및 제2 도체부를 포함한다.

[0005] 상기 액티브층 상단에는 게이트 절연막을 사이에 두고 게이트 전극이 구비되고, 상기 제1 도체부 상단에는 소스 전극이 구비되며, 상기 제2 도체부 상단에는 드레인 전극이 구비된다.

[0006] 상기 소스 전극, 상기 게이트 전극 및 상기 드레인 전극은 하나의 금속으로 형성될 수도 있으나, 서로 다른 두 개의 금속층들로 형성될 수도 있다.

[0007] 상기 제1 도체부 및 상기 제2 도체부는 상기 액티브층과 동일한 반도체로 형성된 후 도체화 공정을 통해 도체로 변경될 수 있다.

[0008] 상기 게이트 전극, 소스 전극 및 상기 드레인 전극을 형성하거나, 상기 제1 도체부 및 상기 제2 도체부를 도체

로 변화시키기 위해서는, 다양한 종류의 에칭(식각) 공정이 이루어져야 한다.

[0009] 이 경우, 상기 전극들을 형성하기 위한 공정 및 상기 도체부들을 형성하기 위한 공정에서의 식각 공정에 의해, 상기 제1 도체부 및 상기 제2 도체부가 식각되어, 상기 제1 도체부 및 상기 제2 도체부가 손실되는 현상이 발생될 수 있다.

[0010] 상기 제1 도체부 및 상기 제2 도체부가 식각되어 손실되면, 상기 제1 도체부 및 상기 제2 도체부로 구성된 트랜지스터가 정상적으로 구동되지 않을 수도 있다.

발명의 내용

해결하려는 과제

[0011] 상술한 문제점을 해결하기 위해 제안된 본 발명의 목적은, 채널부의 하단에 구비된 라이트 쉴드를 소스전극으로 이용하며, 게이트 전극, 소스 전극 및 드레인 전극들이 서로 다른 두 개의 금속층들로 형성된 트랜지스터가 구비된, 유기발광표시패널 및 그 제조 방법과 이를 이용한 유기발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0012] 상기한 바와 같은 문제점을 해결하기 위한 본 발명에 따른 유기발광표시패널은, 복수의 피셀들로 구분되는 기판, 상기 기판 상에 형성되는 라이트 쉴드, 상기 라이트 쉴드를 커버하는 베퍼, 상기 베퍼 상에 구비되는 구동 트랜지스터, 상기 구동 트랜지스터를 커버하는 보호막, 상기 보호막 상에 구비되는 평탄막 및 상기 평탄막 상에 구비되며, 상기 구동 트랜지스터와 연결되는 유기발광다이오드를 포함한다. 상기 구동 트랜지스터는, 상기 베퍼 상에 구비되며, 제1 도체부, 제2 도체부 및 상기 제1 도체부와 상기 제2 도체부 사이에 구비되는 액티브층을 포함하는 채널부, 상기 액티브층 상에 구비되며, 상기 액티브층을 커버하는 게이트 절연막, 상기 제1 도체부 상에 구비되며, 상기 제1 도체부를 커버하는 소스 절연막, 상기 제2 도체부 상에 구비되며, 상기 제2 도체부를 커버하는 드레인 절연막, 상기 게이트 절연막 상에 구비되고, 제1 금속으로 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되며, 제2 금속으로 형성되는 제2 게이트 전극, 상기 소스 절연막 상에 구비되며, 상기 제1 금속으로 형성되는 제1 소스 전극, 상기 제1 소스 전극 상에 형성되며, 상기 제2 금속으로 형성되는 제2 소스 전극, 상기 드레인 절연막 상에 구비되며, 상기 제1 금속으로 형성되는 제2 드레인 전극을 포함한다. 상기 제1 소스 전극은 상기 베퍼에 형성된 제1 컨택홀을 통해, 상기 라이트 쉴드와 연결되고, 상기 제1 게이트 전극과 상기 제2 게이트 전극은 스위칭 트랜지스터의 제1 전극과 연결되고, 상기 스위칭 트랜지스터의 제2 전극은 데이터 라인과 연결되고, 상기 스위칭 트랜지스터의 제3 전극은 게이트 라인과 연결되며, 상기 데이터 라인은 상기 라이트 쉴드와 동일한 층에 형성된다.

[0013] 상기한 바와 같은 문제점을 해결하기 위한 본 발명에 따른 유기발광표시패널 제조 방법은, 제1 마스크를 이용하여 기판 상에 라이트 쉴드와 데이터 라인을 형성하는 단계, 상기 라이트 쉴드를 베퍼로 커버하고, 제2 마스크를 이용하여 상기 베퍼 상에 패턴화된 반도체층을 형성하는 단계, 제3 마스크를 이용하여 상기 패턴화된 반도체층 상에 소스 절연막, 드레인 절연막 및 패턴화된 절연막을 형성하는 단계, 상기 소스 절연막, 상기 드레인 절연막, 상기 패턴화된 절연막 및 상기 반도체층을 커버하도록 제1 금속층을 증착하는 단계, 상기 제1 금속층 상단에 제2 금속층을 증착하는 단계, 제4 마스크를 이용해 상기 제2 금속층을 식각하여 구동 트랜지스터의 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 형성하는 단계, 상기 제4 마스크에 의해 상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극 상에 구비된 제4 마스크 패턴과, 상기 제1 금속층을 드라이에칭 공정을 통해 식각하여, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 형성하며, 상기 반도체층 중 상기 제1 게이트 전극과 상기 제1 소스 전극 사이 및 상기 제1 게이트 전극과 상기 제1 드레인 전극 사이를 도체화시키는 단계 및 상기 제2 게이트 전극, 상기 제2 소스 전극, 상기 제2 드레인 전극을 보호막과 평탄막으로 커버하고, 상기 평탄막 상에 상기 제2 소스 전극과 연결되는 유기발광다이오드를 형성하는 단계를 포함한다.

[0014] 상기한 바와 같은 문제점을 해결하기 위한 본 발명에 따른 유기발광표시장치는, 상기 유기발광표시패널, 상기 유기발광표시패널에 구비된 게이트 라인들로 게이트 펄스를 공급하는 게이트 드라이버, 상기 유기발광표시패널에 구비된 데이터 라인들로 데이터 전압을 공급하는 데이터 드라이버 및 상기 게이트 드라이버와 상기 데이터 드라이버를 제어하는 제어부를 포함한다.

발명의 효과

[0015] 본 발명에 의하면, 라이트 쉘드가 트랜지스터의 소스 전극으로 이용될 수 있기 때문에, 소스 전극을 위한 추가적인 배선이 요구되지 않는다.

[0016] 또한, 본 발명에 의하면, 트랜지스터를 구성하는 소스 전극, 게이트 전극 및 드레인 전극을 구성하는 두 개의 금속층들이 개별적인 식각 공정을 통해 식각될 수 있으며, 이에 따라, 상기 금속층들 하단에 구비되는 도체부들의 손실이 감소될 수 있다. 따라서, 상기 트랜지스터의 특성이 향상될 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명에 따른 유기발광표시장치의 구성을 나타낸 예시도.

도 2는 본 발명에 따른 유기발광표시패널에 구비되는 픽셀의 일실시예 구성도.

도 3은 본 발명에 따른 유기발광표시패널에 구비된 픽셀을 나타낸 평면도.

도 4는 도 3에 도시된 A-A'라인을 따라 절단된 단면을 나타낸 예시도.

도 5는 본 발명에 따른 유기발광표시패널을 제조하는 종래의 방법을 나타낸 예시도들.

도 6은 본 발명에 따른 유기발광표시패널 제조 방법을 나타낸 예시도들.

발명을 실시하기 위한 구체적인 내용

[0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0019] 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0020] 본 발명의 실시 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것임으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0024] '적어도 하나'의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, '제1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나'의 의미는 제1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다.

[0025] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0026] 본 발명의 여러 실시 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관관계로 함께 실시할 수도 있다.

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예가 상세히 설명된다. 이하에서는, N타입 트랜지스터가 구비된 유기발광표시패널이 본 발명의 일예로서 설명된다. 그러나, 본 발명에 따른 유기발광표시패널은 P타입 트랜지스터로 구성될 수 있으며, N타입 트랜지스터와 P타입 트랜지스터가 혼합되어 구성될 수 있다. 따라서, 이하에서 설명되는 내용들은, N타입 트랜지스터 또는 P타입 트랜지스터를 고려하여, 다양하게 변경될 수 있다.
- [0028] 도 1은 본 발명에 따른 유기발광표시장치의 구성을 나타낸 예시도이며, 도 2는 본 발명에 따른 유기발광표시패널에 구비되는 픽셀의 일실시예 구성도이다.
- [0029] 본 발명에 따른 유기발광표시장치는, 도 1에 도시된 바와 같이, 게이트 라인들(GL1 to GLg)과 데이터 라인들(DL1 to DLd)에 의해 정의되는 픽셀(110)들이 형성되어 있으며 영상이 출력되는 본 발명에 따른 유기발광표시패널(100), 상기 유기발광표시패널(100)에 구비된 상기 게이트 라인들(GL1 to GLg)에 순차적으로 게이트 펄스를 공급하는 게이트 드라이버(200), 상기 유기발광표시패널(100)에 구비된 상기 데이터 라인들(DL1 to DLd)로 데이터 전압을 공급하는 데이터 드라이버(300) 및 상기 게이트 드라이버(200)와 상기 데이터 드라이버(300)를 제어하는 제어부(400)를 포함한다.
- [0030] 상기 유기발광표시패널(100)의 구조 및 기능은 다음과 같다.
- [0031] 상기 유기발광표시패널(100)은 게이트 펄스가 공급되는 상기 게이트 라인들(GL1 to GLg), 데이터 전압이 공급되는 상기 데이터 라인들(DL1 to DLd) 및 상기 게이트 라인들(GL1 to GLg)과 상기 데이터 라인들(DL1 to DLd)에 의해 정의되는 픽셀(110)들을 포함하며, 상기 픽셀(110)들 각각에는 박막트랜지스터(이하, 간단히 트랜지스터라 함)가 적어도 두 개씩 구비된다.
- [0032] 상기 유기발광표시패널(100)에 구비된 상기 픽셀(110)들 각각은, 도 2에 도시된 바와 같이, 광을 출력하는 유기발광다이오드(OLED) 및 상기 유기발광다이오드(OLED)를 구동하는 픽셀 구동부(PD)를 포함한다.
- [0033] 상기 픽셀(110)들 각각에는, 상기 픽셀 구동부(PD)에 구동 신호를 공급하는 신호 라인들(DL, GL, PLA, PLB, SL, SPL)이 형성되어 있다.
- [0034] 상기 데이터 라인(DL)으로는 데이터 전압(Vdata)이 공급되고, 상기 게이트 라인(GL)으로는 게이트 펄스(GP)가 공급되고, 제1 전압공급라인(PLA)으로는 제1 구동전압(EVDD)이 공급되고, 제2 전압공급라인(PLB)으로는 제2 구동전압(EVSS)이 공급되고, 센싱 라인(SL)으로는 센싱전압(Vini)이 공급되며, 센싱 펄스 라인(SPL)으로는 센싱 트랜지스터(Tsw2)를 터온 또는 터오프시키는 센싱 펄스(SP)가 공급된다. 상기 제1 구동전압은 제1 구동전압 공급부로부터 공급되며, 상기 제2 구동전압은 제2 구동전압 공급부로부터 공급된다.
- [0035] 상기 픽셀구동부(PD)는, 예를 들어, 도 2에 도시된 바와 같이, 게이트 라인(GL) 및 데이터 라인(DL)과 연결된 스위칭 트랜지스터(Tsw1), 상기 스위칭 트랜지스터(Tsw1)를 통해 전송된 데이터 전압(Vdata)에 따라, 상기 유기발광다이오드(OLED)로 출력되는 전류의 크기를 제어하는 구동 트랜지스터(Tdr) 및 상기 구동 트랜지스터(Tdr)의 특성을 감지하기 위한 상기 센싱 트랜지스터(Tsw2)를 포함할 수 있다. 상기 센싱 트랜지스터(Tsw2)는 보상회로가 될 수 있으며, 상기 보상회로에는 상기 센싱 트랜지스터(Tsw2) 이외의 또 다른 트랜지스터 및 캐패시터가 더 구비될 수 있다. 상기 픽셀구동부(PD)에는 상기한 바와 같은 구성요소들 이외에도, 상기 구동 트랜지스터(Tdr)의 발광 시점을 제어하기 위한 애미션 트랜지스터 및 또 다른 용도의 트랜지스터들이 더 포함될 수 있다.
- [0036] 상기 구동 트랜지스터(Tdr)의 게이트와 상기 유기발광다이오드(OLED)의 애노드 사이에는 스토리지 캐패시터(Cst)가 형성된다.
- [0037] 상기 스위칭 트랜지스터(Tsw1)는 상기 게이트 라인(GL)으로 공급되는 게이트 펄스에 의해 터온되어, 상기 데이터 라인(DL)으로 공급되는 데이터 전압(Vdata)을 상기 구동 트랜지스터(Tdr)의 게이트로 전송한다.
- [0038] 상기 센싱 트랜지스터(Tsw2)는 상기 구동 트랜지스터(Tdr)와 상기 유기발광다이오드(OLED) 사이의 제1노드(n1) 및 상기 센싱 라인(SL)에 연결되어, 센싱 펄스(SP)에 의해 터온 또는 터오프되며, 센싱 기간에, 상기 구동 트랜지스터의 특성을 감지한다.
- [0039] 상기 구동 트랜지스터(Tdr)의 게이트와 연결된 제2노드(n2)는 상기 스위칭 트랜지스터(Tsw1)와 연결된다. 상기 제2노드(n2)와 상기 제1노드(n1) 사이에는 상기 스토리지 캐패시터(Cst)가 형성된다.
- [0040] 상기 픽셀 구동부(PD)는, 도 2에 도시된 구조 이외에도, 트랜지스터와 캐패시터를 더 포함하여 다양한 구조로 형성될 수 있다.

- [0041] 상기 픽셀 구동부(PD)에 구비되는 상기 트랜지스터들은 산화물 박막트랜지스터로 구성될 수 있다.
- [0042] 트랜지스터는 상기 픽셀들이 구비되어 있는 표시영역(AA)의 외곽의 비표시영역(NAA)에도 구비될 수 있다. 예를 들어, 상기 게이트 드라이버(200)가 상기 유기발광표시패널(100)의 상기 비표시영역(NAA)에 내장되어 있고, 상기 픽셀 구동부(PD)에 구비되는 상기 트랜지스터들이 산화물 박막트랜지스터로 구성된 경우, 상기 게이트 드라이버(200)를 구성하는 트랜지스터들 역시 상기 산화물 박막트랜지스터로 구성될 수 있다. 따라서, 본 발명에 따른 유기발광표시패널에 구비되는 모든 트랜지스터들이 동일한 공정을 통해 생성될 수 있다.
- [0043] 본 발명에 따른 상기 유기발광표시패널(100)의 구체적인 구조는 이하에서, 도 3 및 도 4 참조하여 상세히 설명된다.
- [0044] 상기 제어부(400)의 기능은 다음과 같다.
- [0045] 상기 제어부(400)는 외부 시스템으로부터 공급되는 타이밍 신호, 예를 들어, 수직 동기신호, 수평 동기신호 및 클럭 등을 이용하여, 상기 게이트 드라이버(200)를 제어하기 위한 게이트 제어신호(GCS)와, 상기 데이터 드라이버(300)를 제어하기 위한 데이터 제어신호(DCS)를 출력한다. 상기 제어부(400)는 상기 외부 시스템으로부터 입력되는 입력영상데이터를 샘플링한 후에 이를 재정렬하여, 재정렬된 디지털 영상데이터(Data)를 상기 데이터 드라이버(300)에 공급한다.
- [0046] 상기 데이터 드라이버(300)의 기능은 다음과 같다.
- [0047] 상기 데이터 드라이버(300)는 상기 제어부(400)로부터 입력된 상기 영상데이터(Data)를 아날로그 데이터 전압으로 변환하여, 상기 게이트 라인(GL)에 상기 게이트 펄스(GP)가 공급되는 1수평기간마다 1수평라인분의 데이터 전압(Vdata)들을 상기 데이터 라인들(DL1 to DLd)로 전송한다.
- [0048] 상기 게이트 드라이버(200)의 기능은 다음과 같다.
- [0049] 상기 게이트 드라이버(200)는 상기 제어부(400)로부터 입력되는 상기 게이트 제어신호(GCS)에 응답하여 상기 유기발광표시패널(100)의 상기 게이트 라인들(GL1 to GLg)로 게이트 펄스를 순차적으로 공급한다. 이에 따라, 상기 게이트 펄스가 입력되는 각각의 픽셀에 형성되어 있는 상기 스위칭 트랜지스터(Tsw1)들이 턴온되어, 각 픽셀(110)로 영상이 출력될 수 있다. 상기 게이트 드라이버(200)는, 상기 유기발광표시패널(100)과 독립되게 형성되어, 다양한 방식으로 상기 유기발광표시패널(100)과 전기적으로 연결될 수 있는 형태로 구성될 수 있으나, 상기 유기발광표시패널(100) 내에 실장되어 있는 게이트 인 패널(Gate In Panel: GIP) 방식으로 구성될 수도 있다.
- [0050] 상기 설명에서는, 상기 데이터 드라이버(300), 상기 게이트 드라이버(200) 및 상기 제어부(400)가 독립적으로 구성된 것으로 설명되었으나, 상기 데이터 드라이버(300) 또는 상기 게이트 드라이버(200)를 중 적어도 어느 하나는 상기 제어부(400)와 일체로 구성될 수도 있다.
- [0051] 이하에서는, 도 1 내지 도 4를 참조하여 본 발명에 따른 유기발광표시패널에 구비된 픽셀의 구조가 상세히 설명된다.
- [0052] 도 3은 본 발명에 따른 유기발광표시패널에 구비된 픽셀을 나타낸 평면도이며, 도 4는 도 3에 도시된 A-A'라인을 따라 절단된 단면을 나타낸 예시도이다. 이하에서는, 산화물 반도체를 이용하는 트랜지스터들로 구성된 유기발광표시패널이 본 발명의 일예로서 설명된다.
- [0053] 본 발명에 따른 유기발광표시패널(100)은, 도 3 및 도 4에 도시된 바와 같이, 복수의 픽셀들로 구분되는 기판(101), 상기 기판(101) 상에 형성되는 라이트 쉴드(102), 상기 라이트 쉴드(102)를 커버하는 베퍼(103), 상기 픽셀(110)들 각각에 구비되며, 상기 베퍼(103) 상에 구비되는 구동 트랜지스터(Tdr), 상기 구동 트랜지스터(Tdr)의 게이트 전극(124)과 연결되어 있는 스위칭 트랜지스터(Tsw1), 상기 구동 트랜지스터(Tdr)와 상기 스위칭 트랜지스터(Tsw1)를 커버하는 보호막(105), 상기 보호막(105) 상에 구비되는 평탄막(106) 및 상기 평탄막(106) 상에 구비되며, 상기 구동 트랜지스터(Tdr)와 연결되는 유기발광다이오드(OLED)를 포함한다. 상기 유기발광표시패널(100)의 상기 픽셀(110)에는 상기 구성요소들 이외에도, 상기 구동 트랜지스터(Tdr)의 특성 변경을 센싱하기 위한 센싱 트랜지스터(Tsw2)가 더 구비될 수 있다. 이하에서는, 상기 픽셀(110)에 구비된 상기 구성요소들이 차례대로 설명된다.
- [0054] 우선, 상기 기판(101)은 유리기판이 될 수도 있으며, 플라스틱기판이 될 수도 있다. 상기 기판(101)에는 복수의 픽셀(110)들이 구비된다.

- [0055] 다음, 상기 라이트 쇼드(102)는 상기 기판(101) 중 상기 구동 트랜지스터(Tdr)와 대응되는 영역에 구비될 수 있다. 상기 라이트 쇼드(102)는 금속으로 형성된다. 예를 들어, 상기 라이트 쇼드(102)는 도전성 금속인 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 및 네오디뮴(Nd) 중 어느 하나의 금속으로 형성될 수 있으며, 상기 금속들의 합금으로 형성될 수도 있다.
- [0056] 상기 라이트 쇼드(120)는 상기 구동 트랜지스터(Tdr)를 구성하는 채널부(120)로 유입되는 광을 차단하는 기능을 수행할 수 있다.
- [0057] 특히, 본 발명에서 상기 라이트 쇼드(102)는 상기 베퍼(103)에 구비된 제1 컨택홀(H1)을 통해, 상기 구동 트랜지스터(Tdr)의 소스 전극(124a)과 연결되어 있다.
- [0058] 상기 라이트 쇼드(102)의 하단에는 상기 라이트 쇼드(102)와 상기 기판(101)의 접착력을 높이기 위한 제1 접착층(102a)이 구비될 수 있다. 상기 제1 접착층(102a)으로는 예를 들어, 실리콘 나이트 라이드(SiNx)와 같은 물질이 이용될 수 있다.
- [0059] 상기 라이트 쇼드(102)의 상단에는, 상기 라이트 쇼드(102)의 상단에 구비되는 상기 베퍼(103)와 상기 라이트 쇼드(102)의 접착력을 높이기 위한 제2 접착층(102b)이 구비될 수 있다. 상기 제2 접착층(102b)은 상기 제1 접착층(102a)과 동일한 물질일 수도 있으나 다른 물질일 수도 있다. 상기 제2 접착층(102b) 역시 실리콘 나이트 라이드(SiNx)와 같은 물질이 이용될 수 있다.
- [0060] 다음, 상기 기판(101)에는 데이터 전압(Vdata)이 공급되는 데이터 라인(DL) 및 제1 구동전압(EVDD)이 공급되는 제1 전압공급라인(PLA)이, 상기 라이트 쇼드(102)와 함께, 상기 기판(101) 상에 형성될 수 있다. 즉, 상기 데이터 라인(DL) 및 상기 제1 전압공급라인(PLA)은 상기 라이트 쇼드(102)와 동일한 물질 및 동일한 공정을 통해 상기 기판(101) 상에 형성된다. 따라서, 상기 데이터 라인(DL) 및 상기 제1 전압공급라인(PLA)의 하단에는 상기 제1 접착층(102a)이 구비되며, 상단에는 상기 제2 접착층(102b)이 구비된다.
- [0061] 다음, 상기 라이트 쇼드(102), 상기 데이터 라인(DL) 및 상기 제1 전압공급라인(PLA)은 베퍼(103)에 의해 커버된다.
- [0062] 상기 베퍼(103)는 유기물질 또는 무기물질로 구성되며, 적어도 하나의 층으로 형성될 수 있다.
- [0063] 다음, 상기 구동 트랜지스터(Tdr)는 상기 기판(101) 상에 구비된다. 상기 구동 트랜지스터(Tdr)는 탑게이트 타입으로 형성된다.
- [0064] 상기 구동 트랜지스터(Tdr)는, 상기 베퍼(103) 상에 구비되며, 제1 도체부(120a), 제2 도체부(120b) 및 상기 제1 도체부(120a)와 상기 제2 도체부(120b) 사이에 구비되는 액티브층(120c)을 포함하는 채널부(120), 상기 액티브층(120c) 상에 구비되며, 상기 액티브층(120c)을 커버하는 게이트 절연막(121), 상기 제1 도체부(120a) 상에 구비되며, 상기 제1 도체부(120a)를 커버하는 소스 절연막(121a), 상기 제2 도체부(120b) 상에 구비되며, 상기 제2 도체부(120b)를 커버하는 드레인 절연막(121b), 상기 게이트 절연막(121) 상에 구비되고, 제1 금속으로 형성되는 제1 게이트 전극(122), 상기 제1 게이트 전극(122) 상에 형성되며, 제2 금속으로 형성되는 제2 게이트 전극(123), 상기 소스 절연막(121a) 상에 구비되며, 상기 제1 금속으로 형성되는 제1 소스 전극(122a), 상기 제1 소스 전극(122a) 상에 형성되며, 상기 제2 금속으로 형성되는 제2 소스 전극(123a), 상기 드레인 절연막(121b) 상에 구비되며, 상기 제1 금속으로 형성되는 제1 드레인 전극(122b) 및 상기 제1 드레인 전극(122b) 상에 구비되며, 상기 제2 금속으로 형성되는 제2 드레인 전극(123b)을 포함한다.
- [0065] 즉, 상기 구동 트랜지스터(Tdr)는 상기 채널부(120), 상기 게이트 절연막(121), 상기 소스 절연막(121a), 상기 드레인 절연막(121b), 게이트 전극(124), 소스 전극(124a) 및 드레인 전극(124b)을 포함한다. 상기 게이트 전극(124)은 상기 제1 게이트 전극(122) 및 상기 제2 게이트 전극(123)을 포함한다.
- [0066] 상기 게이트 절연막(121), 상기 소스 절연막(121a) 및 상기 드레인 절연막(121b)은 동일한 물질로 형성되어 있으며, 서로 이격되어 있다.
- [0067] 상기 채널부(120)는 상기 액티브층(120c), 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)를 포함한다.
- [0068] 상기 액티브층(120c)은 산화물 반도체로 형성된다. 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)는, 상기 산화물 반도체로부터 변화된 도체이다. 예를 들어, 상기 채널부(120)에 대응되는 영역에 산화물 반도체가 형성된 후, 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)에 대응되는 영역에, 드라이 에칭 공정을 통해 수소가 주입되면, 상기 산화물 반도체가 도체로 변화되어, 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)가 형성될

수 있다.

- [0069] 상기 게이트 전극(124)은 상기 제1 게이트 전극(122) 및 상기 제2 게이트 전극(123)을 포함한다.
- [0070] 상기 소스 전극(124a)은 상기 제1 소스 전극(122a) 및 상기 제2 소스 전극(123a)을 포함한다.
- [0071] 상기 드레인 전극(124b)은 상기 제1 드레인 전극(122b) 및 상기 제2 드레인 전극(123b)을 포함한다.
- [0072] 상기 제1 게이트 전극(122), 상기 제1 소스 전극(122a) 및 상기 제1 드레인 전극(122b)은 몰리브덴(Mo)과 티타늄(Ti)의 합금(MoTi)으로 형성될 수 있다. 상기 합금(MoTi)은 상기 제2 게이트 전극(123)으로 이용되는 구리(Cu)가 상기 액티브층(120c), 상기 제1 도체부(120a) 및 상기 제2 도체부(120b) 등으로 확산되는 것을 방지할 수 있다. 특히, 상기 합금(MoTi)은 본 발명에 따른 유기발광표시페널을 제조하는 공정 중에 구리(Cu)가 기판의 전면에 증착될 때, 구리(Cu)가 그 아래에 구비된 반도체 층 등으로 확산되는 것을 방지할 수 있다.
- [0073] 상기 제2 게이트 전극(123), 상기 제2 소스 전극(123b) 및 상기 제2 드레인 전극(123b)은 전도성이 우수한 구리(Cu)로 형성될 수 있다. 구리(Cu) 이외에도 전도성이 우수한 다양한 종류의 금속이 상기 제2 게이트 전극(123), 상기 제2 소스 전극(123b) 및 상기 제2 드레인 전극(123b)으로 이용될 수 있다.
- [0074] 상기 제1 소스 전극(122a)은 상기 베퍼(103)에 형성된 제1 컨택홀(H1)을 통해, 상기 라이트 월드(102)와 연결된다.
- [0075] 상기 제1 게이트 전극(122)과 상기 제2 게이트 전극(123)은 상기 스위칭 트랜지스터(Tsw1)의 제1 전극(T1)과 연결되고, 상기 스위칭 트랜지스터(Tsw1)의 제2 전극(T2)은 상기 데이터 라인(DL)과 연결되며, 상기 스위칭 트랜지스터(Tsw1)의 제3 전극으로는 도 3에 도시된 바와 같이, 상기 게이트 라인(GL)이 이용될 수 있다.
- [0076] 상기 스위칭 트랜지스터(Tsw1)의 상기 제2 전극(T2)은 상기 게이트 전극(124)과 동일한 형태와 구조로, 상기 게이트 전극(124)과 동일한 층에 형성될 수 있다. 예를 들어, 상기 제2 전극(T2)은 상기 제1 게이트 전극(122)과 동일한 금속으로 형성된 제1 전극 및 상기 제2 게이트 전극(123)과 동일한 금속으로 형성된 제2 전극으로 구성될 수 있다.
- [0077] 상기 제2 전극(T2)은 제5 컨택홀(H5)을 통해 상기 데이터 라인(DL)과 연결될 수 있다. 상기 제5 컨택홀(H5)은 상기 제1 컨택홀(H1)과 마찬가지로 상기 베퍼(102)에 형성될 수 있다.
- [0078] 상기 스위칭 트랜지스터(Tsw1)의 상기 제1 전극(T1)은 상기 게이트 전극(124)의 일부분이 될 수 있다. 예를 들어, 상기 게이트 전극(124) 중 상기 스위칭 트랜지스터의 채널부(TA)와 중첩되는 영역이 상기 스위칭 트랜지스터(Tsw1)의 상기 제1 전극(T1)이 될 수 있다.
- [0079] 상기 드레인 전극(124b)은 상기 제1 드레인 전극(122b) 및 상기 제2 드레인 전극(123b)을 포함한다.
- [0080] 상기 제2 드레인 전극(123b)은 제3 컨택홀(H3) 및 제4 컨택홀(H4)을 통해 상기 제1 전압공급라인(PLA)과 연결되어 있다.
- [0081] 상기 제1 전압공급라인(PLA)은, 상기에서 설명된 바와 같이, 상기 라이트 월드(102) 및 상기 데이터 라인(DL)과 동일한 층에, 동일한 구조로 형성되어 있고, 제1 전압공급라인(PLA)으로는 상기 제1 구동전압(EVDD)이 공급된다.
- [0082] 예를 들어, 상기 제1 전압공급라인(PLA)과 상기 제2 드레인 전극(123b)은 상기 보호막(103) 상단에 형성된 브릿지를 통해 연결될 수 있으며, 이 경우, 상기 브릿지와 상기 제2 드레인 전극(123b)은, 도 3에 도시된, 상기 제3 컨택홀(H3)을 통해 연결되고, 상기 브릿지와 상기 제1 전압공급라인(PLA)은, 도 3에 도시된, 상기 제4 컨택홀(H4)을 통해 연결될 수 있다. 즉, 도 4에 도시된 상기 제2 드레인 전극(123b)은, 상기 보호막(103) 상단에 형성되는 상기 브릿지 및 도 3에 도시된 상기 제3 컨택홀(H3)과 상기 제4 컨택홀(H4)을 통해 상기 제1 전압공급라인(PLA)과 연결된다.
- [0083] 상기 소스 전극(124a)은 상기 제1 소스 전극(122a) 및 상기 제2 소스 전극(123a)을 포함한다.
- [0084] 상기 제1 소스 전극(122a)은 상기 제1 컨택홀(H1)을 통해 상기 라이트 월드(102)와 연결되고, 상기 라이트 월드(102)는 상기 센싱 트랜지스터(Tsw2)의 제1 전극과 연결된다. 도 3에 도시된 상기 라이트 월드(102) 중 도면부호 ST1으로 표시된 부분이 상기 센싱 트랜지스터(Tsw2)의 상기 제1 전극과 연결되는 부분이다.
- [0085] 상기 센싱 트랜지스터(Tsw2)의 제2 전극은, 도 2에 도시된 바와 같이, 센싱전압이 공급되는 상기 센싱 라인(SL)과 연결되며, 상기 센싱 트랜지스터(Tsw2)의 제3 전극은 상기 센싱 펄스(SP)가 공급되는 상기 센싱 펄스 라인

(SPL)이 될 수 있다.

[0086] 또한, 상기 제2 소스 전극(123a)은 상기 보호막(105) 및 상기 평탄막(106) 상에 형성된 제2 컨택홀(H2)을 통해 상기 유기발광다이오드(OLED)를 구성하는 상기 애노드(141)와 연결된다.

[0087] 다음, 상기 스위칭 트랜지스터(Tsw1)는 상기 기판(101) 상에 구비된다.

[0088] 상기 스위칭 트랜지스터(Tsw1)는, 스위칭용 채널부(TA), 스위칭용 게이트 절연막, 스위칭용 게이트 전극, 상기 제1 전극(T1), 상기 제1 전극(T1)과 상기 스위칭용 채널부(TA) 사이에 구비되는 스위칭용 제1 절연막, 상기 제2 전극(T2) 및 상기 제2 전극(T2)과 상기 스위칭용 채널부(TA) 사이에 구비되는 스위칭용 제2 절연막을 포함한다. 상기에서 설명된 바와 같이, 상기 스위칭용 게이트 전극은 상기 게이트 라인(GL)이 될 수 있으며, 또는 상기 게이트 라인(GL)과 연결될 수도 있다.

[0089] 상기 스위칭용 채널부(TA), 상기 스위칭용 게이트 절연막, 상기 스위칭용 게이트 전극, 상기 제1 전극(T1), 상기 제1 절연막, 상기 제2 전극(T2) 및 상기 스위칭용 제2 절연막은, 상기 구동 트랜지스터(Tdr)를 구성하는 상기 채널부(120), 상기 게이트 절연막(121), 상기 게이트 전극(124), 상기 스위칭용 소스 전극(124a), 상기 소스 절연막(121a), 상기 드레인 전극(124b) 및 상기 드레인 절연막(121b)과 동일한 방법, 물질 및 형태로 형성될 수 있다.

[0090] 다음, 상기 센싱 트랜지스터(Tsw2)는 상기 기판(101) 상에 구비된다.

[0091] 상기 센싱 트랜지스터(Tsw2)는, 센싱용 채널부, 센싱용 게이트 절연막, 센싱용 게이트 전극, 센싱용 제1 전극, 센싱용 제1 절연막, 센싱용 제2 절연막을 포함한다.

[0092] 상기 센싱용 채널부, 센싱용 게이트 절연막, 센싱용 게이트 전극, 센싱용 제1 전극, 센싱용 제1 절연막, 센싱용 제2 전극 및 센서용 제2 절연막은, 상기 구동 트랜지스터(Tdr)를 구성하는 상기 채널부(120), 상기 게이트 절연막(121), 상기 게이트 전극(124), 상기 스위칭용 소스 전극(124a), 상기 소스 절연막(121a), 상기 드레인 전극(124b) 및 상기 드레인 절연막(121b)과 동일한 방법, 물질 및 형태로 형성될 수 있다.

[0093] 다음, 상기 보호막(105)은 상기 게이트 전극(124), 상기 소스 전극(124a), 상기 드레인 전극(124b) 및 상기 채널부(120)를 커버한다.

[0094] 상기 보호막(105)은 유기물질 또는 무기물질로 형성되며, 적어도 하나 이상의 층으로 구성될 수 있다.

[0095] 다음, 상기 평탄막(106)은 상기 보호막(105) 상에 구비된다. 상기 평탄막(106)은 유기물질 또는 무기물질로 형성되며, 적어도 하나 이상의 층으로 구성될 수 있다.

[0096] 상기 평탄막(106)은 상기 구동 트랜지스터(Tdr) 및 상기 스위칭 트랜지스터(Tsw1)의 상단을 평탄화시키는 기능을 수행할 수 있다.

[0097] 마지막으로, 상기 유기발광다이오드(OLED)는 상기 평탄막(106) 상에 구비되며, 상기 평탄막(106)과 상기 보호막(105)에 형성된 상기 제2 컨택홀(H2)을 통해 상기 구동 트랜지스터(Tdr)의 상기 소스 전극(124a)과 연결된다.

[0098] 상기 유기발광다이오드(OLED)는 애노드(141), 발광층(142) 및 캐소드(143)를 포함한다. 여기서, 특히, 상기 애노드(141)는 상기 제2 컨택홀(H2)을 통해 상기 구동 트랜지스터(Tdr)의 상기 소스 전극(124a)과 연결된다.

[0099] 상기 유기발광다이오드(OLED)는 뱅크(107)에 의해 둘러 쌓여져 있다. 상기 뱅크(107)에 의해 픽셀들 각각이 구분될 수 있다.

[0100] 이하에서는, 도 5를 참조하여 본 발명에 따른 유기발광표시패널을 제조하는 종래의 방법이 설명된다. 즉, 도 5는, 본 발명의 발명자들이 본 발명에 따른 유기발광표시패널 제조 방법을 발명하기 이전에 이용한 제조 방법을 나타낸 예시도들이다.

[0101] 도 5는 본 발명에 따른 유기발광표시패널을 제조하는 종래의 방법을 나타낸 예시도들이다. 특히, 도 5에는 도 4에 도시된 단면 중 K영역을 나타낸 단면도들이 도시되어 있다. 따라서, 도 5에 도시된 단면들에는 상기 드레인 전극(124b), 상기 드레인 절연막(121b) 및 상기 제2 도체부(120b)가 도시되어 있지 않다. 그러나, 상기 드레인 전극(124b), 상기 드레인 절연막(121b) 및 상기 제2 도체부(120b)는, 이하에서 설명되는 상기 소스 전극(124a), 상기 소스 절연막(121a) 및 상기 제1 도체부(120a)와 동일한 방법 및 물질에 의해 동일한 구조로 형성될 수 있다. 이하의 설명 중, 도 1 내지 도 4를 참조하여 설명된 내용과 동일하거나 유사한 내용은 생략되거나 간단히 설명된다.

- [0102] 우선, 상기 기판(101) 상에 상기 제1 접착층(102a)을 형성하는 제1 접착물질 및 상기 라이트 쉴드(102)를 형성하는 라이트 쉴드물질이 증착된다.
- [0103] 다음, 도 5의 (a)에 도시된 바와 같이, 제1 마스크를 이용하여 상기 기판(101) 상에 상기 제1 접착층(102a) 및 상기 라이트 쉴드(102)가 형성된다.
- [0104] 다음, 상기 제2 접착층(102b) 및 상기 베퍼(103)가 상기 라이트 쉴드(102)와 상기 기판(101) 상에 형성된다.
- [0105] 다음, 상기 베퍼(103)의 전체 면에 반도체층(120M)이 증착된 후, 제2 마스크를 이용하여 상기 베퍼(103) 상에 패턴화된 반도체층(120M)이 형성된다.
- [0106] 다음, 제3 마스크를 이용하여 상기 패턴화된 반도체층(120M) 상에 패턴화된 절연막(121M) 및 상기 소스 절연막(121a)이 형성된다.
- [0107] 다음, 도 5의 (b)에 도시된 바와 같이, 상기 패턴화된 절연막(121M) 및 상기 소스 절연막(121a)과 상기 반도체층(120M)을 커버하도록 제1 금속으로 형성된 제1 금속층(122M)이 증착되고, 상기 제1 금속층(122M) 상단에 제2 금속으로 형성된 제2 금속층(123M)이 증착되며, 상기 제2 금속층(123M) 상단에 포토 레지스트(129M)가 증착된다.
- [0108] 다음, 도 5의 (c)에 도시된 바와 같이, 제4 마스크를 이용해, 제4 마스크 패턴(129)이 형성되며, 상기 제4 마스크 패턴(129)을 이용해 상기 제2 금속층(123M)과 상기 제1 금속층(122M)을 식각하여, 상기 구동 트랜지스터(Tdr)의 상기 게이트 전극(124) 및 상기 소스 전극(124a)이 형성된다. 즉, 상기 제2 금속층(123M)과 상기 제1 금속층(122M)은, 상기 제2 금속층(123M)과 상기 제1 금속층(122M)을 동시에 식각시킬 수 있는 통합 에чин트(Etchant)를 이용하여 동시에 식각된다.
- [0109] 다음, 도 5의 (d)에 도시된 바와 같이, 상기 반도체층(120M) 상에 노출되어 있는 상기 절연막(121M)과, 상기 제4 마스크 패턴(129)이, 드라이 에칭 공정을 통해 식각되어, 상기 반도체층(120M) 중 상기 게이트 전극(124)과 상기 소스 전극(124a) 사이가 도체화된다.
- [0110] 마지막으로, 상기 게이트 전극(124), 상기 소스 전극(124a) 및 상기 드레인 전극(124b)이 상기 보호막(105)과 상기 평탄막(106)으로 커버되며, 도 4에 도시된 바와 같이, 상기 평탄막(106) 상에 상기 소스 전극(124a)과 연결되는 상기 유기발광다이오드(OLED)가 형성된다.
- [0111] 그러나, 상기한 바와 같은 제조 방법에 의해 본 발명에 따른 유기발광표시패널이 제조되면, 상기 반도체층(120M) 중 상기 게이트 전극(124)과 상기 소스 전극(124a) 사이에 노출되어 있는 반도체층, 즉, 도 5의 (c) 및 (d)에서 X로 표시되어 있는 영역에 있는 반도체층(120M) 또는 제1 도체부(102a)가 유실될 수 있다.
- [0112] 예를 들어, X로 표시되어 있는 영역에 있는 상기 반도체층(120M)은, (c)에 도시된 바와 같이, 상기 제1 금속층(122M) 및 상기 제2 금속층(123M)을 웨t 에칭(Wet Etching)을 이용하여 동시에 식각하는 과정에서 상기 통합 에친트에 의해 식각될 수 있다.
- [0113] 즉, X로 표시되어 있는 영역에 있는 상기 반도체층(120M)은, 상기에서 설명된 바와 같이, 상기 통합 에친트에 의한 상기 식각 공정 중에, 식각될 수 있다.
- [0114] 따라서, 상기 X로 표시되어 있는 영역에 있는 상기 반도체층(120M)이 도체화되어, 상기 제1 도체부(120a)가 되더라도, 상기 제1 도체부(120a)의 높이가 낮아져서 저항이 증가될 수 있으며, 이에 따라, 상기 구동 트랜지스터(Tdr)가 정상적으로 동작되지 않을 수도 있다.
- [0115] 특히, 상기 X로 표시되어 있는 영역에 있는 반도체층(120M)의 식각이 심하게 발생되면, 상기 반도체층(120M)이 끊어질 수 있으며, 이 경우, 상기 구동 트랜지스터(Tdr)가 동작되지 않을 수도 있다.
- [0116] 부연하여 설명하면, 상기한 바와 같은 방법에 의해 본 발명에 따른 유기발광표시패널이 제조될 때, 상기 웨t 에칭 공정에 의해 상기 제1 도체부(120a)는 훼손될 수 있다. 즉, 상기 웨t 에칭 공정에 의해, 상기 제1 도체부(120a)는 열화되거나 유실될 수 있고, 이에 따라 소자 산포(Ion)가 발생될 수 있으며, 따라서, 상기 구동 트랜지스터(Tdr)가 정상적으로 구동되지 못할 수도 있다.
- [0117] 따라서, 본 발명의 발명자들은 상기한 바와 같은 문제점을 해결하기 위해, 도 6에 도시된 바와 같은 본 발명에 따른 유기발광표시패널 제조 방법을 새롭게 발명하였다.
- [0118] 도 6은 본 발명에 따른 유기발광표시패널 제조 방법을 나타낸 예시도들이다. 특히, 도 6에는 도 4에 도시된 단

면 중 K영역을 나타낸 단면도들이 도시되어 있다. 따라서, 도 6에 도시된 단면들에는 상기 드레인 전극(124b), 상기 드레인 절연막(121b) 및 상기 제2 도체부(120b)가 도시되어 있지 않다. 그러나, 상기 드레인 전극(124b), 상기 드레인 절연막(121b) 및 상기 제2 도체부(120b)는, 이하에서 설명되는 상기 소스 전극(124a), 상기 소스 절연막(121a) 및 상기 제1 도체부(120a)와 동일한 방법 및 물질에 의해 동일한 구조로 형성될 수 있다. 이하의 설명 중, 도 1 내지 도 4를 참조하여 설명된 내용과 동일하거나 유사한 내용은 생략되거나 간단히 설명된다.

- [0119] 우선, 상기 기판(101) 상에 상기 제1 접착층(102a)을 형성하는 제1 접착물질 및 상기 라이트 쿠드(102)를 형성하는 라이트 쿠드물질이 증착된다.
- [0120] 다음, 도 6의 (a)에 도시된 바와 같이, 제1 마스크를 이용하여 상기 기판(101) 상에 상기 제1 접착층(102a) 및 상기 라이트 쿠드(102)가 형성된다.
- [0121] 다음, 상기 제2 접착층(102b) 및 상기 버퍼(103)가 상기 라이트 쿠드(102)와 상기 기판(101) 상에 형성된다.
- [0122] 다음, 상기 버퍼(103)의 전체 면에 반도체층이 증착된 후, 제2 마스크를 이용하여 상기 버퍼(103) 상에 패턴화된 반도체층(120M)이 형성된다.
- [0123] 다음, 상기 반도체층(120M) 및 상기 버퍼(103)를 커버하도록, 절연막물질이 상기 반도체층(120M) 및 상기 버퍼(103) 상에 증착된다.
- [0124] 다음, 상기 패턴화된 반도체층(120M) 상에, 제3 마스크 의해, 상기 절연막물질이 패턴화되어, 패턴화된 절연막(121M)이 형성된다.
- [0125] 이 경우, 상기 제3 마스크에 의해, 상기 절연막물질이 패턴화되어, 상기 소스 전극(124a)에 대응되는 상기 소스 절연막(121a)이 형성된다.
- [0126] 다음, 도 6의 (b)에 도시된 바와 같이, 상기 패턴화된 절연막(121M) 및 상기 소스 절연막(121a)과 상기 반도체층(120M)을 커버하도록 제1 금속으로 형성된 제1 금속층(122M)이 증착되고, 상기 제1 금속층(122M) 상단에 제2 금속으로 형성된 제2 금속층(123M)이 증착되며, 상기 제2 금속층(123M) 상단에 포토 레지스트(129M)가 증착된다.
- [0127] 다음, 도 6의 (c)에 도시된 바와 같이, 제4 마스크를 이용해 제4 마스크 패턴(129)이 형성되며, 상기 제4 마스크 패턴(129)을 이용해 상기 제2 금속층(123M)을 식각하여, 상기 구동 트랜지스터(Tdr)의 상기 제2 게이트 전극(123) 및 상기 제2 소스 전극(123a)이 형성된다.
- [0128] 즉, 상기 제2 금속층(123M)을 형성하는 금속, 예를 들어, 구리(Cu)는 웃 에칭 공정을 통해 식각되어, 상기 제2 게이트 전극(123) 및 상기 제2 소스 전극(123a)이 된다. 예를 들어, 상기 제2 금속층(123M)은 상기 웃 에칭 공정에서, 과산화수소(H2O2)와 암모니아(NH4OH)가 혼합된 에천트(Etcahnt)에 의해 식각될 수 있다.
- [0129] 다음, 도 6의 (d)에 도시된 바와 같이, 상기 반도체층(120M) 상에 노출되어 있는 절연막(121M)과, 상기 제4 마스크 패턴(129)이, 드라이 에칭 공정을 통해 식각되며, 상기 드라이 에칭 공정에 의해, 상기 반도체층(120M) 중 상기 제2 게이트 전극(123)과 상기 제2 소스 전극(123a) 사이에 있는 반도체층(120M)이 도체화된다.
- [0130] 즉, 상기 제2 게이트 전극(123) 및 상기 제2 소스 전극(123a) 상에 구비된 상기 제4 마스크 패턴(129)과 상기 제1 금속층(121M)이 드라이 에칭 공정을 통해 식각되어, 상기 제1 게이트 전극(122) 및 상기 제1 소스 전극(122a)이 형성된다. 이에 따라, 상기 게이트 전극(124) 및 상기 소스 전극(124a)이 형성된다.
- [0131] 또한, 상기 드라이 에칭 공정 중에, 상기 반도체층(120M) 중 상기 제1 게이트 전극(122)과 상기 제1 소스 전극(122a) 사이에 있는 반도체층(120M)이 도체화되어, 상기 제1 도체부(120a)가 형성된다.
- [0132] 상기 제1 게이트 전극(122) 및 상기 제1 소스 전극(122a)이 형성되는 과정에서, 상기 제2 게이트 전극(123)과 상기 제2 소스 전극(123a) 사이에 남아있는 상기 절연막(121M)은, 상기 드라이 에칭 공정에 식각된다.
- [0133] 즉, 상기 제3 마스크를 이용하여 상기 패턴화된 반도체층(120M) 상에 패턴화된 상기 절연막(121M)을 형성하는 단계에서, 상기 제2 게이트 전극(123)과 상기 반도체층 사이에 형성되는 상기 패턴화된 절연막(121M)은 상기 제2 게이트 전극(123)의 끝단으로부터 더 돌출되도록 형성되며, 상기 패턴화된 절연막(121M) 중 돌출된 부분은, 상기 드라이 에칭 공정에 의해 식각되어 제거된다.
- [0134] 상기 드라이 에칭 공정을 통해, 상기 게이트 전극(124), 상기 소스 전극(124a), 상기 드레인 전극(124b), 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)가 형성된다.

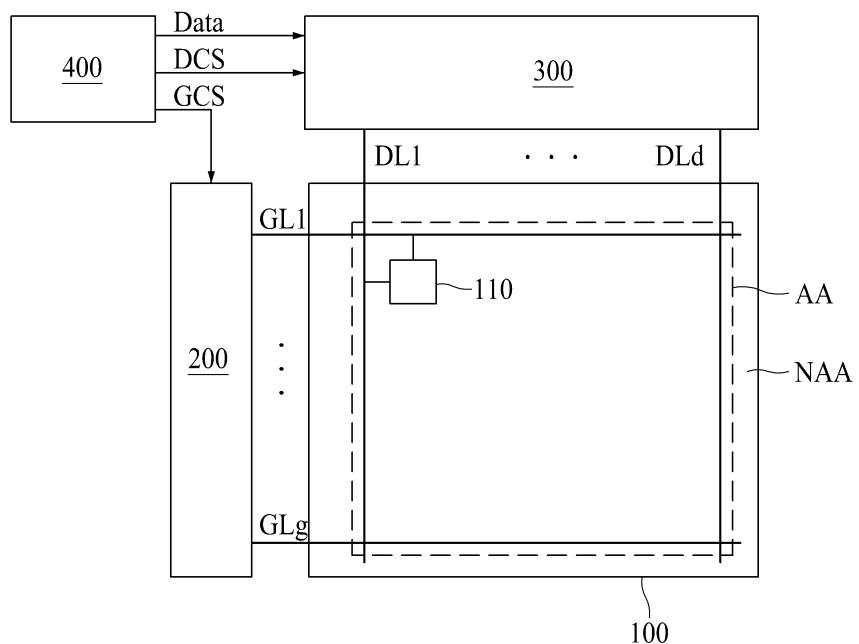
- [0135] 이 경우, 상기 반도체층(120M) 중 상기 제1 소스 전극(122a) 하단에 구비된 영역과, 상기 제1 드레인 전극(122b) 하단에 구비된 영역도, 상기 드라이 에칭 공정에 의해 도체로 변화될 수 있다. 즉, 상기 드라이 에칭 공정에 의해 주입된 수소가 상기 영역으로 확산되어, 상기 영역도 도체화될 수 있다.
- [0136] 마지막으로, 상기 게이트 전극(124), 상기 소스 전극(124a) 및 상기 드레인 전극(124b)이 상기 보호막(105)과 상기 평탄막(106)으로 커버되며, 도 4에 도시된 바와 같이, 상기 평탄막(106) 상에 상기 소스 전극(124a)과 연결되는 상기 유기발광다이오드(OLED)가 형성된다.
- [0137] 상기한 바와 같은 본 발명에 따른 유기발광표시패널 제조 방법에 의하면, 상기 반도체층(120M) 중 상기 게이트 전극(124)과 상기 소스 전극(124a) 사이에 노출되어 있는 반도체층, 즉, 도 6의 (c) 및 (d)에서 X로 표시되어 있는 영역에 있는 반도체층(120M)은 유실되지 않을 수 있다.
- [0138] 예를 들어, 도 5를 참조하여 설명된 방법에서는, X로 표시되어 있는 영역이, 상기 제1 금속층(122M) 및 상기 제2 금속층(123M)이 웃 에칭 공정을 통해 식각되는 과정에서 함께 식각되어 유실될 수 있다.
- [0139] 그러나, 도 6을 참조하여 설명된 본 발명에 따른 유기발광표시패널 제조 방법에서는, 상기 제2 금속층(123M)만이 웃 에칭 공정을 통해 식각되기 때문에, 도 6의 (c)에 도시된 바와 같이, X로 표시되어 있는 영역은 상기 제1 금속층(122M)에 의해 커버되어 있다. 따라서, X로 표시되어 있는 영역은 상기 웃 에칭 공정 중에 식각되거나 유실되지 않는다.
- [0140] 상기 반도체층(120M) 중 X와 Y로 표시되어 있는 영역은 상기 드라이 에칭 공정에 의해 상기 제1 금속층(122M)이 식각될 때, 외부로 노출될 수 있으나, 상기 드라이 에칭 공정에 의해서는 상기 반도체층(120M)이 심하게 식각되지 않는다.
- [0141] 즉, 본 발명에 의하면, 상기 반도체층(120M) 중 X와 Y로 표시되어 있는 영역이 상기 웃 에칭 공정 중에는 외부로 노출되지 않아 식각되지 않으며, 상기 드라이 에칭 공정 중에만 외부로 노출된다.
- [0142] 따라서, 본 발명에서는, 상기 웃 에칭 공정에서 X로 표시되어 있는 영역이 식각되는 종래의 방법과 비교할 때, 상기 반도체층(120M) 또는 상기 제1 도체부(120a)의 유실이 감소될 수 있다.
- [0143] 즉, 본 발명에 의하면, 상기 반도체층(120M) 또는 상기 제1 도체부(120a)가 유실되거나 끊어지는 불량이 발생되지 않으며, 이에 따라, 상기 구동 트랜지스터(Tdr)가 정상적으로 구동될 수 있다.
- [0144] 부연하여 설명하면, 본 발명에 따른 유기발광표시패널 제조 방법은, 상기 제1 금속층(122M) 및 상기 제2 금속층(123M)을 한 번의 공정을 통해 일괄적으로 에칭하는 방법 대신, 웃 에칭 공정을 통해 상기 제2 금속층(123M)을 에칭한 후, 드라이 에칭 공정을 통해 상기 제1 금속층(122M)을 에칭함으로써, 상기 제1 도체부(120a) 및 상기 제2 도체부(120b)를 안정적으로 보호할 수 있다. 즉, 본 발명에 의하면, 상기 반도체층(120M)이 심하게 식각될 수 있는 상기 웃 에칭 공정에서는, 상기 제1 금속층(122M)에 의해 상기 반도체층(120M)이 보호될 수 있기 때문에, 상기 반도체층(120M)이 유실되는 현상 및 끊어지는 현상이 방지될 수 있다.
- [0145] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

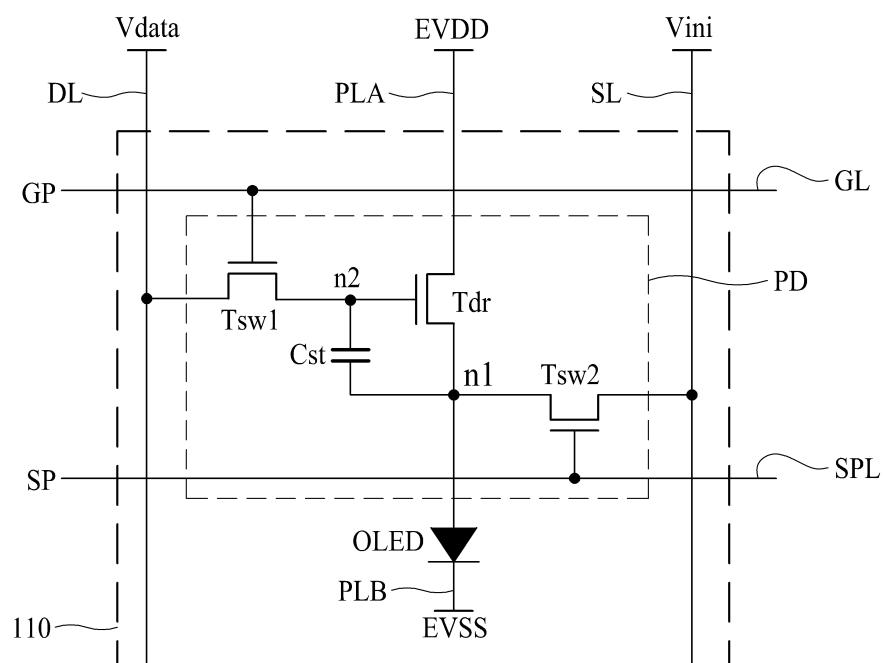
- | | | |
|--------|---------------|---------------|
| [0146] | 100: 패널 | 110: 픽셀 |
| | 200: 게이트 드라이버 | 300: 데이터 드라이버 |
| | 400: 제어부 | |

도면

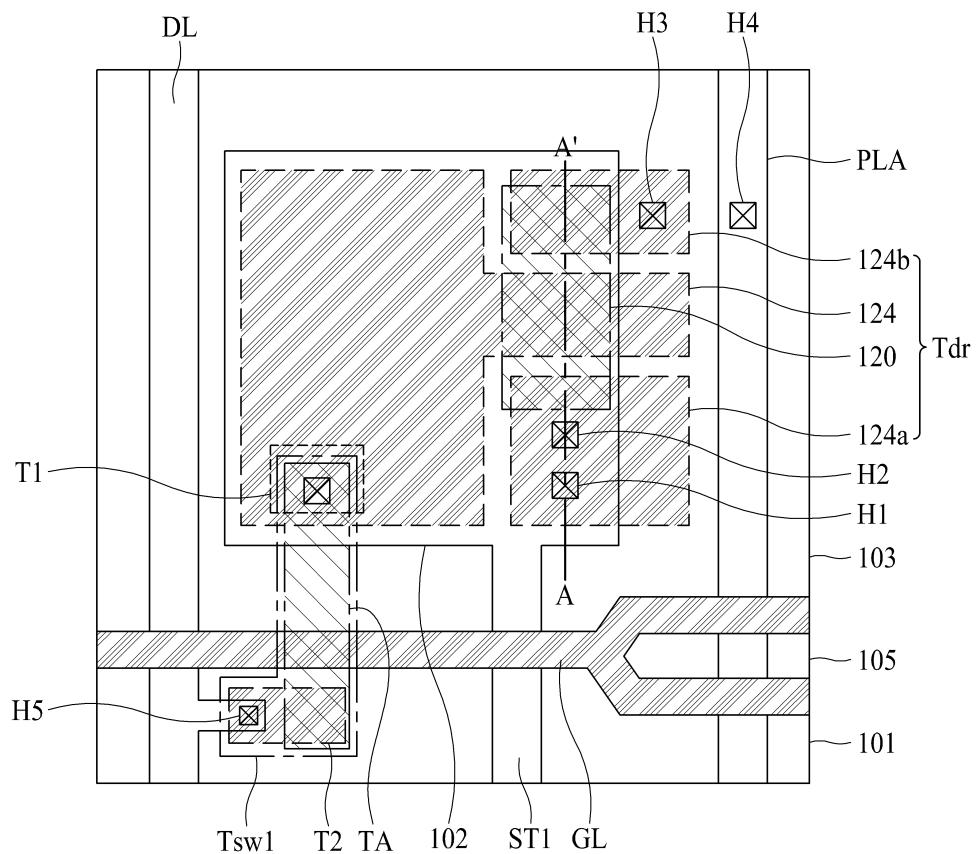
도면1



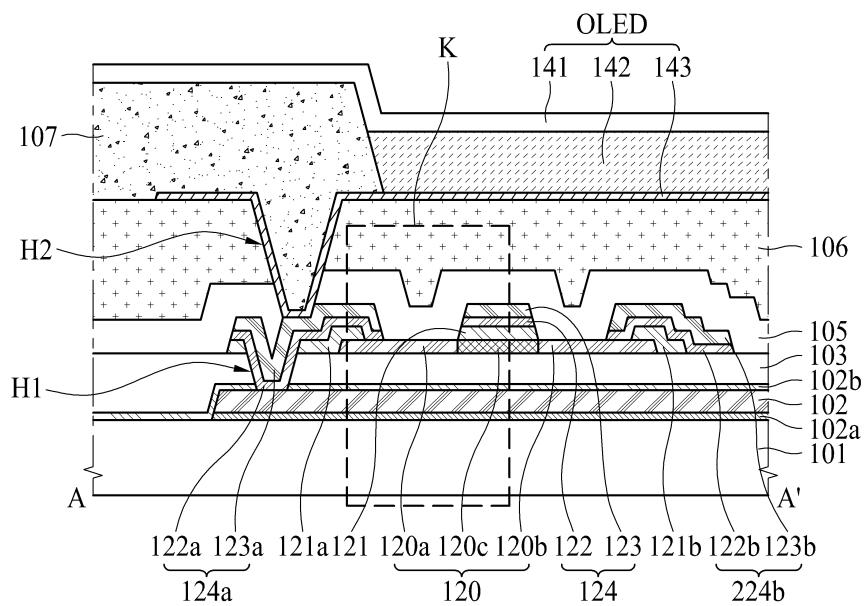
도면2



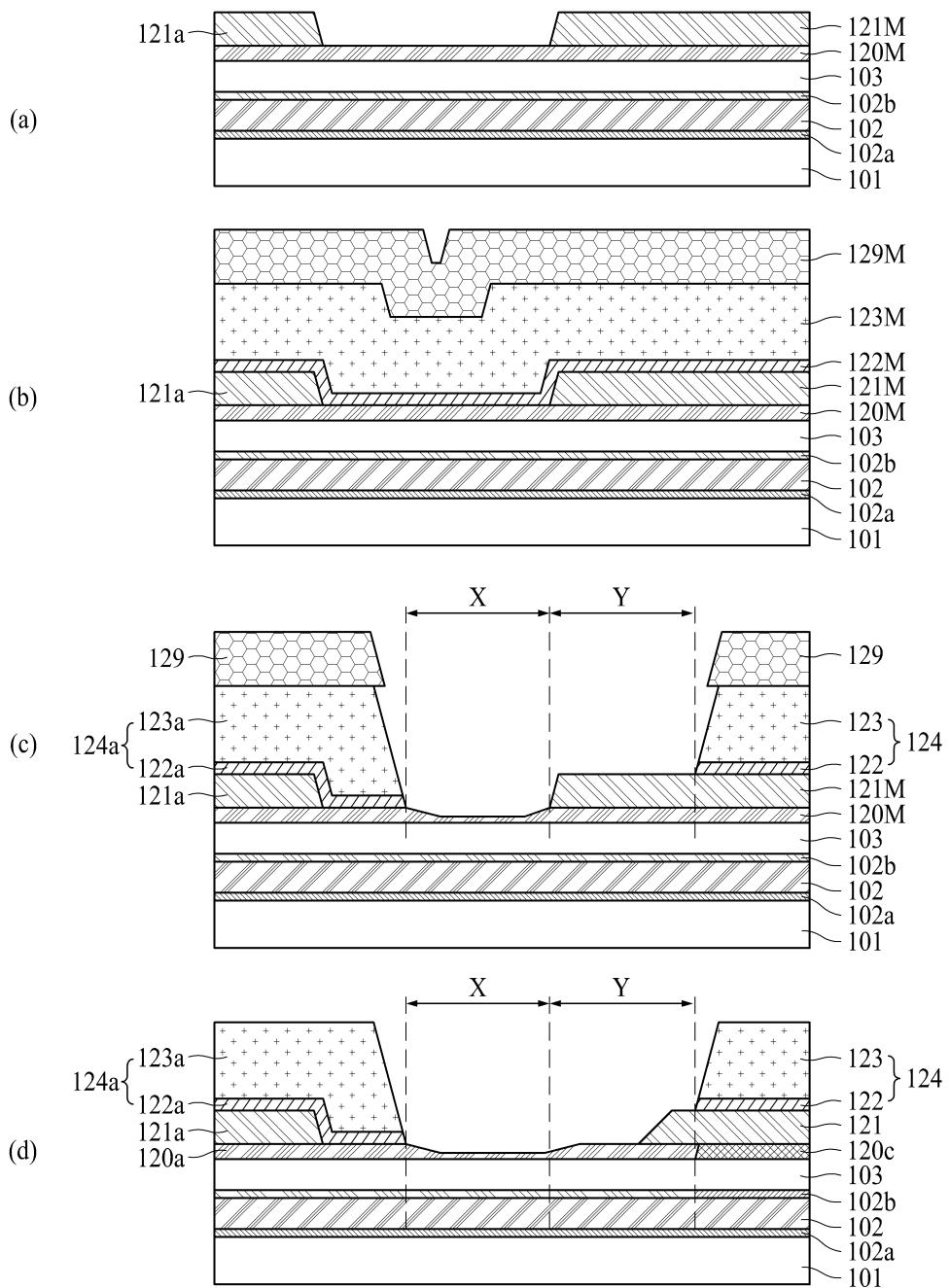
도면3



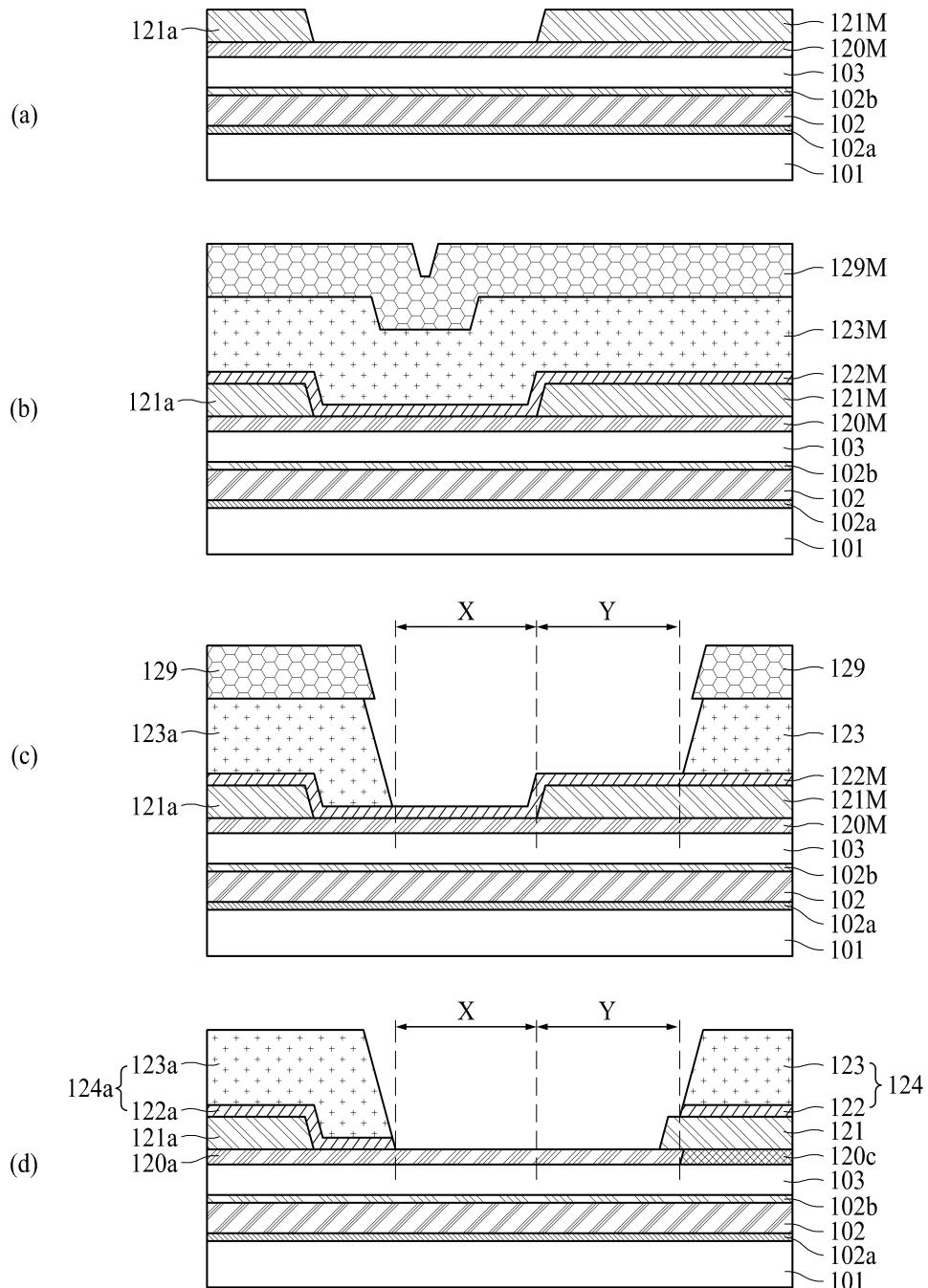
도면4



도면5



도면6



专利名称(译)	OLED显示板，制造该显示板的方法和OLED显示器		
公开(公告)号	KR1020190081624A	公开(公告)日	2019-07-09
申请号	KR1020170184295	申请日	2017-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	배준현		
发明人	배준현		
IPC分类号	H01L27/32 G09G3/3233 H01L51/52 H01L51/56		
CPC分类号	H01L27/3262 G09G3/3233 H01L27/3211 H01L51/5253 H01L51/56 G09G2300/0426 G09G2300/0842		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种有机发光显示面板，其制造方法以及使用该有机发光显示面板的有机发光显示装置。有机发光显示面板包括晶体管，在该晶体管中，栅电极，源电极和漏电极由不同的金属层制成，并使用设置在沟道部分下端的遮光物作为源电极。可以改善晶体管的特性。

