



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0070768
(43) 공개일자 2019년06월21일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 27/3211 (2013.01)

(21) 출원번호 10-2017-0171621

(22) 출원일자 2017년12월13일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박준민

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인로얄

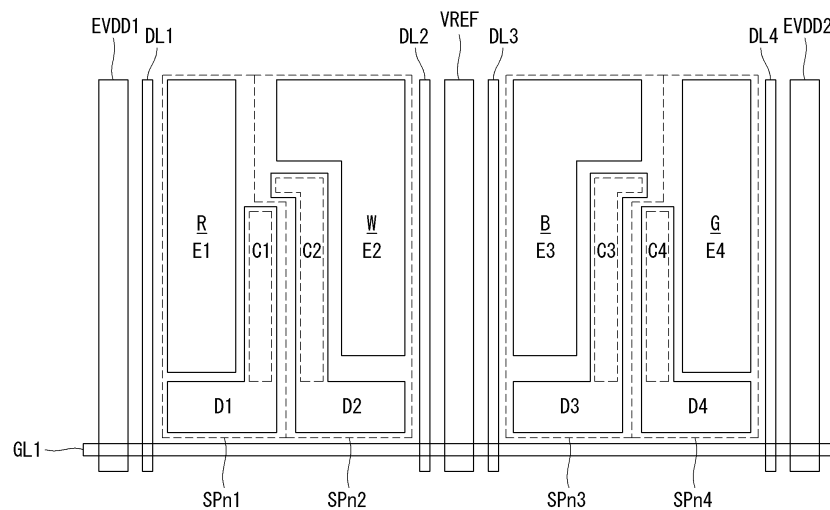
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명은 각 서브픽셀들의 회로영역과 발광영역의 크기를 조절하여 설계자유도 및 개구율을 향상시킬 수 있는 표시장치에 관한 것이다. 본 발명의 일 실시예에 따른 표시장치는 기관 상에 위치하는 적어도 제1 및 제2 서브픽셀을 포함하며, 상기 제1 및 제2 서브픽셀은 각각 유기발광다이오드를 포함하는 발광영역 및 복수의 박막트랜지스터 및 커패시터를 포함하는 회로영역을 포함하며, 상기 제2 서브픽셀의 커패시터는 상기 제1 서브픽셀의 커패시터의 적어도 2배를 둘러싼다.

대표도 - 도7



(52) CPC특허분류

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

기관 상에 위치하는 적어도 제1 및 제2 서브픽셀을 포함하며,

상기 제1 및 제2 서브픽셀은 각각 유기발광다이오드를 포함하는 발광영역 및 복수의 박막트랜지스터 및 커패시터를 포함하는 회로영역을 포함하며,

상기 제2 서브픽셀의 커패시터는 상기 제1 서브픽셀의 커패시터의 적어도 2배를 둘러싸는 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 서브픽셀의 회로영역과 상기 제2 서브픽셀의 회로영역의 면적이 서로 다른 표시장치.

청구항 3

제2 항에 있어서,

상기 제2 서브픽셀의 회로영역의 면적이 상기 제1 서브픽셀의 회로영역의 면적보다 큰 표시장치.

청구항 4

제3 항에 있어서,

상기 제1 서브픽셀 및 상기 제2 서브픽셀을 사이에 두고 서로 이웃하는 제1 전원라인 및 센싱라인을 포함하며,

상기 제1 전원라인 및 상기 센싱라인은 각각 상기 제1 서브픽셀 및 상기 제2 서브픽셀에 공유되는 표시장치.

청구항 5

제4 항에 있어서,

상기 센싱라인을 기준으로 상기 제1 서브픽셀 및 상기 제2 서브픽셀과 대칭하는 제3 서브픽셀 및 제4 서브픽셀을 포함하며, 상기 센싱라인은 상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유되는 표시장치.

청구항 6

제5 항에 있어서,

상기 제3 서브픽셀 및 상기 제4 서브픽셀을 사이에 두고 상기 센싱라인과 이웃하는 제2 전원라인을 포함하며,

상기 제2 전원라인은 상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유되는 표시장치.

청구항 7

제6 항에 있어서,

상기 제1 서브픽셀의 발광영역과 상기 제2 서브픽셀의 발광영역 사이에 상기 제1 서브픽셀의 커패시터와 상기 제2 서브픽셀의 커패시터가 배치되는 표시장치.

청구항 8

제7 항에 있어서,

상기 제1 서브픽셀에 연결된 제1 데이터 라인과 상기 제2 서브픽셀에 연결된 제2 데이터 라인을 더 포함하며,

상기 제1 서브픽셀과 상기 제2 서브픽셀은 상기 제1 데이터 라인과 상기 제2 데이터 라인 사이에 배치되는 표시장치.

청구항 9

제8 항에 있어서,

상기 제3 서브픽셀에 연결된 제3 데이터 라인과 상기 제4 서브픽셀에 연결된 제4 데이터 라인을 더 포함하며,
상기 제3 서브픽셀과 상기 제4 서브픽셀은 상기 제3 데이터 라인과 상기 제4 데이터 라인 사이에 배치되는 표시 장치.

청구항 10

제6 항에 있어서,

상기 제1 서브픽셀 및 상기 제2 서브픽셀에 공유되는 제1 데이터 라인을 더 포함하고, 상기 제1 데이터 라인과 상기 센싱라인 사이에 상기 제1 서브픽셀과 상기 제2 서브픽셀이 배치되는 표시장치.

청구항 11

제10 항에 있어서,

상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유되는 제2 데이터 라인을 더 포함하고, 상기 제2 데이터 라인과 상기 센싱라인 사이에 상기 제3 서브픽셀과 상기 제4 서브픽셀이 배치되는 표시장치.

청구항 12

제11 항에 있어서,

상기 제1 데이터 라인과 상기 제1 서브픽셀의 발광영역 사이에 상기 제1 서브픽셀의 회로영역이 배치되고, 상기 제1 데이터 라인과 상기 제2 서브픽셀의 발광영역 사이에 상기 제2 서브픽셀의 회로영역이 배치되는 표시장치.

청구항 13

제12 항에 있어서,

상기 제1 내지 제4 서브픽셀의 각 발광영역은 상기 센싱라인과 인접하여 배치되고, 상기 제1 서브픽셀 및 상기 제2 서브픽셀의 발광영역은 상기 센싱라인의 일측에 배치되고 상기 제3 서브픽셀 및 상기 제4 서브픽셀의 발광영역은 상기 센싱라인의 타측에 배치되는 표시장치.

청구항 14

제9 항 또는 제13 항에 있어서,

상기 센싱라인은 상기 제1 내지 제4 서브픽셀로 연장되는 센싱연결라인을 더 포함하며,

상기 센싱연결라인은 일단에서 상기 제1 및 제2 서브픽셀로 연결되는 제1 분기부, 및 타단에서 상기 제3 및 제4 서브픽셀로 연결되는 제2 분기부를 포함하는 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 표시장치에 관한 것으로, 보다 자세하게는 각 서브픽셀들의 회로영역과 발광영역의 크기를 조절하여 설계자유도 및 개구율을 향상시킬 수 있는 표시장치에 관한 것이다.

배경 기술

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device:

ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기관 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 유기발광표시장치는 적색, 녹색 및 청색의 3개의 서브픽셀이 하나의 단위 픽셀을 구성하거나, 백색을 더하여 4개의 서브픽셀이 하나의 단위 픽셀을 구성한다. 유기발광표시장치는 각 서브픽셀의 개구율을 증가시켜 표시 품질을 향상시키기 위한 설계가 시도되고 있다. 각 서브픽셀은 박막트랜지스터들과 커패시터가 형성된 회로영역과 발광영역을 포함한다. 적색, 녹색, 청색 및 백색의 서브픽셀들의 발광영역의 크기는 조금씩 다르고 색상 별로 커패시터의 크기도 조금씩 다르다. 그러나, 모든 서브픽셀들의 회로영역의 크기가 동일하게 설계되어 회로영역에 여분의 공간이 불필요하게 발생하고, 발광영역의 크기를 다르게 설계하기 위해 데이터 라인이 절곡되는 설계의 복잡함이 발생하게 되었다.

발명의 내용

해결하려는 과제

[0005] 따라서, 본 발명은 각 서브픽셀들의 회로영역과 발광영역의 크기를 조절하여 설계자유도 및 개구율을 향상시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 기관 상에 위치하는 적어도 제1 및 제2 서브픽셀을 포함하며, 상기 제1 및 제2 서브픽셀은 각각 유기발광다이오드를 포함하는 발광영역 및 복수의 박막트랜지스터 및 커패시터를 포함하는 회로영역을 포함하며, 상기 제2 서브픽셀의 커패시터는 상기 제1 서브픽셀의 커패시터의 적어도 2배를 둘러싼다.

[0007] 상기 제1 서브픽셀의 회로영역과 상기 제2 서브픽셀의 회로영역의 면적이 서로 다르다.

[0008] 상기 제2 서브픽셀의 회로영역의 면적이 상기 제1 서브픽셀의 회로영역의 면적보다 크다.

[0009] 상기 제1 서브픽셀 및 상기 제2 서브픽셀을 사이에 두고 서로 이웃하는 제1 전원라인 및 센싱라인을 포함하며, 상기 제1 전원라인 및 상기 센싱라인은 각각 상기 제1 서브픽셀 및 상기 제2 서브픽셀에 공유된다.

[0010] 상기 센싱라인을 기준으로 상기 제1 서브픽셀 및 상기 제2 서브픽셀과 대칭하는 제3 서브픽셀 및 제4 서브픽셀을 포함하며, 상기 센싱라인은 상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유된다.

[0011] 상기 제3 서브픽셀 및 상기 제4 서브픽셀을 사이에 두고 상기 센싱라인과 이웃하는 제2 전원라인을 포함하며, 상기 제2 전원라인은 상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유된다.

[0012] 상기 제1 서브픽셀의 발광영역과 상기 제2 서브픽셀의 발광영역 사이에 상기 제1 서브픽셀의 커패시터와 상기 제2 서브픽셀의 커패시터가 배치된다.

[0013] 상기 제1 서브픽셀에 연결된 제1 데이터 라인과 상기 제2 서브픽셀에 연결된 제2 데이터 라인을 더 포함하며, 상기 제1 서브픽셀과 상기 제2 서브픽셀은 상기 제1 데이터 라인과 상기 제2 데이터 라인 사이에 배치된다.

[0014] 상기 제3 서브픽셀에 연결된 제3 데이터 라인과 상기 제4 서브픽셀에 연결된 제4 데이터 라인을 더 포함하며, 상기 제3 서브픽셀과 상기 제4 서브픽셀은 상기 제3 데이터 라인과 상기 제4 데이터 라인 사이에 배치된다.

[0015] 상기 제1 서브픽셀 및 상기 제2 서브픽셀에 공유되는 제1 데이터 라인을 더 포함하고, 상기 제1 데이터 라인과 상기 센싱라인 사이에 상기 제1 서브픽셀과 상기 제2 서브픽셀이 배치된다.

[0016] 상기 제3 서브픽셀 및 상기 제4 서브픽셀에 공유되는 제2 데이터 라인을 더 포함하고, 상기 제2 데이터 라인과 상기 센싱라인 사이에 상기 제3 서브픽셀과 상기 제4 서브픽셀이 배치된다.

[0017] 상기 제1 데이터 라인과 상기 제1 서브픽셀의 발광영역 사이에 상기 제1 서브픽셀의 회로영역이 배치되고, 상기 제1 데이터 라인과 상기 제2 서브픽셀의 발광영역 사이에 상기 제2 서브픽셀의 회로영역이 배치된다.

[0018] 상기 제1 내지 제4 서브픽셀의 각 발광영역은 상기 센싱라인과 인접하여 배치되고, 상기 제1 서브픽셀 및 상기

제2 서브픽셀의 발광영역은 상기 센싱라인의 일측에 배치되고 상기 제3 서브픽셀 및 상기 제4 서브픽셀의 발광영역은 상기 센싱라인의 타측에 배치된다.

[0019] 상기 센싱라인은 상기 제1 내지 제4 서브픽셀로 연장되는 센싱연결라인을 더 포함하며, 상기 센싱연결라인은 일단에서 상기 제1 및 제2 서브픽셀로 연결되는 제1 분기부, 및 타단에서 상기 제3 및 제4 서브픽셀로 연결되는 제2 분기부를 포함한다.

발명의 효과

[0020] 본 발명의 실시예들에 따른 표시장치는 제2 서브픽셀의 커패시터가 제1 서브픽셀의 커패시터의 적어도 2배를 둘러싸도록 형성함으로써, 제1 및 제2 서브픽셀의 각 발광영역의 크기를 조절하기 위해 적어도 하나의 데이터 라인이 절곡될 필요가 없이 직선으로 형성될 수 있다. 따라서, 서브픽셀 내에서 커패시터, 회로영역 및 발광영역의 크기를 자유롭게 조절할 수 있고, 데이터 라인들도 직선으로 형성할 수 있어, 서브픽셀들의 레이아웃을 설계하기가 매우 용이한 이점이 있다.

[0021] 또한, 본 발명의 실시예들에 따른 표시장치는 인접한 서브픽셀의 발광영역 사이에 커패시터들을 형성함으로써, 인접한 서브픽셀들 간의 빛샘이 발생하는 것을 방지할 수 있다.

[0022] 또한, 본 발명의 실시예들에 따른 표시장치는 각 서브픽셀들의 발광영역 사이에 커패시터들을 배치함으로써, 컬러필터,뱅크층, 제1 전극이 커패시터들 위로 더 형성될 수 있는 마진을 가질 수 있어 설계가 용이한 이점이 있다.

도면의 간단한 설명

[0023] 도 1은 유기발광표시장치의 개략적인 블록도.

도 2는 서브픽셀의 개략적인 회로 구성도.

도 3은 서브픽셀의 상세 회로 구성도.

도 4는 표시 패널의 단면도.

도 5는 본 발명에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면.

도 6은 본 발명의 서브픽셀의 평면 레이아웃을 나타낸 도면.

도 7은 본 발명의 일 실시예에 따른 서브픽셀들의 평면 레이아웃을 간략히 나타낸 도면.

도 8은 본 발명의 일 실시예에 따른 서브픽셀들의 평면 레이아웃을 상세히 나타낸 도면.

도 9는 도 8의 절취선 B-B'에 따른 단면도.

도 10은 도 8의 절취선 C-C'에 따른 단면도.

도 11은 본 발명의 다른 실시예에 따른 서브픽셀들의 평면 레이아웃을 간략히 나타낸 도면.

도 12는 본 발명의 다른 실시예에 따른 서브픽셀들의 평면 레이아웃을 상세히 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0025] 본 발명에 따른 표시장치는 유리 기판 또는 플렉서블 기판 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.

- [0026] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브픽셀의 개략적인 회로 구성도이며, 도 3은 서브픽셀의 상세 회로 구성도이고, 도 4는 표시 패널의 단면도이다.
- [0027] 도 1에 도시된 바와 같이, 유기발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0028] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0029] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0030] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0031] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0032] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.
- [0033] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 백색 서브픽셀, 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0034] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0035] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0036] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0037] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0038] 스위칭 트랜지스터(SW)는 제1 데이터 라인(DL1)에 드레인 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 소스 전극이 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 소스 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 상부전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 하부전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 전극에 애노드 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 드레인 전극이 연결되고 센싱 노드인 유기발광다이오드(OLED)의 애노드 전

극 및 구동 트랜지스터(DR)의 소스 전극에 소스 전극이 연결된다.

- [0039] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공통으로 공유하도록 연결될 수 있다.
- [0040] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시시간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0041] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0042] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이중 금속의 복층)의 금속층으로 선택된다.
- [0043] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0044] 도 4에 도시된 바와 같이, 기판(또는 박막 트랜지스터 기판)(SUB1)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브픽셀들은 보호필름(또는 보호기판)(SUB2)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다. 기판(SUB1)은 유리나 연성을 갖는 재료로 선택될 수 있다.
- [0045] 서브픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.
- [0046] 도 5는 본 발명에 따른 서브픽셀들의 평면 레이아웃을 개략적으로 나타낸 도면이다.
- [0047] 도 4 및 도 5에 도시된 바와 같이, 기판(SUB1)의 표시영역(AA) 상에는 발광영역(EMA)과 회로영역(DRA)을 갖는 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)이 형성된다. 발광영역(EMA)에는 유기발광다이오드(발광소자)가 형성되고, 회로영역(DRA)에는 유기발광다이오드를 구동하는 스위칭, 센싱 및 구동 트랜지스터 등을 포함하는 회로가 형성된다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)은 회로영역(DRA)에 위치하는 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(EMA)에 위치하는 유기발광다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4) 사이에 위치하는 "WA"는 배선영역으로서, 전원 라인(EVDD), 센싱라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)이 배치된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)을 가로지르며 배치된다.
- [0048] 전원 라인(EVDD), 센싱라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(비어홀)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱라인(VREF)은 센싱 연결라인(VREFC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(미도시)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(미도시)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(미도시)에 연결된다.

- [0049] 도 6은 본 발명의 서브픽셀의 평면 레이아웃을 나타낸 도면이다.
- [0050] 도 6을 참조하면, 본 발명의 유기발광표시장치는 제1 및 제2 게이트 라인(GL1, GL2)과 제1 내지 제4 데이터 라인(DL1~DL4)이 교차하여 제1 내지 제4 서브픽셀(SPn1~SPn4)이 정의된다. 구체적으로, 제1 내지 제4 데이터 라인(DL1~DL4)과 각각 연결되는 제1 내지 제4 서브픽셀(SPn1~SPn4)은 센싱라인(VREF)에 공통으로 연결되어 있다. 센싱라인(VREF)은 제2 및 제3 서브픽셀(SPn2, SPn3)과는 직접 연결되어 있고, 제1 및 제4 서브픽셀(SPn1, SPn4)과는 센싱 연결라인(VREFC)을 통해 연결된다. 제1 내지 제4 서브픽셀(SPn1~SPn4)의 양 가장자리에는 전원 라인(EVDD)이 각각 배치되고, 전원 라인(EVDD)과 인접한 제1 및 제4 서브픽셀(SPn1, SPn4)은 직접 연결되고 제2 및 제3 서브픽셀(SPn2, SPn3)은 전원 연결라인(EVDDC)을 통해 연결된다.
- [0051] 각 서브픽셀들의 발광영역(EMA)에는 유기발광다이오드(OLED)의 제1 전극(ANO)이 배치되어 있고, 회로영역(DRA)에는 구동 트랜지스터(DR), 커패시터(Cst), 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)가 배치된다. 예를 들어, 센싱 트랜지스터(ST)는 게이트 전극(240), 드레인 전극(250D), 소스 전극(250S) 및 반도체층(220)으로 구성된다. 센싱라인(VREF)은 센싱연결라인(VREFC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(ST)에 연결된다. 전원 라인(EVDD)은 전원 연결라인(EVDDC)을 통해 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 구동 트랜지스터(DR)에 연결된다. 제1 및 제2 게이트 라인들(GL1, GL2)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 및 스위칭 트랜지스터(ST, SW)에 연결된다.
- [0052] 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 회로영역(DRA)은 센싱라인(VREF)에서부터 전원연결라인(EVDDC)에 이르는 세로 방향의 면적으로 정의될 수 있으며, 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 회로영역(DRA)들은 모두 동일한 면적으로 이루어진다. 그러나 제1 및 제4 서브픽셀(SPn1, SPn4)의 커패시터(Cst)의 면적은 제2 및 제3 서브픽셀(SPn2, SPn3)의 커패시터(Cst)의 면적보다 크게 이루어지기 때문에, 제2 및 제3 서브픽셀(SPn2, SPn3)의 회로영역(DRA) 내의 회로들의 설계가 상대적으로 여유롭게 설계된다.
- [0053] 게다가, 제1 및 제4 서브픽셀(SPn1, SPn4)의 발광영역(EMA)의 면적은 제2 및 제3 서브픽셀(SPn2, SPn3)의 커패시터(Cst)의 면적보다 작게 이루어지기 때문에, 제2 및 제3 서브픽셀(SPn2, SPn3)의 발광영역(EMA)을 크게 형성하기 위해 제1 내지 제4 데이터 라인(DL1~DL4)을 직선으로 형성하지 않고 일부에서 절곡되도록 형성한다. 따라서, 제1 내지 제4 데이터 라인(DL1~DL4)의 형상으로 인해 서브픽셀들의 레이아웃의 설계가 복잡해지게 된다.
- [0054] 하기에서는 전술한 서브픽셀들의 발광영역과 회로영역의 크기를 조절하여 서브픽셀들의 레이아웃의 설계를 간단하게 구현할 수 있는 표시장치를 개시한다.
- [0055] <실시예>
- [0056] 도 7은 본 발명의 일 실시예에 따른 서브픽셀들의 평면 레이아웃을 간략히 나타낸 도면이고, 도 8은 본 발명의 일 실시예에 따른 서브픽셀들의 평면 레이아웃을 상세히 나타낸 도면이고, 도 9는 도 8의 절취선 B-B'에 따른 단면도이고, 도 10은 도 8의 절취선 C-C'에 따른 단면도이다.
- [0057] 도 7을 참조하면, 기판(SUB1) 상에 발광영역(E1~E4)과 회로영역(D1~D4)을 각각 갖는 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)이 배치된다. 발광영역(E1~E4)에는 유기발광다이오드(발광소자)가 형성되고, 회로영역(D1~D4)에는 유기발광다이오드를 구동하는 스위칭, 센싱 및 구동 트랜지스터를 포함하며 커패시터(C1~C4)를 더 포함한다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)은 스위칭 및 구동 트랜지스터 등의 동작에 대응하여 발광영역(E1~E4)에 위치하는 유기발광다이오드가 빛을 발광하게 된다. 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)에는 제1 및 제2 전원 라인(EVDD1, EVDD2), 센싱라인(VREF), 제1 내지 제4 데이터 라인들(DL1~DL4)이 배치된다. 제1 게이트 라인(GL1)은 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)을 가로지르며 배치되되, 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)의 발광영역(E1~E4)을 사이에 두고 서로 이웃하여 배치된다.
- [0058] 제1 및 제2 전원 라인(EVDD1~EVDD2), 센싱라인(VREF), 제1 내지 제4 데이터 라인들(DL1~DL4)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(미도시)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱라인(VREF)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(미도시)에 연결된다. 제1 전원 라인(EVDD1)은 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 구동 트랜지스터(미도시)에 연결된다. 제2 전원 라인(EVDD2)은 제3 및 제4 서브픽셀(SPn3, SPn4)의 각 구동 트랜지스터(미도시)에 연결된다. 제1 게이트 라인(GL1)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 스위칭 트랜지스터(미도시) 및 센싱 트랜지스터(미도시)에 연결된다.
- [0059] 본 발명의 서브픽셀(SPn1~SPn4)들 각각은 발광영역(E1~E4)과 회로영역(D1~D4)을 포함한다. 구체적으로, 제1 서

브픽셀(S_{Pn1})은 발광영역(E1)과 회로영역(D1)을 포함하며, 회로영역(D1)은 커패시터(C1)를 포함한다. 제1 서브픽셀(S_{Pn1})의 일측에는 제1 서브픽셀(S_{Pn1})과 연결되는 제1 데이터 라인(DL1)이 배치되고, 제1 데이터 라인(DL1)과 교차하는 제1 게이트 라인(GL1)이 배치된다. 제1 서브픽셀(S_{Pn1})의 회로영역(D1)은 발광영역(E1)의 적어도 2변을 둘러싸며 배치된다. 도시된 바와 같이, 발광영역(E1)의 하측변과 우측변은 회로영역(D1)에 의해 둘러싸인다.

[0060] 제2 서브픽셀(S_{Pn2})은 발광영역(E2)과 회로영역(D2)을 포함하며, 회로영역(D2)은 커패시터(C2)를 포함한다. 제2 서브픽셀(S_{Pn2})의 일측에는 제2 서브픽셀(S_{Pn2})과 연결되는 제2 데이터 라인(DL2)이 배치되고, 제2 데이터 라인(DL2)은 제1 게이트 라인(GL1)과 교차한다. 제2 서브픽셀(S_{Pn2})의 회로영역(D2)은 발광영역(E2)의 적어도 2변을 둘러싸며 배치된다. 도시된 바와 같이, 발광영역(E2)의 하측변과 좌측변은 회로영역(D2)에 의해 둘러싸인다.

[0061] 제1 서브픽셀(S_{Pn1})의 발광영역(E1)과 제2 서브픽셀(S_{Pn2})의 발광영역(E2) 사이에 제1 서브픽셀(S_{Pn1})의 커패시터(C1)와 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 배치된다. 또한, 제1 서브픽셀(S_{Pn1})과 제2 서브픽셀(S_{Pn2})은 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 배치된다.

[0062] 제1 전원라인(EVDD1)은 제1 데이터 라인(DL1)을 사이에 두고 제1 서브픽셀(S_{Pn1})과 이웃하여 배치된다. 제1 전원라인(EVDD1)은 제1 서브픽셀(S_{Pn1})과 제2 서브픽셀(S_{Pn2})에 각각 공유된다. 센싱라인(VREF)은 제2 데이터 라인(DL2)을 사이에 두고 제2 서브픽셀(S_{Pn2})과 이웃하여 배치된다. 센싱라인(VREF)은 제1 서브픽셀(S_{Pn1}) 및 제2 서브픽셀(S_{Pn2})에 각각 공유된다. 상기 제1 전원라인(EVDD1)과 센싱라인(VREF)은 제1 및 제2 서브픽셀(S_{Pn1}, S_{Pn2})을 사이에 두고 서로 이웃하여 배치된다.

[0063] 센싱라인(VREF)을 기준으로 제1 서브픽셀(S_{Pn1}) 및 제2 서브픽셀(S_{Pn2})과 대칭하는 제3 서브픽셀(S_{Pn3}) 및 제4 서브픽셀(S_{Pn4})을 포함한다. 제3 서브픽셀(S_{Pn3})은 발광영역(E3)과 회로영역(D3)을 포함하며, 회로영역(D3)은 커패시터(C3)를 포함한다. 제3 서브픽셀(S_{Pn3})의 일측에는 제3 서브픽셀(S_{Pn3})과 연결되는 제3 데이터 라인(DL3)이 배치되고, 제3 데이터 라인(DL3)은 제1 게이트 라인(GL1)과 교차한다. 제3 서브픽셀(S_{Pn3})의 회로영역(D3)은 발광영역(E3)의 적어도 2변을 둘러싸며 배치된다. 도시된 바와 같이, 발광영역(E3)의 하측변과 우측변은 회로영역(D3)에 의해 둘러싸인다.

[0064] 제4 서브픽셀(S_{Pn4})은 발광영역(E4)과 회로영역(D4)을 포함하며, 회로영역(D4)은 커패시터(C4)를 포함한다. 제4 서브픽셀(S_{Pn4})의 일측에는 제4 서브픽셀(S_{Pn4})과 연결되는 제4 데이터 라인(DL4)이 배치되고, 제4 데이터 라인(DL4)은 제1 게이트 라인(GL1)과 교차한다. 제4 서브픽셀(S_{Pn4})의 회로영역(D4)은 발광영역(E4)의 적어도 2변을 둘러싸며 배치된다. 도시된 바와 같이, 발광영역(E4)의 하측변과 좌측변은 회로영역(D4)에 의해 둘러싸인다. 제3 서브픽셀(S_{Pn3})과 제4 서브픽셀(S_{Pn4})은 제3 데이터 라인(DL3)과 제4 데이터 라인(DL4) 사이에 배치된다.

[0065] 제2 전원라인(EVDD2)은 제4 데이터 라인(DL4)을 사이에 두고 제4 서브픽셀(S_{Pn4})과 이웃하여 배치된다. 제2 전원라인(EVDD2)은 제3 서브픽셀(S_{Pn3})과 제4 서브픽셀(S_{Pn4})에 각각 공유된다.

[0066] 본 발명에서는 각 서브픽셀들에서 요구되는 커패시터의 크기를 달리 형성하기 위해, 커패시터가 작은 서브픽셀은 회로영역도 작게 형성하고 커패시터가 큰 서브픽셀은 회로영역도 크게 형성한다.

[0067] 구체적으로, 제1 서브픽셀(S_{Pn1})의 회로영역(D1)의 면적과 제2 서브픽셀(S_{Pn2})의 회로영역(D2)의 면적이 서로 다르고, 제1 서브픽셀(S_{Pn1})의 커패시터(C1)와 제2 서브픽셀(S_{Pn2})의 커패시터(C2)의 크기가 서로 다르다. 따라서, 제2 서브픽셀(S_{Pn2})의 회로영역(D2)의 면적은 제1 서브픽셀(S_{Pn1})의 회로영역(D1)의 면적보다 크게 이루어진다. 이를 위해, 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 제1 서브픽셀(S_{Pn1})의 커패시터(C1)의 적어도 2변을 둘러싸도록 형성된다.

[0068] 전술한 것처럼, 제1 서브픽셀(S_{Pn1})의 회로영역(D1)과 제2 서브픽셀(S_{Pn2})의 회로영역(D2)의 면적을 달리 형성하고 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 제1 서브픽셀(S_{Pn1})의 커패시터(C1)의 적어도 2변을 둘러싸도록 형성하면, 제1 및 제2 서브픽셀(S_{Pn1}, S_{Pn2})의 각 발광영역(E1, E2)의 크기를 조절하기 위해 제1 및 제2 데이터 라인(DL1, DL2)이 절곡될 필요가 없이 직선으로 형성될 수 있다. 도시된 바와 같이, 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2)이 서로 나란한 직선으로 형성되면서, 발광영역들(E1, E2)의 크기도 다르게 형성될 수 있다. 따라서, 서브픽셀 내에서 커패시터, 회로영역 및 발광영역의 크기를 자유롭게 조절할 수 있고, 데이터 라인들도 직선으로 형성할 수 있어, 서브픽셀들의 레이아웃을 설계하기가 매우 용이한 이점이 있다.

[0069] 한편, 도 7과 함께 도 8을 참조하여 제1 서브픽셀(S_{Pn1})의 구조를 대표로 설명한다. 제1 서브픽셀(S_{Pn1})은 제1 게이트 라인(GL1)과 제1 데이터 라인(DL1)이 교차하여 정의된다. 제1 서브픽셀(S_{Pn1})은 구동 트랜지스터(DR),

센싱 트랜지스터(ST), 스위칭 트랜지스터(SW), 커패시터(Cst) 및 유기발광다이오드(미도시)를 포함한다.

[0070] 발광영역(E1)에는 유기발광다이오드(미도시)의 제1 전극(ANO)이 배치되어 있고, 회로영역(D1)에는 구동 트랜지스터(DR), 센싱 트랜지스터(ST), 스위칭 트랜지스터(SW) 및 커패시터(Cst)가 배치된다. 예를 들어, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1), 드레인 전극(250D), 소스 전극(250S) 및 반도체층(220)으로 구성된다. 또한, 센싱 트랜지스터(ST)는 센싱라인(VREF)으로부터 연장된 센싱 연결라인(VREFC)에 연결된 소스 전극(240S), 제1 게이트 라인(GL1), 및 반도체층(210)으로 구성된다. 구동 트랜지스터(DR)는 반도체층(230), 게이트 전극(260), 드레인 전극(270D) 및 제1 전원라인(EVDD)으로부터 연장된 전원 연결라인(EVDDC)에 연결된 소스 전극(270S)으로 구성된다. 커패시터(Cst)는 커패시터 하부전극(LCst), 커패시터 중부전극(MCst) 및 제1 전극(ANO)으로 구성된다. 제1 전극(ANO)은 비어홀(VIA)을 통해 구동 트랜지스터(DR)의 드레인 전극(270D)에 연결된다.

[0071] 본 발명에서는 센싱라인(VREF)으로부터 연장된 센싱연결라인(VREFC)의 일단에 제1 분기부(VC1)와 타단에 제2 분기부(VC2)를 포함한다. 제1 분기부(VC1)는 제1 및 제2 서브픽셀(SPn1, SPn2)로 연결되고, 제2 분기부(VC2)는 제3 및 제4 서브픽셀(SPn3, SPn4)로 연결된다. 즉, 센싱연결라인(VREFC)의 각 끝단의 분기부들(VC1, VC2)을 통해 각각 2개의 서브픽셀에 함께 연결되므로써, 센싱연결라인(VREFC)이 복수로 형성될 필요가 없어 서브픽셀의 레이아웃의 설계를 용이하게 할 수 있다.

[0072] 도 9를 참조하여 기술한 제1 서브픽셀(SPn1)의 단면 구조를 대표로 살펴보면, 본 발명의 실시예에 따른 표시장치는 기판(SUB1) 상에 광차단층(LS)이 위치한다. 광차단층(LS)은 외부의 광이 입사되는 것을 차단하여 박막 트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(LS) 상에 버퍼층(BUF)이 위치한다. 버퍼층(BUF)은 광차단층(LS)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(BUF)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다.

[0073] 버퍼층(BUF) 상에 반도체층(230)이 위치한다. 반도체층(230)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(230)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

[0074] 반도체층(230) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(230)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(260)이 위치한다. 게이트 전극(260)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(260)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(260)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0075] 게이트 전극(260) 상에 게이트 전극(260)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 상에 소스 전극(270S) 및 드레인 전극(270D)이 위치한다. 소스 전극(270S) 및 드레인 전극(270D)은 반도체층(230)의 소스 영역을 노출하는 콘택홀을 통해 반도체층(230)에 연결된다. 소스 전극(270S) 및 드레인 전극(270D)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(270S)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(270S) 및 드레인 전극(270D)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(230), 게이트 전극(260), 소스 전극(270S) 및 드레인 전극(270D)을 포함하는 구동 트랜지스터(DR)가 구성된다.

[0076] 구동 트랜지스터(DR)를 포함하는 기판(SUB1) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 패시

배이션막(PAS) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.

[0077] 오버코트층(OC)의 일부 영역에는 드레인 전극(270D)을 노출시키는 비어홀(VIA)이 위치한다. 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 구동 트랜지스터(DR)의 드레인 전극(270D)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 제1 전극(ANO)이 반사 전극인 경우, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

[0078] 제1 전극(ANO)을 포함하는 기판(SUB1) 상에 화소를 구획하는 뱅크층(BNK)이 위치한다. 뱅크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 뱅크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 플렉서블 기판(PI) 전면에는 제1 전극(ANO)에 컨택하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.

[0079] 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시부(A/A) 전면에서 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어진다.

[0080] 한편, 전술한 도 6은 게이트 라인이 연장된 방향으로 각 서브픽셀들의 발광영역이 인접하여 배치된다. 따라서, 인접한 서브픽셀들 간에 빛샘이 발생할 여지가 있다. 반면, 도 7에 도시된 것처럼 본 발명에서는 제1 서브픽셀(S_{Pn1})의 발광영역(E1)과 제2 서브픽셀(S_{Pn2})의 발광영역(E2) 사이에 제1 서브픽셀(S_{Pn1})의 커패시터(C1)와 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 배치된다. 따라서, 제1 서브픽셀(S_{Pn1})과 제2 서브픽셀(S_{Pn2}) 간에 옆으로 새는 빛을 제1 서브픽셀(S_{Pn1})의 커패시터(C1)와 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 차단하게 된다.

[0081] 구체적으로 도 10을 참조하면, 제1 서브픽셀(S_{Pn1}) 및 제2 서브픽셀(S_{Pn2})의 기판(SUB1) 상에 각각 커패시터 하부전극(LCst), 커패시터 중부전극(MCst) 및 제1 전극(ANO)을 포함한 커패시터(Cst)가 배치된다. 커패시터 중부전극(MCst) 상에 패시베이션막(PAS)이 위치하고, 패시베이션막(PAS) 상에 적색 컬러필터(RCF)가 배치된다. 적색 컬러필터(RCF) 상에 오버코트층(OC)이 위치하고 그 상부에 각 서브픽셀의 제1 전극들(ANO)이 위치한다. 또한, 각 서브픽셀의 발광영역을 구획하는 뱅크층(BNK)이 위치한다.

[0082] 도 10에서는 제1 서브픽셀(S_{Pn1})과 제2 서브픽셀(S_{Pn2}) 사이에 폭이 넓은 제1 서브픽셀(S_{Pn1})의 커패시터(C1)와 제2 서브픽셀(S_{Pn2})의 커패시터(C2)가 배치되기 때문에 제1 및 제2 서브픽셀들(S_{Pn1}, S_{Pn2}) 사이의 간격을 현저히 넓힐 수 있어 빛샘을 방지할 수 있다. 또한, 제1 및 제2 서브픽셀들(S_{Pn1}, S_{Pn2}) 사이의 간격이 넓어짐에 따라 적색 컬러필터(RCF)도 제2 서브픽셀(S_{Pn2})쪽으로 더 형성될 수 있는 마진을 가질 수 있어 형성이 용이해질 수 있다. 또한, 제1 및 제2 서브픽셀들(S_{Pn1}, S_{Pn2}) 사이의 간격이 넓어짐에 따라 뱅크층(BNK)도 마진을 가질 수 있어 제1 서브픽셀(S_{Pn1})의 제1 전극(ANO)의 마진 또한 넓어지게 된다. 이러한 적색 컬러필터(RCF), 뱅크층(BNK) 및 제1 전극(ANO)의 마진이 넓어짐으로써, 설계가 자유로워져 개구율이 향상되고 공정이 용이해 질 수 있다.

[0083] 다시 도 7을 참조하면, 제3 서브픽셀(S_{Pn3})과 제4 서브픽셀(S_{Pn4})도 제1 서브픽셀(S_{Pn1})과 제2 서브픽셀(S_{Pn2})과 동일하게 배치되어 이들 사이에서 발생할 수 있는 빛샘을 방지할 수 있다. 그리고 제2 서브픽셀(S_{Pn2})과 제3 서브픽셀(S_{Pn3}) 사이에는 센싱라인(VREF), 제2 데이터 라인(DL2) 및 제3 데이터 라인(DL3)이 배치되어, 제2 서브픽셀(S_{Pn2})의 발광영역(E2)과 제3 서브픽셀(S_{Pn3})의 발광영역(E3) 사이에서 발생할 수 있는 빛샘을 방지한다.

[0084] 한편, 본 발명은 서브픽셀들의 레이아웃을 설계하기 용이한 다른 실시예에 따른 서브픽셀 어레이 구조를 가질 수 있다.

[0085] 도 11은 본 발명의 다른 실시예에 따른 서브픽셀들의 평면 레이아웃을 간략히 나타낸 도면이고, 도 12는 본 발명의 다른 실시예에 따른 서브픽셀들의 평면 레이아웃을 상세히 나타낸 도면이다. 하기에서는 전술한 도 7 내지

도 10과 동일한 구성에 대해서는 그 설명을 생략한다.

- [0086] 도 11을 참조하면, 기판(SUB1) 상에 발광영역(E1~E4), 회로영역(D1~D4)을 갖는 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)이 배치된다. 발광영역(E1~E4)에는 유기발광다이오드(발광소자)가 형성되고, 회로영역(D1~D4)에는 유기발광다이오드를 구동하는 회로 스위칭, 센싱 및 구동 트랜지스터가 형성되고, 커패시터(C1~C4)를 더 포함한다.
- [0087] 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)에는 제1 및 제2 전원 라인(EVDD1, EVDD2), 센싱라인(VREF), 제1 및 제2 데이터 라인들(DL1, DL2)이 배치된다. 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)은 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)을 가로지르며 배치되며, 제1 서브픽셀(SPn1) 내지 제4 서브픽셀(SPn4)의 발광영역(E1~E4)을 사이에 두고 서로 이웃하여 배치된다.
- [0088] 제1 및 제2 전원 라인(EVDD1~EVDD2), 센싱라인(VREF), 제1 및 제2 데이터 라인들(DL1, DL2)과 같은 배선들은 물론 박막 트랜지스터를 구성하는 전극들은 서로 다른 층에 위치하지만 콘택홀(미도시)을 통한 접촉으로 인하여 전기적으로 연결된다. 센싱라인(VREF)은 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 센싱 트랜지스터(ST)에 연결된다. 제1 전원 라인(EVDD1)은 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 구동 트랜지스터(DR)에 연결된다. 제2 전원 라인(EVDD2)은 제3 및 제4 서브픽셀(SPn3, SPn4)의 각 구동 트랜지스터(DR)에 연결된다. 제1 게이트 라인(GL1)은 제1 및 제4 서브픽셀(SPn1, SPn4)의 스위칭 트랜지스터(SW)에 연결되고, 제2 게이트 라인(GL2)은 제2 및 제3 서브픽셀(SPn2, SPn3)의 센싱 트랜지스터(ST)에 연결된다. 제1 데이터 라인(DL1)은 제1 및 제2 서브픽셀(SPn1, SPn2)의 스위칭 트랜지스터(SW)에 공유되어 연결되고, 제2 데이터 라인(DL2)은 제3 및 제4 서브픽셀(SPn3, SPn4)의 스위칭 트랜지스터(SW)에 공유되어 연결된다. 이 데이터 라인의 공유 구조는 DRD(Double Rate Driving) 구조이다.
- [0089] 본 발명의 서브픽셀(SPn1~SPn4)들 각각은 발광영역(E1~E4)과 회로영역(D1~D4)을 포함한다. 구체적으로, 제1 서브픽셀(SPn1)은 발광영역(E1)과 회로영역(D1)을 포함하며, 회로영역(D1)은 커패시터(C1)를 포함한다. 제1 서브픽셀(SPn1)의 일측에는 제1 서브픽셀(SPn1)과 연결되는 제1 데이터 라인(DL1)이 배치되고, 제1 데이터 라인(DL1)과 교차하는 제1 게이트 라인(GL1)이 배치된다. 제2 서브픽셀(SPn2)은 발광영역(E2)과 회로영역(D2)을 포함하며, 회로영역(D2)은 커패시터(C2)를 포함한다. 제2 서브픽셀(SPn2)의 일측에는 제2 서브픽셀(SPn2)과 연결되는 제1 데이터 라인(DL1)이 배치되고, 제1 데이터 라인(DL1)은 제1 및 제2 게이트 라인(GL1, GL2)과 교차한다.
- [0090] 제1 서브픽셀(SPn1)과 제2 서브픽셀(SPn2)은 제1 데이터 라인(DL1)과 센싱라인(VREF) 사이에 배치된다. 제1 서브픽셀(SPn1)의 회로영역(D1)은 제1 데이터 라인(DL1)과 제1 서브픽셀(SPn1)의 발광영역(E1) 사이에 배치되고, 제2 서브픽셀(SPn2)의 회로영역(D2)은 제1 데이터 라인(DL1)과 제2 서브픽셀(SPn2)의 발광영역(E2) 사이에 배치된다.
- [0091] 제1 전원라인(EVDD1)은 제1 데이터 라인(DL1)을 사이에 두고 제1 및 제2 서브픽셀(SPn1, SPn2)과 이웃하여 배치된다. 제1 전원라인(EVDD1)은 제1 서브픽셀(SPn1)과 제2 서브픽셀(SPn2)에 각각 공유된다. 센싱라인(VREF)은 제1 서브픽셀(SPn1)의 발광영역(E1) 및 제2 서브픽셀(SPn2)의 발광영역(E2)을 사이에 두고 제1 서브픽셀(SPn1)의 회로영역(D1) 및 제2 서브픽셀(SPn2)의 회로영역(D2)과 이웃하여 배치된다. 센싱라인(VREF)은 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)에 각각 공유된다. 상기 제1 전원라인(EVDD1)과 센싱라인(VREF)은 제1 및 제2 서브픽셀(SPn1, SPn2)을 사이에 두고 서로 이웃하여 배치된다.
- [0092] 센싱라인(VREF)을 기준으로 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)과 대칭하는 제3 서브픽셀(SPn3) 및 제4 서브픽셀(SPn4)을 포함한다. 제3 서브픽셀(SPn3)은 발광영역(E3)과 회로영역(D3)을 포함하며, 회로영역(D3)은 커패시터(C3)를 포함한다. 제3 서브픽셀(SPn3)의 일측에는 제3 서브픽셀(SPn3)과 연결되는 제2 데이터 라인(DL2)이 배치되고, 제2 데이터 라인(DL2)은 제1 게이트 라인(GL1)과 교차한다. 제4 서브픽셀(SPn4)은 발광영역(E4)과 회로영역(D4)을 포함하며, 회로영역(D4)은 커패시터(C4)를 포함한다. 제4 서브픽셀(SPn4)의 일측에는 제4 서브픽셀(SPn4)과 연결되는 제2 데이터 라인(DL2)이 배치된다. 제3 서브픽셀(SPn3)과 제4 서브픽셀(SPn4)은 제2 데이터 라인(DL2)과 센싱라인(VREF) 사이에 배치된다.
- [0093] 제2 전원라인(EVDD2)은 제2 데이터 라인(DL2)을 사이에 두고 제3 서브픽셀(SPn3) 및 제4 서브픽셀(SPn4)과 이웃하여 배치된다. 제2 전원라인(EVDD2)은 제3 서브픽셀(SPn3)과 제4 서브픽셀(SPn4)에 각각 공유된다.
- [0094] 본 발명에서는 각 서브픽셀들에서 요구되는 커패시터의 크기를 달리 형성하기 위해, 커패시터가 작은 서브픽셀은 회로영역도 작게 형성하고 커패시터가 큰 서브픽셀은 회로영역도 크게 형성한다.

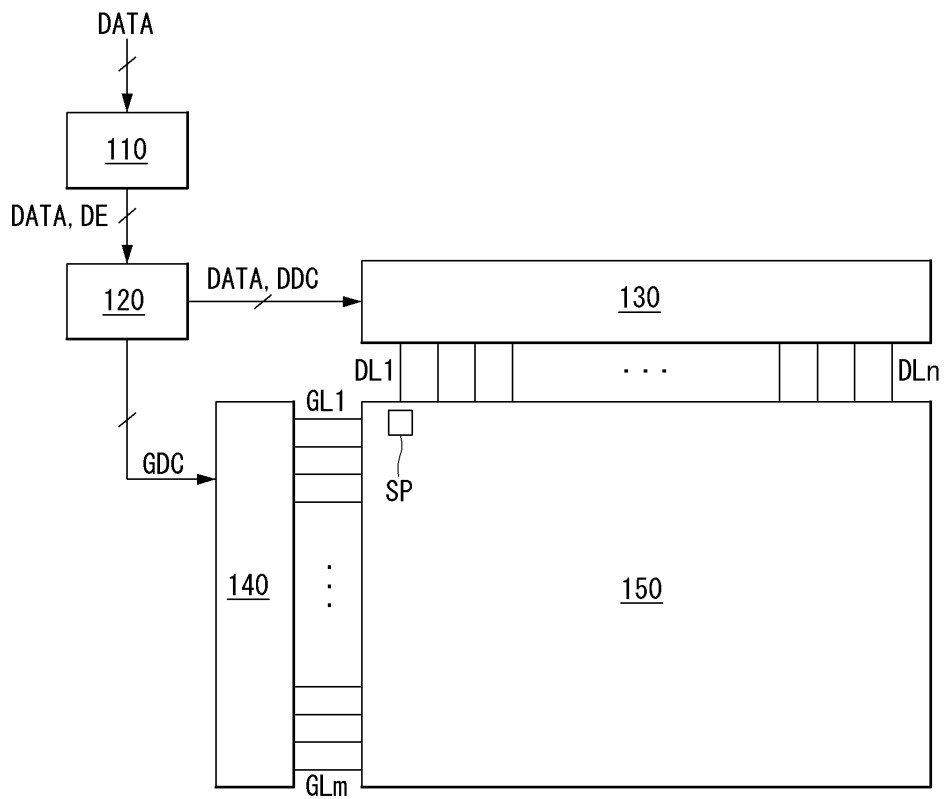
- [0095] 구체적으로, 제1 서브픽셀(SPn1)의 회로영역(D1)의 면적과 제2 서브픽셀(SPn2)의 회로영역(D2)의 면적이 서로 다르고, 제1 서브픽셀(SPn1)의 커패시터(C1)와 제2 서브픽셀(SPn2)의 커패시터(C2)의 크기가 서로 다르다. 따라서, 제2 서브픽셀(SPn2)의 회로영역(D2)의 면적은 제1 서브픽셀(SPn1)의 회로영역(D1)의 면적보다 크게 이루어진다. 이를 위해, 제2 서브픽셀(SPn2)의 커패시터(C2)가 제1 서브픽셀(SPn1)의 커패시터(C1)의 적어도 2배를 둘러싸도록 형성된다.
- [0096] 전술한 것처럼, 제1 서브픽셀(SPn1)의 회로영역(D1)과 제2 서브픽셀(SPn2)의 회로영역(D2)의 면적을 달리 형성하고 제2 서브픽셀(SPn2)의 커패시터(C2)가 제1 서브픽셀(SPn1)의 커패시터(C1)의 적어도 2배를 둘러싸도록 형성하면, 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 발광영역(E1, E2)의 크기를 조절하기 위해 제1 및 제2 데이터 라인(DL1)이 절곡될 필요가 없이 직선으로 형성될 수 있다. 도시된 바와 같이, 제1 데이터 라인(DL1)이 직선으로 형성되면서, 발광영역들(E1, E2)의 크기도 다르게 형성될 수 있다. 따라서, 서브픽셀 내에서 커패시터, 회로영역 및 발광영역의 크기를 자유롭게 조절할 수 있고, 데이터 라인들도 직선으로 형성할 수 있어, 서브픽셀들의 레이아웃을 설계하기가 매우 용이한 이점이 있다.
- [0097] 한편, 도 11과 함께 도 12를 참조하여 제1 서브픽셀(SPn1)의 구조를 대표로 설명한다. 제1 서브픽셀(SPn1)은 제1 게이트 라인(GL1)과 제1 데이터 라인(DL1)이 교차하여 정의된다. 제1 서브픽셀(SPn1)은 구동 트랜지스터(DR), 센싱 트랜지스터(ST), 스위칭 트랜지스터(SW), 커패시터(Cst) 및 유기발광다이오드(미도시)를 포함한다.
- [0098] 발광영역(E1)에는 유기발광다이오드(미도시)의 제1 전극(ANO)이 배치되어 있고, 회로영역(D1)에는 구동 트랜지스터(DR), 센싱 트랜지스터(ST), 스위칭 트랜지스터(SW) 및 커패시터(Cst)가 배치된다. 예를 들어, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1), 드레인 전극(250D), 소스 전극(250S) 및 반도체층(220)으로 구성된다. 또한, 센싱 트랜지스터(ST)는 센싱라인(VREF)으로부터 연장된 센싱 연결라인(VREFC)에 연결된 소스 전극(240S), 제1 게이트 라인(GL1), 및 반도체층(210)으로 구성된다. 구동 트랜지스터(DR)는 반도체층(230), 게이트 전극(260), 드레인 전극(270D) 및 제1 전원라인(EVDD)으로부터 연장된 전원 연결라인(EVDDC)에 연결된 소스 전극(270S)으로 구성된다. 커패시터(Cst)는 커패시터 하부전극(LCst), 커패시터 중부전극(MCst) 및 제1 전극(ANO)으로 구성된다. 제1 전극(ANO)은 비어홀(VIA)을 통해 구동 트랜지스터(DR)의 드레인 전극(270D)에 연결된다.
- [0099] 본 발명에서는 센싱라인(VREF)으로부터 연장된 센싱연결라인(VREFC)의 일단에 제1 분기부(VC1)와 타단에 제2 분기부(VC2)를 포함한다. 제1 분기부(VC1)는 제1 및 제2 서브픽셀(SPn1, SPn2)로 연결된다. 제2 서브픽셀(SPn2)은 제1 게이트 라인(GL1)을 사이에 두고 제1 서브픽셀(SPn1)과 이웃하는 서브픽셀이다. 제2 분기부(VC2)는 제3 및 제4 서브픽셀(SPn3, SPn4)로 연결된다. 제3 서브픽셀(SPn3)은 제1 게이트 라인(GL1)을 사이에 두고 제4 서브픽셀(SPn4)과 이웃하는 서브픽셀이다. 센싱연결라인(VREFC)의 각 끝단의 분기부들(VC1, VC2)을 통해 각각 2개의 서브픽셀에 함께 연결되므로써, 센싱연결라인(VREFC)이 복수로 형성될 필요가 없어 서브픽셀의 레이아웃의 설계를 용이하게 할 수 있다.
- [0100] 전술한 바와 같이, 본 발명의 실시예들에 따른 표시장치는 제2 서브픽셀의 커패시터가 제1 서브픽셀의 커패시터의 적어도 2배를 둘러싸도록 형성함으로써, 제1 및 제2 서브픽셀의 각 발광영역의 크기를 조절하기 위해 적어도 하나의 데이터 라인이 절곡될 필요가 없이 직선으로 형성될 수 있다. 따라서, 서브픽셀 내에서 커패시터, 회로영역 및 발광영역의 크기를 자유롭게 조절할 수 있고, 데이터 라인들도 직선으로 형성할 수 있어, 서브픽셀들의 레이아웃을 설계하기가 매우 용이한 이점이 있다.
- [0101] 또한, 본 발명의 실시예들에 따른 표시장치는 인접한 서브픽셀의 발광영역 사이에 커패시터들을 형성함으로써, 인접한 서브픽셀들 간의 빛샘이 발생하는 것을 방지할 수 있다.
- [0102] 또한, 본 발명의 실시예들에 따른 표시장치는 각 서브픽셀들의 발광영역 사이에 커패시터들을 배치함으로써, 컬러필터,뱅크층, 제1 전극이 커패시터들 위로 더 형성될 수 있는 마진을 가질 수 있어 설계가 용이한 이점이 있다.
- [0103] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

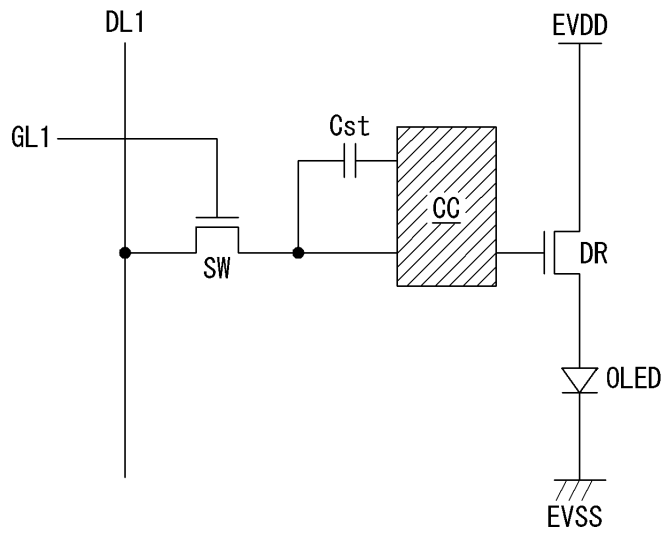
[0104] GL1~GL2 : 제1 및 제2 게이트 라인 DL1~DL4 : 제1 내지 제4 데이터 라인
VREF : 센싱라인 EVDD1~EVDD2 : 제1 및 제2 전원라인
SPn1~SPn4 : 제1 내지 제4 서브픽셀 E1~E4 : 발광영역
C1~C4 : 커패시터 D1~D4 : 회로영역

도면

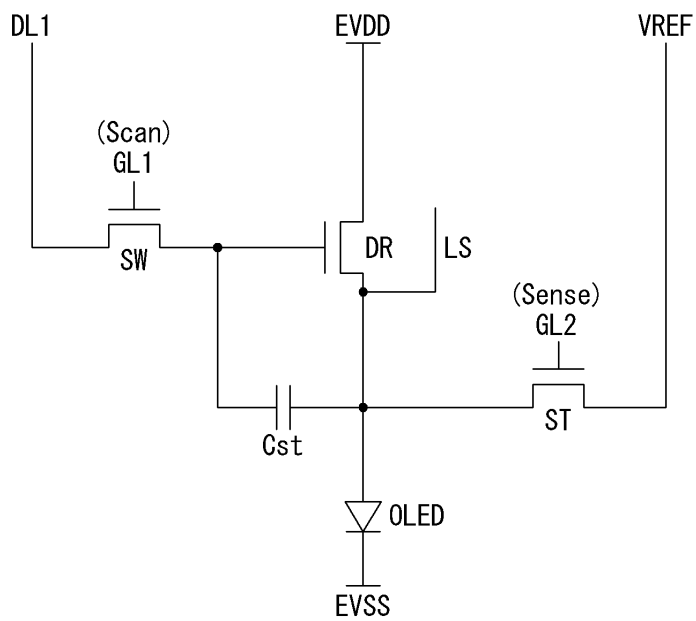
도면1



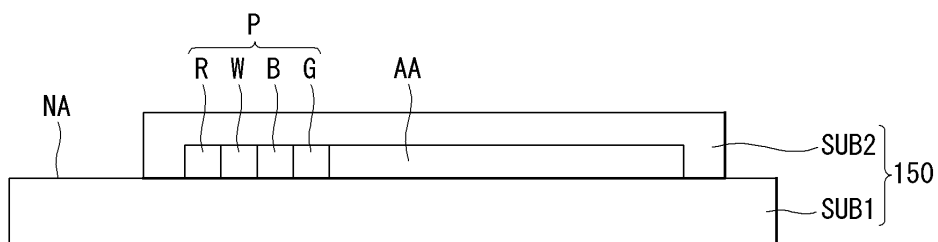
도면2



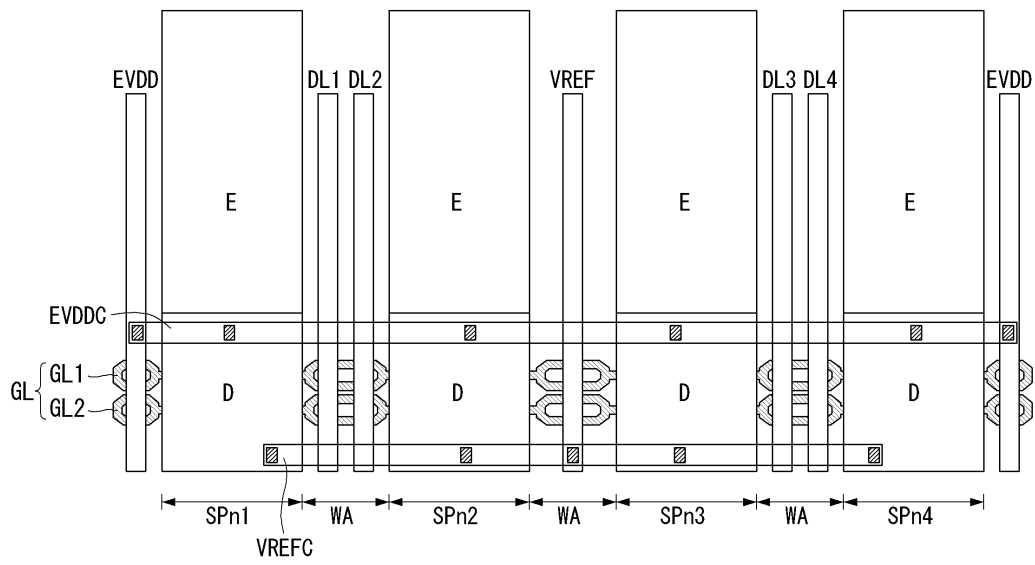
도면3



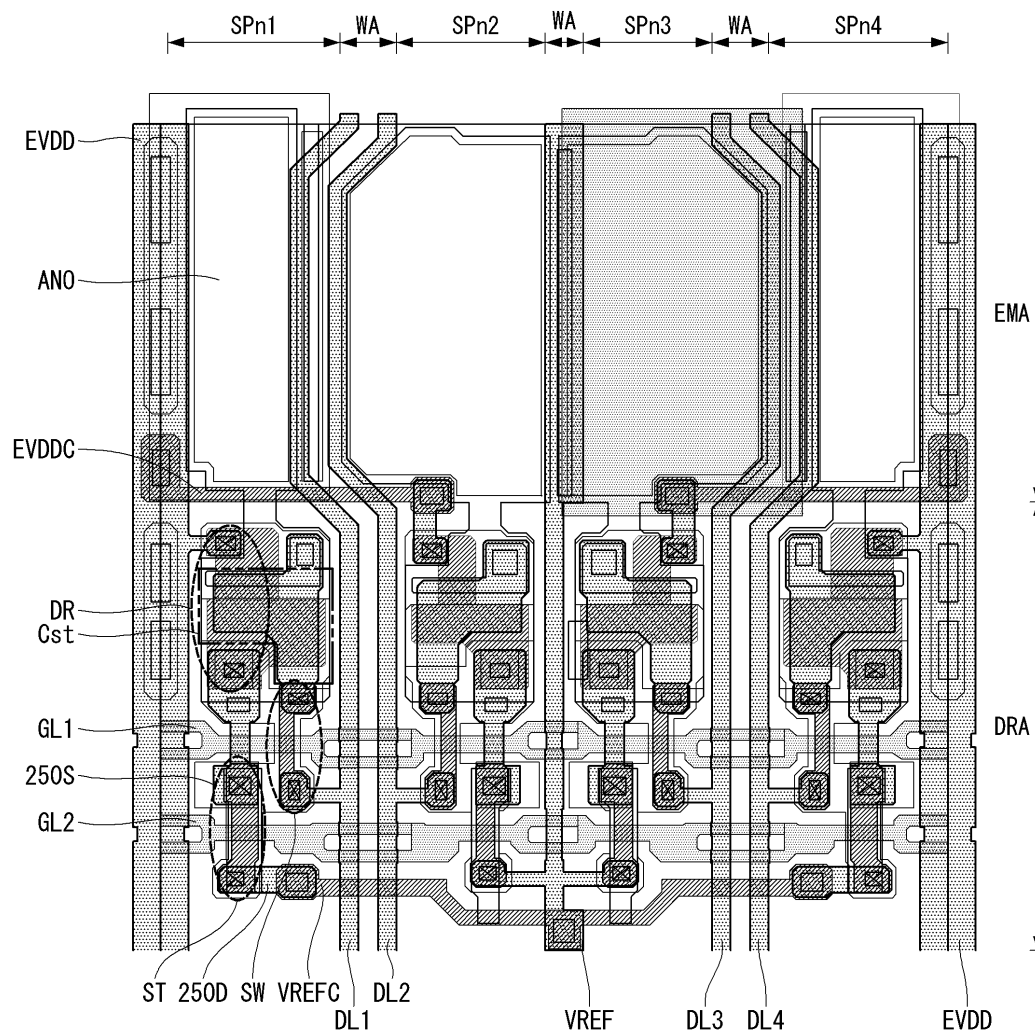
도면4



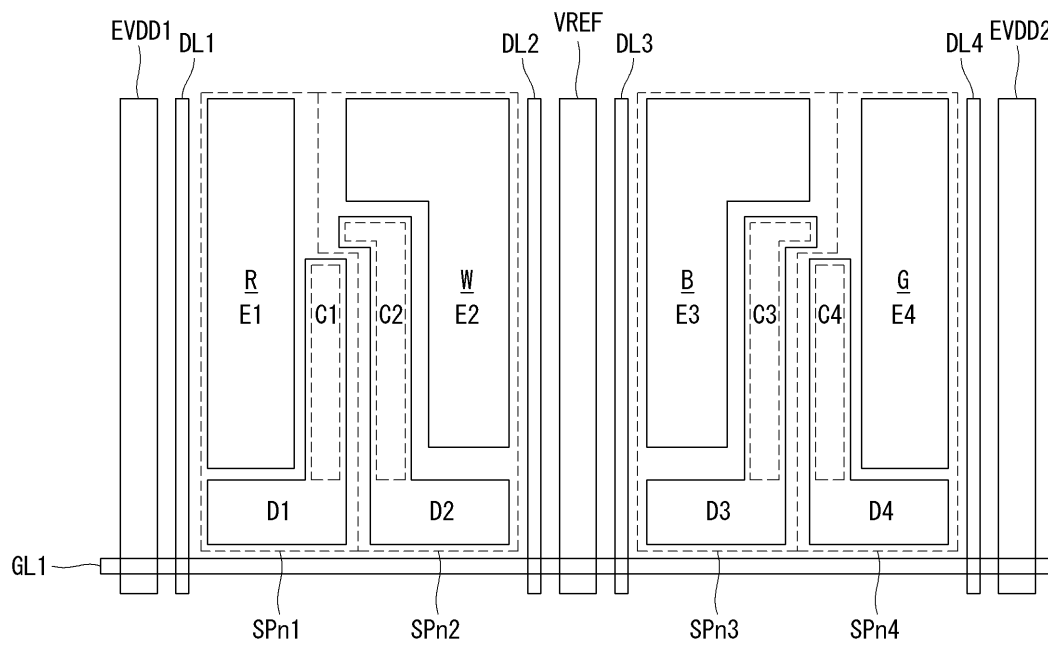
도면5



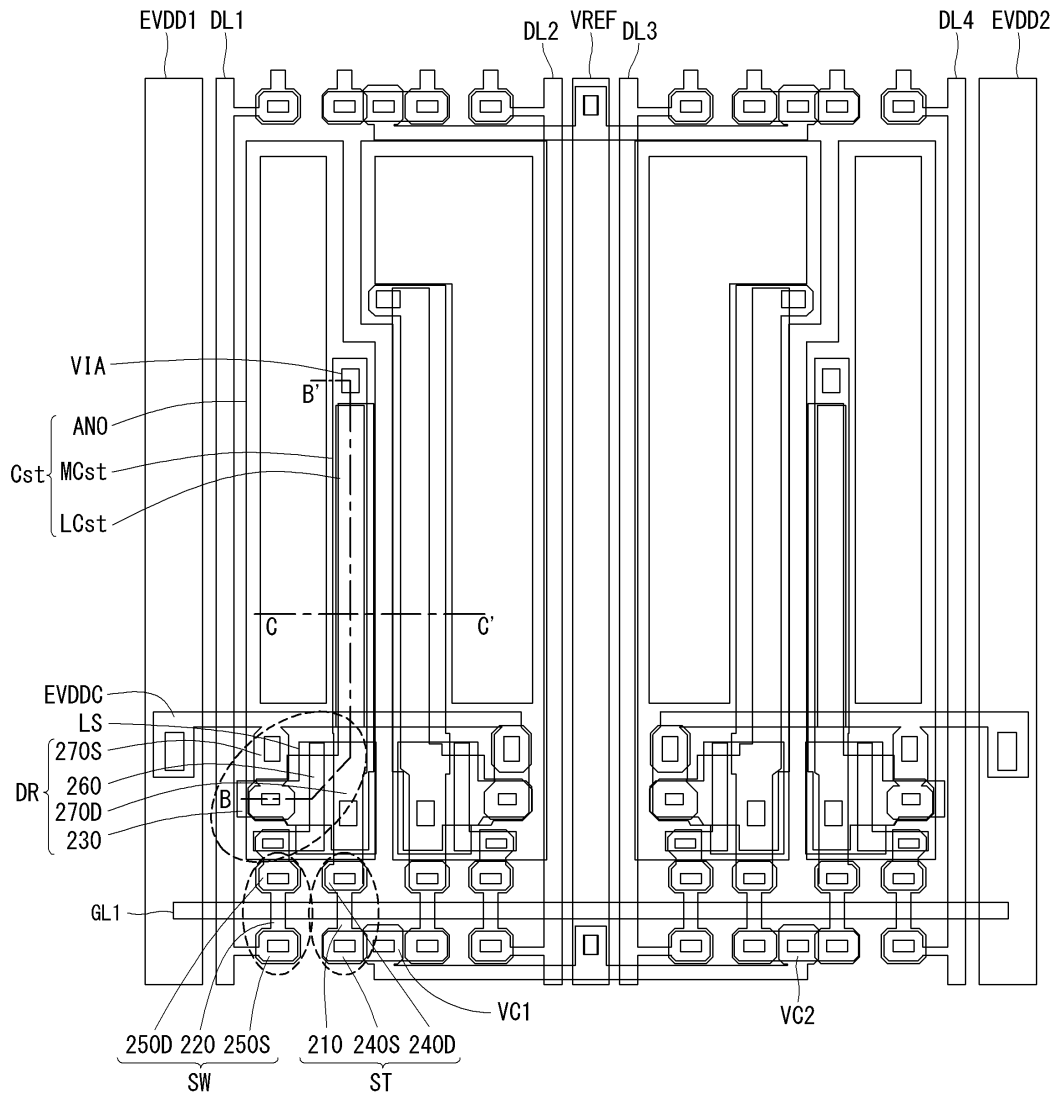
도면6



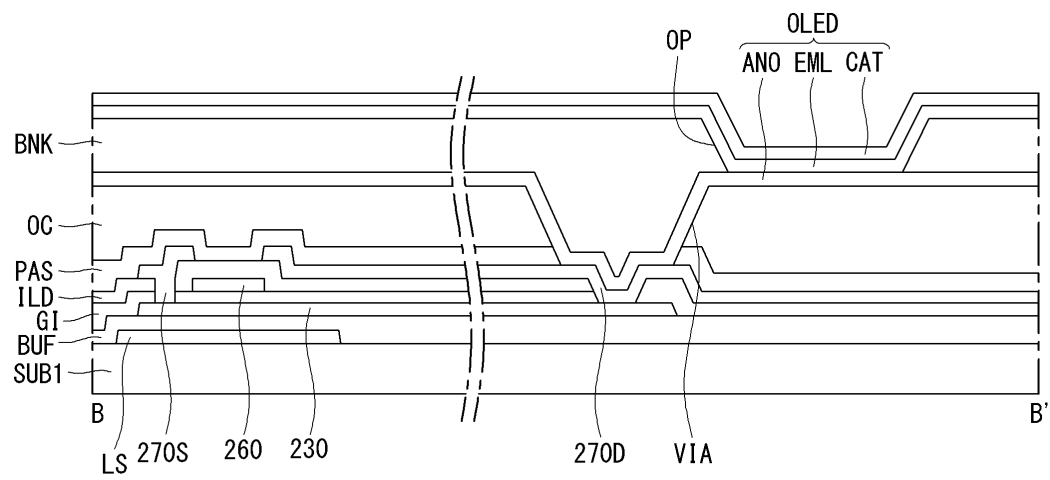
도면7



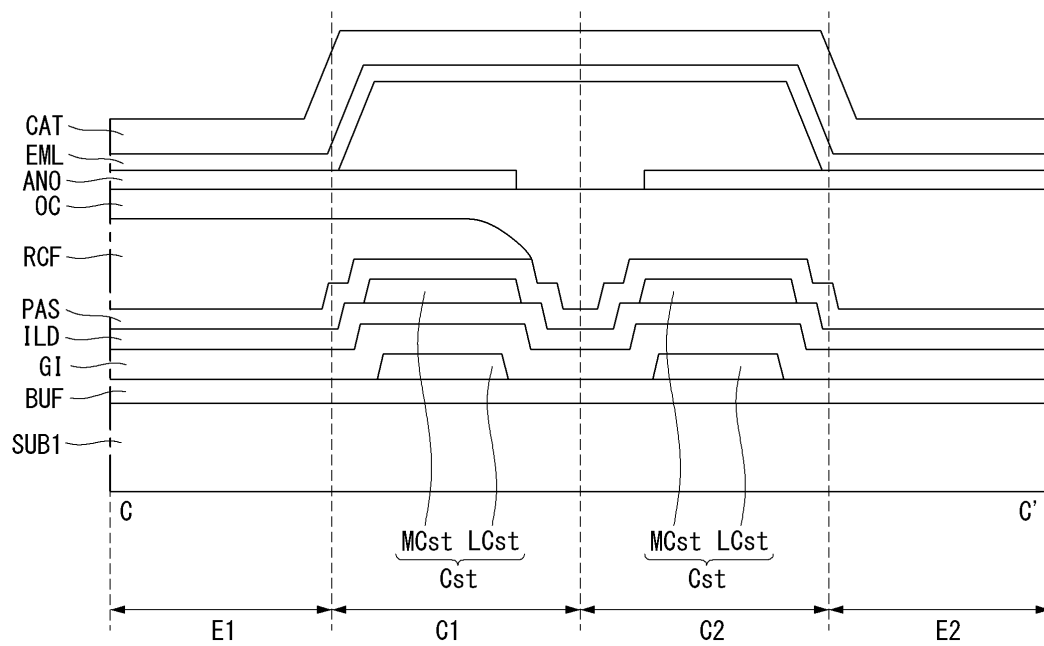
도면8



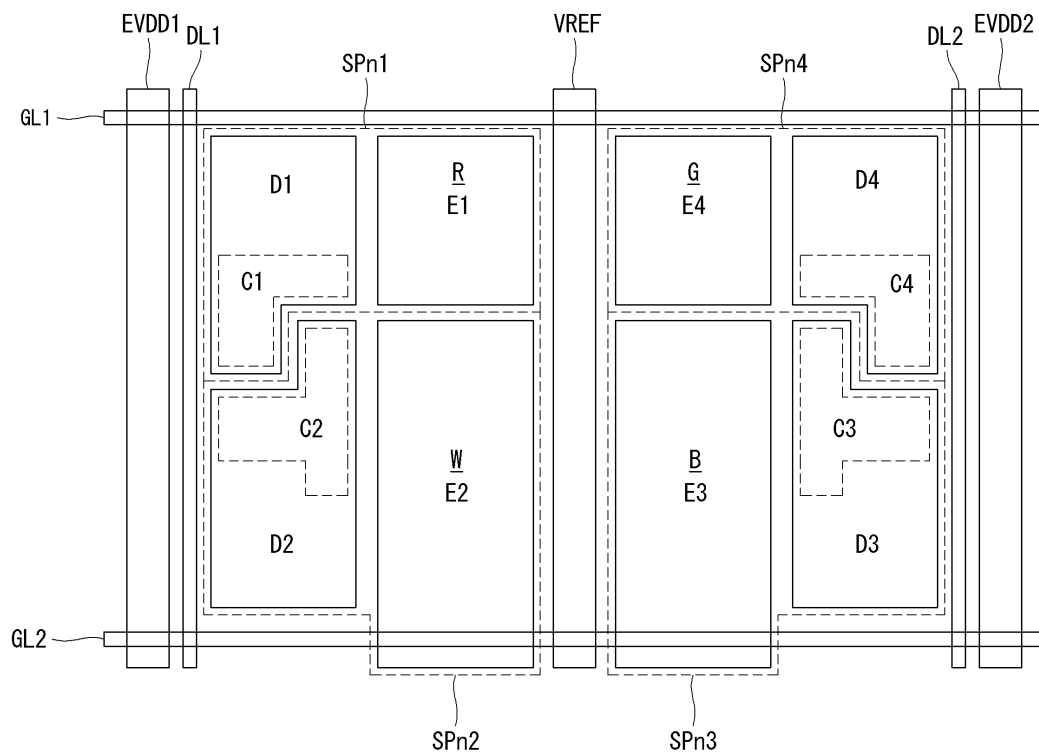
도면9



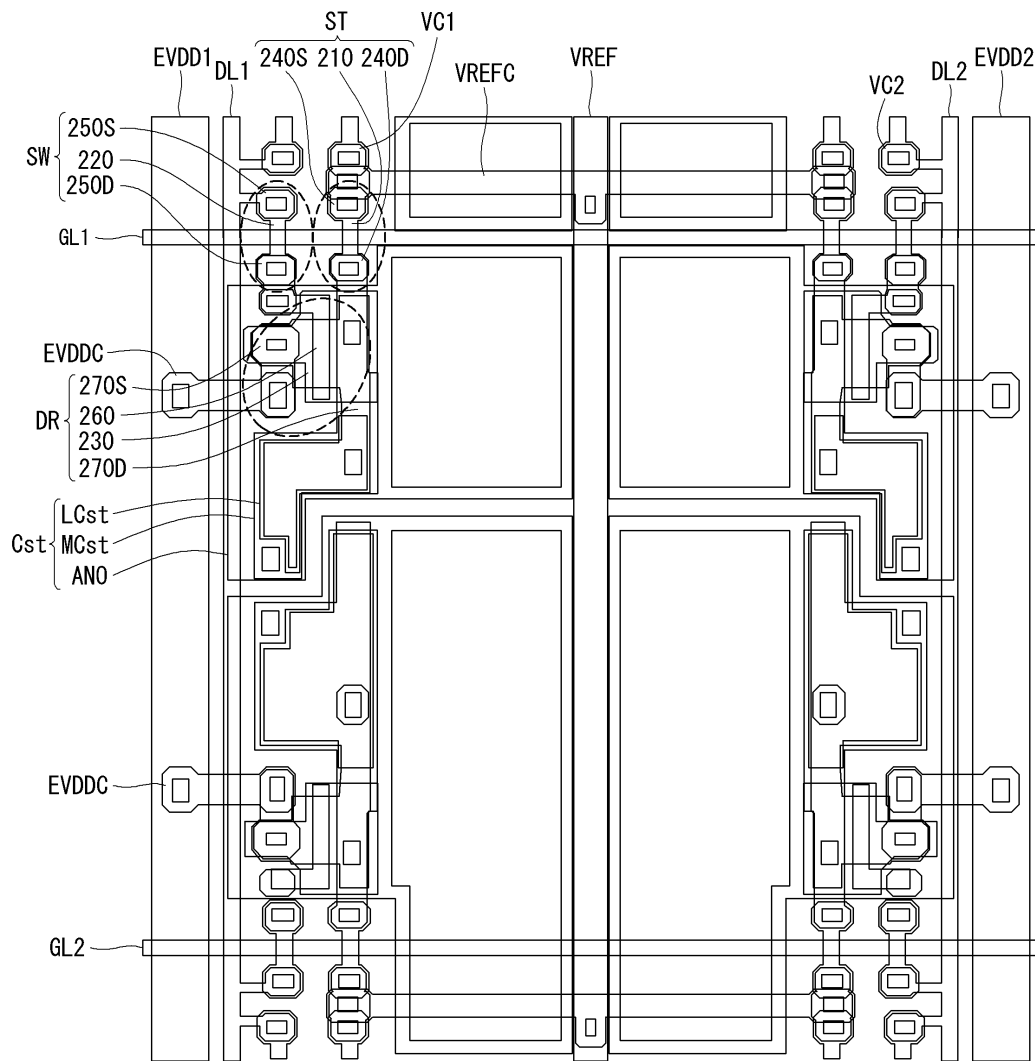
도면10



도면11



도면12



专利名称(译)	显示设备		
公开(公告)号	KR1020190070768A	公开(公告)日	2019-06-21
申请号	KR1020170171621	申请日	2017-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박준민		
发明人	박준민		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3265 H01L27/3211 H01L27/3276		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种显示装置，该显示装置能够通过调整每个子像素的电路区域和发光区域的尺寸来改善设计自由度和开口率。根据本发明实施例的显示装置包括至少一个位于基板上的第一子像素和第二子像素，并且第一子像素和第二子像素均包括发光区域和包括有机发光二极管的有机发光二极管。以及包括晶体管和电容器的电路区域，其中，第二子像素的电容器围绕第一子像素的电容器的至少两侧。

